(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G09G 5/36

(45) 공고일자 2002년03월21일
(11) 등록번호 10-0320483
(24) 등록일자 2001년12월28일

(21) 출원번호 10-1993-0010587
(22) 출원일자 1993년06월11일

(65) 공개번호 특0000-0000000
(43) 공개일자 0000년00월00일

(30) 우선권주장 92-155085 1992년06월15일 일본(JP)

(73) 특허권자 세이코 엡슨 가부시키가이샤
구사마 사부로
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 이노우에가즈아끼
일본나가노껜스와시오와3죠메3반5고세이꼬엡슨가부시끼가이샤나이

(74) 대리인 이병호

심사관 : 정연우

(54) 디스플레이회로

요약

디스플레이 메모리 내용을 재기록하지 않고 도트, 라인, 또는 프레임 주파수에 동기된 영상 회전, 확대, 축소 가능한 회로는 영상 메모리에 기록된 비트-맵된 영상 데이터를 디스플레이 장치 상에 디스플레이하는 디스플레이 회로에 제공된다.

어드레스 카운터 출력과 타이밍 신호 입력을 사용하여, 수평 또는 수직 귀선 라인 간격으로 승산을 수행함으로써, 도트 및 라인에 의한 누적 가산을 사용하여 디스플레이 메모리내의 어드레스를 계산한다.

그러므로, 높은 클록 주파수에 적합한 고 클록 레이트 승산 연산에 의존하지 않고서도, 모든 디스플레이 프레임 또는 디스플레이 라인마다의 승산 연산과 모든 도트 또는 디스플레이 라인마다의 누적 가산 연산에 의해 매끄러운 영상 회전을 달성할 수 있다. 따라서 승산기들은 저 클록 레이트에서 연산될 수 있으며, 승산기의 시간 공유 연산이 가능하게 되어, 상기 디스플레이 회로를 작은 회로 규모이면서 싼 비용으로 구성할 수 있다.

대표도
도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명에 따른 디스플레이 회로의 블록도.

제 2 도는 종래 기술에 따른 디스플레이 회로의 블록도.

제 3 도는 본 발명에 따른 디스플레이 메모리에서 수평 디스플레이 어드레스를 계산하는 연산회로의 블록도.

제 4 도는 본 발명에 따른 디스플레이 메모리에서 수직 디스플레이 어드레스를 계산하는 연산 회로의 블록도.

제 5 도는 본 발명에 따른 시간-공유 처리에 의해 디스플레이 메모리에서 수평 및 수직 디스플레이 어드레스를 계산하는 연산회로의 블록도.

제 6 도는 제 5 도에 도시된 회로의 연산을 위한 타이밍 차트도.

제 7 도는 본 발명에 따른 디스플레이 메모리에서 수평 디스플레이 어드레스의 초기 값을 계산하는 연산회로의 블록도.

제 8 도는 본 발명에 따른 디스플레이 메모리에서 수직 디스플레이 어드레스의 초기 값을 계산하는 연산회로의 블록도.

제 9 도는 본 발명에 따른 디스플레이 메모리에서 누적 부가 수단에 의해 수평 디스플레이 어드레스를 계산하는 연산 회로의 블록도.

제 10 도는 본 발명에 따른 디스플레이 메모리에서 누적 부가 수단에 의해 수직 디스플레이 어드레스를 계산하는 연산 회로의 블록도.

제 11 도는 제 10 도에 도시된 회로의 연산을 위한 타이밍 차트도.

제 12 도는 제 7 도 및 8 도에 도시된 초기 값 연산 회로에 파라미터를 적용하는 회로의 블록도.

제 13 도는 터블 버퍼 회로에 의해 제 7 도 및 8 도에 도시된 초기값 연산 회로에 파라미터를 작용하는 회로의 블록도.

제 14 도는 본 발명에 따른 디스플레이 메모리에서 수평 디스플레이 어드레스 n 의 초기 값을 계산하는 연산 회로의 블록도.

제 15 도는 본 발명에 따른 디스플레이 메모리에서 수직 디스플레이 어드레스 n 의 초기 값을 계산하는 연산 회로의 블록도.

제 16 도는 본 발명에 따른 디스플레이 메모리에서 시간-공유 처리수단에 의해 라인 n 의 수평 및 수직 디스플레이 어드레스를 계산하는 연산회로의 블록도.

제 17 도는 제 16 도에 도시된 회로의 연산을 위한 타이밍 차트.

* 도면의 주요 부분에 대한 부호 설명

1, 8 : 연산회로

2, 9 : 디스플레이 메모리

5, 12 : 수직 어드레스 카운터

4, 11 : 수평 디스플레이 어드레스 카운터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 영상 메모리로 기록ㅗ딘 비트 맴 영상 데이터를 디스플레이 디바이스 상에의 회전, 확대, 축소해서 디스플레이 할 수 있는 디스플레이 회로내의 디스플레이 메모리 어드레스를 계산하는 어드레스 계산 회로와, 상기 디스플레이 회로의 구성에 관한 것이다.

종래 기술의 설명

종래의 디스플레이 회로는 수평 및 수직 디스플레이 어드레스 카운터의 출력을 디스플레이 메모리에 제공하며, 디스플레이 메모리의 출력을 제 2 도에 도시된 바와 같은 디스플레이 디바이스에 디스플레이 한다. 결과적으로, 상기 디스플레이 데이터를 회전, 확대, 축소할 때, 상기 데이터는 회전, 확대 또는 축소 후의 데이터를 디스플레이 메모리에 기록하기 위해 상기 데이터를 중앙 처리장치(CPU)나 연산 회로(8)에 의해 처리해야만 한다.

그러나, 이 방법의 문제점은 상기 CPU 에 의해 직접 또는 연산 회로를 통해 디스플레이 데이터의 회전 확대 또는 축소가 디스플레이 메모리의 내용에 재기록된다는 것이다. 이러한 프로세싱에 필요한 부가하여 픽셀, 래스터, 프레임 유닛 디스플레이 타이밍에 대해 동기된 회전, 확대, 또는 축소를 정확하게 제어할 수 없었다. 결과적으로 각 프레임에서 상이한 회전각을 가진 매끄러운 영상 회전과, 각 픽셀과 래스터 유닛에서 상이한 크기 레이트에 의해 이루어진 실제 원근의 영상이 디스플레이 될 수 없다.

발명의 요약

본 발명에 따른 디스플레이 회로는 어드레스 카운터 출력을 데이터 입력, 수직 동기화 신호에 대해 동기된 신호, 수평 동기화 신호 또는 라인에 대해 동기된 신호, 도트 클록이나 픽셀에 대해 동기된 신호로서 사용하여 출력하고, 회전, 확대 또는 축소 디스플레이 파라미터를 제어 입력으로서 사용하여 디스플레이 메모리에 기록된 디스플레이 데이터의 어드레스를 출력하는 연산 회로와, 이 어드레스 데이터를 판독하여 디스플레이 하는 수단을 특징으로 한다. 이 연산 회로는 수직 귀선 라인 간격(vertical retrace line interval) 동안 회전, 확대, 또는 축소 파라미터에 의한 어드레스를 승산하는 수단과, 승산 결과와 도트 클록 레이트에서의 회전, 확대, 축소 파라미터 또는 그것의 정수배를 누적 가산하는 수단 또는, 승산 결과와 수평 동기 신호 및 클록으로서 수평 동기 신호에 동기된 신호를 사용하여 회전, 확대, 축소 파라미터를 누적 가산하는 수단 중 하나를 구비한다.

대안적으로, 상기 연산 회로는 수평 귀선 라인 간격 동안에 회전, 확대, 축소 파라미터에 의한 어드레스를 승산하는 수단과, 승산 결과 및 클록 레이트에서 회전, 확대, 축소 파라미터와 그것의 정수배를 누적 가산하는 수단 또는, 승산 결과와 수평 동기화 신호 또는 클록으로서 수평 동기화 신호에 동기된 신호를 사용하여 회전, 확대, 축소 파라미터를 누적 가산하는 수단 중 하나를 구비할 수 있다.

대안적으로, 상기 연산 회로는 하나의 프레임 간격동안 회전, 확대, 축소 파라미터에 의한 어드레스를 승산하는 수단과, 수직 동기화 신호에서 또는 하나의 프레임에 동기된 신호에서 이 승산 연산의 결과를 래칭하는 수단을 구비하며, 래치

출력 및 도트 클록 레이트에서의 회전, 확대, 축소 파라미터와 그것의 정수배를 누적 가산하는 수단 또는 승산 결과와 수평 동기 신호 또는 클록으로서 수평 동기 신호에 동기된 신호를 사용하여 회전, 확대, 축소 파라미터를 누적 가산하는 수단 중하나를 구비할 수 있다.

대안적으로, 상기 연산 회로는 하나의 라인 간격 동안 회전, 확대, 축소 파라미터에 의해 어드레스된 승산 수단과, 수평 동기화 신호 또는 하나의 라인에 동기된 신호로 이 승산 연산의 결과를 래칭하는 수단을 구비하며, 래치 출력 및 도트 클록 레이트에서 회전, 확대, 축소 파라미터 또는 그것의 정수배를 누적 가산하는 수단 또는, 승산 결과와 수평 동기화 신호 또는 클록으로서 수평 동기 신호에 동기된 신호를 사용하여 회전, 확대, 축소 파라미터를 누적 가산하는 수단 중 하나를 구비할 수 있다.

대안적으로, 상기 연산 회로는 디스플레이 프레임 또는 디스플레이 라인에 도입된 타이밍 신호를 사용하여 멀티플렉서에 의해 시간-공유 바이어스상에서 연산된 수단을 구비할 수 있다.

대안적으로, 상기 연산 회로는 상기 어드레스 및 회전, 확대, 축소 파라미터를 멀티플라이 하는 멀티플렉서에 의해 시간-공유 바이어스상에서 연산된 수단을 구비하며, 승산 결과와 도트 클록 레이트에서 회전, 확대, 축소 파라미터나 그것의 정수배를 누적 가산하는 수단 또는 승산 결과와 수평동기 신호 또는 클록으로서 수평 동기화 신호에 동기된 신호를 사용하여 회전, 확대, 축소 파라미터를 누적 가산하는 수단 중 하나를 구비할 수 있다.

양호한 실시예의 설명

본 발명의 양호한 실시예는 첨부 도면을 참조하여 상세히 기술하기로 한다.

제 1 도는 연산회로(1)가 회전, 확대, 축소 디스플레이 프로세스에 사용되는 본 발명에 따른 디스플레이 회로의 블록도이다. 디스플레이 메모리(2)는 판독/기록 랜덤 억세스 메모리(RAM) 디바이스이다. RAM 에 기록된 데이터는, 회전, 확대, 또는 축소 프로세스 전에 CPU(7)로부터 기록된 최초의 영상 데이터이다. 수평 디스플레이 어드레스 카운터(4) 및 수직 어드레스 카운터(5)는 디스플레이 디바이스(3)상에서 디스플레이 위치에 대응하는 어드레스를 카운트한다. 수평 방향에서의 위치는 도트 클록 DCLK 를 사용하여 카운트되고, 수직 방향에서의 위치는 수평 동기 신호 HSYNC 를 클록으로서 사용하여 카운트된다.

회전, 확대, 또는 축소 프로세스(이후 " 영상 프로세스" 라 칭함)가 적용되지 않을 때, 어드레스 카운터(4, 5)로부터의 출력은 디스플레이 메모리에 어드레스로서 직접 인가되며, 대응 데이터는 디스플레이 디바이스(3)상으로 출력된다. 그러나, 영상 프로세스가 적용될 때, 연산 회로(1)는 어드레스 카운터 출력을 처리하여, 변환된 출력을 디스플레이 어드레스로서 디스플레이 메모리(2)에 인가한다. 디스플레이 메모리는 변환 후 디스플레이 어드레스에 대응하는 데이터를 판독하여, 디스플레이 디바이스(3)상에서 회전, 확대, 또는 축소한다.

연산회로(1)에 의해 영상 회전, 확대, 또는 축소에 사용되는 연산 등식은 간단하게 기술된다.

파라미터 레지스터(6)는 회전각, 회전축, 확대 또는 축소의 백분율을 결정하는 파라미터를 연산회로(1)에 입력한다. 연산회로(1)는 다음 식(1)에 따라 애파인 변환을 수행한다.

$$\begin{bmatrix} X2 \\ Y2 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \times \begin{bmatrix} X1 - X0 \\ Y1 - Y0 \end{bmatrix} + \begin{bmatrix} X0 \\ Y0 \end{bmatrix} \quad \cdots [1]$$

식[1]은 다음의 식[2] 및 식[3]에 도시된 바와 같은 매트릭스를 확장함으로써 재기록될 수 있다

X2 = A(X1 - X0) + B(Y1 - Y0) + X0 ... [2]

Y2 = C(X1 - X0) + D(Y1 - Y0) + Y0 ... [3]

여기서, X0, Y0 는 회전축이며, X1, Y1 는 어드레스 카운터로부터의 출력 어드레스 값이며, X2, Y2 는 영상 프로세스 후 메모리내의 어드레스 값이여, A, B, C, D 는 회전각, 확대 및 축소 레이트에 대한 파라미터이다. 파라미터 A, B, C, D 는 다음의 식 (4) (7)에 의해 정의되며, q 는 회전각, a, b 는 각각 X, Y 방향에서의 확대/축소 레이트이다.

A = a cosq .... [4]

B = - b sinq .... [5]

C = a sinq .... [6]

D = b cosq .... [7]

그 결과, 연산 회로(1)는 어드레스 카운터 출력 값 X1 및 Y1 을 이용하여 상기 식을 적용함으로써 디스플레이 어드레스를 얻을 수 있다.

제 3 도 및 4 도는 본 발명에 따른 디스플레이 회로의 연산 회로에 대한 회로 다이어그램이다, 제 3 도에 도시된 디바이스는 식[2]의 결과를 얻고, 제 4 도에 도시된 디바이스는 식[3]의 결과를 얻는다. 어드레스 X2, Y2 는 연산이 완료된 후 각 회로부터의 출력이다. 도시된 회로들은 8-비트 어드레스 값 X, Y 로 연산하여 각각 256 도트의 X, Y 디스플레이 해상도를 인에이블시킬 수 있음을 도시하고 있다. 회전, 확대, 또는 축소 파라미터는 또한 상기 예에서 8-비트 정도를 허용한다.

제 3 도를 참조하면, 회전에 대한 중심 좌표 X0, Y0 는 비트 변환 회로(15, 19)에 의해 비트 대 비트가 변환되고, 일(1)이 +l 회로(16, 20)에 의해 가산되고, 그 결과 음의 2 의 보수 표현으로 된다. 그 결과들은 각각 가산기(17, 21)에 의해 가산되고, 그 결과 음의 2 의 보수 표현으로 된다. 그 결과들은 각각 가산기(17, 21)에 의해 어드레스 카운터 출력 X1, Y1 에 가산된다. 그 합들을 승산기(18, 22)에 의해 회전, 확대, 또는 축소 파라미터 A,B로 승산된다. 그 결과들의 적(products)은 가산기(23)에 의해 중심 좌표 X0 로 가산되며, 그것은 영상 프로세스 후 메모리의 어드레스 X2 로서 합을 출력한다. 제 3 도의 회로에 대한 식[2]을 비교하면, 제 3 도의 회로가 식[2]의 간단한 하드웨어 실시예라는 것이 분명해진다. Y2 를 얻는 식[3]은 제 4 도에 도시된 하드웨어와 유사하게 구성될 수 있다. 상기 실시예에서, Y2 는 8-비트 시프트 되고 제 1 도의 디스플레이 메모리에 대한 어드레스를 얻도록 X2 에 가산된다.

제 3 도 및 4 도에 도시된 회로가 실질적으로 동일하기 때문에, 고속 승산기 및 가산기가 사용될 수 있거나, 또는 동일한 회로는 회로 규모를 축소시키도록 저 해상 디스플레이 디바이스에서 시분할을 토대로 연산될 수 있다. 상기 회로 구성의 일례는 제 5 도에 도시된다. 멀티플렉서(33,34,35)는 X2에 있어서 회전, 확대 또는 축소에 대한 A, B 및 X0 사이를 각각 스위치하고 도트 클록의 HIGH 또는 LOW 상태에 대응하는 Y2에 있어서 C, D 및 Y0 사이를 스위치한다. 상기 연산의 출력은 도트 클록 DCLK 의 하강 및 상승 엣지에서 각각 DFF(45 및 46)로의 출력이다. 이것은 제 6 도에 도시된 타이밍 차트에 도시된다.

상술로부터 공지된 바와 같이, CPU 는 회전, 확대, 또는 축소 처리를 위해 디스플레이 메모리(2)를 재기록할 필요가 없다. 그 결과, 단지 네개의 파라미터를 재기록함으로써, 회전에 대한 수직 귀선 라인 기간 동안, 예로, 부드러운 회전 영상이 디스플레이될 수 있다. 제 1 도로부터 공지된 바와 같이, 수평 디스플레이 어드레스 카운터(4)는 도트 클록 DCLK 에서 연산하며, 수직 어드레스 카운터(5)는 수평 동기 신호 HSYNC 에서 연산한다. 네 개의 파라미터에서의 변화가 DCLK 또는 HYSNC 로 경과된다면, 다양하게 특정한 깊이 및 투시 효과가 소스 영상 데이터 변화 없이 디스플레이될 수 있다.

본 발명의 대안의 실시예가 이하 기술된다. 상술된 실시예가 순간적으로 수평 및 수직 디스플레이 어드레스 카운터(4, 5)의 주사 시퀀스에 관계없이 회전 처리 후 디스플레이 어드레스를 얻을 수 있지만, 개선할 점은 여전히 있다.

특히, 도트 클록 사이클에서 연산하는 네 개의 승산기는 제 3 도 및 4 도에 도시된 실시예에서 요구되며 1/2 도트 클록 사이클에서 연산하는 두개의 승산기는 제 5 도에 도시된 실시예에서 요구된다. 어쨌든, 최근 디스플레이 디바이스의 추세는 고 해상 칼라 디스플레이로 가고, 백만 이상의 픽셀을 갖춘 24-비트 풀-칼라 디스플레이가 오늘날 흔히 이용가능하다. 그러므로 비교가능한 수행은 대응하는 디스플레이 회로에서 요구된다. 상기 실시예는 저해상 8-비트 고해상 디스플레이상에서 양호한 정도를 이룩하기 위해, 10 20-비트 승산 및 가산 연산을 요구한다. 부가하면, 디스플레이 리프레쉬 레이트가 60 70Hz 이면, 도트 클록 또한 60 70Hz 사이이며, 1 픽셀에 대한 디스플레이 시간은 약 15 나노초이다. 그러므로 고속 콤포넌트로 연산 회로를 설계할 필요가 있거나, 상기 연산, 특히 승산 연산에서 짧은 시간 기간 동안 높은 비트 정도로 고속 연산을 이룩하도록 고밀도 캐리 회로를 포함할 필요가 있다. 이들 제한은 생산비용을 증가시키고 전력 소모를 증가시킨다. 그러므로 회전, 확대, 또는 축소 처리된 디스플레이 영상의 고해상, 풀-칼라 디스플레이를 인에이블시키는 디스플레이 디바이스의 생산에 관련한 문제점은 상기 실시예와 더불어 잔존한다. 그러므로 본 발명에 따르는 디스플레이 장치에서 저속 승산기로 동일한 연산 결과를 이룩하는 연산 회로의 대안의 실시예에 대해 이하 기술한다.

상기 연산 회로에서 상술된 애파인 변화에 대한 식 [2], [3]은

$$X2 = A \times 1 + BY1 + Xi \quad \ldots. [8]$$

$$Y2 = C \times 1 + DY1 + Yi \quad \ldots. [9]$$

로 변환되는데, 여기서, X1 및 Y1 은 초기값이

$$Xi = (1-A)X0 - BY0 \quad \ldots. [10]$$

$$Yi = -CX0 + (1-0)Y0 \quad \ldots. [11]$$

로 정의된다.

CRT 와 같은 도트 시퀀셜 주사 디스플레이 디바이스에서, 그리고 LCD 와 같은 라인 시퀀셜 주사 디스플레이 디바이스에서, 디스플레이 어드레스 카운터는 순차적으로 제로로 카운트 업된다. 카운터 출력 X1, Y1 의 값은 각 프레임의 시작에서 제로이며, X1 은 각 도트 클록 사이클에서 +1 증가되며, Y1 은 각 수평 동기 신호에서 +1 증가된다. 그러므로 초기값 Xi, Yi 가 식[10] 및 [11]에 따라 얻어지면, 처리 후에 얻어질 어드레스 X2 및 Y2 가 다음과 같이 얻어질 수 있다.

구체적으로, 수평 어드레스 X2 는 각 도트 클록에서 초기 값 Xi 에 A 를 가산하고 각 수평 동기화 신호에서 초기값 Xi 에 B 를 가산하므로 얻어질 수 있고, 수직 어드레스 Y2 는 각 도트 클록에서 초기값 Yi 에 C 를 가산하고 각 수평 동기화 신호에서 초기값 Yi 에 D 를 가산하므로 얻어질 수 있다. 실제 메모리 어드레스는 Y2 비트 시프팅하고 시프트된 값에 X2 를 가산하므로 얻어진다. 결과로서, 승산은 필요치 않고 가산만이 각 도트 클록에서 수행된다.

따라서, 연산 회로의 규모는 제로 값에서 시작한 디스플레이 어드레스 카운터의 순차 증가에 집중됨으로써 CRT 와 같은 도트 순차 주사 디스플레이 디바이스에서나 LCD 와 같은 라인 순차 주사 디스플레이 장치에서 축소될 수 있다.

본 발명의 상기 대안의 실시예가 제 7 도 내지 제 17 도와 관련하여 이하에 설명된다. 상기 설명된 제 1 실시예에 의해 얻어진 효과에 부가해서, 상기 실시예는 대-규모 회로가 필요치 않고 고속 승산기 및 다른 고속 소자를 사용할 필요가 없고 연산시 전력 소모가 적고 적은 비용으로 제조가능하다는 부가적 이점을 제공한다. 특수한 회로의 예가 첨부된 블록도와 타이밍 차트와 관련하여 이하에 설명된다.

초기값 Xi, Yi 을 계산하는 회로가 우선적으로 설명된다. 전술된 바와 같이, 초기값 Xi, Yi 는 식 [10] 및 [11]로부터 얻어질 수 있다. 이들값을 획득하는 회로가 제 7 도 및 제 8 도에 도시되었다. 상기 제 1 실시예에서와 같이, 어드레스 및 파라미터는 8-비트 정도를 사용하여 설명된다. 제 7 도를 참조하면, 회전, 확대, 또는 축소 파라미터 A, B 가 비트 반전회로(47, 51)에 의해 한 비트씩 반전되고 일(1)이 +1 만큼 회로(48, 52)에 부가되어, 2 의 부 보수 표현으로 된다. 그후에 일(1)을 상기 부 보수 표현 A에 가산한다. 가산된 A 및 회전에 대한 중심 좌표 X0 는 승산기(50)에 의해 승산되고, B 및 중심 좌표 Y0 가 승산기(53)에 의해 승산된다. 그후에, 승산기(50, 53) 결과가 가산기(54)에 의해 가산되어 초기 값 Xi 를 얻는다. 동일한 중요한 연산이 제 8 도에 도시된 회로를 사용하여 Y1 에 대해 수행된다.

목표 어드레스 X2, Y2 를 계산하기 위해 도트 클록 DCLK 및 수평 동기화 신호 HSYNC 에서 연산하는 가산회로가 다음에 설명된다.

식[8] 및 [9]는 제 9 도 및 제 10 도에 각기 도시된 회로에 의한 하드웨어로 이루어질 수 있다. 제 7 도에 도시된 회로에 의한 초기값 Xi 출력이 멀티플렉서(65)에 입력된다. DFF(66)는 수직 동기화 신호 VSYNC 의 상승 엣지를 클록으로서 사용해서 수직 귀선 라인 간격동안 멀티플렉서(65) 출력을 페치한다. 수직 디스플레이 간격동안, DFF(66) 출력 및 회전, 확대 또는 감소 파라미터 A 가 선택되어 수평 디스플레이 간격 타이밍에 가산기(64)에 의해 가산되어, 도트 클록 DCLK 상승 엣지에서 DFF(66)에 의해 판독된 데이터 입력에 인가된다.

이것은 식[8]의 제 1 요소에 대응하는 회로 연산이다. 수직 디스플레이 간격 중 수평 귀선 라인 간격 동안 멀티플렉서(63)에 의해 B 가 선택되고 부가되어, 수평 동기화 신호 HSYNC 상승 엣지에서 DFF(66)에 의해 판독된다. 이것은 식[8]의 제 2 요소에 대응하는 회로 연산이다. 초기값 Xi 에 있어서, 회전, 확대 또는 축소 파라미터 A 또는 B 는 필요한 어드레스 X2 를 얻기 위해 누적 가산된다. 제 9 도에 도시된 회로의 연산에 대한 타이밍 차트가 제 11 도에 도시되었다.

제 10 도에 도시된 회로에 대한 연산 원리는 어드레스에 대해 상이한 초기값과 회전, 확대 및 축소 파라미터로 연산되는 점을 제외하곤 전술한 것과 동일하다. 이렇게 하여, 어드레스 Y2 도 또한 누적 합계로서 출력될 수 있다.

따라서, 승산 및 가산에 의해 식[10] 및 [11]의 초기값을 얻으므로, 임의의 특수한 디스플레이 타이밍에서 어드레스에 대한 연산 결과는, 상기 초기값에 있어서 도트 클록 또는 수평 동기화 신호를 연산 클록으로서 사용하는 어드레스 카운터의 카운트에 동기화된 대응하는 회전, 확대 또는 축소 파라미터를 누적 가산함으로써 얻어질 수 있다. 제 9 도 및 제 10 도에서 공지되었을 바와 같이, 상기 회로는 데이터 래치용 플립-플롭, 멀터플렉서 및, 가산기를 포함하므로 작은 회로 규모로 이루어질 수 있다. 게다가, 가산 연산만이 도트 클록에 따라 실행되기 때문에, 상기 회로는 고 도트 클록 레이트로 고해상도 디스플레이 장치에 적용될 수 있다.

승산 연산에 필요한 초기 값을 얻는 연산회로의 타이밍을 이후에 설명한다. 매끄러운 회전 영상의 디스플레이라 가정하면, CPU(7)에 의해, 회전 본체에 대한 디스플레이 데이터를 디스플레이 메모리(2)에 우선적으로 기록하고 그 후에, 각 디스플레이 프레임에서, 회전각, 즉, 회전, 확대 또는 축소 파라미터 A, B, C, D 를 바꿈으로써, 회전 영상이 이루어질

수 있다. 제 9 도 및 제 10 도에 도시된 상기 실시예에 대한 회로에 있어서, 초기값 Xi, Yi 는 각기 수직 동기화 신호 V SYNC 상승 엣지에서 DFF(66 및 73)내로 판독된다. 그러므로, 적당한 디스플레이 프레임 주기의 종료 후에 수직 귀선 라인 간격동안 상기 파라미터를 재기록하는 것으로 충분하다. 이것이 제 12 도에 간략히 설명되어 있다. 파라미터 레지스터(77)는 회로, 확대 또는 축소 파라미터 A, B, C, D 및, X0, Y0 를 래치한다. CPU 는 폴(poll)하거나 인터럽트 함으로써 수직 귀선 라인 간격의 시점을 검출하고, 기록 신호를 발생시키며, 그런 다음 프레임에 대한 파라미터 세트를 재기록 한다. 초기값 Xi, Yi 에 대한 연산 회로(78)는 새로운 파라미터 세트를 취해, 다음 프레임에 대한 초기값을 계산한다. 결과치가 수직 동기 신호 VSYNC 의 상승(rise)에 의해 복귀되면, 그 시간에 제 9 또는 10 도에 도시된 바와 같이 상기 결과치가 누적 가산 회로에 인가된다.

제 12 도에 도시된 예에서는, CPU 가 몇몇 수단에 의해 수직 귀선 라인 간격의 시점을 검출할 필요가 있다. 제 13 도에 도시된 다른 예에서는, 파라미터 레지스터는 래치(80) 때문에 더블 버퍼 레지스터이다. 그래서, CPU 가 수직 귀선 라인 간격의 시점을 검출할 필요가 없으며, 임의의 원하는 시간에 파라미터 레지스터를 재기록 할 수 있다. 더우기, 래치(80)클록이 수직 동기 신호 VSYNC 상승 시점에서 연산하기 때문에, CPU 가 이를 검출하고, 파라미터 레지스터 및 초기값 Xi, Yi 을 재기록할 경우, 연산 회로(81)에는 가장 큰 가능 연상 시간, 또는 대략 16ms, 즉 한 프레임의 균등치가 허용된다. 그래서, 고속 연산은 이런 회로 내에서 요구되지 않아, 더욱 쉽게 설계될 수 있다.

다른 가능 디스플레이 케이스는 디스플레이 라인마다 회전, 확대 또는 축소 파라미터 A, B, C, D 를 재기록한다. 디스플레이 대상에 대한 앞면 영상 데이터는 디스플레이 메모리(2)로 먼저 저장된다. X 방향의 확대 레이트에 대응하는 파라미터가 디스플레이의 상부로의 고 확대 레이트와 하부로의 저 레이트를 이용하여 디스플레이 라인마다 재기록될 경우, 결과적인 영상은 관찰자에게 기울어지게 보여진다. 확대 레이트 차의 레이트가 각 프레임에서 증가될 경우, 영상은 디스플레이 메모리를 재기록 하지 않고 기울어지는 것처럼 보여질 수 있다.

따라서, 디스플레이 라인마다 회전, 확대 또는 축소 파라미터 A, B, C, D 를 재 기록할 필요가 있기 때문에, 선행 라인에 누적 가산함으로써 성취된 합산치는 어드레스 계산에 이용될 수 있다. 초기값은 파라미터 재기록 타이밍에서 리세트된다. 예를 들어, 파라미터에 따른 누적 가산을 이용하여 라인(n+l)으로부터 파라미터의 재기록은 라인 n 에서 프레임의 초기에 세트된다. 재기록된 후의 파라미터가 A', B', C', D', X0' 및 Y0' 일 경우, 대응 변환식은,

$$X2 = A'X1 + B'Y1 + Xi \quad \text{....} \quad [12]$$

$$Y2 = C'X1 + D'Y1 + Yi \quad \text{....} \quad [13]$$

여기서 Xi 및 Yi 는 아래와 같이 정의된 초기값이고,

$$Xi = (1 - A')X0' - B'Y0 \quad \text{....} \quad [14]$$

$$Yi = -C'X0' + (1 - D')Y0' \quad \text{....} \quad [15]$$

프레임의 초기에서 설정된 값인 것으로 가정된다.

Xi 및 Yi 가 수평 어드레스 X2 동안 라인 n 후에 실제로 세트되기 때문에, B' n 번 및 A'(n ×w)번의 누적합산치는 라인(n+1)에 대한 초기값으로 이용되며, 여기서 W 는 한 라인내의 수평 도트수이다. 그래서, 라인(n+l)으로 부터의 초기값이 Xj 및 Yj 일 경우,

$$Xj = (1 - A')\,X0' - B'Y0' + nwA' + nB' \quad \text{....} \quad [14]$$

Yj = -C'X0' + (1-D')Y0' + nwC' + nD' .... [15]

초기값들을 성취한 회로는 프레임 마다 한번 재기록할 시에 이용된 것보다 약간 더 복잡하며, 제 14 및 15 도에 도시된다. 이런 회로는 식[14] 및 [15]에서 제 3 및 4 요소를 계산하도록 가산된 부가적인 성분을 가진 제 7 및 8 도에 도시된 회로이다.

초기값의 계산 후에 이용된 누적 가산을 위한 회로는 제 9 및 10 도에 도시된 바와 같고, 한가지 예외는 초기값이 멀티플렉서(65, 72)에 의해 라인 간격을 수평 귀선할 동안 세트시키는 반면에, 수직 귀선 라인 간격은 제 9 및 10 도의 회로에 이용된다. 더우기, 제 13 도를 참조로 기술된 바와 같이, 이중 버퍼 회로 구성이 이용되고, 파라미터가 수평 동기 신호 HSYNC 에서 래치될 경우, 한 수평 주사 주기 동안, 즉 대략 63μsec 의 간격에 식 [14] 및 [15]에서 도시된 연산을 이용하여 초기값을 계산하기에 충분하며, 고속 소자를 가진 회로를 설계할 필요가 없다.

승산 연산을 필요로 하는 초기값 연산 회로의 구성은 아래와 같이 기술된다.

전술된 바로부터 명백하듯이, 고속 소자 및 회로는 도트 클록 레이트로 연산할 필요가 없기 때문에 초기값을 성취한 승산 연산에 이용될 수 있다. 그러나, 제 7 및 8 도에 도시된 바와 같은 초기값 승산 회로는 병렬로 이용될 경우, 4 개의 승산기가 요구되며, 회로 규모는 반드시 크다. 이런 회로가 동일하게 구성될 경우, 시분할 처리로 두 값을 성취할 단일 회로를 이용할 수 있다. 이런 형의 회로를 제 16 도에 도시한다. 제 16 도에 도시된 FRAME 신호는 디스플레이 프레임으로 동기화되며, 본 실시예에서 50% 듀티 사이클을 갖고 있다. FRAME 신호의 HIGH 또는 LOW 레벨에 의해, 승산기(102), (106), (108), (112)는 제각기 A 또는 D, X0 또는 Y0, B 또는 C 와, Y0 또는 X0 를 선택한다. 그래서, 가산기(113)는 제 1 절반 디스플레이 프레임 동안에는 Xi, 제 2 절반 동안에는 Yi 를 출력시킨다. DFF(114 및 115)는 이런 신호를 래치시키며, 제 9 및 10 도에 도시된 누적 가산기로 결과치를 초기값으로서 출력한다. 단일 프레임의 디스플레이 시간이 매우 길기 때문에, 고속 연산은 필요치 않으며, 회로 스케일은 단일 회로가 시분할 처리로 연산될 시에도 축소될 수 있다.

이와 같이 기술된 본 발명에 의해 아래 이점이 성취된다.

(1) 회전, 확대 또는 축소 영상 디스플레이는 CPU가 디스플레이 메모리를 재기록할 필요 없이 디스플레이 장치 상에서 가능하다.

(2) 도트 클록 레이트로 고속 승산 연산을 할 필요 없이 모든 디스플레이 프레임 또는 디스플레이 라인마다 한 번의 승산 연산과, 모든 도트 또는 디스플레이 라인마다 한 번의 누적 가산 연산에 의해 매끄러운 영산 회전을 디스플레이 할 수 있다.

(3) 승산기가 저 클록 레이트에서 이용되고, 시분할에 의해 연산될 수 있기 때문에, 회로 규모는 축소되고, 저가로 제조될 수 있다.

(57) 청구의 범위

청구항 1.

주사형 디스플레이 장치 상에 영상이 나타나도록 처리하는 디스플레이 회로에 있어서,

상기 디스플레이 장치에 접속되어 있으며 제 1 영상을 한정하는 픽셀 데이터를 포함하는 디스플레이 메모리와,

상기 디스플레이 장치 상에 상기 제 1 영상을 나타내기 위해 상기 디스플레이 메모리로부터 픽셀 데이터를 판독하는 순위(order)와 관련된 제 1 어드레스들을 발생하는 어드레스 카운터와,

상기 제 1 영상을 처리하기 위해 회전(rotation) 및 축척(scaling) 파라미터들을 기억하는 파라미터 메모리와,

상기 디스플레이 장치에 대한 동기 신호를 연산 회로에 입력하는 동기 수단(synchronization means)을 포함하며,

상기 연산 회로는 상기 어드레스 카운터, 상기 파라미터 메모리, 및 상기 동기 수단에 결합되어, 상기 파라미터 메모리로부터의 파라미터에 따라 상기 어드레스 카운터로부터의 제 1 어드레스들을 제 2 어드레스들로 변환시키며, 상기 제 2 어드레스들은 상기 메모리로부터의 픽셀 데이터가 상기 디스플레이 장치 상에 디스플레이 되는 픽셀 위치와 관련되어 있으며,

상기 연산 회로는 상기 제 2 어드레스들을 상기 디스플레이 메모리에 인가하며, 상기 동기 신호에 동기하여, 상기 디스플레이 메모리로부터 픽셀 데이터를 판독하고 상기 디스플레이 장치로 실질적으로 직접 출력하여 픽셀 데이터를 메모리로 다시 기록함이 없이 상기 디스플레이 장치 상에 처리된 제 2 영상을 나타내는, 디스플레이 회로.

청구항 2.

제 1 항에 있어서,

상기 연산 회로는 애파인 변환(affine transformation)에 의해 상기 제 1 어드레스들을 변환시키는, 디스플레이 회로.

청구항 3.

제 1 항에 있어서,

상기 파라미터 메모리는 상기 디스플레이 장치의 수직 동기 신호에 대응하는 클록 레이트로 상기 파라미터를 기억하는, 디스플레이 회로.

청구항 4.

제 1 항에 있어서,

상기 파라미터 메모리는 상기 디스플레이 장치의 수평 동기 신호에 대응하는 클록 레이트로 상기 파라미터를 기억하는, 디스플레이 회로.

청구항 5.

제 1 항에 있어서,

상기 파라미터 메모리는 각각의 프레임에 대한 상기 파라미터들을 기억하는, 디스플레이 회로.

청구항 6.

제 1 항에 있어서,

상기 파라미터 메모리는 각각의 라인에 대한 상기 파라미터들을 기억하는, 디스플레이 회로.

청구항 7.

제 1 항에 있어서,

상기 연산 회로는 상기 카운터에 의해 카운트된 출력이 증가할 때마다 상기 파라미터들에 대응하는 값을 상기 제 2 어드레스들에 누적 가산하는, 디스플레이 회로.

청구항 8.

제 1 항에 있어서,

상기 연산 회로는,

상기 디스플레이 회로의 도트 클록에 동기하는 레이트로 상기 파라미터들을 누적 가산하는 제 1 가산기 회로와,

상기 디스플레이 회로의 수평 동기 신호에 동기하는 신호에 동기하여 상기 파라미터들을 누적 가산하는 제 2 가산기 회로를 포함하는, 디스플레이 회로.

청구항 9.

제 1 항에 있어서,

상기 연산 회로는,

상기 디스플레이 회로의 수직 동기 신호에 동기하는 레이트로 초기값들을 계산하는 승산기 회로와,

상기 디스플레이 회로의 도트 클록에 동기하는 레이트로 상기 파라미터들을 누적 가산하는 제 1 가산기 회로와,

상기 디스플레이 회로의 수평 동기 신호에 동기하여 상기 파라미터들을 누적 가산하는 제 2 가산기 회로를 포함하는, 디스플레이 회로.

청구항 10.

제 2 항에 있어서,

상기 애파인 변환은,

$$\begin{bmatrix} X2 \\ Y2 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} X1 - X0 \\ Y1 - Y0 \end{bmatrix} + \begin{bmatrix} X0 \\ Y0 \end{bmatrix}$$

으로 정의되며, 상기 회전 및 축척 파라미터들은 회전 및 축척 인자 $\begin{bmatrix} A & B \\ C & D \end{bmatrix}$ 및 중심축 $\begin{bmatrix} X0 \\ Y0 \end{bmatrix}$으로 주어지고, 상기 제 2 어드레스들 $\begin{bmatrix} X2 \\ Y2 \end{bmatrix}$은 제 1 어드레스들 $\begin{bmatrix} X1 \\ Y1 \end{bmatrix}$의 애파인 변환에 의해 결정되는, 디스플레이 회로.

청구항 11.

제 10 항에 있어서,

상기 연산 회로는,

X1 - X0를 계산하는 제 1 가산기 회로와,

Y1 - Y0를 계산하는 제 2 가산기 회로와,

인자 A 및 B를 입력하며 시분할에 따라 이들 인자들 중 하나를 출력하는 제 인자 C 및 D를 입력하며 시분할에 따라 이들 인자를 중 하나를 출력하는 제 2 멀티플렉서와,

상기 제 1 멀티플렉서에 의해 출력된 인자 A 및 C 중 하나를 상기 제 1 가산기 회로의 출력에 승산하는 제 1 승산기 회로와,

상기 제 2 멀티플렉서에 의해 출력된 인자 B 및 D 중 하나를 상기 제 2 가산기 회로의 출력에 승산하는 제 2 승산기 회로와,

상기 제 1 가산기 회로의 출력과 상기 제 2 승산기 회로의 출력과 상기 X0를 가산하거나, 또는 상기 제 1 가산기 회로의 출력과 상기 제 2 승산기 회로의 출력과 상기 Y0를 가산하는 제 3 가산기 회로를 포함하는, 디스플레이 회로.

청구항 12.

제 10 항에 있어서,

상기 연산 회로는,

Xi=(1-A)X0-BY0를 계산하는 제 1 승산기 및 가산기 회로와,

Yi=-CX0+(1-D)Y0를 계산하는 제 2 승산기 및 가산기 회로와,

카운트를 연속적으로 증가시켜 X1 및 Y1을 발생하는 어드레스 카운터와,

상기 어드레스 카운터에 의해 X1을 1 증가시킬 때마다 A의 레이트에서의 X2의 값과 상기 어드레스 카운터에 의해 Y1을 1 증가시킬 때마다 B의 레이트에서의 값과 상기 어드레스 카운터에 의해 Y1을 1 증가시킬 때마다 B의 레이트에서의 X2의 값을 누적 계산하여 X2=AX1+BY1+Xi를 계산하는 제 3 가산기 회로와,

상기 어드레스 카운터에 의해 X1을 1 증가시킬 때마다 C의 레이트에서의 Y2의 값과 상기 어드레스 카운터에 의해 Y1을 1 증가시킬 때마다 D의 레이트에서의 Y2의 값을 누적 계산하여 Y2=CX1+DY1+Yi를 계산하는 제 4 가산기 회로를 포함하는, 디스플레이 회로.

청구항 13.

제 10 항에 있어서,

상기 연산 회로는,

Xi=(1-A)X0-BY0를 계산하는 제 1 승산기 및 가산기 회로와,

Yi=-CX0+(1-D)Y0를 계산하는 제 2 승산기 및 가산기 회로와,

상기 디스플레이 장치로부터의 도트 클록에 동기해서 A의 레이트에서의 X2의 값과 디스플레이 신호로부터의 수평 동기 신호에 동기해서 B의 레이트에서의 X2의 값을 누적 계산하여 X2=AX1+BY1+Xi를 계산하는 제 3 가산기 회로와,

상기 디스플레이 장치로부터의 도트 클록에 동기해서 C의 레이트에서의 Y2의 값과 디스플레이 회로로부터의 수평 동기 신호에 동기해서 D의 레이트에서의 Y2의 값을 누적 계산하여 Y2=CX1+DY1+Yi를 계산하는 제 4 가산기 회로를 포함하는, 디스플레이 회로.

청구항 14.

제 10 항에 있어서,

상기 연산 회로는,

상기 디스플레이 회로의 수직 동기 신호에 동기해서 Xi=(1-A)X0-BY0를 계산하는 제 1 승산기 및 가산기 회로와,

상기 디스플레이 회로의 수직 동기 신호에 동기해서 Yi=-CX0+(1-D)Y0를 계산하는 제 2 승산기 및 가산기 회로와,

상기 디스플레이 장치로부터의 도트 클록에 동기해서 A의 레이트에서의 X2의 값과 상기 디스플레이 회로로부터의 수평 동기 신호에 동기해서 B의 레이트에서의 X2의 값을 누적 계산하여 X2=AX1+BY1+Xi를 계산하는 제 3 가산기 회로와,

상기 디스플레이 장치로부터의 도트 클록에 동기해서 C의 레이트에서의 Y2의 값과 상기 디스플레이 회로로부터의 수평 동기 신호에 동기해서 D의 레이트에서의 Y2의 값을 누적 계산하여 Y2=CX1+DY1+Yi를 계산하는 제 4 가산기 회로를 포함하는, 디스플레이 회로.

청구항 15.

제 12 항에 있어서,

상기 파라미터 메모리는 각각의 프레임에 대한 상기 파라미터들을 기억하는, 디스플레이 회로.

청구항 16.

제 12 항에 있어서,

상기 파라미터 메모리는 각각의 라인에 대한 상기 파라미터들을 기억하는, 디스플레이 회로.

청구항 17.

제 13 항에 있어서,

상기 파라미터 메모리는 상기 디스플레이 장치의 수직 동기화 신호에 시간적으로 동기하는 상기 파라미터들을 기억하는, 디스플레이 회로.

청구항 18.

제 13 항에 있어서,

상기 파라미터 메모리는 상기 디스플레이 회로의 수평 동기 신호에 시간적으로 동기하는 상기 파라미터들을 기억하는, 디스플레이 회로.

청구항 19.

제 1 항에 있어서,

상기 연산 회로는 수평 귀선 라인 간격 동안 상기 제 2 어드레스들에 대한 초기값들을 계산하는 승산기 회로를 포함하는, 디스플레이 회로.

청구항 20.

제 2 항에 있어서,

상기 연산 회로는 수평 귀선 라인 간격 동안 상기 제 2 어드레스들에 대한 초기값들을 계산하는 승산기 회로를 포함하는, 디스플레이 회로.

청구항 21.

제 1 항에 있어서,

상기 연산 회로는 수직 귀선 라인 간격 동안 상기 제 2 어드레스들에 대한 초기값들을 계산하는 승산기 회로를 포함하는, 디스플레이 회로.

청구항 22.

제 2 항에 있어서,

상기 연산 회로는 수직 귀선 라인 간격 동안 상기 제 2 어드레스들에 대한 초기값들을 계산하는 승산기 회로를 포함하는, 디스플레이 회로.

청구항 23.

제 1 항에 있어서,

상기 연산 회로는 수직 동기 신호 및 수평 동기 신호에 동기하는 레이트로 상기 제 2 어드레스들에 대한 초기값들을 계산하는 승산기 회로를 포함하는, 디스플레이 회로.

청구항 24.

제 2 항에 있어서,

상기 연산 회로는 수직 동기 신호 및 수평 동기 신호에 동기하는 레이트로 상기 제 2 어드레스들에 대한 초기값들을 계산하는 승산기 회로를 포함하는, 디스플레이 회로.

청구항 25.

제 8 항에 있어서,

상기 파라미터 메모리는 상기 디스플레이 장치의 수직 동기 신호에 대응하는 클록 레이트로 상기 파라미터들을 기억하는, 디스플레이 회로.

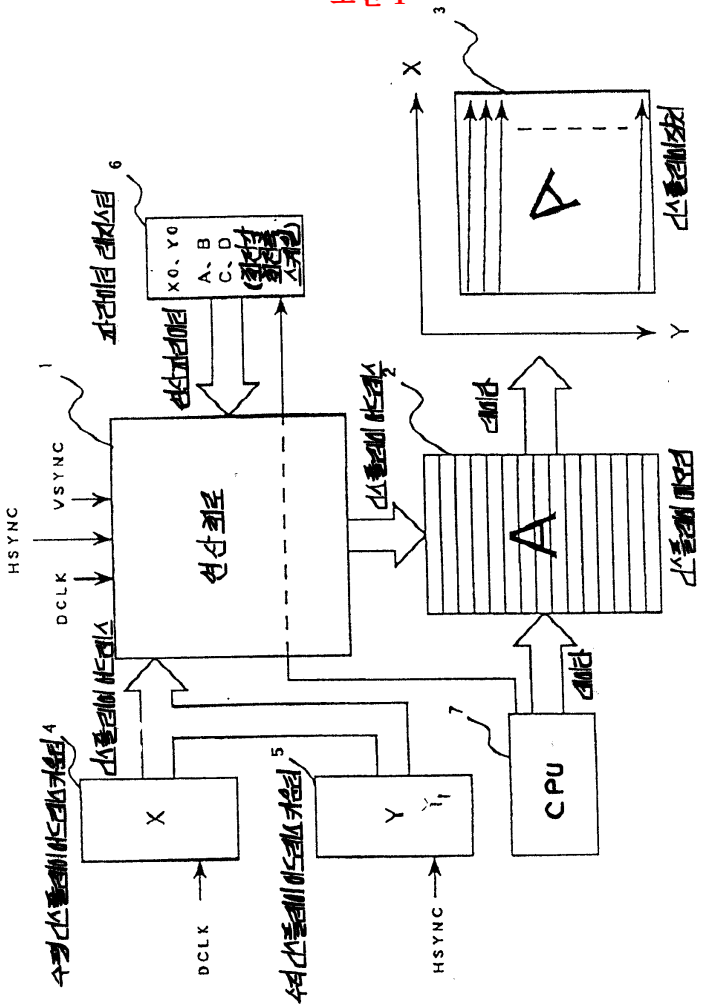
청구항 26.

제 8 항에 있어서,

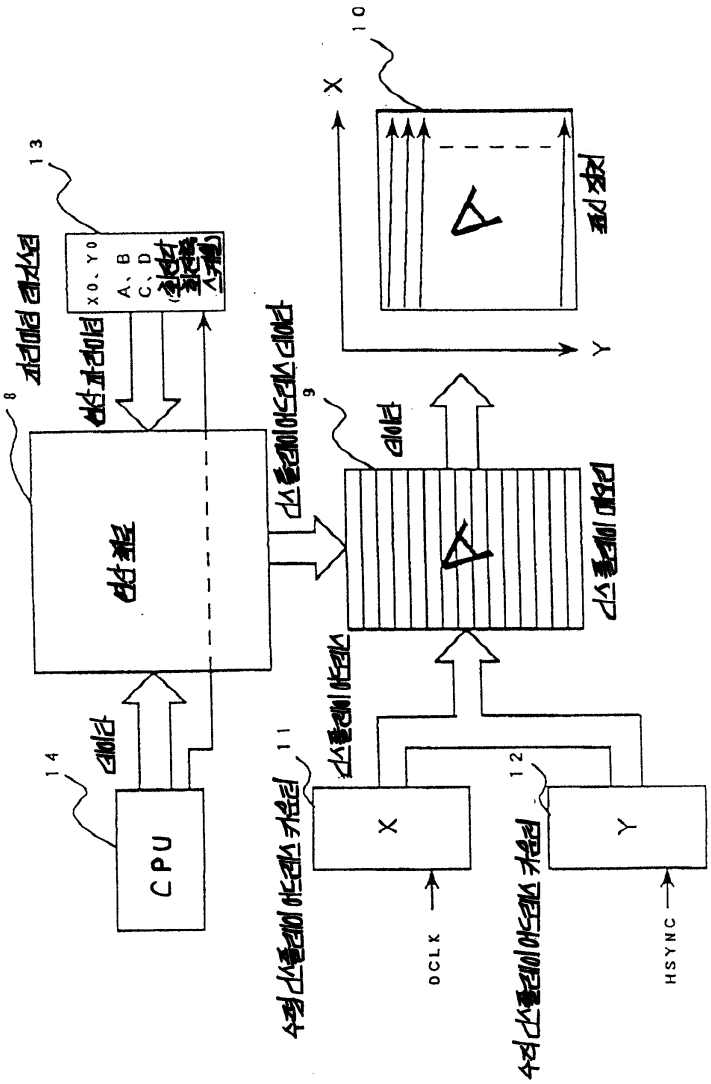
상기 파라미터 메모리는 상기 디스플레이 장치의 수평 동기 신호에 대응하는 클록 레이트로 상기 파라미터들을 기억하는, 디스플레이 회로.

도면

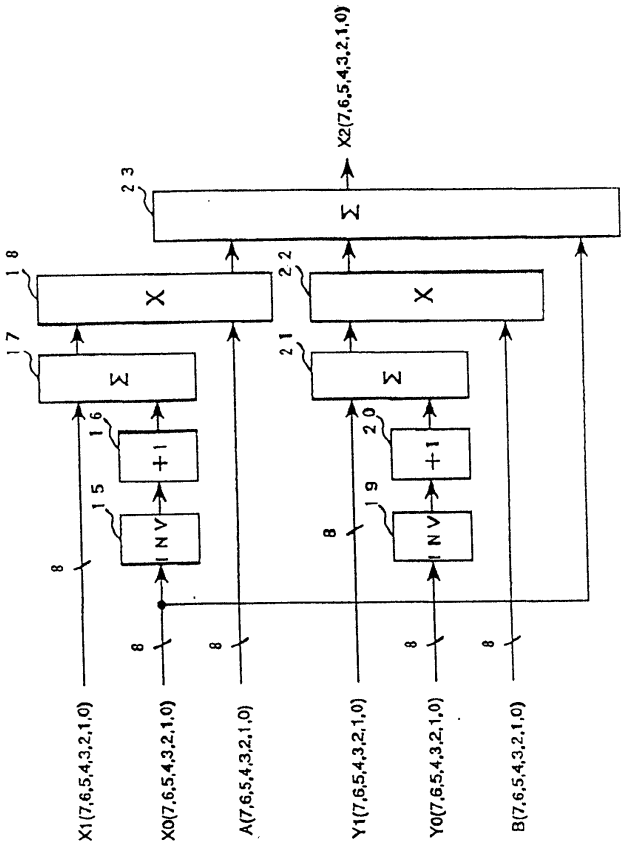
도면 1



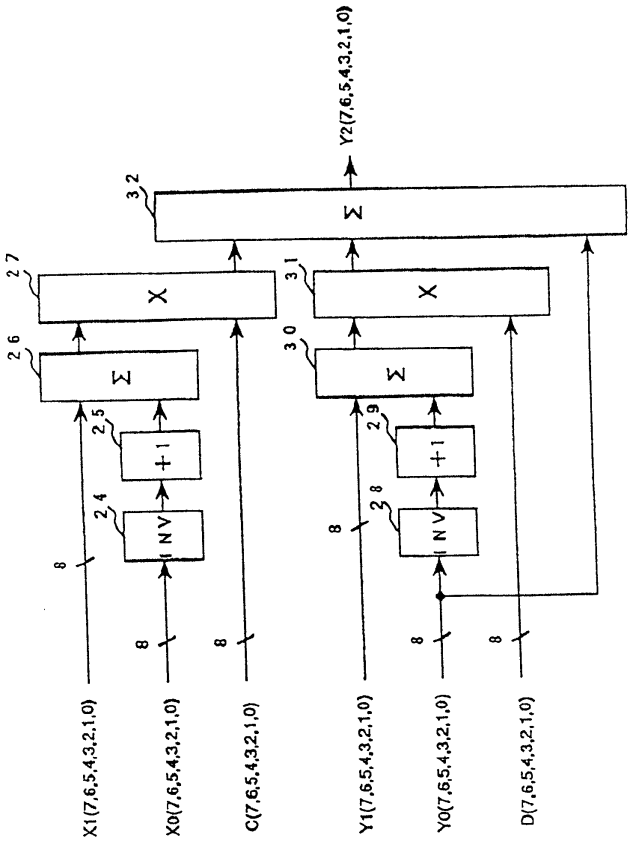
도면 2



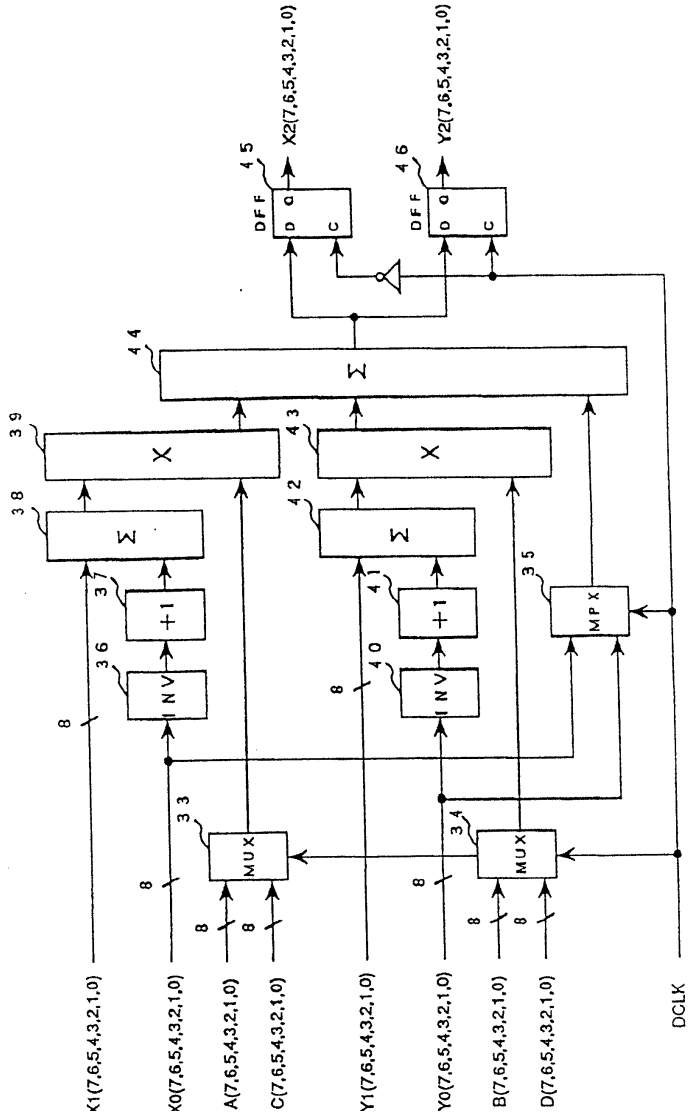
도면 3


X2(7,6,5,4,3,2,1,0)
23
Σ
18
X
22
X
17
Σ
21
Σ
16
+1
20
+1
15
INV
19
INV
8
X1(7,6,5,4,3,2,1,0)
X0(7,6,5,4,3,2,1,0)
A(7,6,5,4,3,2,1,0)
Y1(7,6,5,4,3,2,1,0)
Y0(7,6,5,4,3,2,1,0)
B(7,6,5,4,3,2,1,0)

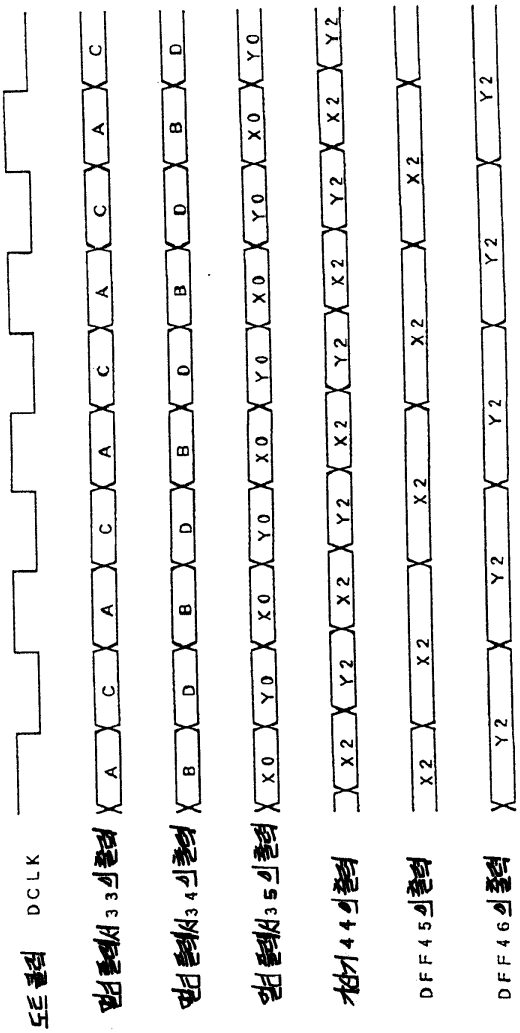
도면 4


Y2(7,6,5,4,3,2,1,0)
32
Σ
27
X
31
X
26
Σ
30
Σ
25
+1
29
+1
24
NV
28
NV
8
8
8
8
8
8
X1(7,6,5,4,3,2,1,0)
X0(7,6,5,4,3,2,1,0)
C(7,6,5,4,3,2,1,0)
Y1(7,6,5,4,3,2,1,0)
Y0(7,6,5,4,3,2,1,0)
D(7,6,5,4,3,2,1,0)

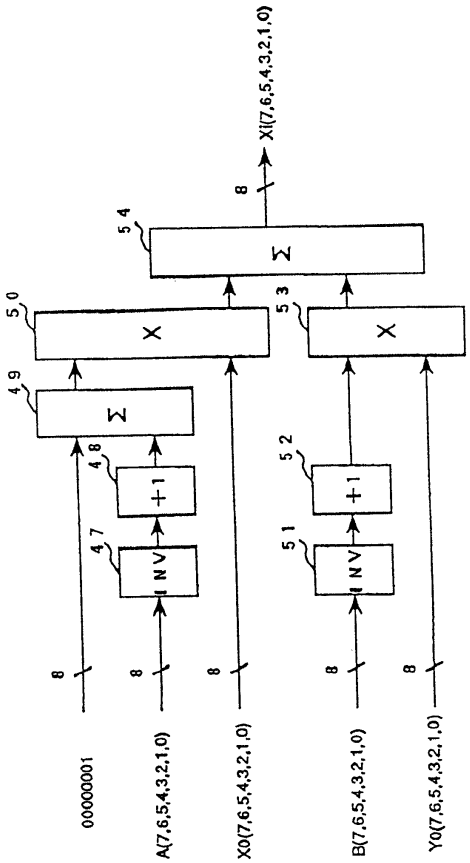
도면 5


X2(7,6,5,4,3,2,1,0)
Y2(7,6,5,4,3,2,1,0)
DFF
D
Q
C
45
46
44
Σ
39
43
X
38
42
Σ
37
41
+1
36
40
INV
8
35
MPX
33
34
MUX
K1(7,6,5,4,3,2,1,0)
K0(7,6,5,4,3,2,1,0)
A(7,6,5,4,3,2,1,0)
C(7,6,5,4,3,2,1,0)
Y1(7,6,5,4,3,2,1,0)
Y0(7,6,5,4,3,2,1,0)
B(7,6,5,4,3,2,1,0)
D(7,6,5,4,3,2,1,0)
DCLK

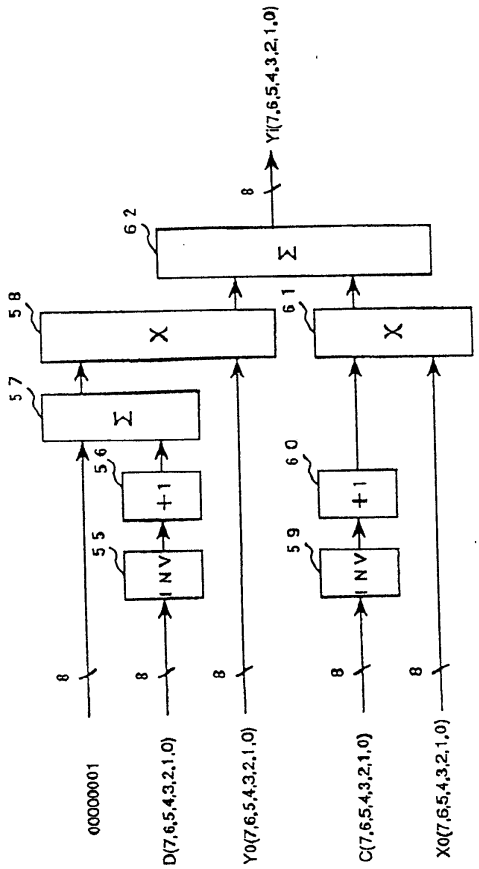
도면 6


도트클럭 DCLK
멀티플렉서33의출력
멀티플렉서34의출력
멀티플렉서35의출력
래치44의출력
DFF45의출력
DFF46의출력

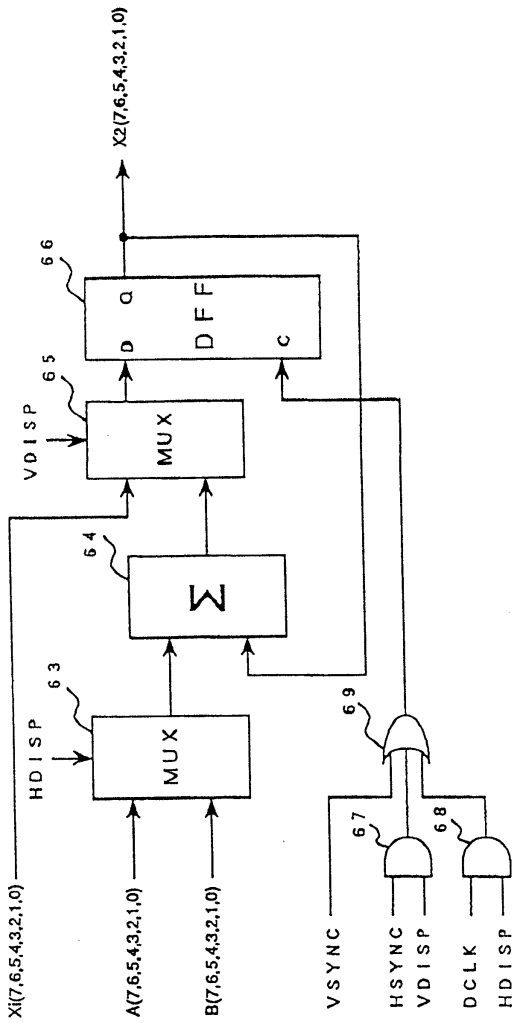
도면 7


Xi(7,6,5,4,3,2,1,0)
8
54
Σ
50
X
53
X
49
Σ
48
+1
52
+1
47
NV
51
NV
8
8
8
8
8
00000001
A(7,6,5,4,3,2,1,0)
X0(7,6,5,4,3,2,1,0)
B(7,6,5,4,3,2,1,0)
Y0(7,6,5,4,3,2,1,0)

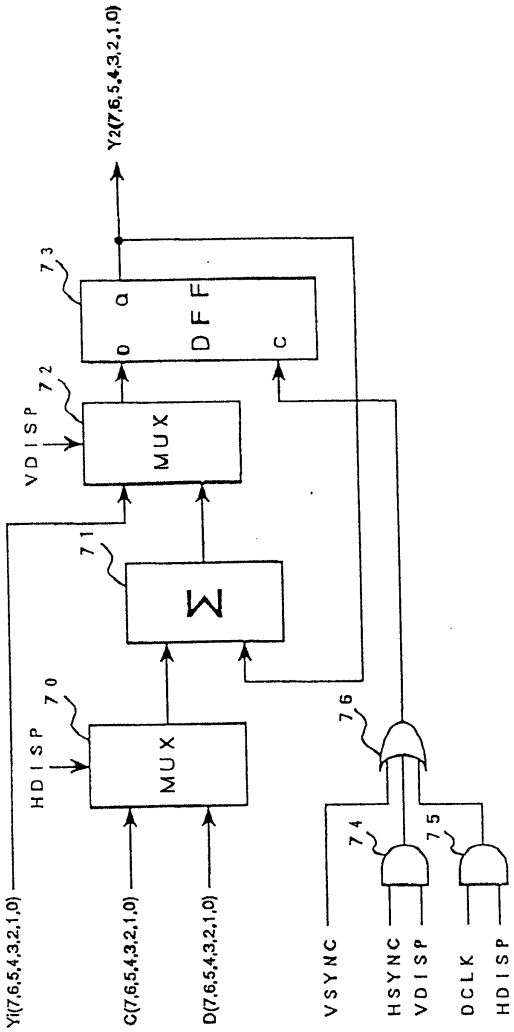
도면 8


Yi(7,6,5,4,3,2,1,0)
8
62
Σ
61
X
58
X
57
Σ
60
+1
56
+1
59
INV
55
INV
8
8
8
8
8
00000001
D(7,6,5,4,3,2,1,0)
Y0(7,6,5,4,3,2,1,0)
C(7,6,5,4,3,2,1,0)
X0(7,6,5,4,3,2,1,0)

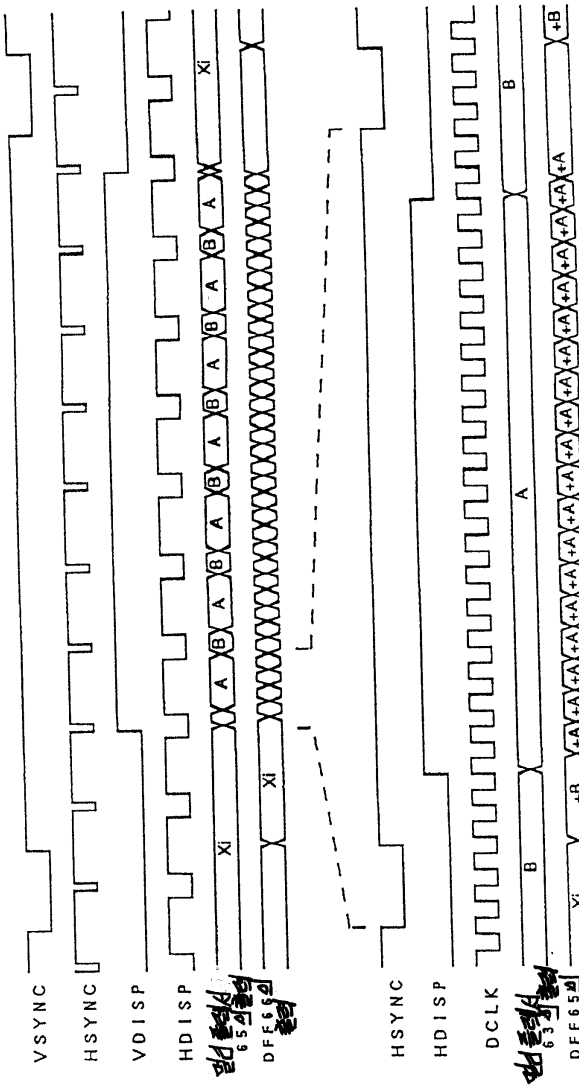
도면 9


X2(7,6,5,4,3,2,1,0)
66
D
Q
DFF
C
65
VDISP
MUX
64
M
63
HDISP
MUX
69
67
68
Xi(7,6,5,4,3,2,1,0)
A(7,6,5,4,3,2,1,0)
B(7,6,5,4,3,2,1,0)
VSYNC
HSYNC
VDISP
DCLK
HDISP

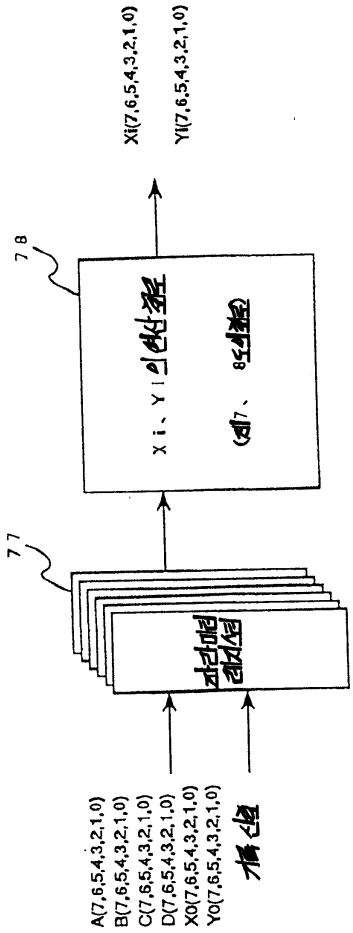
도면 10


Y2(7,6,5,4,3,2,1,0)
73
Q
D
F F
C
72
VDISP
MUX
71
M
70
HDISP
MUX
76
74
75
Y1(7,6,5,4,3,2,1,0)
C(7,6,5,4,3,2,1,0)
D(7,6,5,4,3,2,1,0)
VSYNC
HSYNC
VDISP
DCLK
HDISP

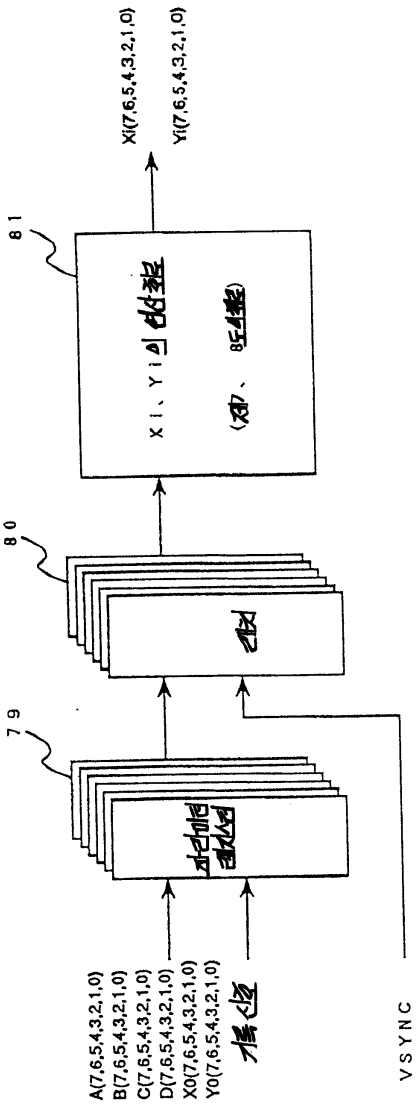
도면 11



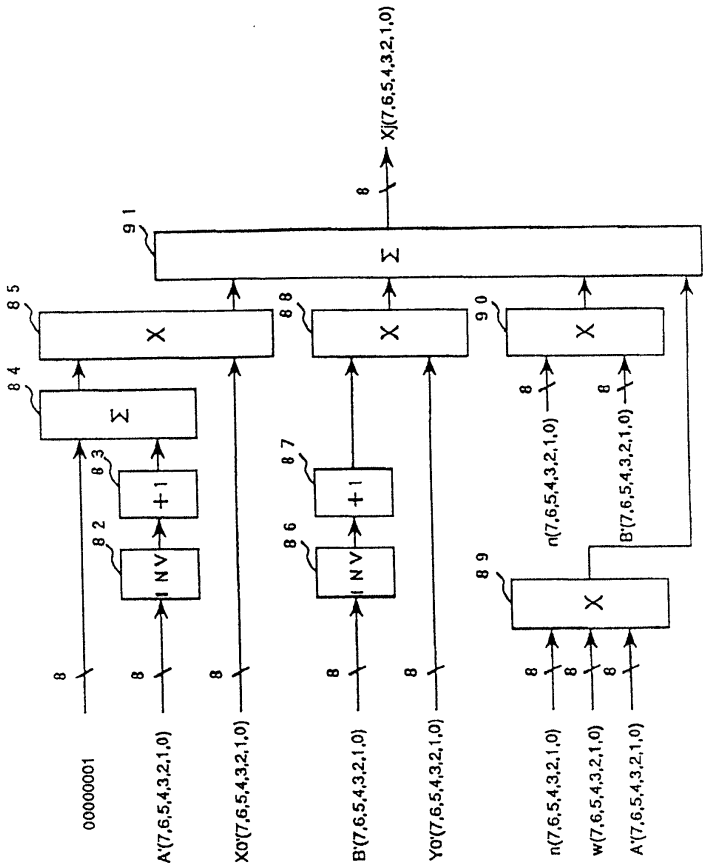
도면 12


Xi(7,6,5,4,3,2,1,0)
Yi(7,6,5,4,3,2,1,0)
78
77
A(7,6,5,4,3,2,1,0)
B(7,6,5,4,3,2,1,0)
C(7,6,5,4,3,2,1,0)
D(7,6,5,4,3,2,1,0)
X0(7,6,5,4,3,2,1,0)
Y0(7,6,5,4,3,2,1,0)

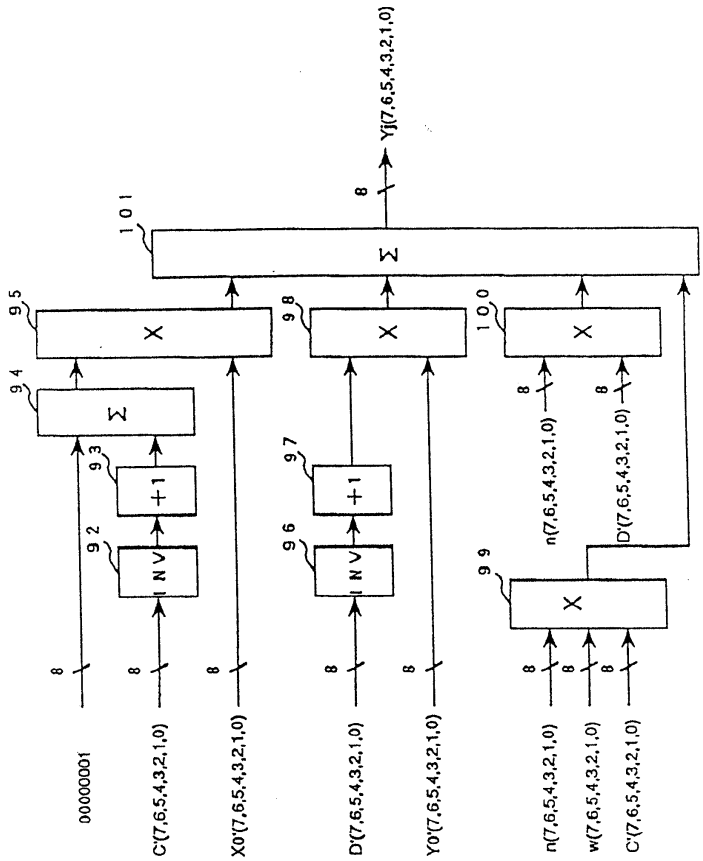
도면 13


A(7,6,5,4,3,2,1,0)
B(7,6,5,4,3,2,1,0)
C(7,6,5,4,3,2,1,0)
D(7,6,5,4,3,2,1,0)
X0(7,6,5,4,3,2,1,0)
Y0(7,6,5,4,3,2,1,0)
VSYNC
79
80
81
Xi(7,6,5,4,3,2,1,0)
Yi(7,6,5,4,3,2,1,0)

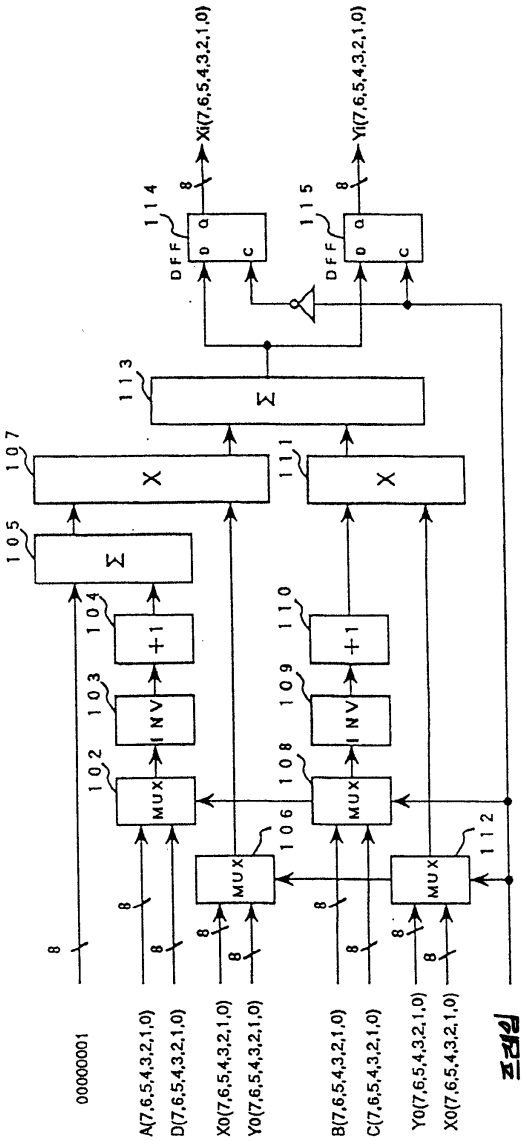
도면 14


Xj(7,6,5,4,3,2,1,0)
8
91
Σ
85
X
84
Σ
88
X
90
X
82
INV
83
+1
86
INV
87
+1
89
X
8
00000001
A'(7,6,5,4,3,2,1,0)
XO'(7,6,5,4,3,2,1,0)
B'(7,6,5,4,3,2,1,0)
YO'(7,6,5,4,3,2,1,0)
n(7,6,5,4,3,2,1,0)
n(7,6,5,4,3,2,1,0)
B'(7,6,5,4,3,2,1,0)
n(7,6,5,4,3,2,1,0)
w(7,6,5,4,3,2,1,0)
A'(7,6,5,4,3,2,1,0)

도면 15


Yj(7,6,5,4,3,2,1,0)
8
101
Σ
95
X
94
Σ
93
+1
92
INV
8
00000001
8
C'(7,6,5,4,3,2,1,0)
8
X0'(7,6,5,4,3,2,1,0)
98
X
97
+1
96
INV
8
D'(7,6,5,4,3,2,1,0)
8
Y0'(7,6,5,4,3,2,1,0)
100
X
8
n(7,6,5,4,3,2,1,0)
8
D'(7,6,5,4,3,2,1,0)
99
X
8
n(7,6,5,4,3,2,1,0)
8
w(7,6,5,4,3,2,1,0)
8
C'(7,6,5,4,3,2,1,0)

도면 16


Xi(7,6,5,4,3,2,1,0)
Yi(7,6,5,4,3,2,1,0)
DFF
114
115
113
Σ
107
111
X
105
Σ
104
110
+1
103
109
INV
102
108
MUX
106
112
00000001
A(7,6,5,4,3,2,1,0)
D(7,6,5,4,3,2,1,0)
X0(7,6,5,4,3,2,1,0)
Y0(7,6,5,4,3,2,1,0)
B(7,6,5,4,3,2,1,0)
C(7,6,5,4,3,2,1,0)
Y0(7,6,5,4,3,2,1,0)
X0(7,6,5,4,3,2,1,0)
8

프리엠

도면 17

