

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-72166

(P2008-72166A)

(43) 公開日 平成20年3月27日(2008.3.27)

(51) Int.Cl.
H03L 7/093 (2006.01)F I
H03L 7/08テーマコード (参考)
5J106

審査請求 未請求 請求項の数 14 O L (全 79 頁)

(21) 出願番号 特願2006-246327 (P2006-246327)
(22) 出願日 平成18年9月12日 (2006.9.12)(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100086298
弁理士 船橋 國則
(72) 発明者 松本 智宏
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72) 発明者 植野 洋介
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
Fターム(参考) 5J106 AA04 CC01 CC24 CC31 CC41
CC45 DD32 DD35 EE01 EE10
FF09 GG07 GG15 HH03 KK05
KK11

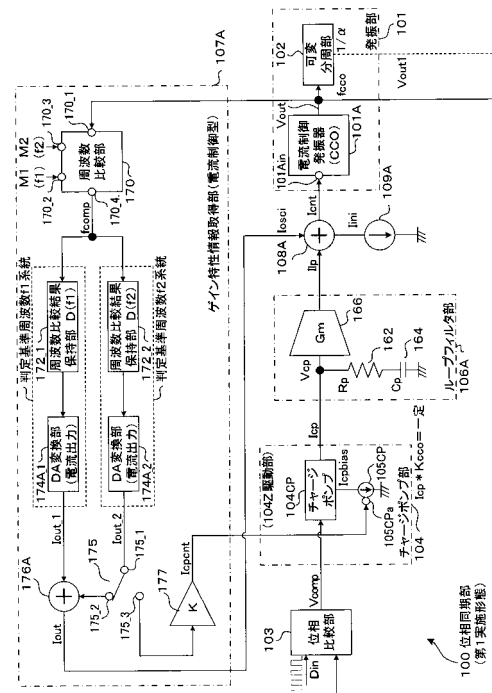
(54) 【発明の名称】 位相同期回路および電子機器

(57) 【要約】

【課題】位相同期回路において、発振回路の周波数変換ゲインのばらつきに起因する帯域やダンピングファクタのばらつきを防止する。

【解決手段】ゲイン特性情報取得部107Aは、判定基準周波数 f_1 、 f_2 を使って、初期電流 I_{ini} と各周波数で発振させるための周波数制御電流 I_{osci} とを合成して電流制御発振部101Aに供給しながら、実動時の電流制御発振部101Aの周波数変換ゲイン K_{cco} を規定する判定基準周波数 f_1 、 f_2 の各発振制御信号 I_{osci_1} 、 I_{osci_2} の差の情報(I_{out_2})を測定し、そのデータを周波数比較結果保持部172_2に記憶しておく。位相同期動作時には、周波数比較結果保持部172_2に記憶しておいた周波数比較結果 f_{comp} のデータ $D(f_2)$ に基づく制御電流 I_{cpnt} を補正信号として使って、周波数変換ゲイン K_{cco} のばらつきが相殺されるように駆動部104Zを制御する。

【選択図】図3



【特許請求の範囲】

【請求項 1】

発振制御信号に基づいて所定周波数の出力発振信号を出力する発振部と、前記発振部から出力された前記出力発振信号と外部から入力される入力信号の位相を比較する位相比較部と、ループフィルタ部と、前記位相比較部から出力された位相比較結果を示す信号に基づいて駆動信号を生成し当該駆動信号で前記ループフィルタ部を駆動する駆動部と、前記ループフィルタ部から出力されたループフィルタ出力信号に基づき、前記出力発振信号の位相が前記入力信号の位相に同期するように前記発振制御信号を生成する発振制御信号生成部とを備えた位相同期回路であって、

2 種類の目標周波数を使って、所定の大きさの規定信号と前記発振部を各周波数で発振させるための補正分とを前記発振制御信号として供給しつつ実際の発振周波数と前記目標周波数との差を比較することで、実動時の前記発振部の入力信号 - 発振周波数変換ゲイン特性を規定するゲイン特性情報を取得して記憶しておくゲイン特性情報取得部を備え、

通常の位相同期動作時には、前記ゲイン特性情報取得部で取得されたゲイン特性情報に基づいて補正信号を生成し、実動時の前記入力信号 - 発振周波数変換ゲインと前記駆動部が前記ループフィルタ部を駆動する前記駆動信号との積が一定となるように、前記補正信号で前記駆動部を制御する

ことを特徴とする位相同期回路。

【請求項 2】

前記ゲイン特性情報取得部は、

前記第 1 の目標周波数および前記第 2 の目標周波数のそれぞれについて、前記発振部から出力された前記出力発振信号の周波数と目標周波数との大小を比較する周波数比較部と、

前記第 1 の目標周波数および前記第 2 の目標周波数のそれぞれについて、前記周波数比較部による周波数比較結果を順次ビットの重付け順にビット別に記憶する周波数比較結果保持部と、

前記第 1 の目標周波数および前記第 2 の目標周波数のそれぞれについて、前記周波数比較結果保持部に記憶されているビット別の周波数比較結果に基づいて、周波数制御信号を順次生成する周波数制御信号生成部と、

前記第 1 の目標周波数についての前記周波数制御信号生成部で生成された周波数制御信号と前記第 2 の目標周波数についての前記周波数制御信号生成部で生成された周波数制御信号とを加算して最終的な周波数制御信号として前記発振制御信号生成部に供給する加算部と、

前記第 2 の目標周波数についての前記周波数制御信号生成部で生成された周波数制御信号を、ゲイン特性情報取得時には前記加算部に供給し、通常の位相同期動作時には前記駆動部側に供給されるように切り替える経路選択部と

を具備することを特徴とする請求項 1 に記載の位相同期回路。

【請求項 3】

前記ゲイン特性情報取得部は、前記第 2 の目標周波数についての前記周波数制御信号生成部にて取得される前記第 2 の周波数制御信号を K 倍することで前記補正信号を取得する信号変換部を具備し、

前記 K は、標準の前記入力信号 - 発振周波数変換ゲインと標準の前記駆動信号との積を、前記第 1 の目標周波数と前記第 2 の目標周波数との差分で除算した値に設定されていることを特徴とする請求項 2 に記載の位相同期回路。

【請求項 4】

前記周波数制御信号生成部は前記周波数制御信号を電流モードで出力する構成を有しており、

前記信号変換部は、電流モードの第 2 の前記周波数制御信号を処理対象として、前記 K 倍をカレントミラー回路によって実現する構成を具備している

ことを特徴とする請求項 3 に記載の位相同期回路。

10

20

30

40

50

【請求項 5】

前記周波数制御信号生成部は前記周波数制御信号を電圧モードで出力する構成を有しており、

前記信号変換部は、前記電圧モードの周波数制御信号を電流モードの前記周波数制御信号に変換する電圧電流変換部と、電圧電流変換部から出力された電流モードの第 2 の前記周波数制御信号を処理対象として、前記 K 倍をカレントミラー回路によって実現する構成とを具備している

ことを特徴とする請求項 3 に記載の位相同期回路。

【請求項 6】

前記駆動部は、

前記駆動信号をチャージポンプ電流として出力するチャージポンプと、当該チャージポンプのバイアス電流であって前記チャージポンプ電流の $1 /$ 倍の電流を生成する電流源とを具備し、

前記ゲイン特性情報取得部で取得されたゲイン特性情報に基づいて前記電流源で生成されるバイアス電流の大きさを制御する

ことを特徴とする請求項 4 または 5 に記載の位相同期回路。

【請求項 7】

前記ゲイン特性情報取得部は、

ゲイン特性情報取得時には、前記ビットの重付けが低下する方向に制御しながら、前記周波数比較部により順次所定のビット数に達するまで周波数比較を行ない、この周波数比較の都度、その周波数比較結果を前記周波数比較結果保持部の対応するビットに保持するように、周波数 2 分探索を実行する

ことを特徴とする請求項 2 に記載の位相同期回路。

【請求項 8】

前記周波数比較部は、第 1 の目標周波数に対して分周比 M 1 でかつ前記第 2 の目標周波数に対して分周比 M 2 の前記第 1 および第 2 の目標周波数よりも低い周波数 f_{Low} を持つ判定基準信号の所定期間における各目標周波数のクロック数をカウントし、そのカウント結果と前記分周比に応じた判定値との大小を比較することで、前記周波数比較を行なうものであり、

ばらつきによって取り得る前記入力信号 - 発振周波数変換ゲインの最大値を $K_{osci max}$ 、最上位ビットの周波数制御信号を規定する値を S、最上位ビットの周波数制御信号のばらつきを σ としたとき、前記所定のビット数 N と前記ビットの重付けを規定するスケール \times とが、下記式 (A) を満たす

ことを特徴とする請求項 7 に記載の位相同期回路。

【数 A】

$$\left. \begin{aligned} x^{N-1} S &< \frac{2f_{Low}}{K_{osci max}} \quad \dots (A1) \\ \frac{\sigma}{S} &< \frac{2x - 2x^N + x^{N-1} - 1}{1 - x^N} \quad \dots (A2) \end{aligned} \right\} (A)$$

【請求項 9】

前記発振部は、発振制御信号としての発振制御電流に基づいて発振する電流制御発振部であり、

前記周波数制御信号生成部は、前記周波数制御信号を電流モードで生成する

ことを特徴とする請求項 1 に記載の位相同期回路。

【請求項 10】

前記発振部は、発振制御信号としての発振制御電圧に基づいて発振する電圧制御発振部

であり、

前記周波数制御信号生成部は、前記周波数制御信号を電流モードで生成することを特徴とする請求項 1 に記載の位相同期回路。

【請求項 1 1】

前記周波数比較結果保持部は、入力されたクロック信号をカウントする 2 進カウンタ部を具備し、前記 2 進カウンタ部のカウント出力を使って、ビットの重付けの切替えタイミングを規定するビット別のビット切替信号を順次生成するビット切替信号生成部と、前記ビット切替信号生成部により生成された前記ビット切替信号の前記ビットの重付けの切替えタイミングで、前記周波数比較部からの周波数比較結果を取り込み記憶するビット別に設けられたデータ保持部とを有する

10

ことを特徴とする請求項 2 に記載の位相同期回路。

【請求項 1 2】

前記周波数制御信号生成部は、ビットの重付けに応じたソース電流もしくはシンク電流を発生するビット別に設けられた 1 ビット電流源と、前記 1 ビット電流源が前記ソース電流および前記シンク電流の何れを発生するのかを前記周波数比較結果保持部に保持されているデータに応じて切り替える切替部とを具備し、ビット別の前記 1 ビット電流源の入出力電流を合成して出力することで、電流モードの前記周波数制御信号を生成する

ことを特徴とする請求項 2 に記載の位相同期回路。

【請求項 1 3】

前記周波数制御信号生成部は、前記電流モードの周波数制御信号を電圧信号に変換することで、電圧モードの前記周波数制御信号を生成する電流電圧変換部をさらに具備することを特徴とする請求項 1 2 に記載の位相同期回路。

20

【請求項 1 4】

発振制御信号に基づいて所定周波数の出力発振信号を出力する発振部と、前記発振部から出力された前記出力発振信号と外部から入力される入力信号の位相を比較する位相比較部と、ループフィルタ部と、前記位相比較部から出力された位相比較結果を示す信号に基づいて駆動信号を生成し当該駆動信号で前記ループフィルタ部を駆動する駆動部と、前記ループフィルタ部から出力されたループフィルタ出力信号に基づき、前記出力発振信号の位相が前記入力信号の位相に同期するように前記発振制御信号を生成する発振制御信号生成部とを有する位相同期回路を備えた電子機器であって、

30

前記位相同期回路は、2 種類の目標周波数を使って、所定の大きさの規定信号と前記発振部を各周波数で発振させるための補正分を前記発振制御信号として供給しつつ実際の発振周波数と前記目標周波数との差を比較することで、実動時の前記発振部の入力信号 - 発振周波数変換ゲイン特性を規定するゲイン特性情報を取得して記憶しておくゲイン特性情報取得部を備え、

通常位相同期動作時には、前記ゲイン特性情報取得部で取得されたゲイン特性情報に基づいて補正信号を生成し、実動時の前記入力信号 - 発振周波数変換ゲインと前記駆動部が前記ループフィルタ部を駆動する前記駆動信号との積が一定となるように、前記補正信号で前記駆動部を制御する

ことを特徴とする電子機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、たとえばテレビジョン装置や携帯電話などの受信用や送信用の通信装置や光ディスク装置などに使用される位相同期 (PLL : Phase Locked Loop) 回路と、この位相同期回路を具備した電子機器に関する。

【背景技術】

【0002】

たとえば、各種の通信装置や送受信機、あるいは、光ディスク装置などの電子機器においては、位相同期 (PLL : Phase Locked Loop) 回路が組み込まれることがある。

50

【 0 0 0 3 】

図 4 0 は、位相同期回路を一般的に表わした回路ブロック図である。この図 4 0 に示す位相同期回路 1 0 0 Z の構成は、後述する非特許文献 1 ~ 3 に記載の構成を一般化して示したものである。

【 0 0 0 4 】

図示のように、位相同期回路 1 0 0 Z は、発振制御信号 CN に基づき発振周波数 f_{osci} の出力発振信号 V_{out} を生成する発振部 1 0 1 と、発振部 1 0 1 から出力された出力発振信号 V_{out} の発振周波数 f_{osci} を $1 /$ に分周して分周発振信号 V_{out1} を取得する分周部 1 0 2 とを備える。

【 0 0 0 5 】

10

また、位相同期回路 1 0 0 Z は、入力信号 V_{in} と発振部 1 0 1 からの出力発振信号 V_{out} もしくは分周部 1 0 2 からの分周発振信号 V_{out1} の位相を比較し、比較結果である位相差を示す誤差信号を比較結果信号 V_{comp} として出力する位相比較部 1 0 3 と、位相比較部 1 0 3 から出力された比較結果信号 V_{comp} に応じたチャージポンプ電流 I_{cp} を入出力する電流出力型の駆動部 1 0 4 Z (以下チャージポンプ部 1 0 4 と称する) と、少なくともループフィルタ容量 C_p のコンデンサ (容量素子) 1 6 4 を備え、チャージポンプ部 1 0 4 からのチャージポンプ電流 I_{cp} に基づくコンデンサ 1 6 4 の充電電圧 V_{cp} を利用して発振部 1 0 1 の発振周波数 f_{osci} を制御するための発振制御信号 CN を生成するループフィルタ部 1 0 6 とを備えている。なお、本構成例では、ループフィルタ部 1 0 6 は、発振部 1 0 1 が電流制御発振部 1 0 1 A であることに対応するように、コンデンサ 1 6 4 の充電電圧 V_{cp} を発振制御電流 I_{cnt} に変換する電圧電流変換部 1 6 6 も具備している。

20

【 0 0 0 6 】

このような構成の位相同期回路 1 0 0 Z においては、入力信号 V_{in} と発振部 1 0 1 からの出力発振信号 V_{out} (もしくは分周部 1 0 2 による分周発振信号 V_{out1}) が位相比較部 1 0 3 に入力され、その位相誤差を示す比較結果信号 V_{comp} を元にして、チャージポンプ PLL の手法によって発振部 1 0 1 を発振させ、入力信号 V_{in} に位相ロックした出力発振信号 V_{out} を得る。

【 0 0 0 7 】

ここで、チャージポンプ PLL の解析には、線形化した閉ループ伝達関数が一般的に用いられ、チャージポンプ電流 I_{cp} 、発振部 1 0 1 の入力信号 - 発振周波数変換ゲイン K_{osci} 、コンデンサ 1 6 4 のループフィルタ容量 C_p 、ループフィルタ部 1 0 6 の変換ゲイン K_{lp} 、ループフィルタ部 1 0 6 のダンピング効果 F_{lp} 、分周部 1 0 2 の分周比 n のとき、その帯域 (自然角周波数) ω_n およびダンピングファクタ ζ は、式 (1 - 1) および式 (1 - 2) のように表すことができる。なお、ループフィルタ部 1 0 6 の変換ゲイン K_{lp} とループフィルタ部 1 0 6 のダンピング効果 F_{lp} は、ループフィルタ部 1 0 6 の構成に応じたものとなる (詳細は実施形態で示す)。

30

【 0 0 0 8 】

なお、ここでは、駆動部 1 0 4 Z の一例としてループフィルタ部 1 0 6 を電流モードで駆動するチャージポンプ 1 0 4 CP の場合で示しているが、回路理論上は、電流と電圧との間には「双対の理」が成立するので、チャージポンプ電流 I_{cp} に注目して電流モードで解析した式 (1 - 1) および式 (1 - 2) は、ループフィルタ部 1 0 6 を駆動する駆動電圧 V_{dr} に注目して電圧モードで解析すれば式 (1 - 3) および式 (1 - 4) で示すことができる。なお、この式 (1) の各々は、公知のものであるので、式の導出過程については説明を割愛する。

40

【 0 0 0 9 】

【数 1】

$$\left. \begin{aligned}
 \omega_n &= \sqrt{\frac{I_{cp} \cdot K_{osci} \cdot K_{lp}}{C_p \cdot \alpha}} \quad \cdots (1-1) \\
 \zeta &= \frac{C_p \cdot F_{lp}}{2 \omega_n} \quad \cdots (1-2) \\
 \omega_n &= \sqrt{\frac{V_{dr} \cdot K_{osci} \cdot K_{lp}}{C_p \cdot \alpha}} \quad \cdots (1-3) \\
 \zeta &= \frac{C_p \cdot F_{lp}}{2 \omega_n} \quad \cdots (1-4)
 \end{aligned} \right\} (1)$$

10

【0010】

しかしながら、実際に位相同期回路 100Z が IC (Integrated Circuit; 半導体集積回路) で製造されると、チャージポンプ電流 I_{cp} や変換ゲイン K_{lp} や入力信号 - 発振周波数変換ゲイン K_{osci} など、帯域 n やダンピングファクタ を決めるパラメータが設計値からばらつくため、所望の値に帯域 n やダンピングファクタ を設定することが困難となる。さらに、通常、様々な場所で使われることを考えると、温度によっても各パラメータは変動するため、さらに帯域 n やダンピングファクタ は設定値からずれてしまうことになる。

20

【0011】

帯域 n が設定値から大きくずれてしまうと、出力発振信号 V_{out} が入力信号 V_{in} に位相ロックするまでの期間、すなわちアキュジション時間も設定値から変動するため、位相同期回路 100Z を利用した全体システムの設計が難しくなり、さらに帯域 n が低くずれてしまった場合はジッタが増加してしまう。この問題を回避するためには、入力信号 - 発振周波数変換ゲイン K_{osci} の製造ばらつきや温度特性を補償する技術が必要不可欠になる。

30

【0012】

このような要求に応え得る仕組みとして、非特許文献 1 ~ 3 に提案されている仕組みがある。

【0013】

【非特許文献 1】ZHI-MING LIN, KUEI-CHEN HUANG, JUN-DA CHEN, and MEI-YUAN LIAO, "A CMOS VOLTAGE-CONTROLLED OSCILLATOR WITH TEMPERATURE COMPENSATED", The Second IEEE Asia Pacific Conference on ASICs / Aug 28-30, 2000, p85 ~ 86

40

【非特許文献 2】Soon-Seob Lee, Tae-Geun Kim, Jae-Tack Yoo and Soo-Won Kim, "Process-and-temperature compensated CMOS voltage-controlled oscillator for clock generators", ELECTRONICS LETTERS 16th October 2003, Vol.39, No. 21, p1484 ~ 1485

【非特許文献 3】Takashi Morie, Shiro Dosho, Kouji Okamoto, Yuji Yamada and Kazuaki Sogawa, "A-90dBc@10kHz Phase Noise Fractional-N Frequency Synthesizer with Accurate Loop Bandwidth Control Circuit", 2005 Symposium on VLSI Circuits Digest of Technical Papers, p52 ~ 55

【0014】

たとえば、非特許文献 1 には、複数段のディレイステージ (delay stage) を利用して電圧制御発振器 (VCO; Voltage Controlled Oscillator) を構成しつつ (同文献 1 の

50

Fig.1 と同様の図 4 1 (A) を参照) 、ディレイステージのコモン出力電圧が常に一定になるように P M O S トランジスタと N M O S トランジスタのダイオード接続を直列につないだものを負荷とすることで (同文献 1 の Fig.3 と同様の図 4 1 (B) を参照) 、温度特性を補正する仕組みが提案されている。

【 0 0 1 5 】

また、非特許文献 2 には、複数段のディレイセル (delay cell) を利用して電圧制御発振器 (V C O) を構成しつつ、温度や製造ばらつきに依存しない電流を回路で作り出し、その電流をディレイセルのバイアス電流とする仕組み (同文献 2 の Fig.1 と同様の図 4 2 を参照) が提案されている。

【 0 0 1 6 】

また、非特許文献 3 には、チャージポンプ電流を一定にするための温度変化に依存しない高精度なバイアス回路を設けるとともに、電圧制御発振器 (V C O) の入力側に、発振制御信号 CN に対するゲインを調整するゲイン制御アンプを設け、かつ、電圧制御発振器 (V C O) のゲインを測定し、その結果に応じた補正值でゲイン制御アンプを制御することで、電圧制御発振器の入力にフィードバックする仕組み (同文献 3 の Fig.1 と同様の図 4 3 を参照) が提案されている。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 7 】

しかしながら、非特許文献 1 , 2 に記載の仕組みでは、電圧制御発振器の入力信号 - 発振周波数変換ゲイン K_{osci} が非線形な場合には、完全に補正をすることは非常に困難である。また、非特許文献 1 に記載の仕組みでは、ディレイステージの構成に工夫を要するので、そのディレイステージの回路設計が複雑になる。また、非特許文献 2 に記載の仕組みでは、温度や製造ばらつきに依存しない電流を作り出す回路が必要になり、また、作り出された電流をディレイセルのバイアス電流とする仕組みも必要となるので、電圧制御発振器の回路設計が複雑になる。

【 0 0 1 8 】

また、非特許文献 3 に記載の仕組みでは、チャージポンプ電流を一定にするための温度変化に依存しない高精度なバイアス回路や、発振制御信号 CN に対するゲインを電圧制御発振器の入力前で調整するゲイン制御アンプが新たに必要になってしまう。

【 0 0 1 9 】

さらに、非特許文献 3 に記載の仕組みでは、それぞれの補正回路にも製造ばらつきが存在し、このばらつきを考慮しても電圧制御発振器のゲインを補正可能にするように補正回路を設計しなければいけないため、補正回路の設計が非常に困難になってしまう。測定結果に基づきゲイン制御アンプのゲイン値を絶対的に調整する、つまりゲインの絶対値の管理を行なうようにしているが、デバイス特性や回路構成上、絶対値の管理では、ばらつきを回避することは事実上不可能であるからである。

【 0 0 2 0 】

本発明は、上記事情に鑑みてなされたものであり、特許文献 1 ~ 3 に記載の仕組みとは異なる新たな回路構成によって、入力信号 - 発振周波数変換ゲイン K_{osci} の製造ばらつきや温度変化に起因する帯域 n やダンピングファクタ γ のばらつきの発生を防止することのできる仕組みを提供することを目的とする。

【 0 0 2 1 】

また、さらに好ましくは、チャージポンプに対するバイアス回路の精度管理を緩和でき、あるいは、補正の製造ばらつきを小さくすることのできる仕組みを提供することを目的とする。

【 0 0 2 2 】

また、さらに好ましくは、発振回路に対するバイアス回路を不要にし、あるいは、発振回路を特殊な回路構成にする必要がなく一般的な回路を使用できるような仕組みを提供することを目的とする。

10

20

30

40

50

【課題を解決するための手段】

【0023】

本発明に係る位相同期回路やこの位相同期回路を備えた電子機器は、発振制御信号に基づいて所定周波数の出力発振信号を出力する発振部と、発振部から出力された出力発振信号と外部から入力される入力信号の位相を比較する位相比較部と、ループフィルタ部と、位相比較部から出力された位相比較結果を示す信号に基づいて駆動信号を生成し当該駆動信号でループフィルタ部を駆動する駆動部と、ループフィルタ部から出力されたループフィルタ出力信号に基づき、出力発振信号の位相が入力信号の位相に同期するように発振制御信号を生成する発振制御信号生成部とを備えた位相同期回路であって、先ず、2種類の目標周波数を使って、所定の大きさの規定信号と発振部を各周波数で発振させるための補正分とを発振制御信号として供給しつつ、実際の発振周波数と前記目標周波数との差を比較することで、実動時の発振部の入力信号 - 発振周波数変換ゲイン特性を規定するゲイン特性情報を取得し、この取得したゲイン特性情報を所定の記憶媒体に記憶しておくゲイン特性情報取得部を具備するようにした。

10

【0024】

そして、ゲイン特性情報取得後の通常の位相同期動作時には、ゲイン特性情報取得部で取得されたゲイン特性情報（記憶されている情報で表わされる）に基づいて補正信号を生成し、実働時の入力信号 - 発振周波数変換ゲイン（省略して周波数変換ゲインとも称する）と駆動部がループフィルタ部を駆動する駆動信号との積が一定となるように、補正信号で駆動部を制御するようにした。

20

【0025】

実動状態の入力信号 - 発振周波数変換ゲインに関する情報を測定し、その結果を位相同期動作時に反映させるという点では、非特許文献3に記載の仕組みと似通っているが、補正に当たっての制御手法は、全く異なる。すなわち、本発明では、式(1)における $I_{cp} \cdot K_{osci}$ や $V_{dr} \cdot K_{osci}$ に着目してなされたものであり、周波数変換ゲインとループフィルタ用の駆動信号との積が一定となるように、ゲイン特性情報（詳しくはゲイン特性情報に基づく補正信号）を使って、ループフィルタ用の駆動部を制御する。 K_{osci} がばらつきを持ったままであっても、そのばらつきを相殺するように I_{cp} や V_{dr} 側を調整することで、 K_{osci} と I_{cp} や V_{dr} の積が一定であるようにすることができるのである。式(1)から分かるように、 K_{osci} がばらつきを持ったままであっても、 K_{osci} と I_{cp} や V_{dr} の積が一定であれば、帯域 n やダンピングファクタ は一定である。

30

【0026】

こうすることで、周波数変換ゲインが一定になるように制御する非特許文献1に記載の仕組みで生じる補正ばらつきの影響を緩和する。何故なら、周波数変換ゲインが一定になるように制御するには、補正量の高精度の絶対値管理が必要になり実現が困難になるが、本発明のように、 K_{osci} と I_{cp} や V_{dr} の積が一定となるように制御する仕組みを採用することで、管理精度が緩和される「比」による管理ができるようになるからである。

【0027】

また従属項に記載された発明は、本発明に係る位相同期回路のさらなる有利な具体例を規定する。

40

【0028】

たとえば、電気（電子）回路においては、電流と電圧は「双対の理」の関係にあり、各機能部に入力する入力信号や制御信号あるいは各機能部から出力される信号は、電圧モードおよび電流モードの何れをも取ることができる。そして、各機能部の接続関係において、電圧モードと電流モードとが不整合になるときには、その整合を採るための信号変換部、たとえば、電流信号を電圧信号に変換する電流電圧変換部や、電圧信号を電流信号に変換する電圧電流変換部を設ければよい。

【0029】

ただし、ゲイン特性情報取得部としての大まかな回路構成上は、発振部が発振制御電流で制御される電流制御発振部である場合には発振制御信号を電流モードで出力する電流出

50

力型の構成とし、発振制御電圧で制御される電圧制御発振部である場合には発振制御信号を電圧モードで出力する電圧出力型の構成とするのがよい。

【0030】

また、ゲイン特性情報取得部において2種類の目標周波数を使って補正信号を取得するに当たっては、補正情報取得時に第2の目標周波数についての周波数制御信号生成部にて取得される第2の周波数制御信号をK倍する構成を採りつつ、標準の入力信号・発振周波数変換ゲインと標準の駆動信号との積を、第1の目標周波数と第2の目標周波数との差分で除算した値に「K」を設定するのがよい。こうすることで、確実に周波数変換ゲインとループフィルタ用の駆動信号の積が一定となるように制御することができるようになる。

【0031】

また、このような「K」倍の設定を実現する回路構成としては、電圧モードおよび電流モードの何れをも採用し得るが、電流モードであれば、比較的簡単な構成で、かつ高精度に比の管理を実現できるカレントミラー回路構成を採用できる利点がある。

【0032】

なお、この場合、発振制御信号が電圧モードである場合には、カレントミラー回路の入力側に、電圧モードの周波数制御信号を電流モードの周波数制御信号に変換する電圧電流変換部を介在させればよい。

【0033】

また、ループフィルタ部を駆動する駆動部の構成としても、電圧モードおよび電流モードの何れをも採用し得るが、補正信号が電流モードである場合には、駆動部も同様に電流モードで動作する構成、いわゆるチャージポンプの構成を採るのがよい。この場合、チャージポンプ電流の1/倍の電流を生成する電流源を用意し、ゲイン特性情報取得部で取得された補正信号に基づいて電流源で生成されるバイアス電流の大きさを制御するようにするのがよい。

【0034】

また、ゲイン特性情報取得部において2種類の目標周波数を使ってゲイン特性情報を取得するに当たっては、周波数別に、ビットの重付けを低下する方向に切り替えながら目標周波数と実際の周波数との大小を比較し、その周波数比較結果をデジタルデータとして保持し、そのデータに基づく周波数制御電流で発振部を再度制御しながら所定回数（回数がビット数に対応する）繰り返す周波数2分探索の手法を採るのがよい。

【発明の効果】

【0035】

本発明によれば、2種類の目標周波数を使って実動状態の発振部の入力信号・発振周波数変換ゲイン特性を規定するゲイン特性情報を測定しておき、通常の位相同期動作時には、そのゲイン特性情報に基づいて、実動時の周波数変換ゲイン（ K_{osci} ）とループフィルタ用の駆動信号（ I_{cp} や V_{dr} ）との積が一定となるように駆動部を制御するようにした。 K_{osci} と I_{cp} や V_{dr} の積が一定となるように制御することで、周波数変換ゲインのばらつきに起因する帯域やダンピングファクタのばらつきを防止できるようになる。

【0036】

また、付加的な効果として、 K_{osci} と I_{cp} や V_{dr} の積が一定となるように制御する仕組みを採用することで、管理精度が緩和される「比」による管理ができるようになり、周波数変換ゲインの製造ばらつきや温度変化に起因する帯域 n やダンピングファクタのばらつきを高精度に補正することができる。その結果、補正の製造ばらつきを小さくすることができる。また、管理精度が緩和される「比」による管理ができるようになるから、補正用の制御を実行する駆動部の構成としても、精度の管理を緩和できる。

【0037】

また、別の付加的な効果として、2種類の目標周波数を使って実動状態の周波数変換ゲインを規定するゲイン特性情報を測定するので、非線形な特性を持つ発振部であっても、注目する周波数範囲では線形領域として取り扱うことができる。その結果、発振回路に対する高精度なバイアス回路が不要になるし、また、発振回路を特殊な回路構成にする必要

10

20

30

40

50

がなく一般的な回路を使用できるようになる。

【 0 0 3 8 】

さらに、別の付加的な効果として、２種類の目標周波数を使って、所定の大きさの規定信号と発振部を各周波数で発振させるための補正分を発振制御信号として発振部に供給しながら実動状態の周波数変換ゲインを規定するゲイン特性情報を測定するので、ゲイン特性情報取得後に通常の位相同期動作に戻ると、発振周波数を一方の目標周波数にするようにするための補正分、すなわち規定信号との差分を示す周波数制御信号が、規定信号と合成されて発振部に供給されるので、最初の目標周波数を、通常の位相同期動作でロックさせる周波数にしておけば、切替え時の応答の問題が生じない。

【 発明を実施するための最良の形態 】

10

【 0 0 3 9 】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【 0 0 4 0 】

< 光ディスク装置の概要 >

図 1 は、位相同期回路を具備した電子機器の一例である光ディスク装置の一実施形態を示すブロック図である。

【 0 0 4 1 】

本実施形態の光ディスク装置 1 は、光ディスク P D (Photo Disk) に付加情報を記録するあるいは光ディスク P D に記録されている情報を読み取るためのレーザ光源を具備した光ピックアップ 1 4 を備える。また、信号処理系として、サーボ系と、記録・再生系と、

20

【 0 0 4 2 】

光ディスク P D としては、C D (コンパクトディスク) や C D - R O M (Read Only Memory) などのいわゆる再生専用の光ディスクのほか、たとえば C D - R (Recordable) のような追記型光ディスクや、C D - R W (Rewritable) のような書き換え可能型光ディスクであってもよい。さらには、C D 系の光ディスクに限らず、M O (光磁気ディスク) であってもよいし、通常の D V D (Digital Video または Versatile Disk) や、ブルーレイ (Blu-ray) あるいは H D - D V D (High Definition DVD) などの次世代 D V D といった D V D 系の光ディスクであってもよい。また、現行の C D フォーマットを踏襲しながら、記録密度を現行フォーマットの約 2 倍とした、いわゆる 2 倍密度の C D (D D C D ; D D = Double Density) や C D - R あるいは C D - R W であってもよい。

30

【 0 0 4 3 】

光ディスク装置 1 は、具体的には、回転サーボ系として、音楽などの再生すべき情報が記録された光ディスク P D を回転させるスピンドルモータ 1 0 と、スピンドルモータ 1 0 を駆動するモータドライバ 1 2 と、モータドライバ 1 2 を制御する回転制御部 (回転サーボ系) の一例であるスピンドルモータ制御部 3 0 とを備える。

【 0 0 4 4 】

スピンドルモータ制御部 3 0 は、図示を割愛するが、ラフサーボ回路、速度 (スピード) サーボ回路、位相 (フェーズ) サーボ回路、および各サーボ回路の各出力を切り替えて出力するセレクトを有する。

40

【 0 0 4 5 】

ラフサーボ回路は、光ディスク P D の回転スピードを大まかに制御する。速度サーボ回路は、同期信号に基づき回転スピードをさらに高精度に合わせる。位相サーボ回路は、再生信号の位相と基準信号の位相を合わせる。セレクトは、ラフサーボ回路、速度サーボ回路、位相サーボ回路の各出力を切り替えてモータドライバ 1 2 に出力する。

【 0 0 4 6 】

光ディスク P D は、チャッキング 1 1 によりスピンドルモータ 1 0 の回転軸 1 0 a に固定されるようになっている。スピンドルモータ 1 0 は、モータドライバ 1 2 とスピンドル

50

モータ制御部 30 によって線速度が一定になるように制御される。その線速度はモータドライバ 12 とスピンドルモータ制御部 30 によって段階的に変更が可能である。

【0047】

また、光ディスク装置 1 は、トラッキングサーボ系およびフォーカスサーボ系として、光ピックアップ 14 の光ディスク PD に対する半径方向位置を制御するピックアップ制御部 40 を備える。図示を割愛するが、ピックアップ制御部 40 は、たとえば、光ディスク PD に記録されているサブコーディングを読み取るサブコーディング検出回路と、図示しないトラックエラー検出回路により検出されたトラックエラー信号やサブコーディング検出回路により検出されたアドレス情報に基づいて光ピックアップ 14 の対光ディスク PD に対する半径方向位置を制御するトラッキングサーボ回路とを備える。

10

【0048】

ピックアップ制御部 40 は、図示しないトラックアクチュエータやシークモータを制御することで、光ピックアップ 14 から発せられるレーザ光のレーザスポットを光ディスク PD 上の目的の場所（データ記録位置やデータ再生位置）に位置するように制御する。

【0049】

光ピックアップ 14 は、図示しない公知の半導体レーザ、光学系、フォーカスアクチュエータ、トラックアクチュエータ、受光素子、およびポジションセンサなどを内蔵しており、光ディスク PD の記録面にレーザ光を照射し、また反射光を受光して電気信号に変換するように構成されている。光ピックアップ 14 の半導体レーザは、図示しないレーザドライバにより駆動されるようになされており、このレーザドライバの駆動によって、データ再生時には所定の再生パワーの光ビームを出射し、情報の記録時には所定の記録パワーの光ビームを出射する。

20

【0050】

また、この光ピックアップ 14 は、図示しないシークモータ（スライドモータ）によってスレージ（半径）方向に移動可能に構成されている。これらのフォーカスアクチュエータ、トラックアクチュエータ、シークモータは、受光素子やポジションセンサから得られた信号に基づいてモータドライバ 12 とスピンドルモータ制御部 30 およびピックアップ制御部 40 によってレーザ光のレーザスポットを光ディスク PD 上の目的の場所（データ記録位置やデータ再生位置）に位置するように制御される。

【0051】

30

また光ディスク装置 1 は、記録・再生系として、光ピックアップ 14 を介して情報を記録する情報記録部および光ディスク PD に記録されている情報を再生する情報再生部の一例である記録・再生信号処理部 50 を備える。記録・再生信号処理部 50 の詳細構成例については後述するが、少なくとも、位相同期回路の一例である位相同期部 100 を備えている。

【0052】

また、光ディスク装置 1 は、コントローラ系として、スピンドルモータ制御部 30 およびピックアップ制御部 40 を有するサーボ系や記録・再生信号処理部 50 の動作を制御するコントローラ 62 と、当該光ディスク装置 1 を利用した各種の情報処理を行なう情報処理装置の一例であるパーソナルコンピュータ（以下パソコンと称する）3 や音声および／または画像を再生する再生装置（いわゆる CD プレイヤや DVD プレイヤなど）5（パソコン 3 や再生装置 5 を纏めて、以下装置本体とも称する）との間のインタフェース（接続）機能をなすインタフェース部 64 とを備える。

40

【0053】

このような構成の光ディスク装置 1 においては、再生処理時には、光ディスク PD から光ピックアップ 14 で読み出された光信号は光ピックアップ 14 に内蔵の受光素子で電気信号に変換され、その電気信号が、スピンドルモータ 10 や光ピックアップ 14 の制御を行なうスピンドルモータ制御部 30 およびピックアップ制御部 40 を具備したサーボ系（制御系）と、データの記録・再生を行なう記録・再生信号処理部 50 とに送られる。

【0054】

50

スピンドルモータ制御部 30 およびピックアップ制御部 40 は、コントローラ 62 の制御の元で、この電気信号を元にしてスピンドルモータ 10 の回転数や、光ピックアップ 14 のフォーカシングおよびトラッキングを調整する。

【0055】

これとともに、記録・再生信号処理部 50 では、取得したアナログの電気信号をデジタルデータに変換し復号化を行ない、パソコン 3 や再生装置 5 などの光ディスク装置 1 を利用する装置本体に渡す。パソコン 3 や再生装置 5 では、復号化されたデータに基づき、画像・音声データとして再生する。

【0056】

また、光ディスク PD ヘデータを記録する記録処理時には、スピンドルモータ制御部 30 およびピックアップ制御部 40 は、コントローラ 62 の制御の元で、一定速度で光ディスク PD を回転させる。これとともに、記録・再生信号処理部 50 では、再生とは逆に、データを符号化して光ピックアップ 14 に内蔵のレーザダイオードなどに供給することで、電気信号を光信号へ変換して、光ディスク PD に情報を記録する。

【0057】

< 記録・信号処理部の概要 >

図 2 は、記録・再生信号処理部 50 の一構成例を示す機能ブロック図である。図示のように、記録・再生信号処理部 50 は、光ピックアップ 14 により読み取られた微小な RF (高周波) 信号 (以下再生 RF 信号ともいう) を所定レベルに増幅する RF 増幅部 52 と、RF 増幅部 52 から出力された再生 RF 信号を整形する波形整形部 (波形等化器; Equalizer) 53 と、波形整形部 53 から出力されたアナログの再生 RF 信号をデジタルデータに変換する AD 変換部 (ADC; Analog to Digital Converter) 54 とを備える。

【0058】

光ピックアップ 14 で読みだされる信号は様々な周波数を持ち、高域で振幅が減少するため、そのままでは符号間干渉を起こしデータを正確に再生することができない。これを補償するために、波形整形部 53 で RF 増幅部 52 の出力信号の波形等化を行なう。

【0059】

また、記録・再生信号処理部 50 は、AD 変換部 54 から出力されたデジタルデータ列に基づきクロック信号を再生するクロック再生部 55 と、AD 変換部 54 から出力されたデジタルデータ列 (再生 RF 信号に対応するもの) を復調し、デジタルオーディオデータやデジタル画像データなどを復号化するなどのデジタル信号処理をする DSP (Digital Signal Processor) で構成されたデジタル信号処理部 56 と、情報を光ディスク PD に記録するためのレーザ光の記録電流を制御 (オンオフ) する記録電流制御部 57 とを備える。

【0060】

クロック再生部 55 は、詳細は後述するが、AD 変換部 54 からのデジタルデータ (デジタルデータ列 Din) にロックしてクロック信号を生成するデータリカバリ型の位相同期部 100 を有する。クロック再生部 55 は、再生したクロック信号を AD 変換部 54 へ AD クロック (サンプリングクロック) CKad として供給したり、その他の機能部に供給したりする。AD 変換部 54 は、この AD クロック CKad に基づいてアナログ信号をデジタルデータに変換する。

【0061】

記録電流制御部 57 は、光ディスク PD の材質と記録速度に応じて光出力パワーをマルチパルス変調するライトストラテジ部 (Write Strategy) 58 と、レーザ光源 (光ピックアップ 14 内にある) から発せられるレーザ光の光出力 (光強度、光出力パワー) を一定値に保持するための APC (Auto Power Control) 制御回路を具備した駆動部 (Laser Diode Driver) 59 とを有する。

【0062】

レーザ光源から出射された記録用光ビームは、光ピックアップ 14 内の図示しないコリメータレンズにより平行光に変換された後、図示しないビームスプリッタを透過して図示

10

20

30

40

50

しない対物レンズにより集束され、スピンドルモータ 10 により回転駆動される光ディスク PD に照射される。このとき、記録用光ビームは、記録用の情報に応じて変調されているので、光ディスク PD の所定位置（情報記録エリア）には、情報に対応したビット列が形成され、これにより、光ディスク PD に情報が記録されることになる。このとき、本実施形態では、ライトストラテジ部 58 にて、ビット（記録マーク）の形状歪によるデータ誤りを抑えるようにしている。

【0063】

たとえば、光源として用いるレーザとしては、近年、半導体素子を利用した半導体レーザが、極めて小型で、かつ駆動電流に高速に応答するため、各種装置の光源として広く使用されるようになってきている。また、記録や再生の媒体として用いる書換可能な光ディスク PD としては、相変化光ディスクや光磁気ディスクなどが広く知られており、記録、再生、消去する際に照射されるレーザ光の出力が異なる。

10

【0064】

一般的には、記録時は光ディスク PD にビットと呼ばれる記録マークを作るために、レーザビームの出力を高くする（たとえば 30 mW 以上）が、再生時は記録ビットを破壊することなく情報の読み出しを行なうことができるように、記録時よりも弱い出力（たとえば 3 mW）のレーザビームを光ディスク PD に照射するようにしている。近年の高密度、高転送レートの光ディスク PD において、記録再生が可能なエラーレートを得るためには、これらのレーザビームの強度を十分に制御することが必要とされている。

20

【0065】

しかし、半導体レーザは駆動電流・光出力特性の温度特性変化が著しく、その光出力を所望の強度に設定するために、半導体レーザの光出力を一定に制御する回路、いわゆる APC 制御回路が必要となる。APC 制御では、情報書込み時の光信号をモニタリングして得た帰還電流が所定のパワー基準電流となるような負帰還制御ループを構成することで、レーザ発光パワーが一定になるように制御する。

【0066】

ここで、近年の書込可能な光ディスク PD では、その高密度化の優位性より記録マークの両端の変化を記録するマークエッジ記録が主流となっている。また、マークエッジ記録でのマークの形状歪によるデータ誤りを抑える技術として、ライトストラテジ部 58 においては、ディスクの材質と記録速度に応じてレーザ出力パワーをマルチパルス変調するライトストラテジ技術を採用する（たとえば特開 2000-244054 号公報参照）。

30

【0067】

<< 位相同期部；第 1 実施形態 >>

図 3 は、位相同期部（位相同期回路）100 の第 1 実施形態を示す機能ブロック図である。また、図 4 は、比較例としての、ゲイン特性情報取得部を適用しない場合の位相同期部 100A の構成例を示す図である。なお、この比較例では、後述する第 2 実施形態と同様に、チャージポンプ部 104 に、2 つのチャージポンプ 104CP、104rd を用いた場合で示している。

【0068】

本実施形態の位相同期部 100 は、発振部として電流制御発振回路（CCO；Current Control Oscillator）を採用している点に第 1 の特徴を有するとともに、電流制御発振回路の周波数変換ゲイン特性の製造ばらつきや温度特性を補正するゲイン特性情報取得部 107 として電流出力型のもの（ゲイン特性情報取得部 107A）を備える点に第 2 の特徴を有する。

40

【0069】

ゲイン特性情報取得部 107A は、2 種類の目標周波数（判定基準周波数 f_1 、 f_2 ）を使って、所定の規定信号 I_n と電流制御発振部 101A を各周波数で発振させるための補正分とを合成して発振制御電流 I_{cnt} として電流制御発振部 101A に供給しながら、実動状態の電流制御発振部 101A の入力電流 - 発振周波数変換ゲイン K_{cco} を規定する 2 種類の目標周波数の各発振制御信号の差の情報を測定することで、入力電流 - 発振周波

50

数変換ゲイン K_{cco} のばらつきを補正するための制御電流 I_{cpnt} (補正信号の一例)を示す情報を取得して所定の記憶媒体に記憶しておく。そして、実際の位相同期動作時には、記憶しておいた情報で示される制御電流 I_{cpnt} を補正信号として使って、入力電流 - 発振周波数変換ゲイン K_{cco} のばらつきが相殺されるように駆動部 104Z を制御する。

【0070】

具体的には、第1実施形態の位相同期部 100 は、電流制御発振部 (CCO) 101A を備える。電流制御発振部 101A は、周波数制御入力端子 101Ain に供給される発振制御電流 I_{cnt} と、自己の入力電流 - 発振周波数変換ゲイン K_{cco} とに従い、発振制御電流 I_{cnt} に対応した発振周波数 f_{cco} の出力発振信号 V_{out} を出力端子 101Aout から出力する。

10

【0071】

なお、電流制御発振部 101A の後段には、必要に応じて、電流制御発振部 101A の出力端子 101Aout から出力された出力発振信号 V_{out} の発振周波数 f_{cco} を $1/\text{分周}$ に分周して分周発振信号 V_{out1} を取得する分周部 102 を設けてもよい。なお、 $1/\text{分周}$ は、分周比であって、正の整数、好ましくは 2 のべき乗で、かつ可変にする。

【0072】

また、位相同期部 100 は、AD変換部 54 から出力されたデジタルデータ列 D_{in} と電流制御発振部 101A からの出力発振信号 V_{out} もしくは分周部 102 からの分周発振信号 V_{out1} (以下、断りのない限り出力発振信号 V_{out} で説明する) の位相を比較し、比較結果である位相差を示す誤差信号を比較結果信号 V_{comp} として出力する位相比較部 103 と、位相比較部 103 から出力された比較結果信号 V_{comp} に応じたチャージポンプ電流 I_{cp} を入出力するチャージポンプ部 104 と、チャージポンプ部 104 からのチャージポンプ電流 I_{cp} に基づき電流制御発振部 101A の発振周波数 f_{cco} を制御するためのループフィルタ出力電流 I_{lp} を生成するループフィルタ部 106A とを備えている。

20

【0073】

第1実施形態の位相同期部 100 において、チャージポンプ部 104 は、位相比較部 103 から出力された比較結果信号 V_{comp} に応じた駆動電流 (チャージポンプ電流 I_{cp} と称する) を入出力するチャージポンプ 104CP と、チャージポンプ 104CP にバイアス電流 I_{cpbias} を供給する電流値可変型の電流源 105CP とを備えている。

【0074】

30

位相比較部 103 は、デジタルデータ列 D_{in} および出力発振信号 V_{out} の位相を比較し、比較結果である位相差を示す誤差信号を比較結果信号 V_{comp} としてチャージポンプ 104CP に入力する。

【0075】

電流値可変型の電流源 105CP は、電流モードでチャージポンプ電流 I_{cp} を制御可能になっている。具体的には、制御入力端子 105CPa に供給される制御電流 I_{cpnt} をカレントミラー形式 (カレントミラー比は 1:1 でよい) で受けてチャージポンプ 104CP にバイアス電流 I_{cpbias} を供給するようになっている。カレントミラー比が 1:1 のときには、制御電流 I_{cpnt} = バイアス電流 I_{cpbias} である。チャージポンプ 104CP は、バイアス電流 I_{cpbias} に対して 1 倍のチャージポンプ電流 I_{cp} を出力する。

40

【0076】

「制御電流 I_{cpnt} をカレントミラー形式で受けて」とは、たとえば、Nチャネル型の MOS (NMOS) トランジスタをカレントミラー接続し、ゲート端子と共通接続された一方のドレイン端子を制御入力端子 105CPa として制御電流 I_{cpnt} を供給し、他方のドレイン端子にバイアス電流 I_{cpbias} を得る構成を採ることを意味する。

【0077】

また、第1実施形態の位相同期部 100 は、チャージポンプ 104CP の後段に、ループフィルタ部 106A と、電流制御発振部 101A の周波数変換ゲイン特性の製造ばらつきや温度特性を補正するゲイン特性情報取得部 107A と、各部からの電流信号を加算して電流制御発振部 101A の周波数制御入力端子 101Ain に供給する電流加算部 108A

50

と、電流加算部 108A に所望とする出力発振信号 V_{out} の発振周波数 f_{cco} に適合させた初期電流 I_{ini} を供給する規定電流源 109A とを備えている。

【0078】

電流加算部 108A は、各部からの電流信号を加算することで、出力発振信号 V_{out} の位相がデジタルデータ列 D_{in} の位相に同期するように発振制御電流 I_{cnt} を生成する発振制御信号生成部の一例である。

【0079】

ここで、「所望とする出力発振信号 V_{out} の発振周波数 f_{cco} に適合させた初期電流 I_{ini} 」とは、標準的あるいは理想的な条件下において、電流加算部 108A への他の電流入力（ループフィルタ出力電流 I_{lp} およびゲイン特性情報取得部 107A からの周波数制御電流 I_{osci} ）がなく初期電流 I_{ini} のみで希望とする周波数と同じ発振周波数 f_{cco} が得られるような電流値を意味する。

【0080】

希望とする周波数（＝発振周波数 f_{cco} ）が複数種類となる場合には、その希望とする周波数（＝発振周波数 f_{cco} ）の別に最適化させた初期電流 I_{ini} を設定する。このため、デジタルデータ列 D_{in} のデータレート（周波数）が切り替わるごとに、規定電流源 109A の初期電流 I_{ini} を切り替える。

【0081】

このための仕組みとしては、図示を割愛するが、各周波数の別に、その周波数に適合した個別の初期電流 I_{ini} が設定されている周波数別の規定電流源 109A を用意しておき、デジタルデータ列 D_{in} のデータレート（周波数）が切り替わるごとに、その周波数別の規定電流源 109A を、その周波数に適合したものに切り替える構成を採るのがよい。

【0082】

こうすることで、ゲイン特性情報取得部 107A によるゲイン補正処理に基づく周波数制御電流 I_{osci} は、初期電流 I_{ini} （およびループフィルタ出力電流 I_{lp} ）下での実動状態の発振周波数 f_{cco} と希望とする周波数とのずれを補正できる分であればよいことになる。その結果、ある希望周波数に適合させた 1 つの初期電流 I_{ini} としておき、複数種類の希望周波数への対応をゲイン特性情報取得部 107A からの周波数制御電流 I_{osci} で対応する場合よりも、ゲイン特性情報取得部 107A が対処すべき補正電流量（＝周波数制御電流 I_{osci} ）を少なくすることができる。

【0083】

第 1 実施形態のループフィルタ部 106A は、電流制御発振部 101A に適合するように電流出力に対応した構成となっている。具体的には、ループフィルタ部 106A は、ループフィルタ容量 C_p のコンデンサ（容量素子）164 と、電圧電流変換ゲイン G_m の電圧電流変換部（トランスコンダクタンス）166 とを有している。

【0084】

チャージポンプ 104CP の出力は、コンデンサ 164 の一方の端子と電圧電流変換部 166 の入力とに共通に接続されている。コンデンサ 164 の他方の端子は基準電位である接地（GND）に接続されている。なお、位相同期部 100 を IC（半導体集積回路）で構成する場合、コンデンサ 164 は、その IC の外部で接続する。

【0085】

ループフィルタ部 106A では、チャージポンプ 104CP から出力されたチャージポンプ電流 I_{cp} に基づいてコンデンサ 164 の一方の端子（つまり電圧電流変換部 166 の入力）に電圧信号（チャージポンプ電圧 V_{cp} と称する）が生成される。

【0086】

コンデンサ 164 への充放電動作となるので、ループフィルタ部 106A は、位相比較部 103 からの比較結果信号 V_{comp} 中の所定のカットオフ周波数（ローパス周波数やポールともいう）以上の周波数成分を減衰させて、電流制御発振部 101A に供給される発振制御電流 I_{cnt} を平滑化するように、少なくとも 1 つのカットオフ周波数を呈する低域通過フィルタとして機能する。

10

20

30

40

50

【 0 0 8 7 】

なお、第 3 実施形態と同様に、コンデンサ 1 6 4 だけでなくループフィルタ抵抗 R_p の抵抗素子 1 6 2 を直列に接続することで、低域通過フィルタとしての機能を高めるようにしてもよい。第 2 実施形態とは異なり、チャージポンプ部 1 0 4 として 1 つのチャージポンプ 1 0 4 CP を備える構成を採る場合、通常は、この抵抗素子 1 6 2 を備えた構成を採用する。

【 0 0 8 8 】

電圧電流変換部 1 6 6 は、チャージポンプ 1 0 4 CP から出力されたチャージポンプ電流 I_{cp} に基づいてコンデンサ 1 6 4 の一方の端子（つまり電圧電流変換部 1 6 6 の入力）に生成されるチャージポンプ電圧 V_{cp} を電圧電流変換ゲイン G_m に従って電流信号（ループフィルタ出力電流 I_{lp} と称する）に変換する。

10

【 0 0 8 9 】

なお、抵抗素子 1 6 2 とコンデンサ 1 6 4 との直列接続にするときには、その抵抗素子 1 6 2 の効果によって、チャージポンプ部 1 0 4 からループフィルタ部 1 0 6 A までの全体の電圧電流変換ゲインは、 $G_m (R_p + 1 / sC)$ (s は $j\omega$) になる。

【 0 0 9 0 】

第 1 実施形態のゲイン特性情報取得部 1 0 7 A は、電流制御発振部 1 0 1 A から出力された出力発振信号 V_{out} の発振周波数 f_{cco} を 2 種類の判定基準周波数 f_1 , f_2 と比較する周波数比較部 1 7 0 と、周波数比較部 1 7 0 における第 1 の判定基準周波数 f_1 との周波数比較結果 f_{comp} を N ビットのデジタルデータ $D(f_1)$ として保持する第 1 の周波数比較結果保持部 1 7 2 _1 と、周波数比較部 1 7 0 における第 2 の判定基準周波数 f_2 との周波数比較結果 f_{comp} を N ビットのデジタルデータ $D(f_2)$ として保持する第 2 の周波数比較結果保持部 1 7 2 _2 と、周波数比較結果保持部 1 7 2 _1 , 1 7 2 _2 のそれぞれに保持された各 N ビットの周波数比較結果 f_{comp} をアナログ信号に変換する D A 変換部 (DAC ; Digital to Analog Converter) 1 7 4 としての D A 変換部 1 7 4 A _1 , 1 7 4 A _2 とを備える。

20

【 0 0 9 1 】

周波数比較部 1 7 0 には、電流制御発振部 1 0 1 A から出力発振信号 V_{out} が信号入力端子 1 7 0 _1 に供給され、また、判定基準周波数 f_1 , f_2 をそれぞれ指定する情報が判定基準周波数設定端子 1 7 0 _2 , 1 7 0 _3 に供給され、周波数比較結果 f_{comp} を判定結果出力端子 1 7 0 _4 から出力する。

30

【 0 0 9 2 】

周波数比較部 1 7 0 は、目標周波数としての判定基準周波数 f_1 , f_2 のそれぞれについて、電流制御発振部 1 0 1 A から出力された出力発振信号 V_{out} の発振周波数 f_{cco} と判定基準周波数 f_1 , f_2 との大小を比較し、その周波数比較結果 f_{comp} を周波数比較結果保持部 1 7 2 _1 , 1 7 2 _2 に渡す。

【 0 0 9 3 】

ここで、判定基準周波数 f_1 , f_2 をそれぞれ指定する情報としては、判定基準周波数 f_1 , f_2 をそれぞれ直接に指定する情報であってもよいし、基準信号との関係における分周比 M_1 , M_2 など、実質的に判定基準周波数 f_1 , f_2 をそれぞれ指定することができるようにする情報であってもよい。詳細は後述するが、本実施形態の周波数比較部 1 7 0 では後者を採用する。

40

【 0 0 9 4 】

また、詳細は後述するが、周波数比較結果保持部 1 7 2 _2 には、判定基準周波数 f_1 と判定基準周波数 f_2 との差の周波数に対応した N ビットのデジタルデータが保持される。判定基準周波数 f_1 と判定基準周波数 f_2 との差の周波数に対応した値であるから、この周波数比較結果保持部 1 7 2 _2 が保持する N ビットのデジタルデータは、電流制御発振部 1 0 1 A の入力電流 - 発振周波数変換ゲイン K_{cco} を反映したものとなる。

【 0 0 9 5 】

また、第 1 実施形態の D A 変換部 1 7 4 A _1 , 1 7 4 A _2 としては、電流制御発振部 1

50

01Aの周波数制御入力端子101Ainに供給する発振制御信号CNが発振制御電流Icntであることに最適化するように、電流出力型のものを使用する。

【0096】

また、第1実施形態のゲイン特性情報取得部107Aは、入力端子175_1に取り込んだ第2のDA変換部174A_2の出力電流信号Iout_2の経路を切り替える経路選択スイッチ175と、第1のDA変換部174A_1の出力電流信号Iout_1と経路選択スイッチ175の一方の出力端子175_2を介しての第2のDA変換部174A_2の出力電流信号Iout_2とを加算する電流加算部176Aと、経路選択スイッチ175の他方の出力端子175_3を介しての第2のDA変換部174A_2の出力電流信号Iout_2をK倍（後述するがKはカレントミラー比）に増幅する電流電流変換部177とを備えている。

10

【0097】

DA変換部174A_1、174A_2は、判定基準周波数f1、f2のそれぞれについて、周波数比較結果保持部172_1、172_2に記憶されているビット別の周波数比較結果に基づいて、ビット順に周波数制御信号の一例である出力電流信号Iout_1、Iout_2を順次生成していく。ビット順の途中段階では、発振周波数fccoを判定基準周波数f1、f2にさせることはできていないが、最終的に得られる出力電流信号Iout_1、Iout_2では、ほぼ発振周波数fccoを判定基準周波数f1、f2に一致させる状態になっている。

【0098】

電流加算部176Aは、判定基準周波数f1についてのDA変換部174A_1から出力される出力電流信号Iout_1と判定基準周波数f2についてのDA変換部174A_2から出力される出力電流信号Iout_2とを加算して最終的な周波数制御電流Iosci（周波数制御信号）として発振制御信号生成部の一例である電流加算部108Aに供給する。

20

【0099】

周波数比較結果保持部172_1およびDA変換部174A_1は、第1の目標周波数である判定基準周波数f1の系統であり、周波数比較部170および電流加算部176Aとともに、電流制御発振部101Aから出力された出力発振信号Voutの発振周波数fccoが判定基準周波数f1（第1の目標周波数）となるようにするために必要となる規定信号Inとの差分である出力電流信号Iout_1を判定基準周波数f1用の第1の周波数制御信号として取得する第1の周波数制御信号取得部を構成する。

【0100】

30

周波数比較結果保持部172_2およびDA変換部174A_2は、第2の目標周波数である判定基準周波数f2の系統であり、周波数比較部170および電流加算部176Aとともに、電流制御発振部101Aから出力された出力発振信号Voutの発振周波数fccoが判定基準周波数f2（第2の目標周波数）となるようにするために必要となる規定信号Inを出力電流信号Iout_1（第1の周波数制御信号）で補正した信号との差分である出力電流信号Iout_2を判定基準周波数f2用の第2の周波数制御信号として取得する第2の周波数制御信号取得部を構成する。

【0101】

経路選択スイッチ175は、判定基準周波数f2についてのDA変換部174A_2から出力された出力電流信号Iout_2を、補正情報取得時には電流加算部176Aに供給し、通常の位相同期動作時には駆動部104Zの一例であるチャージポンプ部104側に供給されるように切り替える。

40

【0102】

ここで、「チャージポンプ部104側に供給」するに当たっては、図示のように、電流電流変換部177を介して制御電流Icpntに変換してから供給するようにしてもよいし、後述する変形例のように、DA変換部174A_2の構成を工夫することで、電流電流変換部177を介することなく、出力電流信号Iout_2を制御電流Icpntとして直接に供給するようにすることもできる。

【0103】

電流加算部176Aは、出力電流信号Iout_1と出力電流信号Iout_2との加算結果（

50

I_{out})を周波数制御電流 I_{osci}として電流加算部 108 Aに供給する。また、電流電流変換部 177は、第2のDA変換部 174 A₂の出力電流信号 I_{out_2} をK倍にした電流を制御電流 I_{cpnt} として、電流値可変型の電流源 105 CPの制御入力端子 105 CPaに供給する。

【0104】

ここで、周波数比較部 170は、出力発振信号 V_{out} の発振周波数 f_{cco} と判定基準周波数 f₁ , f₂ の大小を比較して、その周波数比較結果 f_{comp}をデジタルデータ 0 , 1の何れかで出力する。たとえば、発振周波数 f_{cco} が判定基準周波数 f₁ , f₂ よりも高ければ“1”を出力し、発振周波数 f_{cco} が判定基準周波数 f₁ , f₂ よりも低ければ“0”を出力する。よって、周波数比較部 170にて出力発振信号 V_{out} の発振周波数 f_{cco} と判定基準周波数 f₁ , f₂ の大小を比較するだけでは、比較結果としてはNビットのデジタルデータは得られない。

10

【0105】

しかしながら、詳細は後述するが、本実施形態では、出力発振信号 V_{out} の発振周波数 f_{cco} が判定基準周波数 f₁ , f₂ に近づくように周波数比較部 170での周波数比較結果 f_{comp}を反映させた周波数制御電流 I_{osci}を電流制御発振部 101 Aに供給して、再度（最終的にはN回）、同じようにして、周波数比較部 170にて、出力発振信号 V_{out} の発振周波数 f_{cco} と判定基準周波数 f₁ , f₂ の大小を比較する周波数2分探索法を採用する。その結果、N回の繰返しの都度、比較結果の重付けが小さくなるものと考えることができる。

20

【0106】

そこで、周波数比較結果保持部 172₁ , 172₂では、周波数比較部 170におけるN回の比較処理に連動して、最初の周波数比較結果 f_{comp}をNビットの上位ビットに記憶し、次回以降は、順次下位ビットに記憶するようにする。つまり、周波数比較結果保持部 172₁ , 172₂は、判定基準周波数 f₁ , f₂ のそれぞれについて、周波数比較部 170による周波数比較結果 f_{comp}を順次ビットの重付け順にビット別に記憶していく。

【0107】

これにより、周波数比較結果保持部 172₁ , 172₂には、最終的に、Nビットのデジタルデータが記憶される。N回の探索によって、周波数比較結果保持部 172₁ , 172₂には、出力発振信号 V_{out} の発振周波数 f_{cco} を判定基準周波数 f₁ , f₂ に順次近づけていくことのできる出力電流信号 I_{out_1} , I_{out_2}を示すNビットのデジタルデータが順に保持されていくことになる。

30

【0108】

電流加算部 108 Aは、規定電流源 109 Aから供給される所望とする出力発振信号 V_{out} の発振周波数 f_{cco} に適合させた初期電流 I_{ini} と、電圧電流変換部 166から出力されたループフィルタ出力電流 I_{lp}と、ゲイン特性情報取得部 107 Aの電流加算部 176 Aからの周波数制御電流 I_{osci}とを加算して、電流制御発振部 101 Aの周波数制御入力端子 101 Ainに供給する発振制御電流 I_{cnt} とする。

【0109】

電流電流変換部 177は、ゲイン特性情報取得部 107 Aにおける補正処理によって取得され周波数比較結果保持部 172₂に保持されたデータに基づくDA変換部 174 A₂から出力される出力電流信号 I_{out_2}をK倍（Kの設定手法については後述する）することで電流源 105 CPに供給する制御電流 I_{cpnt} を取得する信号変換部の一例である。

40

【0110】

このような構成の第1実施形態の位相同期部 100においては、位相比較部 103は、AD変換部 54から出力されたデジタルデータ列 D_{in}を、電流制御発振部 101 Aからの出力発振信号 V_{out}（もしくは分周部 102から出力された分周発振信号 V_{out1}）と位相比較する。

【0111】

位相誤差情報である位相比較部 103の出力電圧 V_{comp}が、チャージポンプ 104 CP、

50

ループフィルタ部 106A、および電流加算部 108Aを通じて発振制御電流 I_{cnt} に変換され電流制御発振部 101Aに供給されて、電流制御発振部 101Aから出力される出力発振信号 V_{out} の発振周波数 (= 発振周波数 f_{cco}) が制御されるとともに、出力発振信号 V_{out} のデジタルデータ列 D_{in} に位相がロックされる。この出力発振信号 V_{out} は、たとえば、AD変換部 54のADクロック CK_{ad} として利用される。

【0112】

< 発振部の構成例 >

図5は、位相同期部 100で使用する発振部の一構成例を示す図である。なお、回路構成的には、第1実施形態の電流制御発振部 101Aの一構成例も、後述する第3実施形態の位相同期部 100にて使用する電圧制御発振部 101Bの一構成例も、同じように示すことができる。ここでは、電流制御発振部 101Aと電圧制御発振部 101Bとを纏めて説明する。

10

【0113】

図5(A)に示すように、電流制御発振部 101Aや電圧制御発振部 101B (纏めて発振部 101と称する) は、周波数制御入力端子 101in (101Ain, 101Bin) と出力端子 101out (101Aout, 101Bout) との間に、所定数 (本例では4段で示す) のディレイセル (ディレイステージとも称される) 201を備えている。

【0114】

発振部 101は、全体として差動リング発振器を構成するように、接続としては負帰還となる。動作時は、内部RCによる位相ずれで正帰還となる。たとえば、各ディレイセル 201は縦続配置され、さらに最終段のディレイセル 201_4の出力信号を、初段のディレイセル 201_1の入力に戻す。

20

【0115】

本例では、1段目のディレイセル 201_1の非反転出力+を2段目のディレイセル 201_2の反転入力-に接続し、かつ1段目のディレイセル 201_1の反転出力-を2段目のディレイセル 201_2の非反転入力+に接続する。また、2段目のディレイセル 201_2の非反転出力+を3段目のディレイセル 201_3の反転入力-に接続し、かつ2段目のディレイセル 201_2の反転出力-を3段目のディレイセル 201_3の非反転入力+に接続する。

【0116】

これに対して、3段目のディレイセル 201_3の非反転出力+は4段目のディレイセル 201_4の非反転入力+に接続し、かつ3段目のディレイセル 201_3の反転出力-は4段目のディレイセル 201_4の反転入力-に接続する。このため、全体として正帰還を構成するように、4段目のディレイセル 201_4の非反転出力+は1段目のディレイセル 201_1の反転入力-に接続し、かつ4段目のディレイセル 201_4の反転出力-は1段目のディレイセル 201_1の非反転入力+に接続する。

30

【0117】

発振部 101の2つの出力端子 101out (4段目のディレイセル 201の非反転出力+および反転出力-) のうち何れか一方が、電流制御発振部 101Aの出力端子 101Aout や電圧制御発振部 101Bの出力端子 101Bout として使用される。

40

【0118】

図5(B)に示すように、各ディレイセル 201は、2つのトランジスタ (ここでは電界効果トランジスタ) 202, 204を使用した差動回路で構成されている。具体的には、一方のトランジスタ 202のゲートGを非反転入力 (V_{in+}) とし、そのドレインDを抵抗素子 203を介して電源 V_{dd} に接続し、そのドレインDを反転出力 (V_{out-}) とする。また、他方のトランジスタ 204のゲートGを反転入力 (V_{in-}) とし、そのドレインDを抵抗素子 205を介して電源 V_{dd} に接続し、そのドレインDを非反転出力 (V_{out+}) とする。また、各トランジスタ 202, 204のソースSを共通にして、電流値可変型の電流源 206を介して基準電位 (本例では接地電位 GND) に接続する。

【0119】

50

電流値可変型の電流源 206 は、制御入力端子 206 CN に供給される発信制御信号 CN をカレントミラー形式（カレントミラー比は 1 : 1 でよい）で受けてトランジスタ 202 , 204 にバイアス電流を供給するようになっている。

【0120】

各ディレイセル 201 の各制御入力端子 206 CN は、共通に周波数制御入力端子 101 in に接続される。周波数制御入力端子 101 in を介して各制御入力端子 206 CN に供給される発信制御信号 CN は、電流制御発振部 101 A のときは発振制御電流 I_{cnt} であり電圧制御発振部 101 B のときには、発振制御電圧 V_{cnt} である。

【0121】

< 位相同期部のループ特性；第 1 実施形態 >

ここで、第 1 実施形態の位相同期部 100 の動作の解析には、いわゆるチャージポンプ PLL の解析として一般的な、線形化した閉ループ伝達関数を用いることができる。

【0122】

第 1 実施形態の位相同期部 100 の場合、チャージポンプ 104 CP のチャージポンプ電流 I_{cp} 、電流制御発振部 101 A の入力電流 - 発振周波数変換ゲイン K_{cco} 、抵抗素子 162 のループフィルタ抵抗 R_p 、コンデンサ 164 のループフィルタ容量 C_p 、分周部 102 の分周比 α のとき、その帯域（自然角周波数） ω_n およびダンピングファクタ ζ は、式（2-1）および式（2-2）のように表すことができる。なお、式（1）との比較から、式（2-3）および式（2-4）に示す関係があることが分かる。また、式（2-1）および式（2-2）から、式（2-5）を導くことができる。

【0123】

【数 2】

$$\left. \begin{aligned} \omega_n &= \sqrt{\frac{I_{cp} \cdot K_{cco}}{C_p \cdot \alpha}} \quad \cdots (2-1) \\ \zeta &= \frac{C_p \cdot R_p}{2} \omega_n \quad \cdots (2-2) \\ K_{lp} &= 1 \quad \cdots (2-3) \\ F_{lp} &= R_p \quad \cdots (2-4) \\ \omega_n, \zeta &\propto \sqrt{I_{cp} \cdot K_{cco}} \quad \cdots (2-5) \end{aligned} \right\} (2)$$

【0124】

ここで、たとえば、位相同期部 100 を光ディスク装置 1 に適用する場合において、式（2-1）に基づき帯域 ω_n を、ブルーレイディスクなどの次世代 DVD、通常の DVD , CD の 3 種類の光ディスク PD の規格で決められている値に設定するには、位相同期部 100 を IC としたときには、その IC 外部で抵抗素子 162 やコンデンサ 164 が接続され、そのループフィルタ抵抗 R_p やループフィルタ容量 C_p は固定値であるため、チャージポンプ電流 I_{cp} や分周比 α あるいは入力電流 - 発振周波数変換ゲイン K_{cco} を調整しなければならない。なお、第 1 実施形態では、帯域 ω_n を変化させると式（2-2）から分かるように、帯域 ω_n に比例して、ダンピングファクタ ζ も変化してしまう。

【0125】

しかしながら、チャージポンプ電流 I_{cp} や分周比 α や入力電流 - 発振周波数変換ゲイン K_{cco} を調整することで、数多くの光ディスク PD に適合するように帯域 ω_n の設定を、設計で実現することができたとしても、実際に IC が製造されると、チャージポンプ 10

10

20

30

40

50

4 CPのチャージポンプ電流 I_{cp} や電圧電流変換部 166 の電圧電流変換ゲイン G_m や電流制御発振部 101 A の入力電流 - 発振周波数変換ゲイン K_{cco} など、帯域 n を決めるパラメータが、設計値からばらつくため、所望の値に帯域 n を設定することが困難となることが起こり得る。さらに、通常、様々な場所で使われることを考えると、温度によってもこれらのパラメータは変動するため、帯域 n はさらに設定値からずれてしまうことになる。

【0126】

したがって、帯域 n やダンピングファクタ が、製造ばらつきや温度特性の影響を受けないようにするには、チャージポンプ 104 CPのチャージポンプ電流 I_{cp} や電圧電流変換部 166 の電圧電流変換ゲイン G_m や電流制御発振部 101 A の入力電流 - 発振周波数変換ゲイン K_{cco} などの製造ばらつきや温度特性を補償する必要があるが生じる。

10

【0127】

たとえば、製造ばらつきや温度特性を持つパラメータとして、発振部 101 の入力信号 - 発振周波数変換ゲイン K_{osci} に着目して見る。なお、入力信号 - 発振周波数変換ゲイン K_{osci} は、電流制御発振部 101 A のときは入力電流 - 発振周波数変換ゲイン K_{cco} であり、電圧制御発振部 101 B のときは入力電圧 - 発振周波数変換ゲイン K_{vco} である。

【0128】

図6は、図5に示した発振部 101 の入力信号 - 発振周波数変換ゲイン K_{osci} の特性例を示す図である。

【0129】

20

発振部 101 の周波数制御入力端子 101 in に供給される発信制御信号 CN、すなわち発振制御電流 I_{cnt} や発振制御電圧 V_{cnt} を一定にしたとしても、ディレイセル 201 の差動対のトランスコンダクタンス G_m の値や負荷の値は製造ばらつきや温度で変化するため、入力信号 - 発振周波数変換ゲイン K_{osci} 、すなわち入力電流 - 発振周波数変換ゲイン K_{cco} や入力電圧 - 発振周波数変換ゲイン K_{vco} は、図6に示すように、たとえば設計値の半分から2倍に変動することもあり得る。これは、式(2)から、位相同期部 100 (PLL) の帯域 n とダンピングファクタ が、 $1/\sqrt{2}$ から $\sqrt{2}$ 倍まで変動することを意味する。

【0130】

帯域 n が設定値から大きくずれてしまうと、出力発振信号 V_{out} の位相がデジタルデータ列 D_{in} にロックするまでの期間、すなわちアキュジション時間も設定値から変動するためシステム設計が難しくなり、さらに帯域 n が低くずれてしまった場合はジッタが増加してしまう。

30

【0131】

ここで、式(2-5)から理解されることは、帯域 n やダンピングファクタ は、チャージポンプ電流 I_{cp} と入力信号 - 発振周波数変換ゲイン K_{osci} の積 ($= I_{cp} \cdot K_{osci}$) の (ルート; 平方根) に比例することを意味するとともに、その積 ($= I_{cp} \cdot K_{osci}$) が一定であれば、帯域 n やダンピングファクタ は不変であるということである。

【0132】

この点に着目すると、位相同期部 100 を光ディスク装置 1 に適用する場合において、式(2-1)に基づきチャージポンプ電流 I_{cp} や入力信号 - 発振周波数変換ゲイン K_{osci} を調整することで、帯域 n やダンピングファクタ を各光ディスク PD の規格で決められている値に設定したとき、入力信号 - 発振周波数変換ゲイン K_{osci} に製造ばらつきや温度変化が生じたときには、式(2-5)に基づき、その変動分を相殺するように、チャージポンプ電流 I_{cp} を調整して、 $I_{cp} \cdot K_{osci}$ が一定となるようにすれば、帯域 n やダンピングファクタ が製造ばらつきや温度特性の影響を受けないようにすることができる。

40

【0133】

つまり、入力信号 - 発振周波数変換ゲイン K_{osci} の製造ばらつきや温度変化などに伴う変動分を相殺するようにチャージポンプゲイン I_{cp} を調整することで、入力信号 - 発振周波数変換ゲイン K_{osci} の製造ばらつきや温度特性の補正が可能で、帯域 n およびダンピ

50

ングファクタ を希望する値に一定にすることができる。

【 0 1 3 4 】

本実施形態のゲイン特性情報取得部 1 0 7 A は、この点に直目してなされたものであり、入力信号 - 発振周波数変換ゲイン K_{osci} の変動分をチャージポンプ電流 I_{cp} で相殺するべく、発振部 1 0 1 の入力信号 - 発振周波数変換ゲイン K_{osci} の実動状態の特性を測定し、その測定結果を元にして、チャージポンプ電流 I_{cp} を調整することで、入力信号 - 発振周波数変換ゲイン K_{osci} の製造ばらつきや温度特性を補正する仕組みを採る。以下、ゲイン特性情報取得部 1 0 7 A について、詳細に説明する。

【 0 1 3 5 】

< ゲイン特性情報取得部の動作の概要 >

図 7 および図 8 は、ゲイン特性情報取得部 1 0 7 A の動作の概要を説明する図である。ここで、図 7 は、ゲイン特性情報取得部 1 0 7 A の動作手順の一例を示すフローチャートであり、図 8 は、ゲイン特性情報取得部 1 0 7 A の動作のタイミングチャートである。なお、図 8 では、周波数 2 分探索の回数 (= N) を 6 回とする場合で示している。

【 0 1 3 6 】

本実施形態の位相同期部 1 0 0 では、デジタルデータ列 D_{in} との位相同期動作をさせる前に、電流制御発振部 1 0 1 A の入力電流 - 発振周波数変換ゲイン K_{cco} のばらつき補正を以下の手順に従って実行する。

【 0 1 3 7 】

この際には、ゲイン特性情報取得部 1 0 7 A は、実動状態の入力電流 - 発振周波数変換ゲイン K_{cco} を測定し、その測定結果に基づいて、入力電流 - 発振周波数変換ゲイン K_{cco} のばらつきを相殺するようにループフィルタ部 1 0 6 A を駆動するチャージポンプ部 1 0 4 の駆動能力、具体的にはチャージポンプ電流 I_{cp} の大きさを制御する点に特徴を有する。ここで、「入力電流 - 発振周波数変換ゲイン K_{cco} のばらつきを相殺するように」とは、入力電流 - 発振周波数変換ゲイン K_{cco} とチャージポンプ電流 I_{cp} の積が一定となるようにすることを意味する。以下、先ず、処理手順の概要について説明する。

【 0 1 3 8 】

先ず、補正を始めるときには (S 1 0 0 - Y E S)、位相比較部 1 0 3 およびチャージポンプ 1 0 4 CP の動作を停止し (S 1 0 2)、経路選択スイッチ 1 7 5 を出力端子 1 7 5 _2 側 (電流加算部 1 7 6 A 側) にして (S 1 0 4)、周波数比較結果保持部 1 7 2 _1, 1 7 2 _2 のデータをゼロにリセットし (S 1 0 6)、さらに、電流制御発振部 1 0 1 A に最初の周波数 2 分探索における判定基準周波数 f_1 に適合した初期電流を発振制御電流 I_{cnt} として与えて発振させるべく、電流加算部 1 0 8 A に初期電流 I_{ini} を供給する (S 1 0 8)。

【 0 1 3 9 】

周波数比較部 1 7 0 は、電流制御発振部 1 0 1 A から出力された出力発振信号 V_{out} の発振周波数 f_{cco} を判定基準周波数 f_1 と比較する (S 1 1 0)。周波数比較結果保持部 1 7 2 _1 は、その周波数比較結果 f_{comp} を N (本例では $N = 6$) ビットのデジタルデータで記憶する (S 1 1 2)。なお、詳細は後述するが、本実施形態では 2 分探索法を採用するので、最初の周波数比較結果 f_{comp} を N ビットの上位ビットに記憶し、次回以降は、順次下位ビット (最終的には最下位ビット L S B) に記憶するようにする。

【 0 1 4 0 】

D A 変換部 1 7 4 A _1 は、周波数比較結果保持部 1 7 2 _1 の N ビット目に保持されたデータに従って N ビット目を動作させ、その出力電流信号 I_{out_1} を電流加算部 1 7 6 A に供給する。このときには、D A 変換部 1 7 4 A _2 からの出力電流信号 I_{out_2} はシンク電流もソース電流もなく、出力電流信号 I_{out_1} が、電流加算部 1 7 6 A を介して周波数制御電流 I_{osci} として電流加算部 1 0 8 A に供給される (S 1 1 4)。

【 0 1 4 1 】

電流加算部 1 0 8 A は、このときの周波数制御電流 I_{osci} (= 出力電流信号 I_{out_1}) と初期電流 I_{ini} とを加算して発振制御電流 I_{cnt} として電流制御発振部 1 0 1 A に供給

10

20

30

40

50

する (S 1 1 6)。

【 0 1 4 2 】

探索回数が N (本例では $N = 6$) 回に達していなければ (S 1 1 8 - N O)、ステップ S 1 1 0 に戻って、同様に、周波数比較と、その結果の周波数比較結果保持部 1 7 2 _1 への保持を行なう。この際には、順次下位ビットに記憶するようにする。

【 0 1 4 3 】

このようにして、電流制御発振部 1 0 1 A の発振周波数 f_{cco} を周波数比較部 1 7 0 で判定基準周波数 f_1 と比較し、その結果を周波数比較結果保持部 1 7 2 _1 に上位ビットから順に記憶して、その記憶した値で D A 変換部 1 7 4 A _1 を上位ビットから順に動作させ、その出力電流信号 I_{out_1} を初期電流 I_{ini} に加算していく。実際には、D A 変換部 1 7 4 A _1 は、周波数比較結果保持部 1 7 2 _1 のビット別のデータ値 (0 / 1) に応じて、ビット別にシンク動作とソース動作を行なうので、探索の都度、対応するビットに関して、初期電流 I_{ini} への加算と減算とがデータ値に応じて実行される。

【 0 1 4 4 】

そして、探索回数が N 回に達すると (S 1 1 8 - Y E S)、周波数比較結果保持部 1 7 2 _1 には、出力発振信号 V_{out} の発振周波数 f_{cco} が判定基準周波数 f_1 にほぼ一致するようなデータが保持されることになる。

【 0 1 4 5 】

次に、位相同期部 1 0 0 は、経路選択スイッチ 1 7 5 を出力端子 1 7 5 _2 側にしたまま、判定基準周波数 f_2 に変更し (S 1 2 8)、上記と同様に、出力発振信号 V_{out} の発振周波数 f_{cco} が判定基準周波数 f_2 にほぼ一致するようにする。

【 0 1 4 6 】

具体的には、周波数比較部 1 7 0 は、電流制御発振部 1 0 1 A から出力された出力発振信号 V_{out} の発振周波数 f_{cco} を判定基準周波数 f_2 と比較する (S 1 3 0)。周波数比較結果保持部 1 7 2 _2 は、その周波数比較結果 f_{comp} を N ビットのデジタルデータで記憶する (S 1 3 2)。前述のように、最初の周波数比較結果 f_{comp} を N ビットの上位ビットに記憶する。

【 0 1 4 7 】

D A 変換部 1 7 4 A _2 は、周波数比較結果保持部 1 7 2 _2 の N ビット目に保持されたデータに従って N ビット目を動作させ、その出力電流信号 I_{out_2} を電流加算部 1 7 6 A に供給する。このときには、D A 変換部 1 7 4 A _1 からの出力電流信号 I_{out_1} が存在するので、電流加算部 1 7 6 A は、出力電流信号 I_{out_1} と出力電流信号 I_{out_2} とを加算して周波数制御電流 I_{osci} として電流加算部 1 0 8 A に供給する (S 1 3 4)。

【 0 1 4 8 】

電流加算部 1 0 8 A は、このときの周波数制御電流 I_{osci} (= 出力電流信号 I_{out_1} + 出力電流信号 I_{out_2}) と初期電流 I_{ini} とを加算して発振制御電流 I_{cnt} として電流制御発振部 1 0 1 A に供給する (S 1 3 6)。

【 0 1 4 9 】

探索回数が N 回に達していなければ (S 1 3 8 - N O)、ステップ S 1 3 0 に戻って、同様に、周波数比較と、その結果の周波数比較結果保持部 1 7 2 _2 への保持を行なう。この際には、順次下位ビットに記憶するようにする。

【 0 1 5 0 】

このようにして、電流制御発振部 1 0 1 A の発振周波数 f_{cco} を周波数比較部 1 7 0 で判定基準周波数 f_2 と比較し、その結果を周波数比較結果保持部 1 7 2 _2 に上位ビットから順に記憶して、その記憶した値で D A 変換部 1 7 4 A _2 を上位ビットから順に動作させ、その出力電流信号 I_{out_2} を “ 出力電流信号 I_{out_1} + 初期電流 I_{ini} ” に加算していく。実際には、D A 変換部 1 7 4 A _2 は、周波数比較結果保持部 1 7 2 _2 のビット別のデータ値 (0 / 1) に応じて、ビット別にシンク動作とソース動作を行なうので、探索の都度、対応するビットに関して、“ 出力電流信号 I_{out_1} + 初期電流 I_{ini} ” への加算と減算とがデータ値に応じて実行される。

10

20

30

40

50

【0151】

そして、探索回数がN回に達すると(S138 - YES)、周波数比較結果保持部172_2には、出力発振信号Voutの発振周波数fccoが判定基準周波数f2にほぼ一致するようなデータが保持されることになる。

【0152】

このようにして、判定基準周波数f1と判定基準周波数f2とについての処理が完了すると(S138 - YES)、経路選択スイッチ175は、出力端子175_3側に切り替えることで、DA変換部174A_2の出力経路を電流電圧変換部177側に切り替える(150)。

【0153】

電流電圧変換部177は、DA変換部174A_2の出力電圧信号Iout_2をK倍してチャージポンプ104CPの電流源105CPの制御入力端子105CPaに制御電流Icpcntとして供給する(S152)。カレントミラー比が1:1のときには、制御電流Icpcnt = バイアス電流Icpbiasである。

【0154】

このようにして、一連の補正処理が完了すると、位相同期部100は、ゲイン特性情報取得部107Aでの入力電流 - 発振周波数変換ゲインKccoの測定結果に基づく大きさのチャージポンプ電流Icpを使用して、通常通り、位相同期動作を行なう(S160)。

【0155】

なお、上記の説明から分かるように、周波数比較結果保持部172_2には、判定基準周波数f1から判定基準周波数f2に切り替えたときに、電流制御発振部101Aから出力される発振信号Voutの発振周波数fccoを、判定基準周波数f1から判定基準周波数f2にするために必要とされる差分が保持される。

【0156】

判定基準周波数f1と判定基準周波数f2との差分の周波数に対応した差分が保持されるのであるから、この周波数比較結果保持部172_2が保持するNビットのデジタルデータは、電流制御発振部101Aの入力電流 - 発振周波数変換ゲインKccoを反映したものとなる。

【0157】

加えて、チャージポンプ104CPは、バイアス電流Icpbiasに対して倍のチャージポンプ電流Icpを出力するが、チャージポンプ104CPのバイアス電流Icpbiasは、入力電流 - 発振周波数変換ゲインKccoを反映したデータに基づく出力電圧信号Iout_2をK倍したものに对应する。さらに、チャージポンプ電流Icpはバイアス電流Icpbiasに依存するので、電流電圧変換部177によるK倍の設定を、入力電流 - 発振周波数変換ゲインKccoのばらつきを相殺するように適正化することで、入力電流 - 発振周波数変換ゲインKccoの測定結果に基づいて、補正処理の都度、Icp・Kccoを設計値に一致させることができる(詳細は後述する)。

【0158】

その結果、このようにして、電流制御発振部101Aの入力電流 - 発振周波数変換ゲインKccoを反映したデータを保持することで、上記処理が完了した時点では、その時点での入力電流 - 発振周波数変換ゲインKccoの環境(部品ばらつきや環境温度)の影響を補正することができ、PLLの帯域nおよびダンピングファクタを、設計値に一致させることができる。環境変動がない限り、PLLの帯域nおよびダンピングファクタを、一定にすることができる。

【0159】

温度変化が生じたときには、前述と同様の補正処理を実行することで、入力電流 - 発振周波数変換ゲインKccoの環境(部品ばらつきや環境温度)の影響を再度補正することができ、PLLの帯域nおよびダンピングファクタを、設計値に一致させることができる。

【0160】

10

20

30

40

50

また、判定基準周波数 f_1 と判定基準周波数 f_2 についての処理が完了すると (S 138 - YES)、経路選択スイッチ 175 は、出力端子 175_3 側に切り替えるので、電流加算部 176 A には DA 変換部 174 A_2 からの出力電流信号 I_{out_2} がなく、図 8 に示すように、補正処理終了時点での電流制御発振部 101 A から出力される出力発振信号 V_{out} の発振周波数 f_{cco} は判定基準周波数 f_1 に一致している。

【0161】

したがって、この判定基準周波数 f_1 を、位相比較部 103 に入力されるデジタルデータ列 D_{in} のデータレート、つまり AD 変換部 54 にて必要とされる AD クロック CK_{ad} の周波数に一致させれば、位相同期部 100 は、補正処理が終了すると同時に短時間で電流制御発振部 101 A の出力発振信号 V_{out} とデジタルデータ列 D_{in} を同位相にすることができる。

10

【0162】

これに対して、図 4 に示した比較例のデータリカバリ型の位相同期部 100 A では、電圧電流変換部 166 (トランスコンダクタンス) の入力レンジが限られるため、周波数シンセサイザ部 180 を別に用意し、電流制御発振部 101 A から出力される出力発振信号 V_{out} の発振周波数 f_{cco} がデジタルデータ列 D_{in} のデータレートに一致するようにしてから、出力発振信号 V_{out} の位相をデジタルデータ列 D_{in} の位相にロックさせる。

【0163】

図 3 に示した第 1 実施形態の位相同期部 100 と、図 4 に示した位相同期部 100 A との比較から分かるように、第 1 実施形態の位相同期部 100 では、ゲイン特性情報取得部 107 A を必要とするものの、周波数シンセサイザ部 180 が不要となる。

20

【0164】

また、位相同期部 100 は、ゲイン特性情報取得部 107 A での補正処理が終了した時点の情報を次の補正処理が実行されるまで固定して (つまり DC 的に) 使用しながら位相同期動作を実行するので、AC 的に動作を継続しないため、低ノイズ、低ジッタを実現することができる。この点は、補正処理を継続的に掛けながら (つまり AC 的に動作させながら)、位相同期動作を実行するのと大きく異なる。

【0165】

< 周波数比較部の構成例と動作 >

図 9 ~ 図 12 は、周波数比較部 170 の詳細を説明する図である。ここで、図 9 は、周波数比較部 170 の詳細な構成例を示す図である。図 10 は、周波数比較部 170 に使用されるプログラマブルカウンタ (Programmable Counter) の動作を説明するタイミングチャートである。図 11 は、計測時間とプログラマブルカウンタの出力の関係を説明する図である。図 12 は、プログラマブルカウンタにおける誤動作を説明する図である。

30

【0166】

まず、図 9 に示すように、周波数比較部 170 は、分周比を任意に変えることができるプログラマブルカウンタ 302 と、2 入力 - 1 出力のマルチプレクサ (Multiplexer) 304 と、周波数 f_{Low} の判定基準信号 f_0 を生成する判定基準信号生成部 306 と、判定基準信号生成部 306 から供給される周波数 f_{Low} の判定基準信号 f_0 を分周する分周部 308 とを有している。

40

【0167】

ここで、判定基準信号 f_0 の周波数 f_{Low} は、周波数 2 分探索における 1 つの周波数探索期間 (詳細は図 10 やセット信号生成部 410 の説明を参照) において、前回の探索結果に基づく DA 変換部 174 A からの出力電流信号 I_{out} を反映した発振周波数 f_{cco} が安定となるようにできる値とする。これを満たさないと、次の探索において、電流制御発振部 101 A の発振周波数 f_{cco} を周波数比較部 170 で判定基準周波数 f_1 と比較したときの判定結果が不適切になるからである。

【0168】

分周部 308 は、入力された判定基準信号 f_0 の周波数 f_{Low} を $1/2$ に分周する。ここで、判定基準信号 f_0 としては、図 9 に示すように、電流制御発振部 101 A から出力

50

される出力発振信号 V_{out} の発振周波数 f_{cco} よりも低速のクロック (Low Speed Clock) とする。

【0169】

マルチプレクサ 304 の一方の入力端子 304_1 (170_2 に対応) には判定基準周波数 f_1 を指定する情報に対応する分周比 M_1 が入力され、他方の入力端子 304_2 (170_3 に対応) には判定基準周波数 f_2 を指定する情報に対応する分周比 M_2 が入力される。マルチプレクサ 304 は、切替制御端子 304_3 に入力される分周比切替信号 $Msel$ (事実上、判定基準周波数切替信号に相当する) に従って、入力端子 304_1 に入力される分周比 M_1 と入力端子 304_2 に入力される分周比 M_2 の何れか一方を選択して出力端子 304_4 から設定すべき分周比 M として出力する。

10

【0170】

本実施形態では、第 1 の判定基準周波数 f_1 での周波数 2 分探索後に、その終了を示す信号 (たとえば L レベルから H レベルに切り替える信号) が分周比切替信号 $Msel$ として入力されることで、判定基準周波数が、判定基準周波数 f_1 から判定基準周波数 f_2 に切り替えるようにする。

【0171】

プログラムカウンタ 302 は、電流制御発振部 101A から出力された発振周波数 f_{cco} の出力発振信号 V_{out} がクロック入力端子 302_1 (170_1 に相当) に供給され、また、分周部 308 によって判定基準周波数 f_{low} を 2 分周した分周出力がイネーブル信号 EN としてイネーブル端子 302_2 に供給される。また、マルチプレクサ 304 の出力端子 304_4 からの分周比 M (分周比 M_1 または分周比 M_2 の何れか一方) が分周比設定端子 302_3 に供給される。また、プログラムカウンタ 302 は、周波数比較結果 f_{comp} を、出力端子 302_4 (170_4 に相当) から出力する。

20

【0172】

図 10 では、分周比 $M = 20$ の場合で、プログラムカウンタ 302 は、出力発振信号 V_{out} の立上りエッジをカウントする例で示している。ここで、プログラムカウンタ 302 は、図 10 に示すように、イネーブル信号 EN が立ち上がりと同時に、プログラムカウンタ 302 の内部状態はリセットされ、イネーブル信号 EN が有効 (本例では H レベル) になると、電流制御発振部 101A から出力された出力発振信号 V_{out} のエッジをカウントし始める (t_{10} , t_{20} , t_{30})。つまり、本実施形態の場合、イネーブル信号 EN が H レベルの期間が、周波数 2 分探索における 1 つの周波数探索期間に該当する。

30

【0173】

そして、イネーブル信号 EN が立ち下がりと同時に (t_{14} , t_{24})、プログラムカウンタ 302 は、カウント動作を停止し、その時点のカウント結果を、次のイネーブル信号 EN の立上りエッジまで保持し出力し続ける。そして、イネーブル信号 EN が L レベルの期間 (周波数整定期間と称する) 内で発振周波数 f_{cco} を変更し、次にイネーブル信号 EN が立ち上がりと同時に、プログラムカウンタ 302 の内部状態はリセットされ、次のカウントを始めることになる。

【0174】

なお、周波数比較を精度よく実行するには、周波数探索期間 (イネーブル信号 EN が H レベルのカウント期間) では、出力発振信号 V_{out} の発振周波数 f_{cco} が安定状態にあることが必要である。このことは、カウントを開始するイネーブル信号 EN が立ち上がる時には、つまりイネーブル信号 EN が L レベルの周波数整定期間内に、前回の周波数 2 分探索結果を反映した発振制御電流 I_{cnt} に基づく出力発振信号 V_{out} の発振周波数 f_{cco} が安定状態に達していることが必要であることを意味する。

40

【0175】

本例で言えば、 t_{10} 以前の前回の周波数比較結果 f_{comp} に基づく発振周波数 f_{cco} の制御によって、 t_{10} 以前のイネーブル信号 EN が L レベルの周波数整定期間内に発振周波数 f_{cco} が安定に達していることが必要である。また、 $t_{10} \sim t_{14}$ にてのカウント動作による 1 回目の周波数探索の周波数比較結果 f_{comp} に基づく発振周波数 f_{cco} の制御に

50

よって、 t_{20} 以前のイネーブル信号ENがLレベルの周波数整定期間内に発振周波数 f_{cco} が安定に達していることが必要である。

【0176】

なお、本例では、イネーブル信号ENを使って、周波数整定期間と周波数探索期間を合成した周波数2分探索の1つの処理サイクルを判定基準信号 f_0 の2クロック分にしているが、これは一例に過ぎない。

【0177】

周波数2分探索の1つの処理サイクルを判定基準信号 f_0 の何クロック分にするかは、基本的には、電流制御発振部101Aの発振周波数 f_{cco} が安定になる応答速度に応じて決めればよい。たとえば、判定基準信号 f_0 のLレベル期間を周波数整定期間とし、判定基準信号 f_0 のHレベル期間を周波数探索期間とすることで、周波数2分探索の1つの処理サイクルを判定基準信号 f_0 の1クロック分にすることもできるし、周波数整定期間と周波数探索期間とを均等にしつつ、全体の処理サイクルを3クロック分以上にすることもできる。

【0178】

また、周波数整定期間と周波数探索期間とを均等にすることに限らず、不均等にしてもよい。この場合、周波数探索期間は一定にしつつ、発振周波数 f_{cco} が安定になる応答速度に応じて周波数整定期間を決めるとよい。たとえば、全体の処理サイクルは判定基準信号 f_0 の3クロック分としつつ、前半の2クロック分を周波数整定期間に割り当て、後半の1クロック分を周波数探索期間に割り当てるようにしてもよい。

【0179】

ところで、このような動作をするプログラムカウンタ302の周波数判定結果を示す出力信号としては、次のようになる。すなわち、プログラムカウンタ302に入力されるイネーブル信号ENの幅は、判定基準信号 f_0 の周波数を f_{Low} とすると $1/f_{Low}$ となる。電流制御発振部101Aから出力される出力発振信号 V_{out} は発振周波数 f_{cco} であるから、発振器周期 $1/f_{cco}$ ごとにエッジがプログラムカウンタ302に入力されるため、プログラムカウンタ302、イネーブル信号ENが有効(Hレベル)である期間(イネーブル信号幅と称する)にカウントされる値(カウント値)は、イネーブル信号幅 = 判定基準信号 f_0 の1周期分であるから、発振周波数 $f_{cco} = \text{発振周波数 } f_{osci}$ とすると、式(3-1)のように表される。

【0180】

ここで、プログラムカウンタ302は、分周比Mが入力されていたとき、式(3-1)で示されるカウント値が、分周比Mよりも大きかった場合は“1: Hレベル”を(式(3-2))、分周比Mよりも小さかった場合は“0: Lレベル”を(式(3-3))、出力端子302_4から出力する。なお、カウント値が分周比Mよりも大きくなる場合は、イネーブル信号ENが立ち下がる前(たとえば t_{14} の前)に、プログラムカウンタ302の出力がHになる。

【0181】

このことは、プログラムカウンタ302は、電流制御発振部101Aから出力される出力発振信号 V_{out} の発振周波数 f_{cco} (= 発振周波数 f_{osci}) の大小を判定することを意味し、 $M \cdot f_{Low}$ は判定基準周波数であることが分かる。したがって、分周比Mを分周比 M_1 と分周比 M_2 の何れかに切り替えることで、判定基準周波数を判定基準周波数 f_1 と判定基準周波数 f_2 の何れかに切り替えることができる。これによって、発振周波数 f_{cco} が判定基準周波数 f_1 , f_2 よりも高ければプログラムカウンタ302は“1: Hレベル”を周波数比較結果 f_{comp} として出力し、発振周波数 f_{cco} が判定基準周波数 f_1 , f_2 よりも低ければプログラムカウンタ302は“0: Lレベル”を周波数比較結果 f_{comp} として出力する。

【0182】

10

20

30

40

【数 3】

$$\left. \begin{aligned} \text{カウント値} &= \frac{\text{イネーブル信号幅}}{\text{発振器周期}} = \frac{1/f_{\text{Low}}}{1/f_{\text{osci}}} = \frac{f_{\text{osci}}}{f_{\text{Low}}} \cdots (3-1) \\ \text{if } \left[\frac{1/f_{\text{osci}}}{1/f_{\text{Low}}} > M \right] & \quad f_{\text{comp}} = "1" \Rightarrow f_{\text{osci}} > M \cdot f_{\text{Low}} \cdots (3-3) \\ \text{if } \left[\frac{1/f_{\text{osci}}}{1/f_{\text{Low}}} < M \right] & \quad f_{\text{comp}} = "0" \Rightarrow f_{\text{osci}} < M \cdot f_{\text{Low}} \cdots (3-3) \end{aligned} \right\} (3)$$

10

【0183】

ここで、プログラムカウンタ302に対する分周比Mは、図9から分かるように、判定基準周波数f1に対応する分周比M1と判定基準周波数f2に対応する分周比M2を、マルチプレクサ304で切り替えて実行する。

【0184】

これは、前述の図7および図8にて説明したように、ゲイン特性情報取得部107Aは、発振周波数fccoを2種類の判定基準周波数f1、f2に一致させるために、マルチプレクサ304にて、判定基準周波数f1、f2を補正処理の中で切り替える必要があるからである。

20

【0185】

ところで、前述のように、プログラムカウンタ302は、図10に示したように、イネーブル信号ENが有効な計測期間（周波数探索時間）にカウントされる値が分周比Mより大きい、小さいかを判断して結果を出力する。

【0186】

しかしながら、計測時間とプログラムカウンタ302の出力の関係を図11に示すように、たとえ、発振周波数fccoが安定に達していたとしても、イネーブル信号ENが立ち上がる時刻または立ち下る時刻に電流制御発振部101Aのエッジが重なった場合には、プログラムカウンタ302は、その判定を誤る可能性がある。

30

【0187】

たとえば、fLow = 5 MHzで電流制御発振部101Aの発振周波数fccoが800 MHz近傍である場合を考えると、プログラムカウンタ302は、図12に示すようなカウント値を取ることになる。ここで、図12(A)は、分周比M = 160にしたときのプログラムカウンタ302の判定ミス区間と判定基準周波数との関係を示し、図12(B)は、分周比M = 161にしたときのプログラムカウンタ302の判定ミス区間と判定基準周波数との関係を示す。

【0188】

具体的には、プログラムカウンタ302の判定基準周波数を800 MHzと設定する場合、fLow = 5 MHzであるので分周比M = 160とすると、図12(A)に示すように、発振周波数fccoが795 MHz、795 MHz < fcco < 800 MHzのときにプログラムカウンタ302が160をカウントし、800 MHz以上であると間違った判定をする場合もあることが分かる。逆に、800 MHzのときは159をカウントしてしまい、800 MHzよりも低いと判定する場合もある。これは、プログラムカウンタ302の実際の判定基準周波数が795 MHzに移動したと考えることができる。

40

【0189】

また、分周比M = 161とすると、図12(B)に示すように、プログラムカウンタ302が間違った判定をする区間は800 MHz ~ 805 MHzに移動し、発振周波数fccoが800 MHzよりも小さいときに間違った判定をすることはなくなるため、同様に判定基準周波数が800 MHzであると考えることができる。

50

【 0 1 9 0 】

よって、周波数比較部 1 7 0 のマルチプレクサ 3 0 4 にてプログラムカウンタ 3 0 2 に対して分周比 M を設定をする場合には、判定基準周波数を閾値周波数 $f_{th} (reshold)$ とすると、式 (4) のように分周比 M を設定する必要がある。

【 0 1 9 1 】

【 数 4 】

$$M = \frac{f_{th}}{f_{Low}} + 1 \quad \cdots (4)$$

10

【 0 1 9 2 】

< 比較結果保持部の構成例と動作 >

図 1 3 ~ 図 1 9 は、周波数比較結果保持部 1 7 2 _1 , 1 7 2 _2 (纏めて 1 7 2 で記す) の構成例と動作を説明する図である。ここで、図 1 3 は、周波数比較結果保持部 1 7 2 の詳細な構成例を示す図である。図 1 4 は、周波数比較結果保持部 1 7 2 を構成するセット信号生成部 4 1 0 の詳細な構成例を示す図である。図 1 5 は、図 1 4 に示すセット信号生成部 4 1 0 の詳細な構成例において使用される D 型のフリップフロップ (以下 D F F とも記す) の構成例を示す図である。

【 0 1 9 3 】

図 1 6 は、周波数 2 分探索の処理サイクルを判定基準信号 f_0 の 1 クロック分とする場合におけるセット信号生成部 4 1 0 の動作を説明するタイミングチャート ($N = 10$ で例示) である。図 1 7 は、周波数 2 分探索の処理サイクルを判定基準信号 f_0 の 2 クロック分とする場合における図 1 4 に示す構成のセット信号生成部 4 1 0 の動作を説明するタイミングチャート ($N = 10$ で例示) である。

20

【 0 1 9 4 】

図 1 8 は、周波数比較結果保持部 1 7 2 を構成するデータ保持部 4 6 0 , 4 8 0 の 1 ビット分の構成要素の詳細を示す図である。図 1 9 は、周波数 2 分探索の処理サイクルを判定基準信号 f_0 の 2 クロック分とする場合における周波数比較部 1 7 0 と周波数比較結果保持部 1 7 2 の全体動作を説明するタイミングチャートである。

【 0 1 9 5 】

30

図 1 3 に示すように、周波数比較結果保持部 1 7 2 は、インバータ 4 0 4 , 4 0 6 と、ビットの重付けの切替えタイミングを規定する信号の大元となるビット別のセット信号を生成するセット信号生成部 4 1 0 とを備えている。セット信号生成部 4 1 0 は、入力されたクロック信号をカウントする 2 進カウンタ部 4 1 2 を備えるとともに、2 進カウンタ部 4 1 2 のカウント出力を使って、ビット別のセット信号を順次生成するようになっている。カウント出力を使ってビット別のセット信号を生成するに当たっては、ゲート回路の組合せやシフトレジスタ構成や、その他の論理回路を用いる。

【 0 1 9 6 】

また、周波数比較結果保持部 1 7 2 は、セット信号生成部 4 1 0 から出力されたセット信号 S を取り込んで記憶するビット別に設けられた 1 段目のデータ保持部 4 6 0 と、1 段目のデータ保持部 4 6 0 の出力データをビットの重付けの切替えタイミングを規定するビット切替信号として使用し、当該ビット切替信号のビットの重付けの切替えタイミングに同期して、周波数比較部 1 7 0 からの周波数比較結果 f_{comp} を取り込み記憶するビット別に設けられた 2 段目のデータ保持部 4 8 0 とを備えている。

40

【 0 1 9 7 】

1 段目のデータ保持部 4 6 0 から出力される出力データは、ビットの重付けの切替えタイミングを規定するビット切替信号として利用される。すなわち、第 1 例の周波数比較結果保持部 1 7 2 の構成では、2 進カウンタ部 4 1 2 およびゲート回路 4 2 0 を具備したセット信号生成部 4 1 0 とデータ保持部 4 6 0 とによって、ビットの重付けの切替えタイミングを規定するビット別のビット切替信号を順次生成するビット切替信号生成部が構成さ

50

れる。データ保持部 460 は、セット信号生成部 410 から出力されたセット信号 S の最初の立上りエッジでセット信号 S を取り込み記憶し、その後のセット信号 S の立上りエッジを無視することで、ビット切替信号を順次生成する、パルス信号整形部の機能を持つ。

【0198】

インバータ 404 には、図示を割愛した判定基準信号生成部から供給される周波数 f_{Low} の判定基準信号 f_0 が入力され、これを論理反転した信号（反転判定基準信号 $x f_0$ と称する）をセット信号生成部 410 に供給する。インバータ 406 には、図示を割愛した補正処理動作を制御する制御部から供給される外部信号としての反転リセット信号 $xReset$ が入力され、これを論理反転した信号（リセット信号 $Reset$ と称する）をセット信号生成部 410 やデータ保持部 460, 480 に供給する。なお、反転リセット信号 $xReset$ の L レベルから H レベルへの遷移は、判定基準信号 f_0 の立上りエッジに同期しているものとする。

10

【0199】

データ保持部 460, 480 は、判定基準周波数ごとの N 回の周波数 2 分探索に対応するように、それぞれ N 個が併設されている。ここで、本実施形態の周波数比較結果保持部 172 においては、1 段目のデータ保持部 460 としては R S ラッチを使用し、2 段目のデータ保持部 480 としては D 型のフリップフロップ（DFF）を使用している。

【0200】

<セット信号生成部の詳細>

セット信号生成部 410 は、たとえば、図 14 にその構成例を示すように、2 進カウンタ部 412 と、2 進カウンタ部 412 のカウント出力を論理演算することで、ビット別のデータ保持部 460 に供給する各セット信号 $S[N - \#]$ （ $\#$ は 1, 2, 3 ... : 1 が MSB 側）を生成するゲート回路 420 とを有する。

20

【0201】

2 進カウンタ部 412 は、図示のように、D 型のフリップフロップ（DFF）414 を縦続配置し、ダウンカウント動作をするように段間を接続している。DFF 414 の縦続配置数は、ビット数 N に応じて決定するが、たとえば、 $N = 10$ のときには、図示のように、5 段構成にする。

【0202】

具体的には、まず、各段の DFF 414 は、反転出力端子 xQ とデータ入力端子 D とを直接に接続している。1 段目の DFF 414 のクロック入力端子 CK には周波数 f_{Low} の判定基準信号 f_0 をインバータ 404 で論理反転した反転判定基準信号 $x f_0$ を入力する。2 段目以降は、前段の DFF 414 の非反転出力端子 Q から出力されたカウント出力を後段の DFF 414 のクロック入力端子 CK に供給するようにする。各 DFF 414 は、クロック入力端子 CK の立上りエッジでデータ入力端子 D の状態を非反転出力端子 Q に出力し、データ入力端子 D の状態を論理反転したものを反転出力端子 xQ から出力する。この点は、一般的な DFF の場合と同様である。

30

【0203】

各段の DFF 414 のリセット端子 R には、反転リセット信号 $xReset$ がインバータ 406 を介してリセット信号 $Reset$ とされて入力される。各段の DFF 414 は、リセット端子 R に入力されたリセット信号 $Reset$ が H レベルのときには、非反転出力端子 Q を H レベル、反転出力端子 xQ を L レベルにする（リセットする）。この点は、一般的な DFF の場合、リセット時に、非反転出力端子 Q を L レベル、反転出力端子 xQ を H レベルにするの異なる。

40

【0204】

たとえば、各段の DFF 414 は、図 15 にその詳細構成例を示すように、入力データ D を反転するインバータ 982 と、リセット信号を反転するインバータ 984 と、2 入力型の NAND ゲート 985 と、クロック信号 CK を反転するインバータ 988 と、オン/オフスイッチ（以下単にスイッチと称する）983, 987 とを備える。

【0205】

50

インバータ 984 の出力は N A N D ゲート 985 の一方の入力に接続されている。N A N D ゲート 985 の他方の入力、スイッチ 983 を介してインバータ 982 の出力に接続されるとともに、スイッチ 987 を介してインバータ 986 の出力に接続される。また、N A N D ゲート 985 の出力は、インバータ 986 の入力に接続される。

【0206】

N A N D ゲート 985 のインバータ 984 側の入力が H レベルで、かつスイッチ 987 がオンした状態で、N A N D ゲート 985 とインバータ 986 によってメモリ回路（ラッチ）が構成されるようになっている。

【0207】

また、各段の D F F 414 は、インバータ 994, 996, 998 と、オン/オフスイッチ 991, 997 とを備える。インバータ 994 の出力は、インバータ 996, 998 の各入力に接続され、インバータ 996 の出力はスイッチ 997 を介してインバータ 994 の入力に接続されている。インバータ 998 の出力は、非反転出力端子 Out に接続される。スイッチ 997 がオンした状態でインバータ 994, 996 によってメモリ回路（ラッチ）が構成されるようになっている。

【0208】

クロック入力端子 CK は、直接にスイッチ 987, 991 の制御端子に接続されるとともに、インバータ 988 を介してスイッチ 983, 997 の制御端子に接続される。ここで、各スイッチ 983, 987, 991, 997 は、制御端子が L レベル（つまりクロック入力端子 CK が L レベル）のときにオフし、制御端子が H レベル（つまりクロック入力端子 CK が H レベル）のときにオンするタイプのスイッチである。

【0209】

なお、各スイッチ 983, 987, 991, 997 を、制御端子が L レベル（つまりクロック入力端子 CK が L レベル）のときにオンし、制御端子が H レベル（つまりクロック入力端子 CK が H レベル）のときにオフするタイプのスイッチとしてもよい。この場合、図示を割愛するが、図 15 に示す構成に対して、クロック入力端子 CK は、直接にスイッチ 983, 997 の制御端子に接続されるとともに、インバータ 988 を介してスイッチ 987, 991 の制御端子に接続されるように修正すればよい（後述する図 18 (A) に示す構成を参照）。

【0210】

このような構成の D F F 414 においては、先ず、インバータ 984 へのリセット信号 R が H レベルになると、インバータ 984 の出力（すなわち N A N D ゲート 985 の片方の入力）が L レベルとなることで、N A N D ゲート 985 のもう片方の入力に拘わらず、その出力が H レベルとなる。クロック信号 CK が H となることでスイッチ 991 がオンすると、インバータ 994, 998 を介することで、非反転出力端子 Out が H レベルとなる。すなわち、データ出力が H レベルにリセットされる。

【0211】

この後に、クロック入力端子 CK が L レベルになると、スイッチ 991 はオフする。このため、リセット H レベルの供給が停止するが、インバータ 984, 996 2 では、リセット H レベルを内部に取り込んでいる。すなわち、スイッチ 997 がオンすることで、直前のリセット H レベルをインバータ 994 で反転しさらにインバータ 996 で反転したデータがスイッチ 997 を介してインバータ 994 まで伝達される。つまり、直前のリセット H レベルがインバータ 994, 996 を介して論理反転されて、元の論理状態で入力に戻される。その結果、直前のリセット H レベルがインバータ 994, 996 によって保持されることになる。

【0212】

また、この後に、インバータ 984 へのリセット信号 R が H レベルになると、インバータ 984 の出力（すなわち N A N D ゲート 985 の片方の入力）が H レベルとなることで、N A N D ゲート 985 の出力が、N A N D ゲート 985 のもう片方の入力を反映するようになる。

10

20

30

40

50

【 0 2 1 3 】

たとえば、この時点でクロック入力端子CKがLレベルにあると、入力側では、入力データDを内部に取り込んでいる。すなわち、スイッチ983がオンすることで、入力データDをインバータ982で反転したデータがスイッチ983を介してNANDゲート985のもう片方の入力まで伝達され、これがNANDゲート985で論理反転されてNANDゲート985の出力まで伝達されている。このとき、スイッチ991はオフしているので、前述と同様に、直前のリセットHレベルがインバータ994, 996によって保持され、非反転出力Out はリセットされた状態のままである。

【 0 2 1 4 】

さらに、クロック入力端子CKがHレベルに切り替ると、スイッチ983, 997はオフし、スイッチ987, 991はオンする。これにより、インバータ984へのインバータ982およびスイッチ983を介した入力データDの供給が停止するが、スイッチ987がオンすることで、直前のインバータ984の出力(すなわち直前の入力データDの論理レベル)がインバータ986を介して論理反転されて入力に戻される。その結果、直前の入力データDの論理レベルがインバータ984, 986によって保持されることになる。

【 0 2 1 5 】

また、スイッチ991がオンであるので、インバータ984の出力である直前の入力データDの論理レベルがNANDゲート985の片方の入力に供給される。その結果、直前の入力データDの論理レベルがNANDゲート985によって論理反転され、さらにインバータ998によって論理反転されることで、直前の入力データDの論理レベルが、そのまま非反転出力Out に現われる。

【 0 2 1 6 】

この後に、クロック入力端子CKがLレベルに切り替ると、スイッチ983, 997はオンし、スイッチ987, 991はオフする。これにより、入力データDの論理レベルのNANDゲート985のもう片方の入力への供給が停止する。しかしながら、このときには、スイッチ987がオンすることで、インバータ986は、直前のNANDゲート985の出力状態を反転してNANDゲート985のもう片方の入力に供給するようになる。よって、NANDゲート985の出力は直前のNANDゲート985の出力状態を維持したままとなる。

【 0 2 1 7 】

このとき、スイッチ991がオン、スイッチ997がオフとなっているので、さらにインバータ994, 998を介して、NANDゲート985の直前の出力状態が、そのまま非反転出力Out に現われる。よって、NANDゲート985, インバータ989で保持されたデータ入力の論理レベルが、そのまま非反転出力Out に現われる。

【 0 2 1 8 】

この後に、クロック入力端子CKがLレベルに切り替ると、スイッチ991はオフし、スイッチ997はオフする。これにより、NANDゲート985の出力状態のインバータ994への供給が停止する。しかしながら、このときには、スイッチ997がオンすることで、インバータ996は、直前のインバータ994の出力状態を反転してインバータ994の入力に供給するようになる。よって、インバータ994の出力は直前のインバータ994の出力状態を維持したままとなる。よって、クロック入力端子CKがLレベルに切り替っても、NANDゲート985, インバータ989で保持された直前のデータ入力の論理レベルが、そのまま非反転出力Out に現われ続ける。

【 0 2 1 9 】

よって、このような構成のDFF414では、クロック入力端子CKがLレベルからHレベルになるエッジに同期して、入力データDを取り込み、リセット端子Rへのリセット信号Reset がHレベルになるまで、そのデータを保持し続ける。

【 0 2 2 0 】

ゲート回路420は、ANDゲート422, 424, 426, 428, 430, 432を有する。ANDゲート422, 424, 426, 430, 432は、2入力タイプであ

10

20

30

40

50

り、ANDゲート428は、3入力タイプである。

【0221】

セット信号生成部410は、周波数比較結果保持部172に入力される周波数 f_{Low} の判定基準信号 f_0 をカウントクロックとして、その判定基準信号 f_0 の立下りエッジ（反転判定基準信号 $\times f_0$ の立上りエッジ）で2進カウンタ部412により2進カウント動作をし、そのカウント結果を受けて、後段の各データ保持部460の各セット入力端子Sに供給するセット信号 $S[N - \#]$ （ $\#$ は1, 2, 3...: 1がMSB側）を生成する。

【0222】

データ保持部460では、判定基準信号 f_0 の立下りエッジ（反転判定基準信号 $\times f_0$ の立上りエッジ）に同期し、周波数 f_{Low} の判定基準信号 f_0 の所定クロック分ずつ、上位ビットから順にその非反転出力 $\times Q$ をHレベルにしていく。

10

【0223】

このため、セット信号生成部410では、各段のDFF414の出力を利用して、ビット別の各データ保持部460の各セット入力端子Sへのセット信号 $S[N - \#]$ （ $\#$ は1, 2, 3...: 1がMSB側）の最初のアクティブレベル（本例ではHレベル）が、周波数 f_{Low} の判定基準信号 f_0 の所定クロック分ずつシフトしていくようにする。

【0224】

ここで、「所定クロック分ずつシフト」するに当たっての所定クロック数は、周波数2分探索における周波数整定期間と周波数探索期間を合成した1つの処理サイクルを何クロック分にするかに合わせて設定する。たとえば、周波数2分探索の1つの処理サイクルを判定基準信号 f_0 の1クロック分にする場合には1クロック分ずつシフトするし、周波数2分探索の1つの処理サイクルを判定基準信号 f_0 の2クロック分にする場合（図10に示した事例の場合）には2クロック分ずつシフトする。

20

【0225】

一例として、図16のタイミングチャート（図では $N = 10$ ）に示すように、リセット信号ResetがLレベルになることでリセットが解除された後の判定基準信号 f_0 の“1 + $\#$ ”個目の立下りエッジに同期して、データ保持部460 $_N - \#$ のセット入力端子Sに供給するセット信号 $S[N - \#]$ がHレベルに遷移するように、セット信号 $S[N - \#]$ の最初にHレベルになるタイミングを1クロック分ずつシフトする。

【0226】

ここで、本実施形態のゲイン特性情報取得部107Aは、周波数2分探索を実行する処理サイクルに合わせて、セット信号 $S[N - \#]$ の最初にHレベルになるタイミングを合わせればよく（図16に示した例では、判定基準信号 f_0 の1クロック分ずつシフト）、それ以降にHになるパルスがあっても、何ら不都合はない。

30

【0227】

ただし、本実施形態では、図10に示したように、イネーブル信号EN（判定基準信号 f_0 を1/2分周したもの）の立下りエッジで周波数の高/低を周波数比較部170にて判定し、その結果に応じて目標周波数になるように電流制御発振部101Aを制御し、次のサイクルでのイネーブル信号ENの立下りエッジでその制御結果の周波数の高/低を判定する必要がある。

40

【0228】

このことを踏まえると、周波数2分探索を実行する1サイクルは、判定基準信号 f_0 の1サイクル分ではなく、イネーブル信号ENの1サイクル分とすることが好ましく、結局のところ、判定基準信号 f_0 の2サイクル分であることが好ましいことになると考えられる。これに対処するには、セット信号生成部410は、セット信号 $S[N - \#]$ の最初にHレベルになるタイミングを、1クロック分ずつシフトするのではなく、2クロック分ずつシフトする必要があると考えられる。

【0229】

このための仕組みとして、図14に示すセット信号生成部410において、ゲート回路420は、まず、2段目のDFF414 $_2$ の反転出力 $\times Q_2$ をそのままセット信号 $S[N$

50

- 1 : 本例では 9] として出力する。また、3 段目の D F F 4 1 4 _3 の反転出力 $\times Q 3$ をそのままセット信号 S [N - 2 : 本例では 8] として出力する。また、2 段目の D F F 4 1 4 _2 の反転出力 $\times Q 2$ と 3 段目の D F F 4 1 4 _3 の反転出力 $\times Q 3$ との A N D ゲート 4 2 2 による論理積をセット信号 S [N - 3 : 本例では 7] として出力する。

【 0 2 3 0 】

また、4 段目の D F F 4 1 4 _4 の反転出力 $\times Q 4$ をそのままセット信号 S [N - 4 : 本例では 6] として出力する。また、2 段目の D F F 4 1 4 _2 の反転出力 $\times Q 2$ と 4 段目の D F F 4 1 4 _4 の反転出力 $\times Q 4$ との A N D ゲート 4 2 4 による論理積をセット信号 S [N - 5 : 本例では 5] として出力する。また、3 段目の D F F 4 1 4 _3 の反転出力 $\times Q 3$ と 4 段目の D F F 4 1 4 _4 の反転出力 $\times Q 4$ との A N D ゲート 4 2 6 による論理積をセット信号 S [N - 6 : 本例では 4] として出力する。また、2 段目の D F F 4 1 4 _2 の反転出力 $\times Q 2$ と 3 段目の D F F 4 1 4 _3 の反転出力 $\times Q 3$ と 4 段目の D F F 4 1 4 _4 の反転出力 $\times Q 4$ との A N D ゲート 4 2 8 による論理積をセット信号 S [N - 7 : 本例では 3] として出力する。

【 0 2 3 1 】

また、5 段目の D F F 4 1 4 _5 の反転出力 $\times Q 5$ をそのままセット信号 S [N - 8 : 本例では 2] として出力する。また、2 段目の D F F 4 1 4 _2 の反転出力 $\times Q 2$ と 5 段目の D F F 4 1 4 _5 の反転出力 $\times Q 5$ との A N D ゲート 4 3 0 による論理積をセット信号 S [N - 9 : 本例では 1] として出力する。また、3 段目の D F F 4 1 4 _3 の反転出力 $\times Q 3$ と 5 段目の D F F 4 1 4 _5 の反転出力 $\times Q 5$ との A N D ゲート 4 3 2 による論理積をセット信号 S [N - 10 : 本例では 0] として出力する。

【 0 2 3 2 】

このような構成のゲート回路 4 2 0 を設けることで、図 1 7 のタイミングチャート（図では $N = 10$ ）に示すように、リセット信号 Reset が L レベルになることでリセットが解除された後の判定基準信号 $f 0$ の “ 1 + # ” 個目の立下りエッジに同期して、データ保持部 4 6 0_N-# のセット入力端子 S に供給するセット信号 S [N - #] が H レベルに遷移するように、セット信号 S [N - #] の最初に H レベルになるタイミングを 2 クロック分ずつシフトするようになる。

【 0 2 3 3 】

< 1 段目のデータ保持部の詳細 >

R S ラッチで構成された各ビット別のデータ保持部 4 6 0 は、セット信号生成部 4 1 0 の N ビットのセット信号が、ビット別に対応するように、セット入力端子 S に入力される。たとえば、セット信号生成部 4 1 0 の最上位ビット (M S B) のセット信号は、最上位ビット (M S B) を担当するデータ保持部 4 6 0 のセット入力端子 S に入力され、以下順に、セット信号生成部 4 1 0 の下位ビット (M S B - % : % は 1, 2, ...) のセット信号は、下位ビット (M S B - % : % は 1, 2, ...) を担当するデータ保持部 4 6 0 のセット入力端子 S に入力される。また、各データ保持部 4 6 0 は、反転リセット信号 $xReset$ がインバータ 4 0 6 を介してリセット信号 Reset とされてから各リセット入力端子 R に共通に入力される。

【 0 2 3 4 】

1 段目のデータ保持部 4 6 0 として使用される R S ラッチは、図 1 8 (A) に示すように、セット信号 S を反転するインバータ 4 6 2 と、リセット信号 R を反転するインバータ 4 6 4 と、2 つの 2 入力型の N A N D ゲート 4 6 6, 4 6 8 とを有する。

【 0 2 3 5 】

N A N D ゲート 4 6 6 は、一方の入力にインバータ 4 6 2 の出力 (すなわちセット信号 S の反転信号 $\times S$) が入力され、他方の入力に N A N D ゲート 4 6 8 の出力 (すなわちセット出力の反転信号 $\times Q$) が入力される。N A N D ゲート 4 6 8 は、一方の入力にインバータ 4 6 4 の出力 (すなわち反転出力信号 $\times R$) が入力され、他方の入力に N A N D ゲート 4 6 6 の出力 (すなわち非反転出力信号 Q) が入力される。

【 0 2 3 6 】

10

20

30

40

50

ビット別の各データ保持部 4 6 0 の各出力端子 Out から出力されるデータ（セット出力）は、対応するビット別の各データ保持部 4 8 0 の各クロック入力端子 CK へのクロック信号として使用されるとともに、D A 変換部 1 7 4 A_1, 1 7 4 A_2（纏めて 1 7 4 A と記す）の対応するビット別の各制御信号 Control [N - #]（# は 1, 2, 3 ... : 1 が M S B 側）として使用される。

【 0 2 3 7 】

このような構成のデータ保持部 4 6 0 の動作における真理値表は、図 1 8（B）に示す通りである。たとえば、セット信号 S およびリセット信号 R がともに“0；L レベル”であるときには、非反転出力端子である出力端子 Out と反転出力端子は、直前の状態を維持する、つまり、出力データは不変である。また、セット信号 S が“0；L レベル”であるときにリセット信号 S が“1；H レベル”になると、非反転出力端子である出力端子 Out は“0；L レベル”、反転出力端子は“1；H レベル”になり、出力論理状態がリセットされる。

10

【 0 2 3 8 】

また、リセット信号 S が“0；L レベル”であるときにセット信号 S が“1；H レベル”になると、非反転出力端子である出力端子 Out は“1；H レベル”、反転出力端子は“0；L レベル”になり、出力論理状態がセットされる。なお、セット信号 S およびリセット信号 R がともに“1；H レベル”であるときは、非反転出力端子である出力端子 Out と反転出力端子がともに、“1；H レベル”になるが、通常は、この状態を禁止状態として取り扱う。

20

【 0 2 3 9 】

よって、このような R S ラッチで構成された 1 段目の各データ保持部 4 6 0 は、リセット入力端子 R が H レベルとされることで、セット出力端子 Out を L レベルにする（つまりリセットする）。そして、リセット入力端子 R が L レベルの状態、2 進カウンタ部 4 1 2 のビット別の出力（H レベル）を対応するセット入力端子 S に取り込むことで、出力端子 Out を H レベルにする。その結果、ビット切替信号の一例である制御信号 Control [N - #] がアクティブ（本例では H レベル）となるタイミングは、セット信号 S [N - #] がリセット後に最初にアクティブ（本例では H レベル）となるタイミングと一致する。

【 0 2 4 0 】

< 2 段目のデータ保持部の詳細 >

30

D F F で構成された各ビット別のデータ保持部 4 8 0 は、ビット別に、1 段目のデータ保持部 4 6 0 の出力データがクロック入力端子 CK にクロック信号 Clock として入力される。たとえば、最上位ビット（M S B）を担当するデータ保持部 4 6 0 のデータ出力は、最上位ビット（M S B）を担当するデータ保持部 4 8 0 のクロック入力端子 CK に入力され、以下順に、下位ビット（M S B - % : % は 1, 2, ...）を担当するデータ保持部 4 6 0 のデータ出力は、下位ビット（M S B - % : % は 1, 2, ...）を担当するデータ保持部 4 8 0 のクロック入力端子 CK に入力される。

【 0 2 4 1 】

また、D F F で構成された各データ保持部 4 8 0 は、周波数比較部 1 7 0 からの周波数比較結果 f comp が、データ入力端子 D に共通に入力される。また、各データ保持部 4 8 0 は、反転リセット信号 xReset がインバータ 4 0 6 を介してリセット信号 Reset とされてから各リセット端子 R に共通に入力される。

40

【 0 2 4 2 】

ビット別の各データ保持部 4 8 0 の各出力端子 Out から出力されるデータ（周波数比較結果 f comp を反映したもの）は、D A 変換部 1 7 4 A の対応するビット別の各アップ・ダウン信号 UpDown [N - #]（# は 1, 2, 3 ... : 1 が M S B 側）として使用される。

【 0 2 4 3 】

2 段目のデータ保持部 4 8 0 として使用される D F F は、図 1 8（A）に示すように、周波数比較結果 f comp を反転するインバータ 4 8 2 と、インバータ 4 8 5, 4 8 6, 4 8 8 と、オン/オフスイッチ（以下単にスイッチと称する）4 8 3, 4 8 7 とを備える。

50

【 0 2 4 4 】

インバータ 4 8 2 の出力とインバータ 4 8 5 の入力との間にスイッチ 4 8 3 が配されている。インバータ 4 8 5 の出力は、インバータ 4 8 6 の入力に接続され、インバータ 4 8 6 の出力はスイッチ 4 8 7 を介してインバータ 4 8 5 の入力に接続されている。

【 0 2 4 5 】

スイッチ 4 8 7 がオンした状態でインバータ 4 8 5 , 4 8 6 によってメモリ回路 (ラッチ) が構成されるようになっている。

【 0 2 4 6 】

また、データ保持部 4 8 0 は、リセット信号 R を反転するインバータ 4 9 2 と、2 入力型の N A N D ゲート 4 9 4 と、インバータ 4 9 6 , 4 9 8 と、オン / オフスイッチ (以下単にスイッチと称する) 4 9 1 , 4 9 7 を備える。

10

【 0 2 4 7 】

インバータ 4 9 2 の出力は N A N D ゲート 4 9 4 の一方の入力に接続されている。N A N D ゲート 4 9 4 の他方の入力は、スイッチ 4 9 1 を介してインバータ 4 8 5 の出力に接続されるとともに、スイッチ 4 9 7 を介してインバータ 4 9 6 の出力に接続される。また、N A N D ゲート 4 9 4 の出力は、インバータ 4 9 6 , 4 9 8 の各入力に接続される。インバータ 4 9 8 の出力は、データ出力端子 Out に接続される。

【 0 2 4 8 】

N A N D ゲート 4 9 4 のインバータ 4 9 2 側の入力が H レベルで、かつスイッチ 4 9 7 がオンした状態で、N A N D ゲート 4 9 4 とインバータ 4 9 6 によってメモリ回路 (ラッチ) が構成されるようになっている。

20

【 0 2 4 9 】

クロック入力端子 CK は、直接にスイッチ 4 8 3 , 4 9 7 の制御端子に接続されるとともに、インバータ 4 8 8 を介してスイッチ 4 8 7 , 4 9 1 の制御端子に接続される。ここで、各スイッチ 4 8 3 , 4 8 7 , 4 9 1 , 4 9 7 は、制御端子が L レベル (つまりクロック入力端子 CK が L レベル) のときにオンし、制御端子が H レベル (つまりクロック入力端子 CK が H レベル) のときにオフするタイプのスイッチである。

【 0 2 5 0 】

なお、各スイッチ 4 8 3 , 4 8 7 , 4 9 1 , 4 9 7 を、制御端子が L レベル (つまりクロック入力端子 CK が L レベル) のときにオフし、制御端子が H レベル (つまりクロック入力端子 CK が H レベル) のときにオンするタイプのスイッチとしてもよい。この場合、図 1 8 (C) に示すように、図 1 8 (A) に示す構成に対して、クロック入力端子 CK は、直接にスイッチ 4 8 7 , 4 9 1 の制御端子に接続されるとともに、インバータ 4 8 8 を介してスイッチ 4 8 3 , 4 9 7 の制御端子に接続されるように修正すればよい。

30

【 0 2 5 1 】

このような構成のデータ保持部 4 8 0 においては、先ず、インバータ 4 9 2 へのリセット信号 R が H レベルになると、インバータ 4 9 2 の出力 (すなわち N A N D ゲート 4 9 4 の片方の入力) が L レベルとなることで、N A N D ゲート 4 9 4 のもう片方の入力に拘わらず、その出力が H レベルとなり、インバータ 4 9 8 を介することで、データ出力端子 Out が L レベルとなる。すなわち、データ出力がリセットされる。

40

【 0 2 5 2 】

また、この後に、インバータ 4 9 2 へのリセット信号 R が L レベルになると、インバータ 4 9 2 の出力 (すなわち N A N D ゲート 4 9 4 の片方の入力) が H レベルとなることで、N A N D ゲート 4 9 4 の出力が、N A N D ゲート 4 9 4 のもう片方の入力を反映するようになる。

【 0 2 5 3 】

たとえば、この時点でクロック入力端子 CK が L レベルにあると、スイッチ 4 8 3 , 4 9 7 はオンしスイッチ 4 8 7 , 4 9 1 はオフしている。よって、先ず、インバータ 4 9 6 は、リセット時の N A N D ゲート 4 9 4 の出力 (H レベル) を反転して N A N D ゲート 4 9 4 のもう片方の入力に L レベルを供給するようになる。よって、N A N D ゲート 4 9 4 の

50

出力はHレベルを維持したままとなり、データ出力がリセットされた状態のままである。

【0254】

このとき、入力側では、周波数比較結果 f_{comp} を内部に取り込んでいる。すなわち、スイッチ483がオンすることで、周波数比較結果 f_{comp} をインバータ482で反転したデータがスイッチ483を介してインバータ485まで伝達されている。スイッチ487, 491はオフであるので、周波数比較結果 f_{comp} の論理レベルがそのままインバータ485の出力に現われた状態にある。

【0255】

この後に、クロック入力端子CKがHレベルに切り替ると、スイッチ483, 497はオフし、スイッチ487, 491はオンする。これにより、インバータ485へのインバータ482およびスイッチ483を介した周波数比較結果 f_{comp} の供給が停止するが、スイッチ487がオンすることで、直前のインバータ485の出力（すなわち直前の周波数比較結果 f_{comp} の論理レベル）がインバータ486を介して論理反転されて入力に戻される。その結果、直前の周波数比較結果 f_{comp} の論理レベルがインバータ485, 486によって保持されることになる。

【0256】

また、スイッチ491がオンであるので、インバータ485の出力である直前の周波数比較結果 f_{comp} の論理レベルがNANDゲート494の片方の入力に供給される。その結果、直前の周波数比較結果 f_{comp} の論理レベルがNANDゲート494によって論理反転され、さらにインバータ498によって論理反転されることで、直前の周波数比較結果 f_{comp} の論理レベルが、そのままデータ出力端子Outに現われる。

【0257】

この後に、クロック入力端子CKがLレベルに切り替ると、スイッチ483, 497はオンし、スイッチ487, 491はオフする。これにより、周波数比較結果 f_{comp} の論理レベルのNANDゲート494の片方の入力への供給が停止する。しかしながら、このときには、スイッチ497がオンすることで、インバータ496は、直前のNANDゲート494の出力状態を反転してNANDゲート494のもう片方の入力に供給するようになる。よって、NANDゲート494の出力は直前のNANDゲート494の出力状態を維持したままとなる。よって、クロック入力端子CKがLレベルに切り替っても、直前の周波数比較結果 f_{comp} の論理レベルが、そのままデータ出力端子Outに現われ続ける。

【0258】

よって、このようなDFFで構成された2段目の各データ保持部480は、データ保持部460のセット出力がLレベルからHレベルになるエッジをビットの重付けの切替えタイミングとして取り扱って周波数比較部170からの周波数比較結果 f_{comp} を取り込み、リセット端子Rへのリセット信号ResetがHレベルになるまで、そのデータを保持し続ける。データ保持部480が保持しているデータは、データ出力端子Outから出力される。

【0259】

このように、本実施形態の周波数比較結果保持部172においては、2段目のデータ保持部480として使用するDFFは、図18に示すようなスタティックなラッチ（インバータ482, 485で構成されたメモリ回路およびNANDゲート494およびインバータ496で構成されたメモリ回路）を用いるタイプの回路としており、ビットごとにメモリ回路に記憶された周波数比較部170の周波数比較結果 f_{comp} は、リセット信号Rが再び入力されるまで保持され続けるようになっている。

【0260】

図19に、図10に対応する、周波数2分探索の処理サイクルを判定基準信号 f_0 の2クロック分とする場合における、周波数比較部170と周波数比較結果保持部172の全体の動作を示すタイミングチャートを示す。図19から分かるように、周波数比較結果 f_{comp} を表わすビット別のアップ・ダウン信号UpDownは、MSB側から順に出力されて行くことになる。

【0261】

10

20

30

40

50

ここで、周波数比較部 170 と周波数比較結果保持部 172 は同じ周波数 F_{Low} の判定基準信号 f₀ が入力されて動作するようになっていて、完全に同期して動作するようにしている。加えて、前述のように、周波数比較部 170 は、判定基準信号 f₀ の立上りエッジに同期して動作するイネーブル信号 EN に合わせて動作するようになっているので判定基準信号 f₀ の立上りエッジで動作するようになっており、これに対して周波数比較結果保持部 172 は判定基準信号 f₀ の立下りエッジで動作させるようにしている。

【0262】

これにより、図 19 に示すように、判定基準信号 f₀ の立上りエッジに同期したイネーブル信号 EN の立下りエッジで周波数比較結果 f_{comp} を確定させた後に、判定基準信号 f₀ の立下りエッジに同期してデータ保持部 460 から発せられるビット切替信号のエッジで周波数比較結果 f_{comp} の論理状態を取り込むことができ、周波数比較結果 f_{comp} の取り込みに関して、タイミングによる誤動作が起こらないようにしている。

10

【0263】

なお、ここで示した例は、周波数 2 分探索の処理サイクルを判定基準信号 f₀ の 2 クロック分にした例であるが、周波数 2 分探索の処理サイクルを判定基準信号 f₀ の 1 クロック分にする場合でも、たとえばゲート遅延を利用するなどしてセット信号が H レベルになる時点を判定基準信号 f₀ の立下りエッジよりも少し遅らせることで、周波数比較結果 f_{comp} の取り込みに関してタイミングによる誤動作が起こらないようにすることができる。

【0264】

< D A 変換部の構成例と動作 ; 第 1 実施形態 >

20

図 20 は、電流出力型の D A 変換部 174 A の詳細な構成例を示す図である。なお、ここでは基本形を示すが、好ましくは、後述の図 24 に示すものを使用する。

【0265】

図 20 に示すように、D A 変換部 174 A は、ビット別に対応する N (N は、2 分探索の N 回に対応する) 本のソース電流源 502 と N 本のシンク電流源 504 と、各電流源 502 , 504 の出力を選択的に合成するための出力スイッチ 506 , 508 と、各電流源 502 , 504 の出力スイッチ 506 , 508 のオン / オフ動作を制御することで、1 ビット電流源 501 がソースおよびシンクの何れの動作モードになるかを切り替える切替部 510 とを備えている (図では最上位ビット M S B についてのみ参照子を付す) 。ここで、各出力スイッチ 506 , 508 は、制御端子が L レベルのときにオフし、制御端子が H レベルのときにオンするタイプのスイッチである。

30

【0266】

各ソース電流源 502 は、一方が電源側に接続され他方のソース側が出力スイッチ 506 に接続されている。各シンク電流源 504 は、一方が基準電位 (接地電位 GND) に接続され他方のシンク側が出力スイッチ 508 に接続されている。

【0267】

ビット別の各出力スイッチ 506 のソース電流源 502 とは反対側と、対応するビット別の各出力スイッチ 508 のシンク電流源 504 とは反対側とが接続されるとともに、その接続点が、全てのビットで共通に電流出力端子 174 A_{out} に接続されている。各ビットの電流加算結果が D A 出力信号として電流出力端子 174 A_{out} から出力されるようになっている。D A 出力信号は、D A 変換部 174 A₁ であれば出力電流信号 I_{out_1} となるし、D A 変換部 174 A₂ であれば出力電流信号 I_{out_2} となる。

40

【0268】

ビット別の各切替部 510 は、周波数比較結果保持部 172₁ , 172₂ に保持されているデータに応じて出力スイッチ 506 , 508 のオン / オフ動作を制御することで、1 ビット電流源 501 がソース電流およびシンク電流の何れを発生するのかを切り替える。

【0269】

このための構成として、切替部 510 は、周波数比較結果保持部 172 のデータ保持部 480 から出力される対応するビットのアップ・ダウン信号 UpDown [N - #] (# は 1 , 2 , 3 ... : 1 が M S B 側) を論理反転するインバータ 512 と、2 つの 2 入力型の A N D

50

ゲート 5 1 4 , 5 1 6 を有している。

【 0 2 7 0 】

A N D ゲート 5 1 4 は、一方の入力端子にアップ・ダウン信号 UpDown [N - #] をインバータ 5 1 2 で論理反転した信号が入力され、他方の入力端子に周波数比較結果保持部 1 7 2 の対応するビットの制御信号 Control [N - #] (# は 1 , 2 , 3 ... : 1 が M S B 側) が入力され、その出力がソース電流源 5 0 2 側の出力スイッチ 5 0 6 の制御端子に供給される。A N D ゲート 5 1 6 は、一方の入力端子にアップ・ダウン信号 UpDown [N - #] が入力され、他方の入力端子に制御信号 Control [N - #] が入力され、その出力がシンク電流源 5 0 4 側の出力スイッチ 5 0 8 の制御端子に供給される。

【 0 2 7 1 】

ビット別に、ソース電流源 5 0 2 とシンク電流源 5 0 4 とは、ビットの重みに対応した同じ電流量をソースもしくはシンクするようになっている。たとえば、最上位ビットについては最大電流量 I とし、下位側に行くに連れて、1 ビットごとに、その電流量を、 $1/2$ (または $1/2$ 以上) に減少させるようにする。好ましくは、M S B を I として、以下順に、 $I / \{ 2^{\&} \}$ ($\&$ は、1 , 2 , ... , N - 2 , N - 1) とする。本例では、スケールリング x を $1/2$ とし、そのべき乗でビットの重みを付けている。

【 0 2 7 2 】

また、同じ電流量のソース電流源 5 0 2 およびシンク電流源 5 0 4 を一組として、制御信号 Control とアップ・ダウン信号 UpDown に基づいて出力スイッチ 5 0 6 , 5 0 8 を制御することで、制御信号 Control が有効 (H レベル) であるときのみ、一組の電流源 5 0 2 , 5 0 4 (1 ビット電流源 5 0 1 とも称する) は、周波数比較結果保持部 1 7 2 _1 , 1 7 2 _2 から出力されるアップ・ダウン信号 UpDown に基づいてソース電流またはシンク電流のどちらかの電流入出力動作を行なう。

【 0 2 7 3 】

具体的には、アップ・ダウン信号 UpDown が H レベル、すなわち、発振周波数 f_{cco} が判定基準周波数 f_1 , f_2 よりも高ければ、A N D ゲート 5 1 4 の出力は L レベルとなり A N D ゲート 5 1 6 の出力は H レベルとなる。これにより、出力スイッチ 5 0 6 は、制御端子が L レベルとなることでオフし、出力スイッチ 5 0 8 は、制御端子が H レベルとなることでオンするので、一組の各電流源 5 0 2 , 5 0 4 は、シンク動作を行なう。

【 0 2 7 4 】

これに対して、アップ・ダウン信号 UpDown が L レベル、すなわち、発振周波数 f_{cco} が判定基準周波数 f_1 , f_2 よりも低ければ、A N D ゲート 5 1 4 の出力は H レベルとなり A N D ゲート 5 1 6 の出力は L レベルとなる。これにより、出力スイッチ 5 0 6 は、制御端子が H レベルとなることでオンし、出力スイッチ 5 0 8 は、制御端子が L レベルとなることでオフするので、一組の各電流源 5 0 2 , 5 0 4 は、ソース動作を行なう。

【 0 2 7 5 】

また、先に示した図 1 9 から分かるように、周波数比較結果 f_{comp} を表わすビット別のアップ・ダウン信号 UpDown は、上位ビット (M S B) 側から順に出力されていくので、D A 変換部 1 7 4 A も、周波数比較部 1 7 0 の周波数比較結果 f_{comp} に応じて、1 ビット電流源 5 0 1 (一組の電流源 5 0 2 , 5 0 4) を、上位ビット (M S B) から順番に動作させていく。

【 0 2 7 6 】

< 発振ゲイン補正部の動作の詳細 >

図 2 1 は、ゲイン特性情報取得部 1 0 7 A の全体動作を説明する図である。ここで、図 2 1 は、図 1 9 に示したタイミングチャートに従って動作したときの電流制御発振部 1 0 1 A の発振周波数 f_{cco} の収束の様子の一例を示す。

【 0 2 7 7 】

周波数比較部 1 7 0 、周波数比較結果保持部 1 7 2 、D A 変換部 1 7 4 A の回路動作を纏めると、以下の通りである。すなわち、まず、周波数比較部 1 7 0 により周波数比較が実行される都度、D A 変換部 1 7 4 A の上位ビットから順に 1 ビット電流源 5 0 1 が動作

10

20

30

40

50

し、周波数比較部 170 による周波数比較結果 f_{comp} に基づいて電流制御発振部 101A の発振周波数 f_{cco} が判定基準周波数 f_1 , f_2 よりも高ければ低くなるように、逆に、低ければ高くなるように、電流制御発振部 101A の周波数制御入力端子 101Ain に供給される発振制御電流 I_{cnt} を調整するべく、周波数制御電流 I_{osci} のソースまたはシンクを行なう。これによって、分周比 M_1 , M_2 によって決めた判定基準周波数 f_1 , f_2 に電流制御発振部 101A の発振周波数 f_{cco} は絞り込まれていくことになる。

【0278】

このような周波数調整手法を、周波数 2 分探索法と呼ぶことにする。なお、2 分探索を使った周波数探索の従来例として以下の非特許文献 4 が存在する。しかしながら、本実施形態の 2 分探索は、基本的な考え方は、この非特許文献 4 と同じであるが、具体的な仕組みにおいて差異がある。

10

【0279】

【非特許文献 4】Kun-Seok Lee ,Eun-Yung Sung,In-Chul Hwang,and Byeong-Ha Park、“Fast AFC technique using a code estimation and binary search algorithm for wide band frequency synthesis”、Proceedings of ESSCIRC, Grenoble, France, 2005、p181 ~ 184

【0280】

たとえば、本実施形態の仕組みにおいては、図 21 に示すように、先ず、電流制御発振部 101A は、周波数制御入力端子 101Ain に供給される発振制御電流 I_{cnt} が多いほど発振周波数 f_{cco} が高くなる性質を持つものであるとする。

20

【0281】

また、後述するように、理想的には、規定電流源 109A からの規定電流 I_n (= 図 3 の初期電流 I_{ini}) の条件下で求められる周波数(たとえば 800 MHz)となるべきであるが、電流制御発振部 101A の入力電流 - 発振周波数変換ゲイン K_{cco} のばらつきにより、規定電流 I_n (初期電流 I_{ini}) のみでは、たとえば 866 MHz (初期周波数) で発振しているものとし、このような電流制御発振部 101A の発振周波数 f_{cco} を、目的とする 800 MHz に収束させることにする。

【0282】

なお、電流制御発振部 101A の入力電流 - 発振周波数変換ゲイン K_{cco} は、発振制御電流 I_{cnt} の着目する制御範囲内では非線形な特性はなく、一例として、 $256 / I [MHz / \mu A]$ であるものとする。また、ビット別の 1 ビット電流源 501 の最上位ビットの電流値 I は $1 \mu A$ であるとする。

30

【0283】

この規定電流源 109A の電流値は、標準状態の一例である理想状態 (ideal) , 25 (室温) の条件での、クロック周波数または受信データレートの周波数に CCO の発振周波数が一致する入力電流値である。

【0284】

たとえば、周波数比較部 170 の判定基準周波数 f_1 を、収束値の発振周波数 $f_{cco} = 800 MHz$ とすると、規定電流 I_n (図 3 の初期電流 I_{ini}) での発振周波数 $f_{cco} = 866 MHz$ (初期周波数) の方が収束値の発振周波数 $f_{cco} = 800 MHz$ よりも当然高いため、1 回目の探索における DA 変換部 174A からの出力電流信号 I_{out} は、先ず MSB の 1 ビット電流源 501 による電流 I がシンクされ、電流制御発振部 101A の周波数制御入力端子 101Ain に供給される発振制御電流 I_{cnt} は “ $I_n - I$ ” となり、発振周波数 f_{cco} は 610 MHz になる。

40

【0285】

610 MHz は収束値の発振周波数 $f_{cco} = 800 MHz$ よりも低いため、2 回目の探索における DA 変換部 174A からの出力電流信号 I_{out} においては、“MSB - 1” の 1 ビット電流源 501 による電流 $I / 2$ がソースされ、電流制御発振部 101A の周波数制御入力端子 101Ain に供給される発振制御電流 I_{cnt} は “ $I_n - I + I / 2$ ” となり、発振周波数 f_{cco} は 738 MHz になる。

50

【 0 2 8 6 】

7 3 8 MHzは収束値の発振周波数 $f_{cco} = 800$ MHzよりも低いため、3回目の探索におけるD A変換部174 Aからの出力電流信号 I_{out} においては、“MSB - 2”の1ビット電流源501による電流 $I/4$ がソースされ、電流制御発振部101 Aの周波数制御入力端子101 A_{in}に供給される発振制御電流 I_{cnt} は“ $I_n - I + I/2 + I/4$ ”となり、発振周波数 f_{cco} は802 MHzになる。

【 0 2 8 7 】

802 MHzは収束値の発振周波数 $f_{cco} = 800$ MHzよりも高いため、4回目の探索におけるD A変換部174 Aからの出力電流信号 I_{out} においては、“MSB - 3”の1ビット電流源501による電流 $I/8$ がシンクされ、電流制御発振部101 Aの周波数制御入力端子101 A_{in}に供給される発振制御電流 I_{cnt} は“ $I_n - I + I/2 + I/4 - I/8$ ”となり、発振周波数 f_{cco} は770 MHzになる。

【 0 2 8 8 】

このような動作を7回繰り返すと、7回判定後に電流制御発振部101 Aの周波数制御入力端子101 A_{in}に供給される発振制御電流 I_{cnt} は“ $I_n - I + I/2 + I/4 - I/8 + I/16 + I/32 + I/64$ ”となり、発振周波数 f_{cco} は798 MHzとなり、収束値 (= 判定基準周波数) の発振周波数 = 800 MHzにかなり近くなる。7回よりも多く判定を繰り返せば、発振周波数 f_{cco} を限りなく800 MHzに近づけることも可能となる。

【 0 2 8 9 】

さらに、このときのD A変換部174 Aから周波数制御入力端子101 A_{in}に供給される出力電流信号 $I_{out} = (-I + I/2 + I/4 - I/8 + I/16 + I/32 + I/64 + (8 \text{ 回目以降の判定結果}))$ は、デジタルデータ(この場合は1001000...)としてD A変換部174 AのDFFで構成されたデータ保持部480に記憶されているため、電流制御発振部101 Aを800 MHzで発振させるための初期電流 I_{ini} に対する補正分を表わす出力電流信号 I_{out} を、周波数2分探索終了後、ゲイン特性情報取得部107 Aの周波数比較結果保持部172は記憶していることを意味する。

【 0 2 9 0 】

なお、上記の説明では、電流出力型のD A変換部174 Aを構成する1ビット電流源501の電流値が、最上位ビットから1ビットごとに1/2になる例を示した。しかしながら、このままでは1ビット電流源501の電流値がばらつくと、周波数探索精度が大幅に悪化し、ゲイン補正精度も悪化させてしまう。これを回避するために、電流源スケールリングを1/2より大きくする必要がある。この電流源スケールリングの値は、電流制御発振部101 Aの製造ばらつきや温度変化による入力電流 - 発振周波数変換ゲイン K_{cco} の変化を考慮して決定するのがよい。

【 0 2 9 1 】

< 電流源スケールリングについて >

図22 ~ 図25は、D A変換部174 Aを構成する各1ビット電流源501の電流値に設定する重付けを示す電流源スケールリングの決定方法を説明する図である。ここで、図22は、電流制御発振部101 Aの製造ばらつきや温度変化によって、入力電流 - 発振周波数変換ゲイン K_{cco} が変化する例を示す図である。図23は、D A変換部174 Aの必要出力電流レンジを説明する図である。図24は、スケールリングを x としたときのD A変換部174 Aの構成を示した図である。図25は、スケールリング x において周波数探索精度を最も悪化させる事例を示す図である。

【 0 2 9 2 】

まず、図22において、理想状態 (ideal) は、設計時の電流制御発振部101 Aの特性を示し、高速 (fast) は、製造後における電流制御発振部101 Aを構成するトランジスタの性能が設計時よりも高くなった場合の特性を示し、低速 (slow) は、製造後における電流制御発振部101 Aを構成するトランジスタの性能が設計時よりも低くなった場合の特性を示す。

【0293】

また、図22においては、設計時と製造後の状態に加えて温度変化をも加味した特性で示している。温度特性としては、理想状態 (ideal) を25 (室温) とし、製造後の高速 (fast) に対してさらに高速にする方向の温度として -40 で示し、また製造後の低速 (slow) に対してさらに低速にする方向の温度として120 で示している。

【0294】

図中において、25 (室温) での理想状態の特性における規定電流源109Aからの規定電流 $I_n(f_{cco}, ideal, 25)$ (以下、 $I_n(f_{cco})$ と記す) は、その条件下で必要となる発振周波数 f_{cco} とするための電流値である。

【0295】

この場合、図から分かるように、温度変化まで考慮すれば、電流制御発振部101Aの入力電流 - 発振周波数変換ゲイン K_{cco} の特性は、設計時に基準となる25 (室温) での理想状態の特性から、容易に大きくずれるため、規定電流源109Aの電流値 I_n (初期電流 I_{ini}) での電流制御発振部101Aから出力される出力発振信号 V_{out} の発振周波数 f_{cco} もばらつくことになる。これを考慮すると、以下のようにすることが好ましいことになる。

【0296】

まず、DA変換部174Aが出力する出力電流信号 I_{out} の最大値を決定する最上位ビット (MSB) を担当する1ビット電流源 501_{N-1} の電流値 I_{N-1} を I_{max} 、規定電流源109Aの電流値を I_n とし、全ての1ビット電流源 501 がシンクした場合とソースした場合の双方を考えると、1つの1ビット電流源 501 と規定電流源109Aでは、およそ “ $-2I_{max} + I_n$: 全てがシンク時” から、“ $2I_{max} + I_n$: 全てがソース時” の範囲で電流を可変することができる。なお、 I_{max} は、最上位ビットの周波数制御信号 (出力電流信号 I_{out_1} , I_{out_2}) を規定する値 S の一例である。

【0297】

ここで、図22から分かるように、発振周波数 f_{cco} とするために必要となる電流制御発振部101Aの周波数制御入力端子101Ainに供給するべき、25 (室温) での理想状態の特性における規定電流源109Aからの規定電流 $I_n(f_{cco})$ では、他の条件下では発振周波数 f_{cco} とならず、当然に、発振周波数 f_{cco} とするためには規定電流 I_n とは異なる電流値にする必要がある。たとえば、高速 (fast) かつ -40 の条件下では、規定電流 I_n よりも少ない電流 $I(f_{cco}, fast, -40)$ にすることで目標周波数 (たとえば判定基準周波数 f_1) に一致させる必要があるし、低速 (slow) かつ120 の条件下では、規定電流 I_n よりも多い電流 $I(f_{cco}, slow, 120)$ にすることで目標周波数に一致させる必要がある。

【0298】

DA変換部174Aでは、これに対応してゲイン補正可能範囲を確保しておくことが必要となるし、発振周波数 f_{cco} として複数種類に対応するようにするには、当然のごとく、同一のDA変換部174Aが、その複数種類の発振周波数 f_{cco} について、ゲイン補正可能になっていなければならない。

【0299】

たとえば、図23は、同一のDA変換部174Aにて、発振周波数 f_{cco} が400MHz, 600MHz, 800MHzの3種類に対応する場合を例示している。

【0300】

先にも説明しているが、本実施形態の位相同期部100においては、標準的あるいは理想的な条件下 (本例の場合25 (室温) での理想状態の特性下) において、初期電流 I_{ini} (=規定電流 I_n) のみで希望とする周波数と同じ発振周波数 f_{cco} が得られるように、希望とする周波数 (=発振周波数 f_{cco}) の別に、「所望とする出力発振信号 V_{out} の発振周波数 f_{cco} に適合させた初期電流 I_{ini} (=規定電流 I_n)」を設定する。

【0301】

したがって、たとえば、デジタルデータ列 D_{in} のデータレートが400MHz, 600M

10

20

30

40

50

Hz, 800 MHzの3種類あった場合には、25 (室温)での理想状態の特性に対応した規定電流源109 Aからの規定電流 $I_n(f_{cco})$ は、 $I_n(400 \text{ MHz})$, $I_n(600 \text{ MHz})$, $I_n(800 \text{ MHz})$ の3種類となり、それぞれについて、高速 (fast) かつ -40 の条件下での電流 $I(f_{cco}, \text{fast}, -40)$ と、低速 (slow) かつ 120 の条件下での電流 $I(f_{cco}, \text{slow}, 120)$ を考え、これに対して、DA変換部174 Aの補正範囲を適合させる必要がある。これらの関係を式で表わすと、式(5)のようになる。

【0302】

【数5】

$$\left. \begin{aligned} -2I_{\max} + I_n(800\text{MHz}) &< I(800\text{MHz}, \text{fast}, -40\text{deg}) \cdots (5-1) \\ I(800\text{MHz}, \text{slow}, 120\text{deg}) &< 2I_{\max} + I_n(800\text{MHz}) \cdots (5-2) \\ -2I_{\max} + I_n(600\text{MHz}) &< I(600\text{MHz}, \text{fast}, -40\text{deg}) \cdots (5-3) \\ I(600\text{MHz}, \text{slow}, 120\text{deg}) &< 2I_{\max} + I_n(600\text{MHz}) \cdots (5-4) \\ -2I_{\max} + I_n(400\text{MHz}) &< I(400\text{MHz}, \text{fast}, -40\text{deg}) \cdots (5-5) \\ I(400\text{MHz}, \text{slow}, 120\text{deg}) &< 2I_{\max} + I_n(400\text{MHz}) \cdots (5-6) \end{aligned} \right\} (5)$$

10

20

【0303】

よって、図23に示す例では、最上位ビット (MSB) を担当する1ビット電流源501の電流値 I_{N-1} として、式(5-1)～式(5-6)を全て満たすことのできる電流 I_{\max} を選択しなければならないことになる。

【0304】

このようにして、最上位ビット (MSB) を担当する1ビット電流源501_{N-1}の電流値 I_{N-1} (= I_{\max}) を決定した後は、下位ビット側の1ビット電流源501_{N-#} (#は2, 3, ..., N) のそれぞれに設定する電流値 $I_{N-#}$ と、必要となるビット数Nを決定する。

30

【0305】

各電流値 $I_{N-#}$ に関しては、基本的には、1ビット電流源501_{N-1}の電流値 I_{N-1} を基準として、各ビットの重みに対応した重付けを行えばよい。

【0306】

一方、必要となるビット数Nに関しては、必要となる分解能の観点から決定する必要がある。たとえば、周波数比較部170のプログラムカウンタ302の周波数判定分解能は、カウントしている時間によって決定される。カウントしている時間は、イネーブル信号ENの周期 (= $1/f_{\text{Low}}$) であるので、プログラムカウンタ302の周波数判定分解能は $2 \cdot f_{\text{Low}}$ となる。

40

【0307】

ここで、電流制御発振部101Aの製造ばらつきや温度変化によって取り得る入力電流 - 発振周波数変換ゲイン K_{cco} の最大値を $K_{cco \max}$ とし、電流源スケーリングを x とし、DA変換部174Aのビット数をNとすると、周波数2分探索終了後に電流制御発振部101Aの発振周波数 f_{cco} がプログラムカウンタ302の周波数判定分解能以下に収束するためには、最下位ビットを担当する1ビット電流源501₀の電流値 I_0 は、式(6)を満たす必要がある。

【0308】

【数 6】

$$x^{N-1} I_{\max} < \frac{2f_{Low}}{K_{cco \max}} \dots (6)$$

【0309】

ここで、式(6)の右辺は、分解能の側面から規定される電流値であり、式(6)の左辺が、 x でスケーリングしたときの最下位ビットを担当する1ビット電流源501_0の電流値 I_0 となる。

【0310】

図20に示したように、通常は、ビットの重付け(スケーリング x)は、 $1/2$ で考えればよく、1ビット電流源501の電流値 I にばらつきがなければ、式(6)に基づき、ビット数 N を決めることができる。

【0311】

しかしながら、実際には、1ビット電流源501の電流値 I には、ばらつきが存在するので、そのばらつきを加味して、スケーリング x とビット数 N とを決定する必要がある。

【0312】

たとえば、図24は、図20に対応するもので、スケーリングを x として、1ビット電流源501の電流値 I にばらつきが存在する場合のDA変換部174Aの構成を示した図である。この例では、最上位ビットの1ビット電流源501_N-1の製造ばらつき量としている。下位ビットの1ビット電流源501_N-2, 501_N-3, ..., 501_0のばらつきについては、下位ビットになるにつれて、各1ビット電流源501の電流値 I_{N-2} , I_{N-3} , ..., I_0 と同じようにスケーリングされるとする。

【0313】

この場合、図24のように、最上位ビットの1ビット電流源501_N-1の製造ばらつき量がプラス誤差となり、下位ビットの1ビット電流源501_N-2, 501_N-3, ..., 501_0のばらつき量がマイナス誤差となり、図25に示すような周波数2分探索になった場合が、最も周波数探索精度を悪化させる状態となる。

【0314】

図25では、規定電流 I_n での電流制御発振部101Aの発振周波数 f_{cco} (初期周波数と称する)が、判定基準周波数(つまり目標発振周波数)よりも高い場合を示す。最も周波数探索精度を悪化させる場合における初期周波数と判定基準周波数のずれ量は、周波数比較部170のプログラムカウンタ302の分解能で決まる式(6)の左辺に示された、最下位ビットの1ビット電流源501_0の電流値 I_0 よりも小さくなる。

【0315】

この場合、1回目の探索により、最上位ビットの1ビット電流源501_N-1は、電流制御発振部101Aの発振周波数 f_{cco} が低下するようにシンク動作となる。この結果を受けて、電流制御発振部101Aの発振周波数 f_{cco} は低下するので、2回目の探索により、次のビットの1ビット電流源501_N-2は、電流制御発振部101Aの発振周波数 f_{cco} を高くするようにソース動作となる。

【0316】

初期周波数と判定基準周波数のずれ量が、式(6)の左辺に示された最下位ビットの1ビット電流源501_0の電流値 I_0 よりも小さいときには、以降の探索においても、各1ビット電流源501_N-3, ..., 501_0は、電流制御発振部101Aの発振周波数 f_{cco} を高くするようにソース動作となり、電流制御発振部101Aの最終的な発振周波数 f_{cco} (最終周波数と称する)が決まる。

【0317】

このような状態においても、周波数探索精度を悪化させないためには、最上位ビットの1ビット電流源501_N-1によるシンク動作の電流量($I_{\max} +$)を、残りの下位ビッ

10

20

30

40

50

トの1ビット電流源501_{N-2}, ..., 501₀によるソース動作の総電流量(ばらつき誤差を含む)で相殺したときの残留誤差が、式(6)の左辺に示された最下位ビットの1ビット電流源501₀の電流値I₀よりも小さくなることが必要であり、式(7-1)を満たす必要がある。

【0318】

式(7-1)の右辺は、式(7-2)のように計算できる。この式(7-2)を式(7-1)の右辺に代入すれば、式(7-3)のように変形できる。この式(7-3)は、さらに式(7-4), 式(7-5)のように変形でき、最終的には、式(7-6)が得られる。

【0319】

【数7】

$$I_{\max} + \sigma - x^{n-1} I_{\max} < x(I_{\max} - \sigma) + \dots + x^{n-1}(I_{\max} - \sigma) \dots (7-1)$$

$$\left. \begin{aligned} x(I_{\max} - \sigma) + \dots + x^{n-1}(I_{\max} - \sigma) &= (I_{\max} - \sigma) \sum_{k=1}^{n-1} x^k \\ &= (I_{\max} - \sigma) \frac{x(1-x^{n-1})}{1-x} \dots (7-2) \\ &= (I_{\max} - \sigma) \frac{x-x^n}{1-x} \end{aligned} \right\}$$

$$I_{\max} + \sigma - x^{n-1} I_{\max} < (I_{\max} - \sigma) \frac{x-x^n}{1-x} \dots (7-3)$$

$$\sigma \left(1 + \frac{x-x^n}{1-x} \right) < I_{\max} \left(\frac{x-x^n}{1-x} - 1 + x^{n-1} \right) \dots (7-4)$$

$$\sigma \left(\frac{1-x^n}{1-x} \right) < I_{\max} \left(\frac{2x-2x^n+x^{n-1}-1}{1-x} \right) \dots (7-5)$$

$$\frac{\sigma}{I_{\max}} < \frac{2x-2x^n+x^{n-1}-1}{1-x^n} \dots (7-6)$$

【0320】

よって、式(6)と式(7-6)から、周波数探索精度を悪化させないスケーリングxとビット数Nを決定することができる。

【0321】

式(7-6)から分かることは、1ビット電流源501の電流値Iのばらつきを考慮したときには、少なくとも、スケーリングxは、1/2ではなく、分母をもう少し小さくしておくことが望ましいということである。

【0322】

<ゲイン補正について；第1実施形態>

図26～図29は、ゲイン特性情報取得部107Aにおける入力電流-発振周波数変換ゲインK_{cco}の補正方法を説明する図である。ここで、図26は、目標発振周波数ごとの2回に亘る周波数2分探索による発振周波数f_{cco}の遷移と、対応する周波数比較結果保持部172₁, 172₂に記憶される判定基準周波数f₁, f₂を与える電流値I(f₁), I(f₂)に対応するデータD(f₁), D(f₂)を説明する図である。また、図27は、製造ばらつきや温度変化によって電流制御発振部101Aの入力電流-発振周波数変換ゲインK_{cco}の特性が変化する例と、そのときに周波数比較結果保持部172₂に記憶される判定基準周波数f₂を与える電流値I(f₂)に対応するデータD(f₂)を

10

20

30

40

50

説明する図である。図 28 は、第 1 実施形態の電流電圧変換部 177 の回路構成例を示す図である。図 29 は、ゲイン補正の線形性を説明する図である。

【0323】

本実施形態のゲイン特性情報取得部 107A においては、目標発振周波数ごとに、2 種類の判定基準周波数 f_1 、 f_2 で周波数 2 分探索を行ない、その結果を別々の周波数比較結果保持部 172_1、172_2 に保持しておく。本実施形態では、第 1 の判定基準周波数 f_1 での周波数 2 分探索結果を周波数比較結果保持部 172_1 に保持し、第 2 の判定基準周波数 f_2 での周波数 2 分探索結果を周波数比較結果保持部 172_2 に保持しておく。

【0324】

このとき、第 1 の判定基準周波数 f_1 での周波数 2 分探索時には、マルチプレクサ 304 の切替制御端子 304_3 に供給する分周比切替信号 $Msel$ を L レベルにしておき、第 1 の判定基準周波数 f_1 での周波数 2 分探索後には、その終了を示す信号として、分周比切替信号 $Msel$ を L レベルから H レベルに切り替えることで、判定基準周波数を、判定基準周波数 f_1 から判定基準周波数 f_2 に切り替えて、第 2 の判定基準周波数 f_2 での周波数 2 分探索を行なう。

【0325】

そのときの、電流制御発振部 101A の周波数制御入力端子 101Ain に供給される発振制御電流 I_{cnt} の遷移と、各周波数比較結果保持部 172_1、172_2 に記憶される測定結果データ $D(f_1)$ 、 $D(f_2)$ および対応する電流値 $I(f_1)$ 、 $I(f_2)$ は、図 26 に示す通りである。

【0326】

図 26 に示す例では、規定電流 I_n (= 初期電流 I_{ini}) で電流制御発振部 101A が 866 MHz で発振していたとき、収束させる周波数として、判定基準周波数 $f_1 = 800$ MHz、判定基準周波数 $f_2 = 750$ MHz であるとする場合を示している。

【0327】

この場合、先ず、規定電流 I_n では初期周波数 = 866 MHz で発振しており、判定基準周波数 $f_1 = 800$ MHz での周波数 2 分探索処理によって、発振周波数 f_{cco} を、判定基準周波数 $f_1 = 800$ MHz に漸次、収束させる。その結果、先ず、周波数比較結果保持部 172_1 には、規定電流 I_n と 800 MHz で電流制御発振部 101A が発振するのに必要な電流 $I(800 \text{ MHz})$ の差電流 " $I_n - I(800 \text{ MHz})$ " を表わすデータ $D(800 \text{ MHz})$ が記憶される。差電流 " $I_n - I(800 \text{ MHz})$ " は、初期周波数 = 866 MHz と判定基準周波数 $f_1 = 800$ MHz との差に対応したものとなる。

【0328】

図 26 に示す例では、電流制御発振部 101A は、規定電流 I_n では、判定基準周波数 $f_1 = 800$ MHz よりも高い周波数 (本例では 866 MHz) で発振しているため、その差電流の極性は負であるが、仮に規定電流 I_n で電流制御発振部 101A が判定基準周波数 $f_1 = 800$ MHz よりも低い周波数で発振していた場合は、その差電流の極性は正になる。この情報は、判定基準周波数 f_1 での周波数比較部 170 の 1 回目の判定結果、つまり、周波数比較結果保持部 172_1 の MSB を担当するデータ保持部 480_N-1 のデータで分かり、"H" であれば、負である。

【0329】

さらに、判定基準周波数 $f_1 = 800$ MHz で収束が終了した後に、判定基準周波数 $f_2 = 750$ MHz で周波数 2 分探索を行なうと、周波数比較結果保持部 172_2 には、電流制御発振部 101A の発振周波数 f_{cco} を 800 MHz から 750 MHz に下げるのに必要な電流、つまり 800 MHz で電流制御発振部 101A が発振するのに必要な電流 $I(800 \text{ MHz})$ と 750 MHz で電流制御発振部 101A が発振するのに必要な電流 $I(750 \text{ MHz})$ との差電流 " $I(800 \text{ MHz}) - I(750 \text{ MHz})$ " を表わすデータ $D(750 \text{ MHz})$ が記憶される。差電流 " $I(800 \text{ MHz}) - I(750 \text{ MHz})$ " は、判定基準周波数 $f_1 = 800$ MHz と判定基準周波数 $f_2 = 750$ MHz との差に対応したものとなる。

【0330】

ここで、差電流 “ $I(800\text{ MHz}) - I(750\text{ MHz})$ ” の極性は、入力電流 - 発振周波数変換ゲイン K_{cco} が正特性（電流が多いと周波数が高くなる特性）であれば、必ず負となる。この情報は、判定基準周波数 f_2 での周波数比較部 170 の 1 回目の判定結果、つまり、周波数比較結果保持部 172_2 の MSB を担当するデータ保持部 480_N-1 のデータで分かり、1 回目の判定時（判定基準周波数 f_2 への切替え直後の判定時）には、発振周波数 $f_{cco} = 800\text{ MHz}$ （= 判定基準周波数 f_1 ）> 判定基準周波数 f_2 であるから、必ず “ H ” となり、負であることが分かる。

【0331】

入力電流 - 発振周波数変換ゲイン K_{cco} は、式（8）に示すように、周波数比較結果保持部 170_2 に記憶されたデータ $D(750\text{ MHz})$ によって示される差電流 “ $I(800\text{ MHz}) - I(750\text{ MHz})$ ” で周波数差 “ $800\text{ MHz} - 750\text{ MHz}$ ” を割ることで求めることができる。

【0332】

【数8】

$$K_{cco} = \frac{800\text{MHz} - 750\text{MHz}}{I(800\text{MHz}) - I(750\text{MHz})}$$

$$= \frac{\text{判定基準周波数 } f_1 - \text{判定基準周波数 } f_2}{\text{周波数比較結果保持部 172_2 に記憶されるデータに応じた電流}} \dots (8)$$

10

20

【0333】

式（8）の分子の値は、判定基準周波数 f_1 , f_2 の設定で任意に設定できるため、2 度の周波数 2 分探索前に既知である。よって、事実上、電流制御発振部 101 A の入力電流 - 発振周波数変換ゲイン K_{cco} を測定した結果が周波数比較結果保持部 172_2 に記憶されたことを意味する。

【0334】

ゲイン特性情報取得部 107 A においては、事実上、周波数比較結果保持部 172_2 に記憶された電流制御発振部 101 A の入力電流 - 発振周波数変換ゲイン K_{cco} の測定結果を元にして、電流制御発振部 101 A の製造ばらつきや温度変化の起因する入力電流 - 発振周波数変換ゲイン K_{cco} のずれを相殺するように、チャージポンプ 104 CP の電流源 105 CP の供給するバイアス電流 I_{cpbias} を調整することで、チャージポンプ 104 CP のチャージポンプ電流 I_{cp} （事実上のチャージポンプゲイン）を調整する。

30

【0335】

たとえば、図 27 には、電流制御発振部 101 A の製造ばらつきや温度変化に起因する入力電流 - 発振周波数変換ゲイン K_{cco} の特性が変化する例と、そのときに周波数比較結果保持部 172_2 に記憶される情報の関係が示されている。

【0336】

電流制御発振部 101 A に製造ばらつきや温度変化がなければ、周波数比較結果保持部 172_2 に記憶されるデータ $D(f_2)$ は、理想状態（ideal）, 室温（25）における入力電流 - 発振周波数変換ゲイン K_{cco} （ideal, 25）を表わすことになる。一方、製造ばらつきや温度変化により、発振周波数 f_{cco} を高める方向（fast, -40）側にずれているときには、周波数比較結果保持部 172_2 に記憶されるデータ $D(f_2)$ は、そのときの入力電流 - 発振周波数変換ゲイン K_{cco} （fast, -40）を表わすことになる。同様に、発振周波数 f_{cco} を低下させる方向（slow, 120）側にずれているときには、周波数比較結果保持部 172_2 に記憶されるデータ $D(f_2)$ は、そのときの入力電流 - 発振周波数変換ゲイン K_{cco} （slow, 120）を表わすことになる。何れにしても、実動状態の特性を忠実に現わしたものとなる。

40

【0337】

ここで、通常、帯域 n とダンピングファクタ は、理想状態（ideal）, 室温（25）を基準として設定を行なうため、図 27 のように、製造ばらつきや温度変化により、

50

ずれてしまった入力電流 - 発振周波数変換ゲイン K_{cco} (fast , - 40) , K_{cco} (slow , 120)、つまり図 27 における直線の傾きを、理想状態 (ideal)、室温 (25) の値に補正する必要がある。

【 0338 】

ゲイン特性情報取得部 107A では、判定基準周波数 f_1 , f_2 を使った 2 度の周波数 2 分探索終了後に、経路選択スイッチ 175 を制御して、DA 変換部 174A₂ の出力経路を、電流加算部 176A 側からチャージポンプ 104CP 側 (その前段の電流電流変換部 177 側) へと切り替える。

【 0339 】

電流電流変換部 177 では、DA 変換部 174A₂ から出力される出力電流信号 I_{out_2} を定数倍 (K 倍) して、電流源 105CP (つまりチャージポンプ 104CP) のバイアス電流 I_{cpbias} を決定する。

【 0340 】

ここで、図 28 に示すように、電流電流変換部 177 は、カレントミラー回路で実現することができる。DA 変換部 174A₂ の出力電流信号 I_{out_2} の極性は、図 27 に示すような入力電流 - 発振周波数変換ゲイン K_{cco} の特性 (正特性) では、前述したように必ず負となり電流を引き込む動作となるため、図 28 に示すように、PMOS トランジスタを用いてカレントミラー回路を実現している。

【 0341 】

具体的には、図 28 に示すカレントミラー回路構成の電流電流変換部 177 は、低電圧用カスコードカレントミラー回路となっており、カレントミラー回路の主要部を構成する 4 つの PMOS トランジスタ (ミラートランジスタ 602 , 604 , 606 , 608) と、カレントミラーの基準電流を規定する基準電流源回路としての NMOS トランジスタ 610 および電流源 612 を備えている。

【 0342 】

NMOS トランジスタ 610 のドレインは電源 V_{dd} に接続され、ソースは、電流源 612 を介して基準電位 (= 接地電位 GND) に接続されている。ミラートランジスタ 602 , 604 のソースは電源 V_{dd} に接続されている。ミラートランジスタ 602 のドレインはミラートランジスタ 606 のソースに接続され、ミラートランジスタ 604 のドレインはミラートランジスタ 608 のソースに接続されている。

【 0343 】

ミラートランジスタ 602 , 604 のゲートは共通に NMOS トランジスタ 610 のゲートに接続され、かつ、ミラートランジスタ 606 のドレインに接続されている。ミラートランジスタ 602 , 604 のカレントミラー比 (ミラートランジスタ 604 の電流 / ミラートランジスタ 602 の電流) は m/n とする。なお、カレントミラー比 m/n は、図中の m または n を、トランジスタのフィンガーの数またはトランジスタの個数とすることで、ミラー抵抗を不要で実現することができる。

【 0344 】

ミラートランジスタ 606 , 608 のゲートは共通に NMOS トランジスタ 610 のソースと電流源 612 との接続点に接続されている。ミラートランジスタ 602 , 604 からの入力電流に対するミラートランジスタ 606 , 608 の電流ゲインは k 倍 (k は適当な値でよい) であるとする。結果的に、ミラートランジスタ 606 , 608 のカレントミラー比 (ミラートランジスタ 608 の電流 / ミラートランジスタ 606 の電流) は $k \cdot m / k \cdot n$ (= m/n) となる。

【 0345 】

ミラートランジスタ 606 のドレインは、DA 変換部 174A₂ の電流出力端子 174A_{out} に接続され、ミラートランジスタ 608 のドレインは、電流源 105CP の制御入力端子 105CPa に接続されている。ミラートランジスタ 608 のドレインから出力される電流が、チャージポンプ 104CP 用の電流源 105CP への供給電流 (制御電流 I_{cpcont}) として利用される。

【 0 3 4 6 】

このように、NMOSトランジスタ610を用いたソースフォロワを利用することで、ミラートランジスタ606，608のゲート電圧は、ミラートランジスタ602，604のゲート・ソース間電圧の大きさに応じて変化し、ミラートランジスタ602，604を常に飽和状態で動作させることで、正確なカレントミラー比を実現することができるようにしている。

【 0 3 4 7 】

ここで、電流電流変換部177におけるカレントミラー比(=m/n)を、後述する関係式により決定することで、電流制御発振部101Aの製造ばらつきや温度変化による入力電流・発振周波数変換ゲインKccoの理想状態(ideal)，室温(25)に対するずれは補正され、帯域nとダンピングファクタを、理想状態(ideal)，室温(25)の値に保つことができる。

10

【 0 3 4 8 】

すなわち、第1実施形態の位相同期部100の場合、帯域nおよびダンピングファクタは、式(2)に示したようになるが、これは、式(9)に示すように変形することができる。

【 0 3 4 9 】

【 数 9 】

$$\left. \begin{aligned} \omega_n &= \sqrt{\frac{I_{cp} \cdot K_{cco}}{C_p \cdot \alpha}} = K1 \times \sqrt{I_{cp} \cdot K_{cco}} \cdots (9-1) \\ \zeta &= \frac{C_p \cdot R_p}{2} \quad \omega_n = K2 \times K1 \times \sqrt{I_{cp} \cdot K_{cco}} \cdots (9-2) \\ \text{ただし、} K1 &= \sqrt{\frac{1}{C_p \cdot \alpha}} \quad K2 = \frac{C_p \cdot R_p}{2} \end{aligned} \right\} (9)$$

20

30

【 0 3 5 0 】

环境温度Tでの実動状態(real, T)において、温度Tにおける実動状態の $I_{cp}(\text{real}, T) \cdot K_{cco}(\text{real}, T)$ を理想状態(ideal)，室温(25)の値に一定に保つためには、標準の入力電流・発振周波数変換ゲインKccoと標準のチャージポンプ電流 I_{cp} (駆動信号の一例)との積の一例である $I_{cp}(\text{ideal}, 20) \cdot K_{cco}(\text{ideal}, 20)$ にする必要があり、そのためには、式(10)を満たす必要がある。

【 0 3 5 1 】

【 数 1 0 】

$$\left. \begin{aligned} I_{cp}(\text{real}, T) \cdot K_{cco}(\text{real}, T) &= I_{cp}(\text{ideal}, 25\text{deg}) \cdot K_{cco}(\text{ideal}, 25\text{deg}) \cdots (10-1) \\ I_{cp}(\text{real}, T) &= \frac{I_{cp}(\text{ideal}, 25\text{deg}) \cdot K_{cco}(\text{ideal}, 25\text{deg})}{K_{cco}(\text{real}, T)} \cdots (10-2) \end{aligned} \right\} (10)$$

40

【 0 3 5 2 】

ここで、 $I_{cp}(\text{real}, T)$ ， $K_{cco}(\text{real}, T)$ は、実際に製造された回路の温度Tのときのチャージポンプ電流 I_{cp} ，電流制御発振部101Aの入力電流・発振周波数変換ゲインKccoの値であり、同様に $I_{cp}(\text{ideal}, 25\text{deg})$ ， $K_{cco}(\text{ideal}, 25\text{deg})$

50

）は設計時の室温（25）のときの値である。

【0353】

式（10-2）の分母の $K_{cco}(\text{real}, T)$ は、製造された電流制御発振部 101A の入力電流 - 発振周波数変換ゲイン K_{cco} であるので、これはゲイン特性情報取得部 107A で測定された K_{cco} の値そのものであり、式（8）で示されるものと同じである。

【0354】

そこで、式（8）を式（10-2）に代入すると、式（10-2）は式（11-1）のように変形することができる。さらに、 $I_{cp}(\text{ideal}, 25\text{deg}) = I_{cpbias}(\text{ideal}, 25\text{deg})$ 、 $I_{cp}(\text{real}, T) = I_{cpbias}(\text{real}, T)$ と表せるので（ I_{cp} はチャージポンプ電流 I_{cp} のバイアス電流 I_{cpbias} に対する倍率）、これを式（11-1）に代入すると、式（11-1）は式（11-2）のように変形することができる。

10

【0355】

【数11】

$$I_{cp}(\text{real}, T) = \frac{I_{cp}(\text{ideal}, 25\text{deg}) \cdot K_{cco}(\text{ideal}, 25\text{deg})}{\text{判定基準周波数 } f_1 - \text{判定基準周波数 } f_2} \times I(\text{周波数比較結果保持部 } 172_2) \dots (11-1)$$

$$I_{cpbias}(\text{real}, T) = \frac{I_{cpbias}(\text{ideal}, 25\text{deg}) \cdot K_{cco}(\text{ideal}, 25\text{deg})}{\text{判定基準周波数 } f_1 - \text{判定基準周波数 } f_2} \times I(\text{周波数比較結果保持部 } 172_2) \dots (11-2)$$

20

【0356】

なお、出力電流信号 I_{out_2} は、周波数比較結果保持部 172_2 に保持されたデータ D（ f_2 ）に基づく DA 変換部 174A_2 から出力される出力電流信号である。また、判定基準周波数 f_1 は 2 種類の判定基準周波数の内の最初の周波数 2 分探索で使用される判定基準周波数であり、判定基準周波数 f_2 は、周波数切替後の周波数 2 分探索で使用される判定基準周波数であり、判定基準周波数 $f_1 >$ 判定基準周波数 f_2 の関係がある。

【0357】

ここで、 $I_{cpbias}(\text{ideal}, 25\text{deg})$ 、 $K_{cco}(\text{ideal}, 25\text{deg})$ は設計時の室温（25）のときの値であるため既知であり、判定基準周波数 f_1 - 判定基準周波数 f_2 もゲイン特性情報取得部 107A を動作させる前に設定するために既知である。

30

【0358】

この既知の値から、ゲイン特性情報取得部 107A では、図 28 に示したカレントミラー回路構成を持つ電流電流変換部 177 の電流・電流変換ゲインを示すカレントミラー比（ m/n ）を、式（12）のように決める。なお、このカレントミラー比（ m/n ）を、 K_{cco} 補正カレントミラー比と称する。

【0359】

【数12】

$$K_{cco} \text{ 補正カレントミラー比 } (m/n) = \frac{I_{cpbias}(\text{ideal}, 25\text{deg}) \cdot K_{cco}(\text{ideal}, 25\text{deg})}{\text{判定基準周波数 } f_1 - \text{判定基準周波数 } f_2} \dots (12)$$

40

【0360】

たとえば、 $I_{cpbias}(\text{ideal}, 25\text{deg}) = 10 \mu\text{A}$ 、 $K_{cco}(\text{ideal}, 25\text{deg}) = 0.3 \text{ MHz} / \mu\text{A}$ 、判定基準周波数 $f_1 = 800 \text{ MHz}$ 、判定基準周波数 $f_2 = 750 \text{ MHz}$ であれば、カレントミラー比（ m/n ）は、3/50 となる。

【0361】

式（12）を式（11-2）に代入すると、式（11-2）は式（13）のように変形することができる。

【0362】

【数 1 3】

$$I_{cpbias}(real, T) = K_{cco} \text{ 補正カレントミラー比 } (m/n) \times I(\text{周波数比較結果保持部 } 172_2) \dots (13)$$

【0 3 6 3】

式(13)から分かるように、電流制御発振部101Aの入力電流 - 発振周波数変換ゲインKccoを補正するゲイン特性情報取得部107Aは、測定したKcco(real, T)の情報を、DA変換部174A_2から出力される出力電流信号Iout_2としてカレントミラー回路構成の電流電流変換部177(のミラートランジスタ602のドレイン)に渡し、その情報を元にして、帯域nが一定になるように、電流電流変換部177で制御電流Icpcntを生成することで、チャージポンプ104CP用のバイアス電流Icpbiasを制御する。

10

【0 3 6 4】

その結果として、入力電流 - 発振周波数変換ゲインKccoに製造ばらつきや温度変化が生じたときでも、その変動分を相殺するべくIcp・Kosciが一定となるようにチャージポンプ電流Icpを調整することができ、帯域nやダンピングファクタが入力電流 - 発振周波数変換ゲインKccoの製造ばらつきや温度特性の影響を受けないようにすることができるようになる。

【0 3 6 5】

また、非特許文献1に記載の仕組みとは異なり、ディレイステージ(あるいはディレイセル)の構成に工夫を要することもないし、非特許文献2に記載の仕組みとは異なり、温度や製造ばらつきに依存しない電流を作り出す回路も不要であり、電流制御発振部101Aの回路設計が複雑になることはなく、電流制御発振部101Aとしては通常の回路構成を採ることができる。

20

【0 3 6 6】

また、非特許文献3に記載の仕組みとは異なり、チャージポンプ電流を一定にするための温度変化に依存しない高精度なバイアス回路や、発振制御信号CNに対するゲインを電圧制御発振器の入力前で調整するゲイン制御アンプは不要である。

【0 3 6 7】

また、カレントミラー比の設定で対処が可能であるので、非特許文献3に記載の仕組みとは異なり、絶対値の管理が不要である分、補正回路(本例のゲイン特性情報取得部107Aや電流源105CP)の設計は簡単であるし、補正の製造ばらつきは非常に小さい。デバイス特性や回路構成上、絶対値の管理では、ばらつきを回避することは事実上不可能であるが、比(本例では電流電流変換部177や電流源105CPのカレントミラー比)の管理は、ばらつきを回避することが簡易であるからである。

30

【0 3 6 8】

なお、本実施形態では、電流制御発振部101Aの入力電流 - 発振周波数変換ゲインKccoのばらつき補正を実行するに当たり、式(12)を満たすように、電流電流変換部177により、Kcco補正カレントミラー比を設定するようにしていたが、この値は、Icpbias(ideal, 25deg)、Kcco(ideal, 25deg)、判定基準周波数f1, f2によって決まるものであり、素子特性から物理的に決定されるIcpbias(ideal, 25deg)およびKcco(ideal, 25deg)に合わせて、カレントミラー比(m/n)が“2のべき乗分の1”となるように判定基準周波数f1, f2の差を調整すれば、電流電流変換部177を取り外した構成を採ることもできる。

40

【0 3 6 9】

具体的には、ゲイン特性情報取得部107Aによる測定完了後における通常の位相同期動作においては、つまり測定完了後に経路選択スイッチ175を電流加算部176A側に戻したときには、データ保持部460からの制御信号Control[N-#]およびデータ保持部480からのアップ・ダウン信号UpDown[N-#]の電流出力型のDA変換部174A_2への入力を下位ビット側にビットシフトすることで、事実上、カレントミラー比(m

50

/n)を“2のべき乗分の1”とする対処が可能である。

【0370】

Control[N-#], UpDown[N-#]のDA変換部174A₂への入力をビットシフトさせるには、そのための経路選択スイッチを設ければよい。このような構成では、DA変換部174A₂と、ビットシフトさせるための経路選択スイッチとで、出力電流信号I_{out2}をK倍することで制御電流I_{cpcnt}を取得する信号変換部が構成されることになる。

【0371】

たとえば、I_{cpbias}(ideal, 2.5deg) = 10 μA, K_{cco}(ideal, 2.5deg) = 0.3 MHz/μA, 判定基準周波数f₁ = 800 MHzであるときに、判定基準周波数f₂ = 752 MHzとすれば、カレントミラー比(m/n)は3/48 = 1/16となるので、Control[N-#], UpDown[N-#]のDA変換部174A₂への入力を、4ビット分下位側に入力するように経路選択スイッチを切り替えるとよい。ここで、判定基準周波数f₁側ではなく判定基準周波数f₂の設定を調整したのは、通常の位相同期動作における目標周波数に判定基準周波数f₁を設定することに起因する。

【0372】

もちろん、電流電圧変換部177を備えた構成を採れば、判定基準周波数f₂の設定の自由度が増える利点がある。

【0373】

なお、本実施形態の仕組みでは、2種類の判定基準周波数f₁, f₂を使って入力信号 - 発振周波数変換ゲインK_{osci}(第1実施形態では入力電流 - 発振周波数変換ゲインK_{cco}, 第3実施形態では入力電圧 - 発振周波数変換ゲインK_{vco})を測定するので、そのゲインK_{osci}を測定する際に使用する判定基準周波数f₁, f₂の差、換言すれば周波数差を与える電流差や電圧差を小さくすることができる。

【0374】

その結果、図29から分かるように、発振部101(第1実施形態の電流制御発振部101A、第3実施形態の電圧制御発振部101B)が非線形なゲイン特性を持つものであっても、ゲイン測定を行なう際に入力する判定基準周波数f₁, f₂での発振制御電流I_{cnt}の差を小さくすれば、その範囲では、事実上、ゲイン特性を線形と見なすことができるため、非線形なゲイン特性も不都合なく補正することが可能となる。

【0375】

このため、電流制御発振部101Aとしては通常の回路構成を採ることができるし、非特許文献1, 2に記載の仕組みのように、入力電流 - 発振周波数変換ゲインK_{cco}が非線形な場合には完全に補正をすることができないということもない。

【0376】

以上説明したように、第1実施形態の位相同期部100によれば、PLL(位相同期回路)における電流制御発振回路(前例では電流制御発振部101A)の発振周波数f_{cco}を、位相同期回路として動作させる前に、デジタルデータ列D_{in}に一致させ、位相同期回路のアクイジション時間を短縮させると同時に、入力電流 - 発振周波数変換ゲインK_{cco}の非線形な特性を補正でき、補正終了後には、DC動作(補正後の値を使った静的動作)とすることで、位相同期回路のノイズ源にならないため、ゲイン特性情報取得部107Aを追加したことによるジッタの増加を防ぐことができるし、低消費電力を実現することができる。加えて、図4との比較から分かるように、デジタルデータ列D_{in}に基づくクロック再生に当たって、周波数シンセサイザ部180が不要となる。

【0377】

<<位相同期部; 第2実施形態>>

図30は、位相同期部(位相同期回路)100の第2実施形態を示す機能ブロック図である。第2実施形態の位相同期部100は、第1実施形態において比較例として示した図4と同様に、チャージポンプ部104に2つのチャージポンプ104CP, 104rdを使用するようにした点に特徴を有する。全体としては、発振部101および制御系(ループフィルタ部106Aおよびゲイン特性情報取得部107A)の何れもが電流モードで動作す

10

20

30

40

50

る点で第 1 実施形態と同様である。以下、第 1 実施形態との相違点を中心に説明する。

【0378】

第 2 実施形態の位相同期部 100 において、まず、ゲイン特性情報取得部 107A は、制御電流 I_{cpcnt} を出力する電流電流変換部 177 に代えて、制御電流 I_{cpcnt} と制御電流 I_{rdcnt} とを出力する電流電流変換部 178 を備える。

【0379】

また、第 2 実施形態の位相同期部 100 において、チャージポンプ部 104 は、チャージポンプ 104CP および電流源 105CP に加えて、位相比較部 103 から出力された比較結果信号 V_{comp} に応じた駆動電流（チャージポンプ電流 I_{rd} と称する）を入出力するチャージポンプ 104RD と、チャージポンプ 104RD にバイアス電流 I_{rdbias} を供給する電流値可変型の電流源 105RD とを備えている。

10

【0380】

ゲイン特性情報取得部 107A 側の電流電流変換部 177 からは、第 2 の DA 変換部 174A₂ の出力電流信号 I_{out_2} を K 倍にした電流を制御電流 I_{cpcnt} として、電流値可変型の電流源 105CP の制御入力端子 105CPa に供給するととともに、同様にして、出力電流信号 I_{out_2} を K 倍にした電流を制御電流 I_{rdcnt} として、電流値可変型の電流源 105RD の制御入力端子 105RDa に供給する。

【0381】

電流値可変型の電流源 105RD は、電流源 105CP と同様に、制御入力端子 105RDa に供給される制御電流 I_{rdcnt} をカレントミラー形式（カレントミラー比は 1 : 1 でよい）で受けてチャージポンプ 104RD にバイアス電流 I_{rdbias} を供給するようになっている。カレントミラー比が 1 : 1 のときには、制御電流 I_{rdcnt} = バイアス電流 I_{rdbias} である。チャージポンプ 104RD は、バイアス電流 I_{rdbias} に対して 倍のチャージポンプ電流 I_{rd} を出力する。

20

【0382】

また、第 2 実施形態のループフィルタ部 106A は、抵抗素子 162 を取り外しているとともに、電圧電流変換部 166 の後段に電流加算部 168 を有している。電流加算部 168 は、電圧電流変換部 166 から出力されたループフィルタ出力電流 I_{lp} とチャージポンプ 104RD から出力されたチャージポンプ電流 I_{rd} とを加算して電流加算部 108A に供給する。

30

【0383】

< 位相同期部のループ特性；第 2 実施形態 >

ところで、第 1 実施形態の構成では、複数種類の光ディスク PD のそれぞれに適合するように式 (2-1) に従って帯域 n を設定すると、式 (2-2) から分かるように帯域 n に比例してダンピングファクタ も変化してしまう。

【0384】

一方、位相同期回路の安定動作のためには、ダンピングファクタ が一定であることが好ましく、全体としては、ダンピングファクタ が一定の元で帯域 n の設定を行なわなければならないことになる。

【0385】

これを実現するための回路構成の一例が第 2 実施形態で採用したループフィルタ部 106A の構成である。この場合、帯域 n とダンピングファクタ は、式 (14-1) および式 (14-2) のように表すことができる。なお、式 (1) との比較から、式 (14-3) および式 (14-4) に示す関係があることが分かる。

40

【0386】

【数 1 4】

$$\left. \begin{aligned}
 \omega_n &= \sqrt{\frac{I_{cp} \cdot G_m \cdot K_{cco}}{C_p \cdot \alpha}} \cdots (14-1) \\
 \xi &= \frac{C_p \cdot \frac{I_{rd}}{I_{cp} \cdot G_m}}{2} \omega_n \cdots (14-2) \\
 K_{lp} &= G_m \cdots (14-3) \\
 F_{lp} &= \frac{I_{rd}}{I_{cp} \cdot G_m} \cdots (14-4) \\
 R_p &= \frac{I_{rd}}{I_{cp} \cdot G_m} \cdots (14-5)
 \end{aligned} \right\} (14)$$

10

【0387】

式(14)から分かるように、第2実施形態の構成では、複数種類の光ディスクPDのそれぞれに適合するように式(14-1)に従ってチャージポンプ電流 I_{cp} (あるいは分周比)を調整して帯域 n を設定したとき、 $I_{rd}/I_{cp} \cdot G_m$ の値を調整することで、ダンピングファクタを一定にしたままで帯域 n を変えることが可能となる。

20

【0388】

また、この場合、第1実施形態における式(9)は、式(14-1)および式(14-2)を変形することで、式(15)に示すように対応付けられる。

【0389】

【数 1 5】

$$\left. \begin{aligned}
 \omega_n &= \sqrt{\frac{I_{cp} \cdot G_m \cdot K_{cco}}{C_p \cdot \alpha}} = K_3 \times \sqrt{I_{cp} \cdot K_{cco}} \cdots (15-1) \\
 \xi &= \frac{C_p \cdot \frac{I_{rd}}{I_{cp} \cdot G_m}}{2} \omega_n = K_4 \times \frac{I_{rd}}{I_{cp}} \times K_3 \times \sqrt{I_{cp} \cdot K_{cco}} \cdots (15-1) \\
 \text{ただし、} K_3 &= \sqrt{\frac{G_m}{C_p \cdot \alpha}} \quad K_4 = \frac{C_p}{2 \cdot G_m}
 \end{aligned} \right\} (15)$$

30

40

【0390】

<ゲイン補正について；第2実施形態>

したがって、第2実施形態においては、式(15-1)から、入力電流・発振周波数変換ゲイン K_{cco} が変化してもチャージポンプ電流 I_{cp} を調整することで $I_{cp} \cdot K_{cco}$ の値を常に一定に保つことができれば、帯域 n を複数種類の光ディスクPDのそれぞれに適合するようにした値に一定にすることができる。この点は、第1実施形態と同じである。

【0391】

よって、第2実施形態において、入力電流・発振周波数変換ゲイン K_{cco} のばらつきを補正する際には、第1実施形態と同様にして、式(10)～式(13)に従った考え方を適用することができる。

50

【0392】

すなわち、第2実施形態においても、式(13)から分かるように、ゲイン特性情報取得部107Aは、測定した $K_{cco}(\text{real}, T)$ の情報を、DA変換部174A₂から出力される出力電流信号 I_{out_2} としてカレントミラー回路構成の電流電流変換部177(のミラートランジスタ602のドレイン)に渡し、その情報を元にして、帯域 n が一定になるように、電流電流変換部178で制御電流 I_{cpnt} を生成することで、チャージポンプ104CP用のバイアス電流 I_{cpbias} を制御すればよい。

【0393】

加えて、この調整によりチャージポンプ電流 I_{cp} が変化しても、 I_{rd}/I_{cp} が一定となるようにチャージポンプ電流 I_{rd} を調整すれば、ダンピングファクタも一定に保つことができる。

10

【0394】

ここで、第2実施形態の位相同期部100において、 I_{rd}/I_{cp} を一定にするためには、チャージポンプ電流 I_{cp} が倍になれば、チャージポンプ電流 I_{rd} も倍になるように、電流電流変換部178によりチャージポンプ104CP、104RDのバイアス電流 I_{cpbias} 、 I_{rdbias} を調整するのがよい。これを実現するのが、電流電流変換部178である。

【0395】

図31は、第2実施形態のゲイン特性情報取得部107Aに設けられる電流電流変換部178の回路構成例を示す図である。図28に示した第1実施形態の電流電流変換部177では、第2のDA変換部174A₂の出力電流信号 I_{out_2} を K 倍に増幅して制御電流 I_{cpnt} として出力するようにしていたが、第2実施形態の電流電流変換部178では、第2のDA変換部174A₂の出力電流信号 I_{out_2} を K 倍に増幅して制御電流 I_{cpnt} および制御電流 I_{rdcnt} として出力するようにしている。

20

【0396】

そのために、電流電流変換部178は、ミラートランジスタ604と並列にミラートランジスタ605を配置し、またミラートランジスタ608と並列にミラートランジスタ609を配置している。ミラートランジスタ605のドレインはミラートランジスタ609のソースに接続されている。

【0397】

ミラートランジスタ605のゲートは、ミラートランジスタ602、604のゲートと共通にNMOSTランジスタ610のゲートに接続され、かつ、ミラートランジスタ606のドレインに接続されている。ミラートランジスタ602、605のカレントミラー比(ミラートランジスタ605の電流/ミラートランジスタ602の電流)は、ミラートランジスタ602、604のカレントミラー比と同様に、 m/n とする。

30

【0398】

ミラートランジスタ609のゲートは、ミラートランジスタ606、608のゲートと共通にNMOSTランジスタ610のソースと電流源612との接続点に接続されている。ミラートランジスタ605からの入力電流に対するミラートランジスタ609の電流ゲインは k 倍であるとする。結果的に、ミラートランジスタ606、609のカレントミラー比(ミラートランジスタ609の電流/ミラートランジスタ606の電流)は、ミラートランジスタ606、608のカレントミラー比と同様に、 $k \cdot m / k \cdot n (= m/n)$ となる。

40

【0399】

ミラートランジスタ609のドレインは、電流源105RDの制御入力端子105RDaに接続されている。ミラートランジスタ609のドレインから出力される電流が、チャージポンプ104RD用の電流源105RDへの供給電流(制御電流 I_{rdcnt})として利用される。

【0400】

制御電流 I_{cpnt} 側のカレントミラー比と制御電流 I_{rdcnt} 側のカレントミラー比とが同じであるので、制御電流 I_{cpnt} やこれを反映したチャージポンプ電流 I_{cp} が倍にな

50

れば、制御電流 I_{rdcnt} やこれを反映したチャージポンプ電流 I_{rd} も 倍になる。

【0401】

< 位相同期部；第3実施形態 >

図32は、位相同期部（位相同期回路）100の第3実施形態を示す機能ブロック図である。第3実施形態の位相同期部100は、第1実施形態と同様に、チャージポンプ部104に、1つのチャージポンプ104CPを使用する点では第1実施形態と同じであるが、全体としては、発振部101および制御系（ループフィルタ部およびゲイン特性情報取得部）の何れもが電圧モードで動作する点で第1および第2実施形態と異なる。以下、第1実施形態との相違点を中心に説明する。

【0402】

第3実施形態の位相同期部100は、発振部として電圧制御発振回路（VCO）を採用している点に第1の特徴を有するとともに、電圧制御発振回路の周波数変換ゲイン特性の製造ばらつきや温度特性を補正する電流制御発振回路の周波数変換ゲイン特性の製造ばらつきや温度特性を補正するゲイン特性情報取得部107として電圧出力型のもの（ゲイン特性情報取得部107B）を備えている点に第2の特徴を有する。

【0403】

具体的には、第3実施形態の位相同期部100は、電流制御発振部101Aに代えて電圧制御発振部（VCO）101Bを備える。また、第3実施形態の位相同期部100においては、さらに、ゲイン特性情報取得部107Aをゲイン特性情報取得部107Bに置き換えている。

【0404】

ゲイン特性情報取得部107Bは、電流出力型のDA変換部174A_1, 174A_2に代えて、電圧出力型のDA変換部174B_1, 174B_2を使用する。また、これに対応して、電流加算部176Aを電圧加算部176Bに置き換えている。また、電流電圧変換部177を、第2のDA変換部174B_2の出力電圧信号 V_{out_2} を出力電流信号 I_{out_2} に変換し、さらにその出力電流信号 I_{out_2} を K 倍（ K はカレントミラー比）に増幅して制御電流 I_{pcnt} として出力する電圧電流変換部179に置き換えている。電圧加算部176Bは、出力電圧信号 V_{out_1} と出力電圧信号 I_{out_2} との加算結果を周波数制御電圧 V_{osci} として出力する。

【0405】

電圧制御発振部101Bは、周波数制御入力端子101Binに供給される発振制御電圧 V_{cnt} と自己の入力電圧 - 発振周波数変換ゲイン K_{vco} とに従い、発振制御電圧 V_{cnt} に対応した発振周波数 f_{vco} の出力発振信号 V_{out} を出力端子101Boutから出力する。

【0406】

なお、電圧制御発振部101Bの後段には、必要に応じて、電圧制御発振部101Bの出力端子101Aoutから出力された出力発振信号 V_{out} の発振周波数 f_{vco} を $1/N$ に分周して分周発振信号 V_{out1} を取得する分周部102を設けてもよい。この点は第1実施形態と同様である。

【0407】

また、第3実施形態の位相同期部100においては、ループフィルタ部106Aをループフィルタ部106Bに置き換えているとともに、電流加算部108Aを電圧加算部108Bに置き換え、さらに規定電流源109Aを規定電圧源109Bに置き換えている。

【0408】

電圧加算部108Bは、各部からの電圧信号を加算することで、出力発振信号 V_{out} の位相がデジタルデータ列 D_{in} の位相に同期するように発振制御電圧 V_{cnt} を生成する発振制御信号生成部の一例である。

【0409】

ループフィルタ部106Bは、電圧制御発振部101Bに適合するように電圧出力に対応した構成となっている。具体的には、ループフィルタ部106Bは、抵抗素子162とコンデンサ164の直列回路を基準電位との間に備える。なお、位相同期部100をIC

10

20

30

40

50

(半導体集積回路)で構成する場合、抵抗素子 162 およびコンデンサ 164 は、その IC の外部で接続する。

【0410】

ループフィルタ部 106B では、チャージポンプ 104CP から出力されたチャージポンプ電流 I_{cp} に基づいて抵抗素子 162 およびコンデンサ 164 で構成された直列回路の一方(つまり電圧加算部 108B の入力)に電圧信号(チャージポンプ電圧 V_{cp} と称する)が生成される。ループフィルタ部 106B は、このチャージポンプ電圧 V_{cp} をそのままループフィルタ出力電圧 V_{lp} として、そのまま電圧加算部 108B に渡す。

【0411】

また、電圧加算部 108B は、各部からの電圧信号を加算して電圧制御発振部 101B の周波数制御入力端子 101Bin に供給する。規定電圧源 109B は、電圧加算部 108B に所望とする出力発振信号 V_{out} の発振周波数 f_{vco} に適合させた初期電圧 V_{ini} を供給する。

10

【0412】

ここで、「所望とする出力発振信号 V_{out} の発振周波数 f_{vco} に適合させた初期電圧 V_{ini} 」とは、標準的あるいは理想的な条件下において、電圧加算部 108B への他の電圧入力(ループフィルタ出力電圧であるチャージポンプ電圧 V_{cp} およびゲイン特性情報取得部 107B からの周波数制御電圧 V_{osci})がなく初期電圧 V_{ini} のみで希望とする周波数と同じ発振周波数 f_{vco} が得られるような電圧値を意味する。

【0413】

希望とする周波数(=発振周波数 f_{vco})が複数種類となる場合には、その希望とする周波数(=発振周波数 f_{vco})の別に最適化させた初期電圧 V_{ini} を設定する。このため、デジタルデータ列 D_{in} のデータレート(周波数)が切り替わるごとに、規定電圧源 109B の初期電圧 V_{ini} を切り替える。

20

【0414】

このための仕組みとしては、図示を割愛するが、各周波数の別に、その周波数に適合した個別の初期電圧 V_{ini} が設定されている周波数別の規定電圧源 109B を用意しておき、デジタルデータ列 D_{in} のデータレート(周波数)が切り替わるごとに、その周波数別の規定電圧源 109B を、その周波数に適合したものに切り替える構成を採るのがよい。

【0415】

こうすることで、ゲイン特性情報取得部 107B によるゲイン補正処理に基づく周波数制御電圧 V_{osci} は、初期電圧 V_{ini} (およびチャージポンプ電圧 V_{cp}) 下での実動状態の発振周波数 f_{vco} と希望とする周波数とのずれを補正できる分であればよいことになる。その結果、ある希望周波数に適合させた 1 つの初期電圧 V_{ini} としておき、複数種類の希望周波数への対応をゲイン特性情報取得部 107B からの周波数制御電圧 V_{osci} で対応する場合よりも、ゲイン特性情報取得部 107B が対処すべき補正電圧量(=周波数制御電圧 V_{osci})を少なくすることができる。

30

【0416】

<位相同期部のループ特性；第3実施形態>

第3実施形態の位相同期部 100 におけるループ特性(帯域 n とダンピングファクタ)は、式(16-1)および式(16-2)のように表すことができる。なお、式(1)との比較から、式(16-3)および式(16-4)に示す関係があることが分かる。また、式(2-2)と式(16-2)を比較すると、式(16-5)に示す関係があることが分かる。これらの式は、第1実施形態の式(2)と同じであることが分かる。

40

【0417】

【数 16】

$$\left. \begin{aligned}
 \omega_n &= \sqrt{\frac{I_{cp} \cdot K_{cco}}{C_p \cdot \alpha}} \quad \cdots (16-1) \\
 \zeta &= \frac{C_p \cdot R}{2} \omega_n \quad \cdots (16-2) \\
 K_{lp} &= 1 \quad \cdots (16-3) \\
 F_{lp} &= R \quad \cdots (16-4) \\
 \omega_n, \zeta &\propto \sqrt{I_{cp} \cdot K_{cco}} \quad \cdots (16-5)
 \end{aligned} \right\} (16)$$

10

【0418】

式(16)から分かるように、第3実施形態の構成では、ループ特性は、入力電流・発振周波数変換ゲイン K_{cco} を入力電圧・発振周波数変換ゲイン K_{vco} に置き換えただけであり、第1実施形態と同じように考えることができる。

20

【0419】

よって、式(16-1)および式(16-2)を変形することで、式(17)に示すように対応付けられる。この式は、第1実施形態の式(9)と同じである。

【0420】

【数 17】

$$\left. \begin{aligned}
 \omega_n &= \sqrt{\frac{I_{cp} \cdot K_{cco}}{C_p \cdot \alpha}} = K_1 \times \sqrt{I_{cp} \cdot K_{cco}} \quad \cdots (17-1) \\
 \zeta &= \frac{C_p \cdot R_p}{2} \omega_n = K_2 \times K_1 \times \sqrt{I_{cp} \cdot K_{cco}} \quad \cdots (17-2) \\
 \text{ただし、} K_1 &= \sqrt{\frac{1}{C_p \cdot \alpha}} \quad K_2 = \frac{C_p \cdot R_p}{2}
 \end{aligned} \right\} (17)$$

30

【0421】

< D A 変換部の構成例と動作；第3実施形態 >

40

図33は、電圧出力型の D A 変換部 174 B の詳細な構成例を示す図である。この図33に示す構成は、第1実施形態の図24に示した D A 変換部 174 A に対応するもので、スケーリング \times と電流ばらつきを考慮した構成を採っている。

【0422】

具体的には、図33に示すように、D A 変換部 174 B は、第1実施形態で示した電流出力型の D A 変換部 174 A に類似した構成の D A 変換部 174 C を包含するとともに、その電流出力端子 174 C_out の後段に、反転型の電流電圧変換部 520 を備えている。

D A 変換部 174 A に類似した構成の D A 変換部 174 C は、後段に接続される電流電圧変換部 520 が反転型であることに対応して、インバータ 512 の配置位置が、AND ゲート 514 の一方の入力端子側ではなく、AND ゲート 516 の一方の入力端子側に変

50

更している。

【0423】

ANDゲート514は、一方の入力端子にアップ・ダウン信号UpDown[N-#]が入力され、他方の入力端子に周波数比較結果保持部172の対応するビットの制御信号Control[N-#]（#は1, 2, 3...: 1がMSB側）が入力され、その出力がソース電流源502側の出力スイッチ506の制御端子に供給される。ANDゲート516は、一方の入力端子にアップ・ダウン信号UpDown[N-#]をインバータ512で論理反転した信号が入力され、他方の入力端子に制御信号Control[N-#]が入力され、その出力がシンク電流源504側の出力スイッチ508の制御端子に供給される。

【0424】

電流電圧変換部520は、ゲインが理想的に無限大である演算増幅回路522と、抵抗値R526の抵抗素子526とを有している。演算増幅回路522は、反転入力端子(-)がDA変換部174Cの電流出力端子174C_outに接続され、非反転入力端子(+)が基準電位(=接地電位GND)に接続され、出力端子と反転入力端子(-)との間に抵抗素子526が接続され、その出力端子が、電圧出力端子174B_outに接続されている。

【0425】

この電流電圧変換部520の電流・電圧変換ゲインは、演算増幅回路522のゲインを無限大、抵抗素子526の値をR526とすればR526となる。

【0426】

<ゲイン補正について; 第3実施形態>

図34および図35は、第3実施形態のゲイン特性情報取得部107Bにおける入力電圧-発振周波数変換ゲインK_{vco}の補正方法を説明する図である。ここで、図34は、第1実施形態の図26に対応するもので、目標発振周波数ごとの2回に亘る周波数2分探索による発振周波数f_{vco}の遷移と、対応する周波数比較結果保持部172_1, 172_2に記憶される判定基準周波数f₁, f₂を与える電圧値V(f₁), V(f₂)に対応するデータD(f₁), D(f₂)を説明する図である。図35は、第3実施形態のゲイン特性情報取得部107Bに設けられる電圧電流変換部179の回路構成例を示す図である。図示を割愛するが、第1実施形態の図27に対応するものは、横軸の発振制御電流I_{cnt}を発振制御電圧V_{cnt}に置き換え、縦軸を発振周波数f_{vco}に置き換えて考えればよい。

【0427】

第3実施形態においては、式(17-1)から、入力電圧-発振周波数変換ゲインK_{vco}が変化してもチャージポンプ電流I_{cp}を調整することでI_{cp}・K_{vco}の値を常に一定に保つことができれば、帯域nを複数種類の光ディスクPDのそれぞれに適合するようにした値に一定にすることができる。この点は、第1実施形態と同じである。

【0428】

よって、第3実施形態において、入力電圧-発振周波数変換ゲインK_{vco}のばらつきを補正する際には、第1実施形態における入力電流-発振周波数変換ゲインK_{cco}を入力電圧-発振周波数変換ゲインK_{vco}に置き換えるとともに、第1実施形態と同様にして、式(10)~式(13)と同様の考え方を適用することができる。

【0429】

たとえば、第3実施形態のゲイン特性情報取得部107Bにおいては、目標発振周波数ごとに、2種類の判定基準周波数f₁, f₂で周波数2分探索を行ない、その結果を、別々の周波数比較結果保持部172_1, 172_2に保持しておく。第1実施形態と同様に、第1の判定基準周波数f₁での周波数2分探索結果を周波数比較結果保持部172_1に保持し、第2の判定基準周波数f₂での周波数2分探索結果を周波数比較結果保持部172_2に保持しておく。

【0430】

このとき、第1の判定基準周波数f₁での周波数2分探索時には、マルチプレクサ304の切替制御端子304_3に供給する分周比切替信号MselをLレベルにしておき、第1の判定基準周波数f₁での周波数2分探索後には、その終了を示す信号として、分周比切

10

20

30

40

50

替信号 Msel を L レベルから H レベルに切り替えることで、判定基準周波数を、判定基準周波数 f_1 から判定基準周波数 f_2 に切り替えて、第 2 の判定基準周波数 f_2 での周波数 2 分探索を行なう。

【0431】

そのときの、電圧制御発振部 101B の周波数制御入力端子 101Bin に供給される発振制御電圧 V_{cnt} の遷移と、各周波数比較結果保持部 172_1, 172_2 に記憶される測定結果データ $D(f_1)$, $D(f_2)$ および対応する電圧値 $V(f_1)$, $V(f_2)$ は、図 34 に示す通りである。

【0432】

図 34 に示す例では、規定電圧 V_n (= 初期電圧 V_{ini}) で電圧制御発振部 101B が 866 MHz で発振していたとき、収束させる周波数として、判定基準周波数 $f_1 = 800$ MHz, 判定基準周波数 $f_2 = 750$ MHz であるとする場合を示している。

【0433】

この場合、まず、規定電圧 V_n では 866 MHz で発振しており、判定基準周波数 $f_1 = 800$ MHz での周波数 2 分探索処理によって、発振周波数 f_{vco} を、判定基準周波数 $f_1 = 800$ MHz に漸次、収束させる。その結果、まず、周波数比較結果保持部 172_1 には、規定電圧 V_n と 800 MHz で電圧制御発振部 101B が発振するのに必要な電圧 $V(800 \text{ MHz})$ の差電圧 “ $V_n - V(800 \text{ MHz})$ ” を表わすデータ $D(800 \text{ MHz})$ が記憶される。

【0434】

図 34 に示す例では、電圧制御発振部 101B は、規定電圧 V_n では、判定基準周波数 $f_1 = 800$ MHz よりも高い周波数 (本例では 866 MHz) で発振しているため、その差電圧の極性は負であるが、仮に規定電圧 V_n で電圧制御発振部 101B が判定基準周波数 $f_1 = 800$ MHz よりも低い周波数で発振していた場合は、その差電圧の極性は正になる。この情報は、判定基準周波数 f_1 での周波数比較部 170 の 1 回目の判定結果、つまり、周波数比較結果保持部 172_1 の MSB を担当するデータ保持部 480_N-1 のデータで分かり、“H” であれば、負である。

【0435】

さらに、判定基準周波数 $f_1 = 800$ MHz で収束が終了した後に、判定基準周波数 $f_2 = 750$ MHz で周波数 2 分探索を行なうと、周波数比較結果保持部 172_2 には、電圧制御発振部 101B の発振周波数 f_{vco} を 800 MHz から 750 MHz に下げるのに必要な電圧、つまり 800 MHz で電圧制御発振部 101B が発振するのに必要な電圧 $V(800 \text{ MHz})$ と 750 MHz で電圧制御発振部 101B が発振するのに必要な電圧 $V(750 \text{ MHz})$ との差電圧 “ $V(800 \text{ MHz}) - V(750 \text{ MHz})$ ” を表わすデータ $D(750 \text{ MHz})$ が記憶される。

【0436】

ここで、差電圧 “ $V(800 \text{ MHz}) - V(750 \text{ MHz})$ ” の極性は、入力電圧 - 発振周波数変換ゲイン K_{vco} が正特性 (電圧が高いと周波数が高くなる特性) であれば、必ず負となる。この情報は、判定基準周波数 f_2 での周波数比較部 170 の 1 回目の判定結果、つまり、周波数比較結果保持部 172_2 の MSB を担当するデータ保持部 480_N-1 のデータで分かり、1 回目の判定時 (判定基準周波数 f_2 への切替え直後の判定時) には、発振周波数 $f_{vco} = 800 \text{ MHz}$ (= 判定基準周波数 f_1) > 判定基準周波数 f_2 であるから、必ず “H” となり、負であることが分かる。

【0437】

入力電圧 - 発振周波数変換ゲイン K_{vco} は、式 (18) に示すように、周波数比較結果保持部 170_2 に記憶されたデータ $D(750 \text{ MHz})$ によって示される差電圧 “ $V(800 \text{ MHz}) - V(750 \text{ MHz})$ ” で周波数差 “ $800 \text{ MHz} - 750 \text{ MHz}$ ” を割ることで求めることができる。

【0438】

【数 18】

$$K_{vco} = \frac{800MHz - 750MHz}{V(800MHz) - V(750MHz)}$$

$$= \frac{\text{判定基準周波数 } f1 - \text{判定基準周波数 } f2}{\text{周波数比較結果保持部 172_2 に記憶されるデータに応じた電圧}} \dots (18)$$

【0439】

式(18)の分子の値は、判定基準周波数 $f1$ 、 $f2$ の設定で任意に設定できるため、2度の周波数2分探索前に既知である。よって、事実上、電圧制御発振部101Bの入力電圧 - 発振周波数変換ゲイン K_{vco} を測定した結果が周波数比較結果保持部172_2に記憶されたことを意味する。

10

【0440】

ゲイン特性情報取得部107Bにおいては、事実上、周波数比較結果保持部172_2に記憶された電流制御発振部101Aの入力電流 - 発振周波数変換ゲイン K_{cco} の測定結果を元にして電圧制御発振部101Bの製造ばらつきや温度変化の起因する入力電圧 - 発振周波数変換ゲイン K_{vco} のずれを相殺するように、チャージポンプ104CPの電流源105CPの供給するバイアス電流 I_{cpbias} を調整することで、チャージポンプ104CPのチャージポンプ電流 I_{cp} (事実上のチャージポンプゲイン) を調整する。この点は、第1実施形態と同様である。ただし、DA変換部174B_2(DA変換部174B_1でもあるが)が電圧出力型である点を考慮した電圧電流変換部179の対応が必要になる。

20

【0441】

たとえば、第3実施形態の位相同期部100においては、チャージポンプ部104Bは、第1実施形態と同様に、電流モードで動作をし、それによって得られたチャージポンプ電圧 V_{cp} を電圧加算部108Bに供給する。

【0442】

入力電圧 - 発振周波数変換ゲイン K_{vco} のばらつき補正に関しては、第1実施形態での入力電流 - 発振周波数変換ゲイン K_{cco} のばらつき補正と同様に、ゲイン特性情報取得部107Bは、測定した K_{vco} (real, T) の情報に基づいて、帯域 n が一定になるように、電圧電流変換部179で制御電流 I_{cpcnt} を生成することで、チャージポンプ104CP用のバイアス電流 I_{cpbias} を制御する。この際、第3実施形態では、電圧出力型のDA変換部174Bを使用しているので、電圧電流変換部179は、その電圧出力を電流出力に変換する機能を持つようにしている。

30

【0443】

具体的には、図35に示すように、電圧電流変換部179は、第1実施形態の電流電流変換部177をそのまま包含するとともに、ミラートランジスタ606のドレイン側に、電圧電流変換部620を備えている。

【0444】

電圧電流変換部620は、ゲインが理想的に無限大である演算増幅回路622と、トランジスタ624と、電圧電流変換ゲインを決定する抵抗値 R_{vi} の抵抗素子626とを有している。

40

【0445】

トランジスタ624は、ドレインがミラートランジスタ606のドレインに接続され、ソースが、抵抗素子626を介して基準電位 (= 接地電位GND) に接続されている。演算増幅回路622は、出力端子がトランジスタ624のゲートに接続され、反転入力端子 (-) がトランジスタ624のソースに接続され、非反転入力端子 (+) が、電圧出力型のDA変換部174B_2の電圧出力端子174B_outに接続されるようになっている。

【0446】

このような構成の電圧電流変換部179においては、電圧・電流変換ゲインは、演算増幅回路622のゲインを無限大、電圧電流変換ゲインを決定する抵抗素子626の値を R

50

v_i 、カレントミラー比を m/n とすれば、 $1/R_{vi} \times m/n$ となる。

【0447】

この電圧・電流変換ゲイン $1/R_{vi} \times m/n$ が、入力電流 - 発振周波数変換ゲイン K_{cco} についてのばらつき補正時に適用された式 (12) で示した K_{cco} 補正カレントミラー比に対応するものとなり、入力電圧 - 発振周波数変換ゲイン K_{vco} についてのばらつき補正に当たっては、この電圧・電流変換ゲイン $1/R_{vi} \times m/n$ を次のように決定する。

【0448】

まず、電流制御発振部 101A のときと同様に、環境温度 T での実動状態 ($real, T$) において、 $I_{cp}(real, T) \cdot K_{vco}(real, T)$ を、理想状態 ($ideal$)、室温 (25) の値に一定に保つためには、式 (19) を満たす必要がある。

【0449】

【数19】

$$\left. \begin{aligned} I_{cp}(real, T) \cdot K_{vco}(real, T) &= I_{cp}(ideal, 25deg) \cdot K_{vco}(ideal, 25deg) \cdots (19-1) \\ I_{cp}(real, T) &= \frac{I_{cp}(ideal, 25deg) \cdot K_{vco}(ideal, 25deg)}{K_{vco}(real, T)} \cdots (19-2) \end{aligned} \right\} (19)$$

【0450】

ここで、 $I_{cp}(real, T)$ 、 $K_{vco}(real, T)$ は、実際に製造された回路の温度 T のときのチャージポンプ電流 I_{cp} 、電圧制御発振部 101B の入力電圧 - 発振周波数変換ゲイン K_{vco} の値であり、同様に $I_{cp}(ideal, 25deg)$ 、 $K_{vco}(ideal, 25deg)$ は設計時の室温 (25) のときの値である。

【0451】

式 (19-2) の分母の $K_{vco}(real, T)$ は、製造された電圧制御発振部 101B の入力電圧 - 発振周波数変換ゲイン K_{vco} であるので、これはゲイン特性情報取得部 107B で測定された K_{vco} の値そのものであり、式 (18) で示されるものと同じである。

【0452】

そこで、式 (18) を式 (19-2) に代入すると、式 (19-2) は式 (20-1) のように変形することができる。さらに、 $I_{cp}(ideal, 25deg) = I_{cpbias}(ideal, 25deg)$ 、 $I_{cp}(real, T) = I_{cpbias}(real, T)$ と表せるので (I_{cpbias} はチャージポンプ電流 I_{cp} のバイアス電流 I_{cpbias} に対する倍率)、これを式 (20-1) に代入すると、式 (20-1) は式 (20-2) のように変形することができる。

【0453】

【数20】

$$I_{cp}(real, T) = \frac{I_{cp}(ideal, 25deg) \cdot K_{vco}(ideal, 25deg)}{\text{判定基準周波数 } f1 - \text{判定基準周波数 } f2} \times V(\text{周波数比較結果保持部 } 172_2) \cdots (20-1)$$

$$I_{cpbias}(real, T) = \frac{I_{cpbias}(ideal, 25deg) \cdot K_{vco}(ideal, 25deg)}{\text{判定基準周波数 } f1 - \text{判定基準周波数 } f2} \times V(\text{周波数比較結果保持部 } 172_2) \cdots (20-2)$$

【0454】

なお、出力電圧信号 V_{out_2} は、周波数比較結果保持部 172_2 に保持されたデータ $D(f2)$ に基づく DA 変換部 174B_2 から出力される出力電圧信号である。また、判定基準周波数 $f1$ は 2 種類の判定基準周波数の内の最初の周波数 2 分探索で使用される判定基準周波数であり、判定基準周波数 $f2$ は、周波数切替後の周波数 2 分探索で使用される判定基準周波数であり、判定基準周波数 $f1 > \text{判定基準周波数 } f2$ の関係がある。

【0455】

ここで、 $I_{cpbias}(ideal, 25deg)$ 、 $K_{vco}(ideal, 25deg)$ は設計時の室温 (25) のときの値であるため既知であり、判定基準周波数 $f1$ - 判定基準周波数 $f2$

10

20

30

40

50

もゲイン特性情報取得部 107B を動作させる前に設定するために既知である。

【0456】

この既知の値から、ゲイン特性情報取得部 107B では、図 35 に示したカレントミラー回路構成を持つ電圧電流変換部 179 の電圧・電流変換ゲインを、式 (21) のように決める。なお、この電圧・電流変換ゲインを、 K_{vco} 補正電圧・電流変換ゲインと称する。

【0457】

【数 21】

$$K_{vco} \text{ 補正電圧・電流変換ゲイン } (1/R_{vi} \times m/n) = \frac{I_{cpbias}(ideal, 25 \text{ deg}) \cdot K_{vco}(ideal, 25 \text{ deg})}{\text{判定基準周波数 } f_1 - \text{判定基準周波数 } f_2} \cdots (21)$$

10

【0458】

式 (21) を式 (20-2) に代入すると、式 (20-2) は式 (22) のように変形することができる。

【0459】

【数 22】

$$I_{cp}(real, T) = K_{vco} \text{ 補正電圧・電流変換ゲイン } (1/R_{vi} \times m/n) \times V(\text{周波数比較結果保持部 } 172_2) \cdots (22)$$

【0460】

20

式 (22) から分かるように、第 3 実施形態においても、電圧制御発振部 101B の入力電圧・発振周波数変換ゲイン K_{vco} を補正するゲイン特性情報取得部 107B は、測定した $K_{vco}(real, T)$ の情報を、DA 変換部 174B₂ から出力される出力電圧信号 V_{out_2} を電圧電流変換部 179 で電流信号に変換してカレントミラー回路構成の電流電流変換部 177 (のミラートランジスタ 602 のドレイン) に渡し、その情報を元にして、帯域 n が一定になるように、電圧電流変換部 179 で制御電流 I_{cpcnt} を生成することで、チャージポンプ 104CP 用のバイアス電流 I_{cpbias} を制御すればよい。

【0461】

なお、本実施形態では、電圧制御発振部 101B の入力電圧・発振周波数変換ゲイン K_{vco} のばらつき補正を実行するに当たり、式 (21) を満たすように、電圧電流変換部 179 により、第 1 実施形態の K_{cco} 補正カレントミラー比に対応する K_{vco} 補正電圧・電流変換ゲインを設定するようにしていたが、この値は、 $I_{cpbias}(ideal, 25 \text{ deg})$ 、 $K_{vco}(ideal, 25 \text{ deg})$ 、判定基準周波数 f_1 、 f_2 によって決まるものであり、第 1 実施形態での変形例の説明と同様に、素子特性から物理的に決定される $I_{cpbias}(ideal, 25 \text{ deg})$ および $K_{vco}(ideal, 25 \text{ deg})$ に合わせて、カレントミラー比 (m/n) が “2 のべき乗分の 1” となるように判定基準周波数 f_1 、 f_2 の差を調整すれば、電流電流変換部 177 を包含した電圧電流変換部 179 を取り外して簡単な電圧電流変換部に置き換えた構成を採ることもできる。

30

【0462】

具体的には、ゲイン特性情報取得部 107B による測定完了後における通常の位相同期動作においては、つまり測定完了後に経路選択スイッチ 175 を電圧加算部 176B 側に戻したときには、データ保持部 460 からの制御信号 $Control[N - \#]$ およびデータ保持部 480 からのアップ・ダウン信号 $UpDown[N - \#]$ の電圧出力型の DA 変換部 174B₂ への入力を下位ビット側にビットシフトすることで、事実上、カレントミラー比 (m/n) を “2 のべき乗分の 1” とする対処が可能である。 $Control[N - \#]$ 、 $UpDown[N - \#]$ の DA 変換部 174B₂ への入力をビットシフトさせるには、そのための経路選択スイッチを設ければよい。

40

【0463】

たとえば、 $I_{cpbias}(ideal, 25 \text{ deg}) = 10 \mu A$ 、 $K_{cco}(ideal, 25 \text{ deg}) = 0.3 \text{ MHz} / \mu A$ 、判定基準周波数 $f_1 = 800 \text{ MHz}$ であるときに、判定基準周波数 f_2

50

= 752 MHzとすれば、カレントミラー比 (m/n) は $3/48 = 1/16$ となるので、Control [N - #] , UpDown [N - #] の D A 変換部 174 B_2への入力を、4ビット分下位側に入力するように経路選択スイッチを切り替えるとよい。

【産業上の利用可能性】

【0464】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0465】

10

また、上記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【0466】

たとえば、通常の位相同期動作時には、ゲイン特性情報取得部 107 で取得された補正信号 (Icpnt や Vcpnt) に基づいて、測定により取得された入力信号 - 発振周波数変換ゲイン (Kcco や Kvco) と駆動部 104 Z がループフィルタ部 106 を駆動する駆動信号 (Icp や Vdr) との積が一定となるように駆動部 104 Z を制御するに当たり、式 (10) ~ 式 (12) や式 (19) ~ 式 (21) などにおいて、標準の入力信号 - 発振周波数変換ゲイン Kosci や標準の駆動信号 (Icp や Vdr) を、設計値から特定される理想状態 (ideal) , 25 (室温) の条件での値としていたが、これは一例であって、その他の値を標準値とすることもできる。

20

【0467】

たとえば、設計パラメータの側面から決定する場合であっても、25 に限らず、その他の温度 (たとえば 20) を室温として、そのときの設計パラメータをそれぞれの標準値としてもよい。

【0468】

30

また、設計パラメータの側面から標準値を決めるではなく、任意の実物 (サンプル) を選択して、その周波数変換ゲインや駆動信号について、通常の条件下 (たとえば室温 (20 や 25 など)) で測定したものを、標準値としてもよい。この場合、複数のサンプル (実物) の測定結果の平均値や中央値などから標準値を決定するようにしてもよい。

【0469】

また、前述の各実施形態では、入力信号 - 発振周波数変換ゲイン Kosci のばらつき補正をチャージポンプ 104 CP 用のバイアス電流 Icpbias を制御することで実現している。加えて、第1および第2実施形態では、発振部 101 を電流モードで制御される電流制御発振部 101 A とし、それに合わせて、ゲイン特性情報取得部 107 の D A 変換部 174 も電流出力型の D A 変換部 174 A を使用する。一方、第3実施形態では、発振部 101 を電圧モードで制御される電圧制御発振部 101 B とし、それに合わせて、ゲイン特性情報取得部 107 の D A 変換部 174 も電圧出力型の D A 変換部 174 B を使用するようになっている。しかしながら、回路理論上、電流と電圧との間には「双対の理」の関係があるので、電流モードと電圧モードの置換とそれに伴う回路変更が可能であり、その組合せを、様々なものに変更することができる。

40

【0470】

たとえば、発振部 101 とゲイン特性情報取得部 107 の組合せにおいて、電流モードと電圧モードの置換について考えたときには、以下のことが言える。

【0471】

たとえば、ゲイン特性情報取得部 107 の電流源 105 CP に対する制御としては電流制

50

御型としつつ、D A 変換部 174 としては電圧出力型の D A 変換部 174 B を採用する場合において、発振部 101 を電流制御発振部 101 A とするときには、少なくとも、電流制御発振部 101 A の周波数制御入力端子 101 A in では電流モードの発振制御電流 I_{cnt} になっていることが必要であり、その限りにおいて、電圧電流変換部を何れかの箇所に設ければよい。

【0472】

たとえば、図 36 に示す第 4 実施形態のように、ループフィルタ部 106 やゲイン特性情報取得部 107 としては第 3 実施形態と同様の構成を採用しつつ、電圧加算部 108 B の出力と周波数制御入力端子 101 A in との間に、発振制御電圧 V_{cnt} を発振制御電流 I_{cnt} に変換する電圧電流変換部 710 を設けるとよい。この場合、入力信号 - 発振周波数変換ゲイン K_{osci} のばらつき補正の全体の動作としては、第 3 実施形態における入力電圧 - 発振周波数変換ゲイン K_{vco} を入力電流 - 発振周波数変換ゲイン K_{cco} に置き換えるだけでよく、後は、第 3 実施形態と同じように考えることができる。

10

【0473】

また、ゲイン特性情報取得部 107 の電流源 105 CP に対する制御としては電流制御型としつつ、D A 変換部 174 としては電流出力型を採用する場合において、発振部 101 として電圧制御発振部 101 B を使用する場合には、少なくとも、電圧制御発振部 101 B の周波数制御入力端子 101 B in では電圧モードの発振制御電圧 V_{cnt} になっていることが必要であり、その限りにおいて、電流電圧変換部を何れかの箇所に設ければよい。

【0474】

たとえば、図 37 に示す第 5 実施形態のように、ループフィルタ部 106 やゲイン特性情報取得部 107 としては第 1 もしくは第 2 実施形態と同様の構成を採用しつつ（図では第 1 実施形態をベースとして示す）、電流加算部 108 A の出力と周波数制御入力端子 101 B in との間に、発振制御電流 I_{cnt} を発振制御電圧 V_{cnt} に変換する電流電圧変換部 712 を設けるとよい。この場合、入力信号 - 発振周波数変換ゲイン K_{osci} のばらつき補正の全体の動作としては、第 1 もしくは第 2 実施形態における入力電流 - 発振周波数変換ゲイン K_{cco} を入力電圧 - 発振周波数変換ゲイン K_{vco} に置き換えるだけでよく、後は、第 1 もしくは第 2 実施形態と同じように考えることができる。

20

【0475】

また、入力信号 - 発振周波数変換ゲイン K_{osci} のばらつき補正を実行する機構としては、ゲイン特性情報取得部 107 にて測定した $K_{osci}(\text{real}, T)$ の情報に基づく D A 変換部 174_2 から出力される出力信号（ I_{out_2} もしくは V_{out_2} ）を元にして、帯域 n を一定にするべくチャージポンプ電流 I_{cp} と入力信号 - 発振周波数変換ゲイン K_{osci} との積が一定となるように制御電流 I_{cpcnt} を生成して、チャージポンプ 104 CP 用のバイアス電流 I_{cpbias} を制御するようにしていたが、この部分に関しても、回路理論上、電流モードと電圧モードの置換が可能であり、その組合せを、様々なものに変更することができる。

30

【0476】

たとえば、図 38 に示す第 6 実施形態のように、ループフィルタ部 106 やゲイン特性情報取得部 107 としては第 1 もしくは第 2 実施形態と概ね同様の構成を採用しつつ（図では第 2 実施形態をベースとして示す）、ゲイン特性情報取得部 107 の出力を電圧形式にすることで、チャージポンプ部 104 のチャージポンプ電流 I_{cp} やチャージポンプ電流 I_{rd} を電圧モードで制御する構成を採ることができる。すなわち、電流値可変型の電流源 105 CP, 105 RD を、電圧モードでチャージポンプ電流 I_{cp} , I_{rd} を制御可能な構成にすることができる。

40

【0477】

このような構成としては、電流電流変換部 177, 178 もしくは電圧電流変換部 179 から出力された制御電流 I_{cpcnt} を変換ゲイン で電圧信号に変換する電流電圧変換部 720 を用意し、その電流電圧変換部 720 から出力された制御電圧 V_{cpcnt} , V_{rdcnt} で電流源 105 CP, 105 RD のバイアス電流 I_{cpbias} , I_{rdbias} を制御変換ゲイン で制

50

御する構成を採ればよい。なお、図では、電流電圧変換部 720 をゲイン特性情報取得部 107A 内に設けてゲイン特性情報取得部 107A を電圧制御型に変更しているが、ゲイン特性情報取得部 107A は電流制御型としつつ、電流電圧変換部 720 をチャージポンプ部 104 内に設けてもよい。

【0478】

バイアス電流 I_{cpbias} , I_{rdbias} を制御変換ゲイン で制御する構成としては、制御入力端子 105CPa , 105RDa に供給される制御電圧 V_{cpcnt} , V_{rdcnt} でカレントミラーの基準電流源側に流れる電流量を制御し、それを受けてチャージポンプ 104CP , 104RD にバイアス電流 I_{cpbias} , I_{rdbias} を供給するように構成すればよい。

【0479】

具体的には、制御電圧 V_{cpcnt} , V_{rdcnt} をカレントミラー形式で受けるように、たとえば、NMOS トランジスタをカレントミラー接続し、ゲート端子と共通接続された一方のドレイン端子を制御入力端子 105CPa , 105RDa として制御変換ゲイン を規定する電流制御抵抗を介して制御電圧 V_{cpcnt} , V_{rdcnt} を供給し、他方のドレイン端子にバイアス電流 I_{cpbias} , I_{rdbias} を得る構成を採ることができる。

【0480】

この場合、電流電圧変換部 720 の変換ゲイン とバイアス電流 I_{cpbias} , I_{rdbias} についての制御変換ゲイン との積 \cdot が “1” となるようにしておけば、入力信号 - 発振周波数変換ゲイン K_{osci} のばらつき補正に関しては、前述の第 1 ~ 第 3 実施形態と同様にすることができる。また、積 \cdot が “1” 以外の場合には、その分を相殺するように、補正に関する式 (13) や式 (22) を調整すればよい。

【0481】

また、電流電流変換部 177 , 178 や電圧電流変換部 179 は、その基本部分を、カレントミラー構成とし、 I_{cpbias} (ideal , 25deg) , K_{cco} (ideal , 25deg) , 判定基準周波数 f_1 , f_2 (何れも既知) に合わせて、カレントミラー比 (m/n) を設定することによって、入力信号 - 発振周波数変換ゲイン K_{osci} のばらつき補正を実現するようにしていたが、この部分に関しても、電流モードではなく電圧モードで動作させるように変形することができる。

【0482】

たとえば、第 6 実施形態との組合せにおいては、DA 変換部 174 を電圧出力型の DA 変換部 174B とし、電流電流変換部 177 , 178 や電圧電流変換部 179 と電流電流電圧変換部 720 との組合せを変換ゲイン K の電流電流変換部に置き換えることができる。

【0483】

ただし、一般的に、回路構成上は、電圧モードでの電圧比を設定する回路と、電流モードでの電流比を設定する回路とでは、カレントミラー形式を利用可能な電流モードでの電流比を設定する回路の方が取り扱い易い。

【0484】

よって、ゲイン特性情報取得部 107 を具備した位相同期部 100 の全体として考えた場合には、電流電流変換部 177 , 178 や電圧電流変換部 179 は基本要素としてカレントミラー形式を採用して電流モード出力とし、チャージポンプ部 104 に対しては電流モードでバイアス電流 I_{cpbias} , I_{cpbias} を制御する構成を採るのが好ましい。さらに、これとの関係では、発振部 101 は電流制御発振部 101A とし、これに対応して、ゲイン特性情報取得部 107 も、電流出力型の DA 変換部 174A を具備したゲイン特性情報取得部 107A を採用するのが、最もコンパクトな構成となると考えられる。

【0485】

また、前記実施形態では、ゲイン特性情報取得部 107 は、実動状態の入力信号 - 発振周波数変換ゲイン K_{osci} を測定し、その測定結果に基づいて、入力信号 - 発振周波数変換ゲイン K_{osci} のばらつきを相殺するように、ループフィルタ部 106 を駆動する駆動部 104Z の一例であるチャージポンプ部 104 の駆動能力 (チャージポンプ電流 I_{cp} , I_{rd}

10

20

30

40

50

）の大きさを、入力信号 - 発振周波数変換ゲイン K_{osci} とチャージポンプ電流 I_{cp} , I_{rd} の積が一定となるように制御していたが、この点に関しても、「双対の理」を適用して、電流モードではなく、電圧モードで制御するように変更することができる。

【0486】

たとえば、実動状態の入力信号 - 発振周波数変換ゲイン K_{osci} を測定し、その測定結果に基づいて、入力信号 - 発振周波数変換ゲイン K_{osci} のばらつきを相殺するように、ループフィルタ部 106 を駆動する駆動部 104 Z の駆動能力（駆動電圧 V_{lp} ）の大きさを、入力信号 - 発振周波数変換ゲイン K_{osci} と駆動電圧 V_{lp} の積が一定となるように制御すればよい。

【0487】

このためには、たとえば、図 39 に示す第 7 実施形態のように（図では第 3 実施形態と第 6 実施形態との組合せをベースとして示す）、駆動部 104 Z を電流出力型のチャージポンプ部 104 ではなく電圧出力型の電圧駆動部 104 D を備えた構成とするとともに、ループフィルタ部 106 は、抵抗素子 162 を電圧駆動部 104 D の出力と電圧加算部 108 B との間に配し、コンデンサ 164 は、抵抗素子 162 と電圧加算部 108 B との接続点と接地との間に配する構成を採る。

【0488】

電圧駆動部 104 D を備えた駆動部 104 Z では、位相比較部 103 から出力された比較結果信号 V_{comp} に応じた駆動電圧 V_{dr} を出力する構成とするとともに、駆動電圧 V_{dr} と入力信号 - 発振周波数変換ゲイン K_{osci} （図では入力電圧 - 発振周波数変換ゲイン K_{vco} ）との積が一定となるように制御する構成を採ればよい。

【0489】

このためのゲイン特性情報取得部 107 による制御は、第 1 ～ 第 5 と同様の電流モード（電流制御型の制御電流 I_{cpcnt} ）でもよいし、図のように第 6 実施形態と同様の電圧モード（電圧制御型の制御電圧 V_{cpcnt} ）の何れもよい。この点は、チャージポンプ電流 I_{cp} , I_{rd} を制御するための電流源 105 CP , 105 RD に対する制御が、電流モードおよび電圧モードの何れもよいのと同様である。ただし、組合せの効率化の点では、ゲイン特性情報取得部 107 も電圧制御型にするのが好ましい。

【0490】

また、前述の実施形態では、位相同期部 100 を光ディスク装置 1 に適用した場合で説明したが、各実施形態で説明した位相同期部 100 を適用し得る装置は、光ディスク装置 1 に限定されるものではなく、たとえば、各種の通信装置や送受信機などにも適用できるものである。

【0491】

何れにしても、本実施形態の位相同期部 100 によれば、磁気あるいは光ディスク再生系や高速シリアル通信などに利用される PLL（位相同期回路）における発振部（電流制御発振部 101 A や電圧制御発振部 101 B）の発振周波数 f_{osci} を、位相同期回路として動作させる前に、入力クロック周波数または受信データレート（本実施形態のデジタルデータ列 D_{in} に相当）に一致させ、PLL のアクイジション時間を短縮させると同時に（クロック再生の場合はシンセサイザを不要にする）、非線形な発振器の入力信号 - 発振周波数変換ゲイン K_{osci} の特性を補正でき、補正終了後は、DC 動作で低消費電力を実現し、PLL のノイズ源にならないため、補正回路を追加したことによるジッタの増加を防ぐことができる。

【図面の簡単な説明】

【0492】

【図 1】位相同期回路を具備した光ディスク装置の一実施形態を示すブロック図である。

【図 2】記録・再生信号処理部の一構成例を示す機能ブロック図である。

【図 3】位相同期部の第 1 実施形態を示す機能ブロック図である。

【図 4】比較例としての、ゲイン特性情報取得部を適用しない場合の位相同期部の構成例を示す図である。

10

20

30

40

50

- 【図 5】位相同期部で使用する発振部の一構成例を示す図である。
- 【図 6】図 5 に示した発振部の入力信号 - 発振周波数変換ゲイン K_{osci} の特性例を示す図である。
- 【図 7】ゲイン特性情報取得部の動作手順の一例を示すフローチャートであり
- 【図 8】ゲイン特性情報取得部の動作のタイミングチャート ($N = 6$ で例示) である。
- 【図 9】周波数比較部の詳細な構成例を示す図である。
- 【図 10】周波数比較部に使用されるプログラマブルカウンタの動作を説明するタイミングチャートである。
- 【図 11】計測時間とプログラマブルカウンタの出力の関係を説明する図である。
- 【図 12】プログラマブルカウンタにおける誤動作を説明する図である。 10
- 【図 13】周波数比較結果保持部の詳細な構成例を示す図である。
- 【図 14】周波数比較結果保持部を構成するセット信号生成部の詳細な構成例 (第 1 例) を示す図である。
- 【図 15】図 14 に示すセット信号生成部 410 の詳細な構成例において使用される DFF の構成例を示す図である。
- 【図 16】周波数 2 分探索の処理サイクルを判定基準信号の 1 クロック分とする場合におけるセット信号生成部の動作を説明するタイミングチャート ($N = 10$ で例示) である。
- 【図 17】周波数 2 分探索の処理サイクルを判定基準信号の 2 クロック分とする場合における図 14 に示す構成のセット信号生成部の動作を説明するタイミングチャート ($N = 10$ で例示) である。 20
- 【図 18】周波数比較結果保持部を構成するデータ保持部の 1 ビット分の構成要素の詳細を示す図である。
- 【図 19】周波数 2 分探索の処理サイクルを判定基準信号 f_0 の 2 クロック分とする場合における周波数比較部と周波数比較結果保持部の全体動作を説明するタイミングチャートである。
- 【図 20】電流出力型の DA 変換部の詳細な構成例 (基本形) を示す図である。
- 【図 21】ゲイン特性情報取得部の全体動作を説明する図である。
- 【図 22】電流制御発振部の製造ばらつきや温度変化によって、入力電流 - 発振周波数変換ゲイン K_{cco} が変化する例を示す図である。
- 【図 23】DA 変換部の必要出力電流レンジを説明する図である。 30
- 【図 24】スケーリングを x としたときの DA 変換部の構成を示した図である。
- 【図 25】スケーリング x において周波数探索精度を最も悪化させる事例を示す図である。
- 【図 26】第 1 実施形態において、周波数 2 分探索による発振周波数の遷移と判定基準周波数を与える電流値に対応するデータを説明する図である。
- 【図 27】製造ばらつきや温度変化によって周波数変換ゲイン特性が変化する例と、判定基準周波数を与える電流値に対応するデータを説明する図である。
- 【図 28】第 1 実施形態の電流電流変換部の回路構成例を示す図である。
- 【図 29】ゲイン補正の線形性を説明する図である。
- 【図 30】位相同期部の第 2 実施形態を示す機能ブロック図である。 40
- 【図 31】第 2 実施形態のゲイン特性情報取得部に設けられる電流電流変換部の回路構成例を示す図である。
- 【図 32】位相同期部の第 3 実施形態を示す機能ブロック図である。
- 【図 33】電圧出力型の DA 変換部の詳細な構成例を示す図である。
- 【図 34】第 3 実施形態において、周波数 2 分探索による発振周波数の遷移と判定基準周波数を与える電圧値に対応するデータを説明する図である。
- 【図 35】第 3 実施形態のゲイン特性情報取得部に設けられる電圧電流変換部の回路構成例を示す図である。
- 【図 36】位相同期部の第 4 実施形態を示す機能ブロック図である。
- 【図 37】位相同期部の第 5 実施形態を示す機能ブロック図である。 50

- 【図 3 8】位相同期部の第 6 実施形態を示す機能ブロック図である。
 【図 3 9】位相同期部の第 7 実施形態を示す機能ブロック図である。
 【図 4 0】図 4 0 は、位相同期回路を一般的に表わした回路ブロック図である。
 【図 4 1】非特許文献 1 の仕組みを示す図である。
 【図 4 2】非特許文献 2 の仕組みを示す図である。
 【図 4 3】非特許文献 3 の仕組みを示す図である。

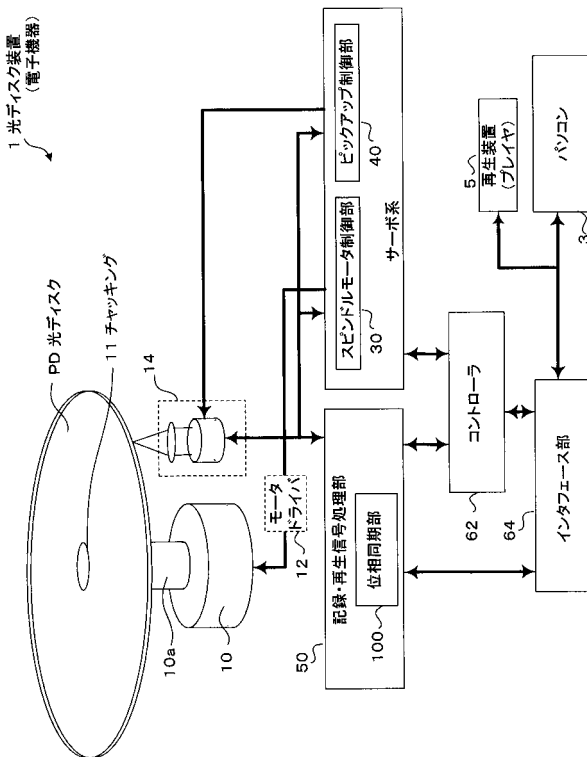
【符号の説明】

【0 4 9 3】

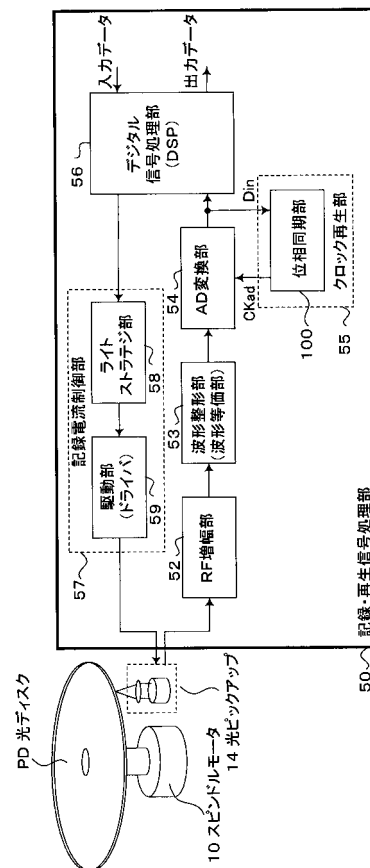
1 ... 光ディスク装置、1 0 0 ... 位相同期部、1 0 1 B ... 電圧制御発振部、1 0 1 A ... 電流制御発振部、1 0 2 ... 分周部、1 0 3 ... 位相比較部、1 0 4 ... チャージポンプ部、1 0 4 CP, 1 0 4 RD ... チャージポンプ、1 0 4 Z ... 駆動部、1 0 5 CP, 1 0 5 RD ... 電流源、1 0 6 A, 1 0 6 B ... ループフィルタ部、1 0 7 A, 1 0 7 B ... ゲイン特性情報取得部、1 0 8 A ... 電流加算部、1 0 8 B ... 電圧加算部、1 0 9 B ... 規定電圧源、1 0 9 A ... 規定電流源、1 6 6 ... 電圧電流変換部、1 6 8 ... 電流加算部、1 7 0 ... 周波数比較部、1 7 2 ... 周波数比較結果保持部、1 7 4 A, 1 7 4 B ... D A 変換部、1 7 5 ... 経路選択スイッチ、1 7 6 A, 1 7 6 C ... 電流加算部、1 7 6 B ... 電圧加算部、1 7 7, 1 7 8 ... 電流電流変換部、1 7 9 ... 電圧電流変換部

10

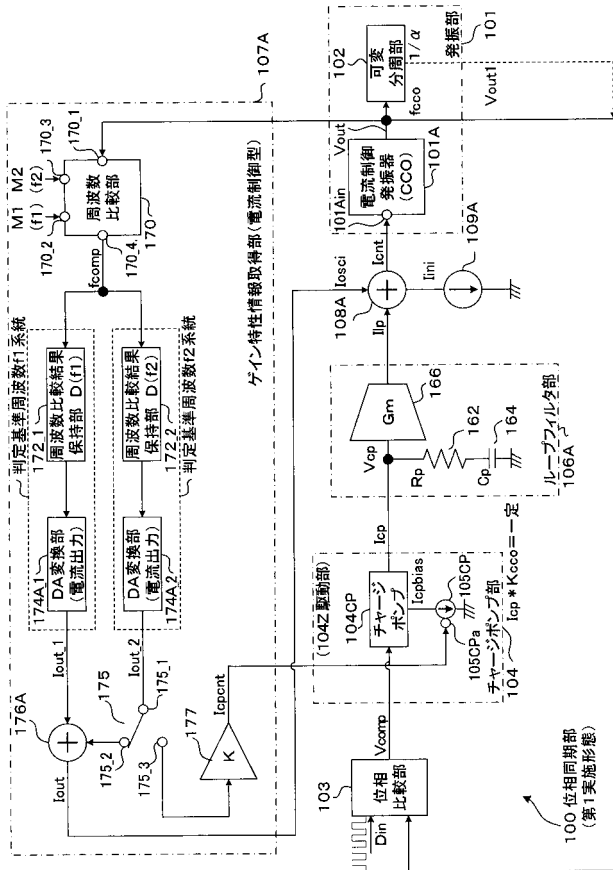
【図 1】



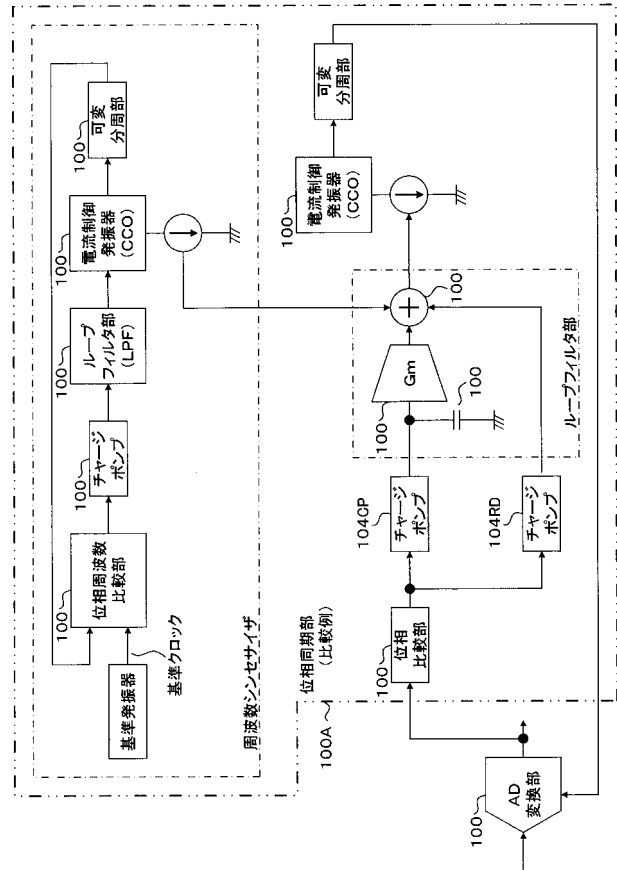
【図 2】



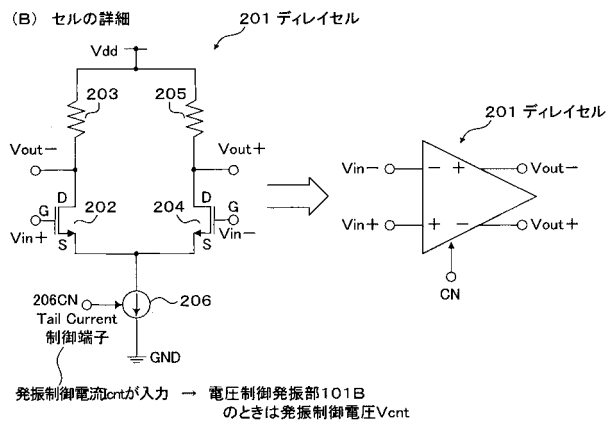
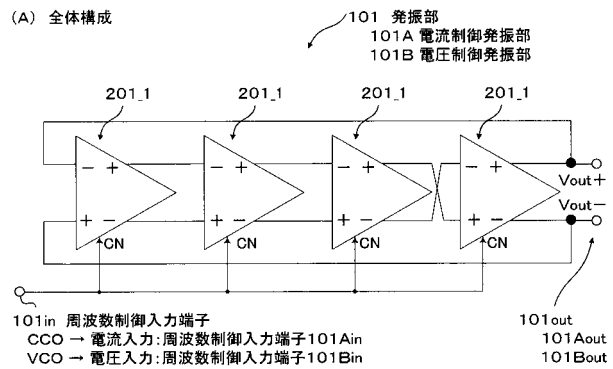
【図 3】



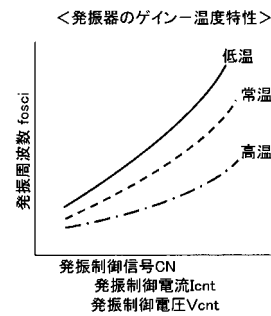
【図 4】



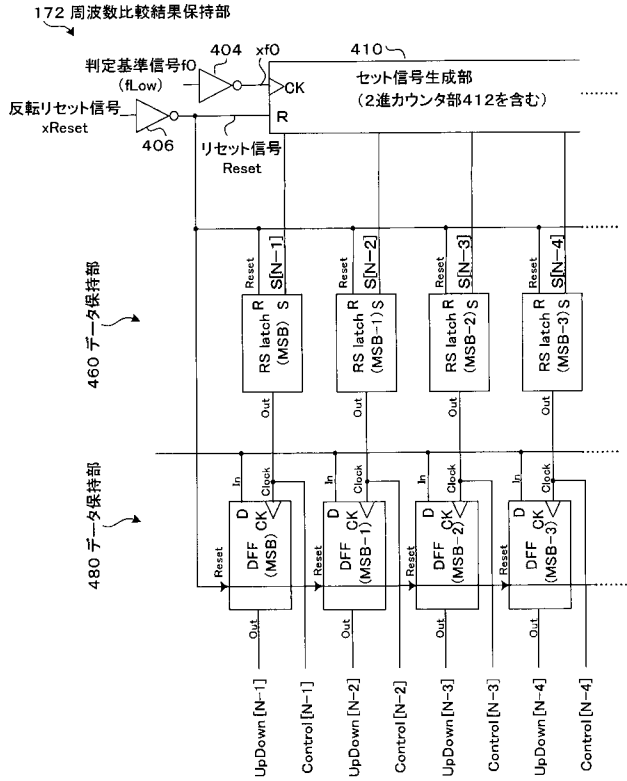
【図 5】



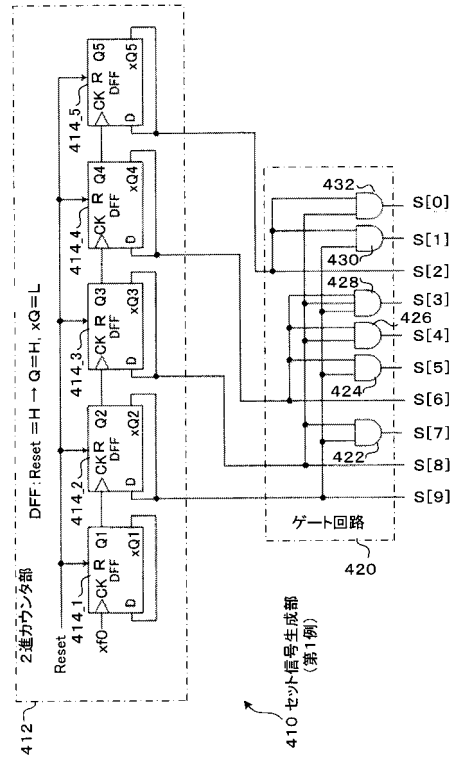
【図 6】



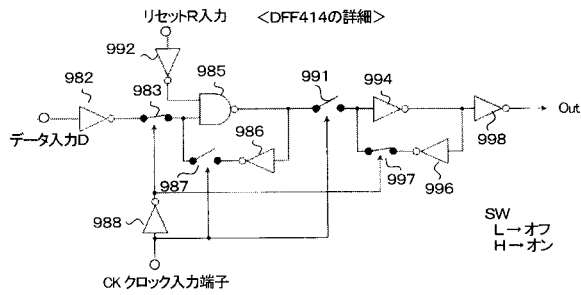
【図 13】



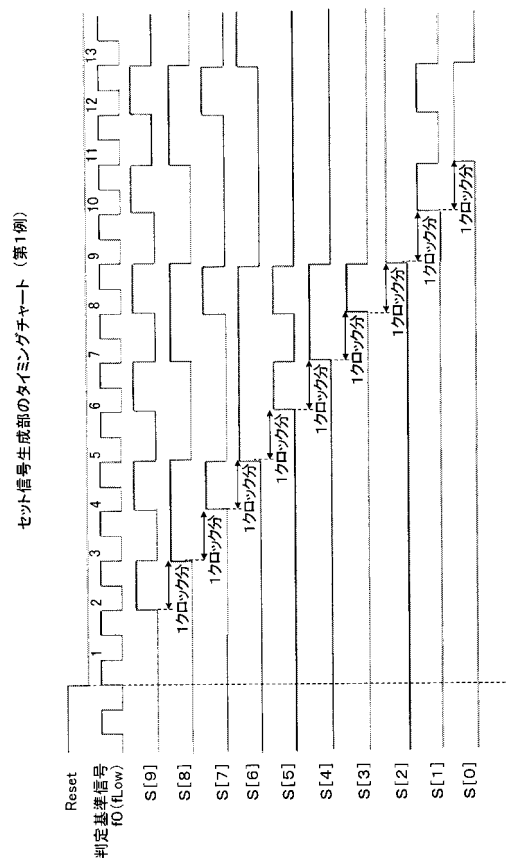
【図 14】



【図 15】

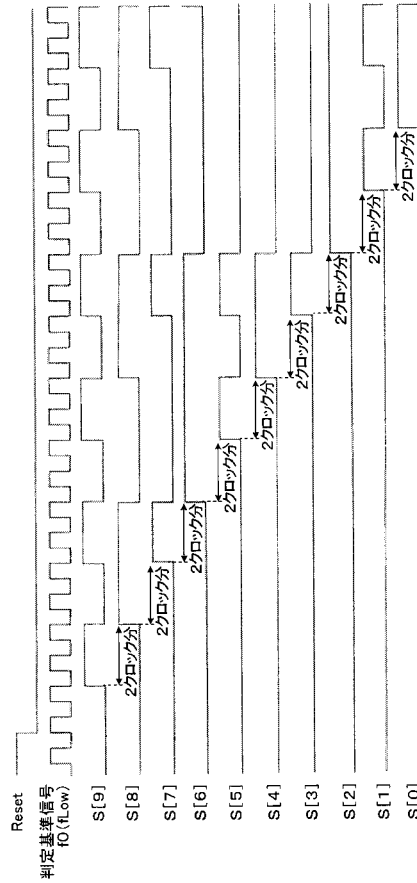


【図 16】

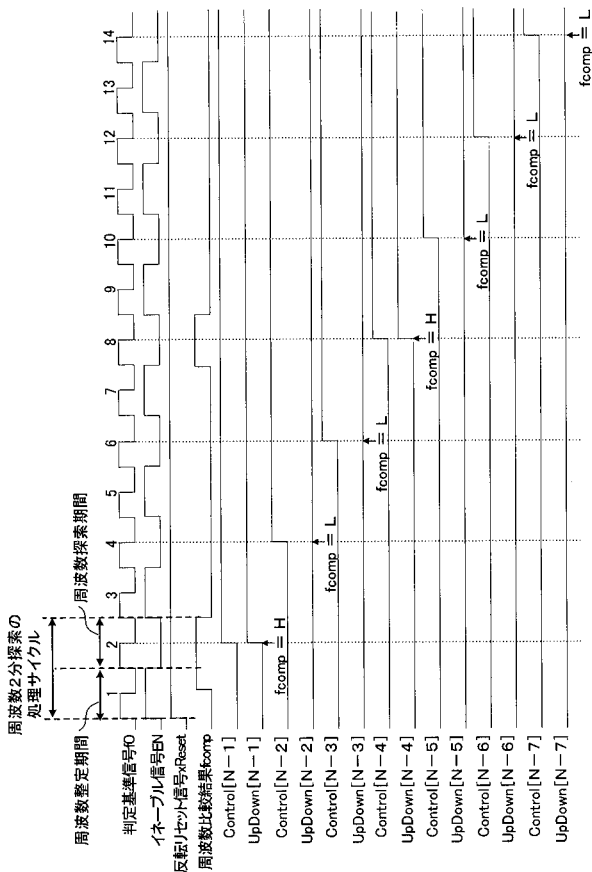


【図 17】

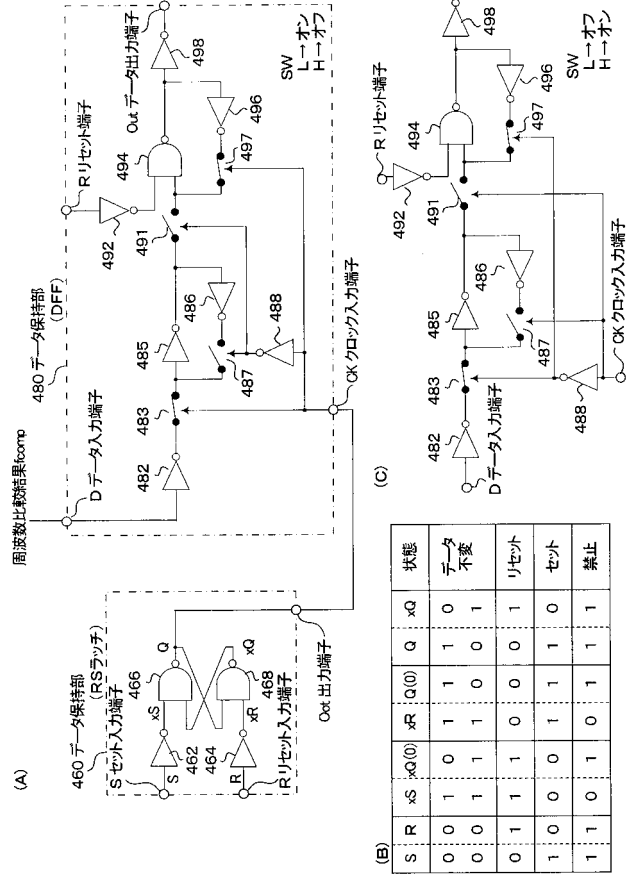
セット信号生成部のタイミングチャート (第2例)



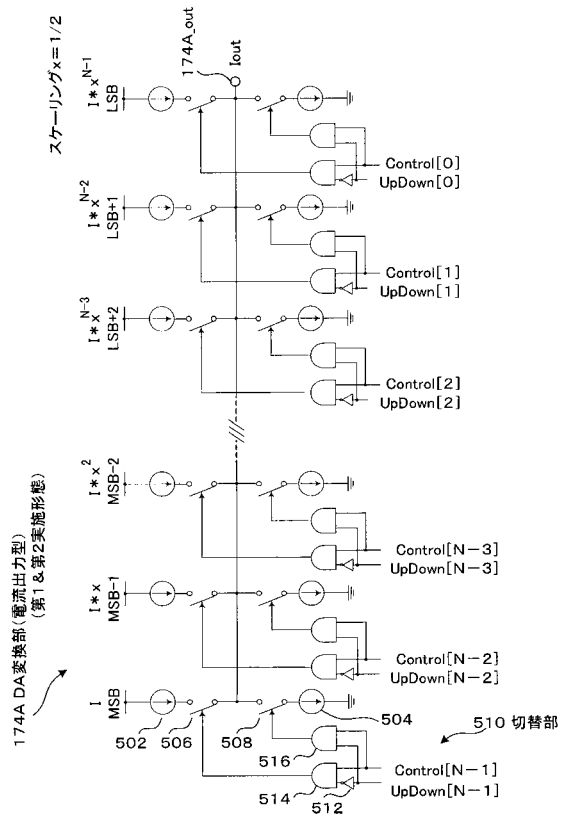
【図 19】



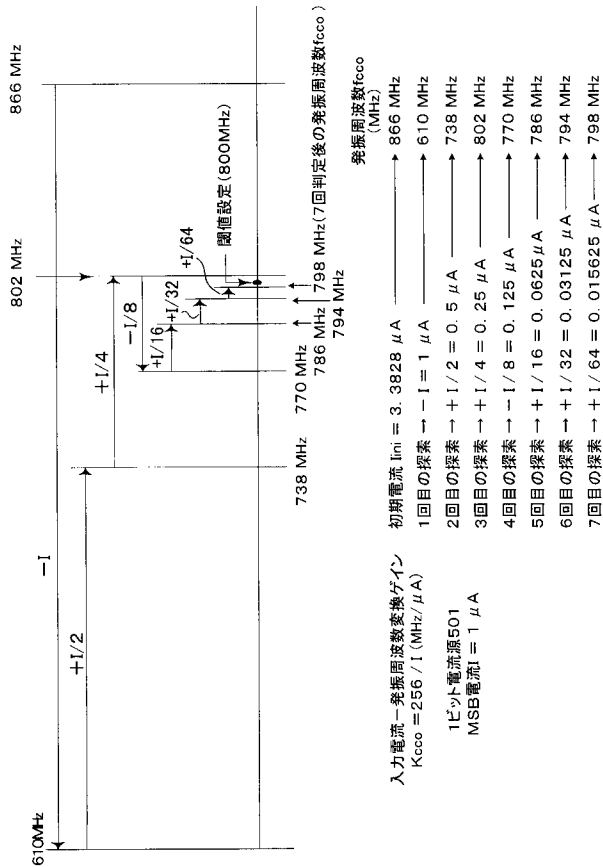
【図 18】



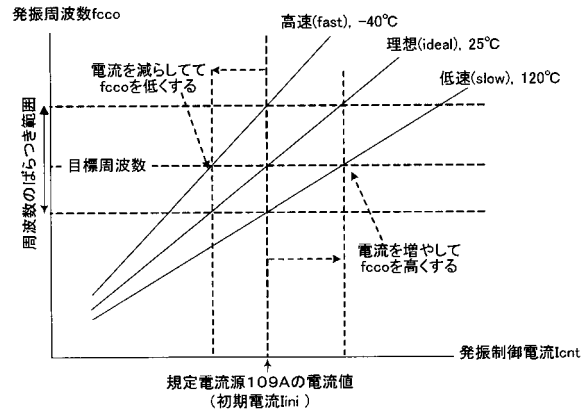
【図 20】



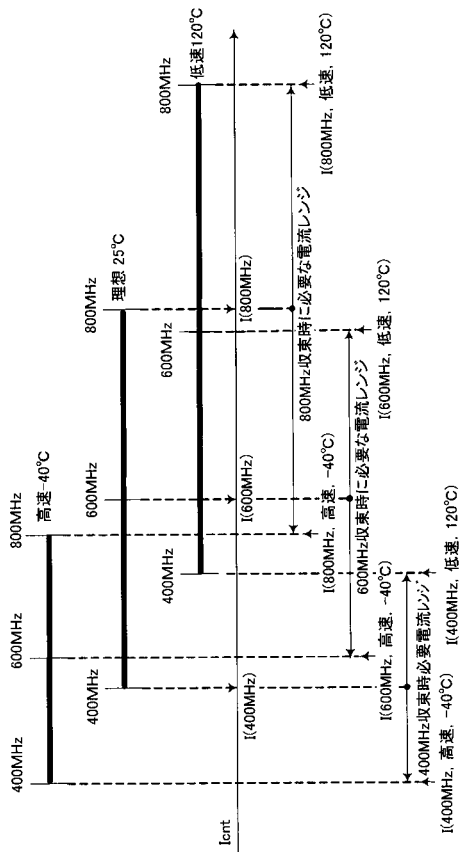
【図 2 1】



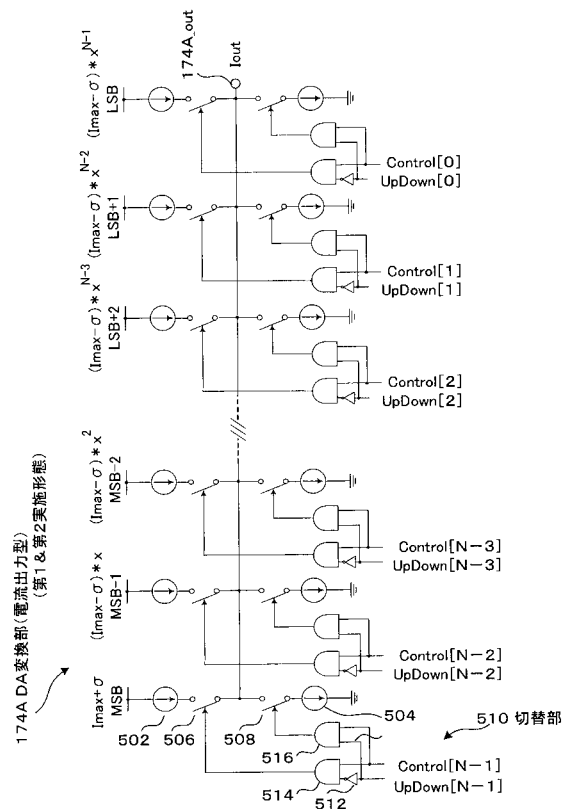
【図 2 2】



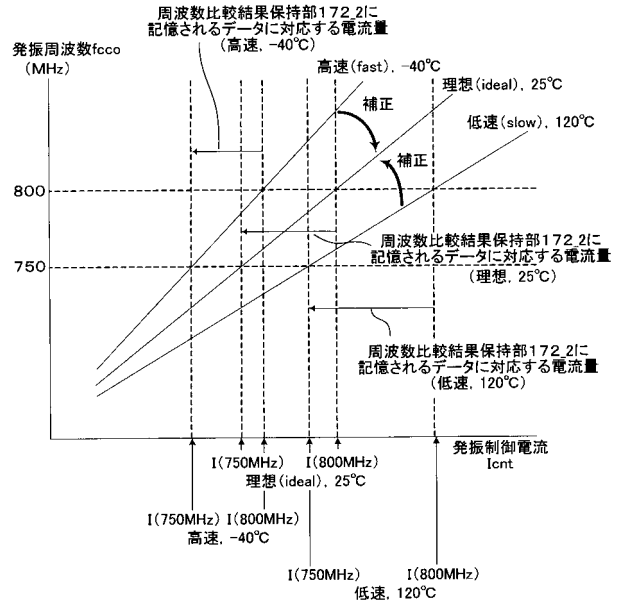
【図 2 3】



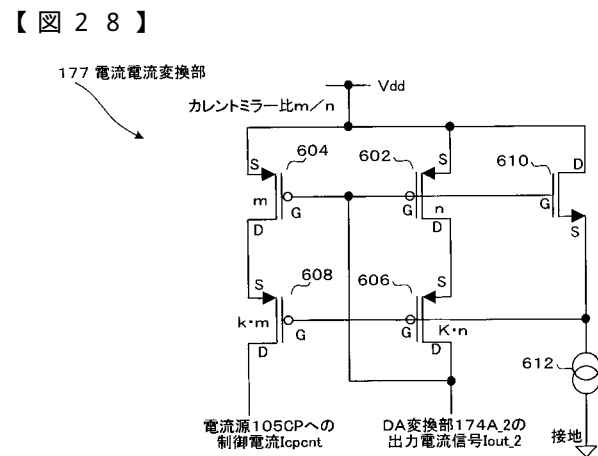
【図 2 4】



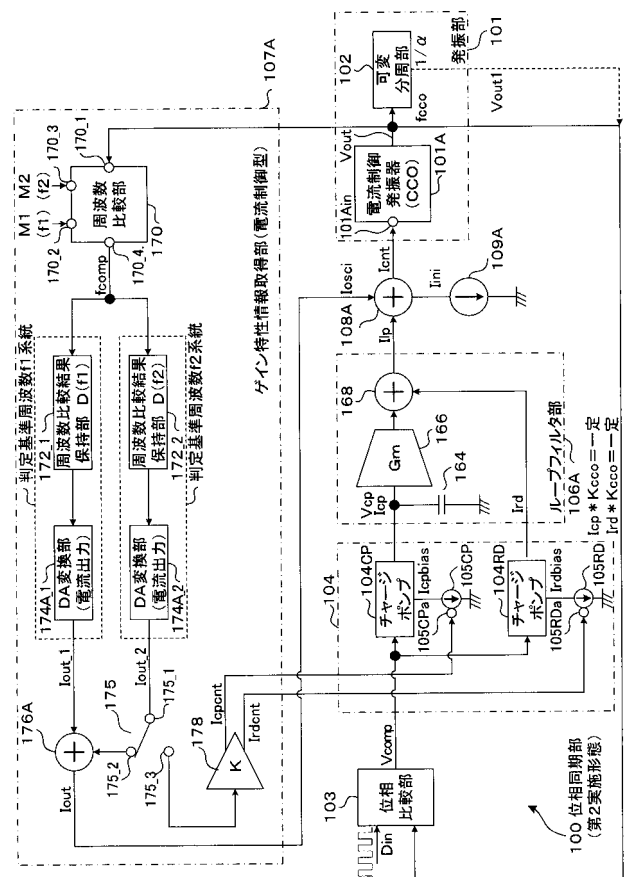
【 図 2 7 】



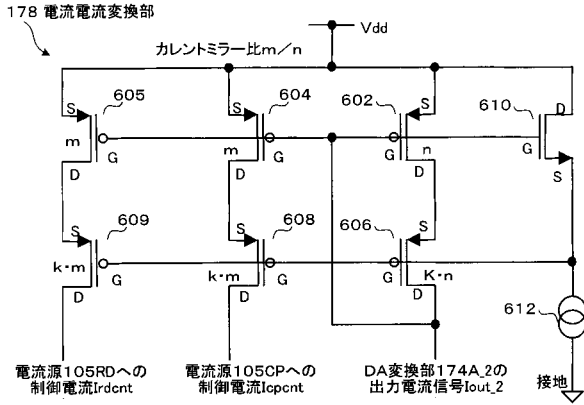
【 図 3 0 】



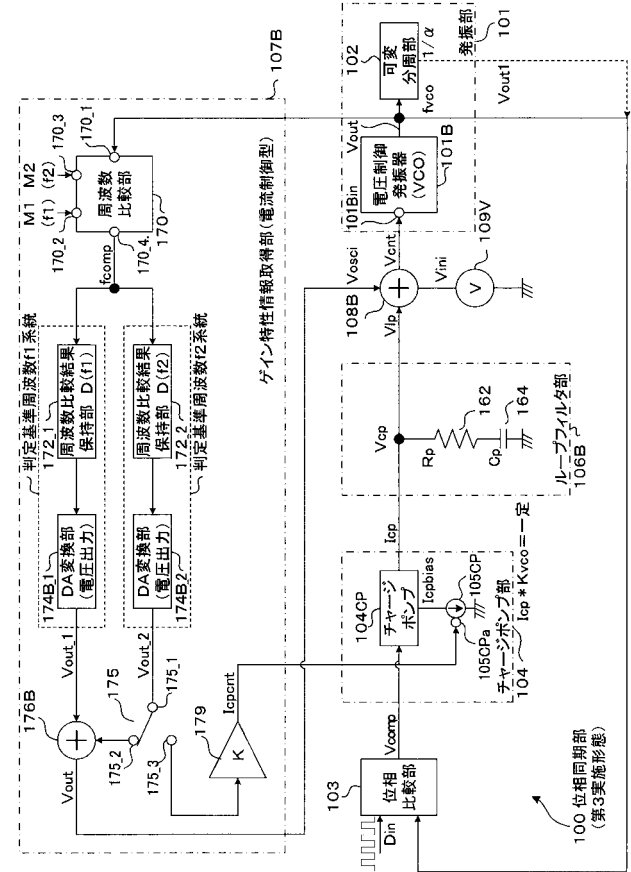
【 図 3 0 】



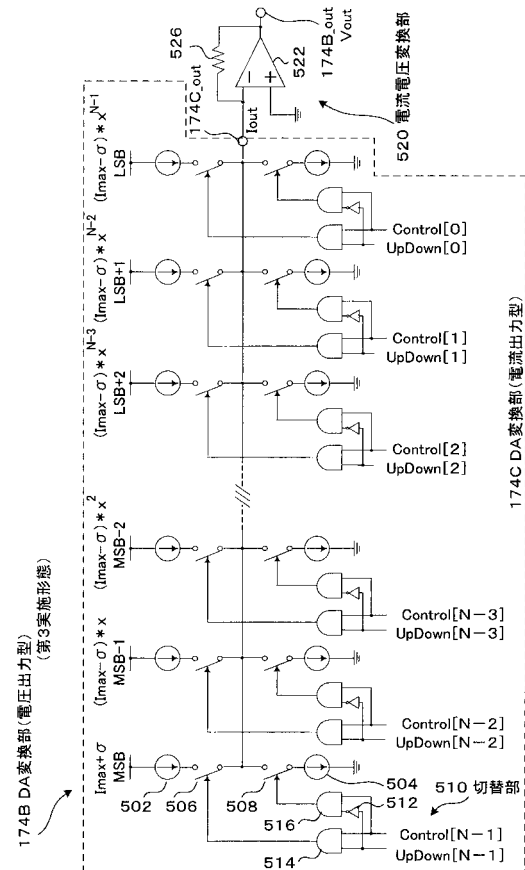
【図 3 1】



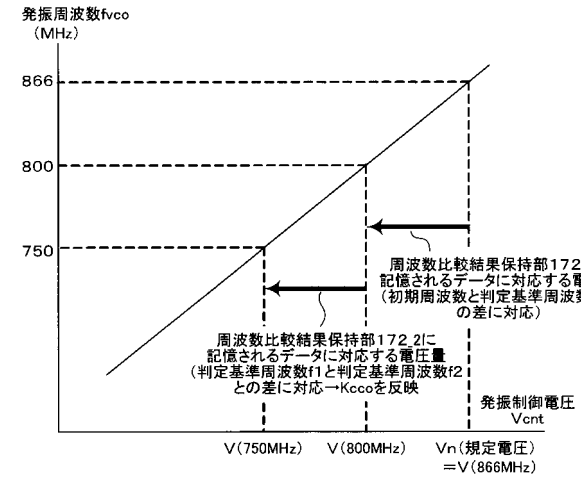
【図 3 2】



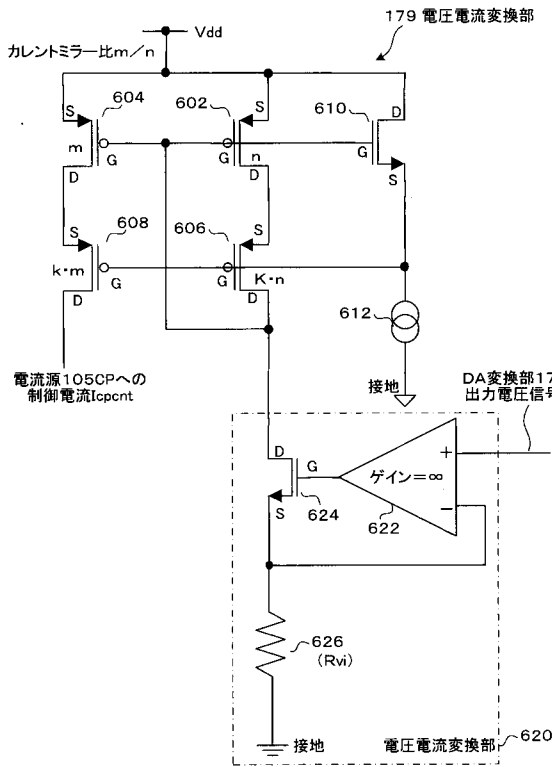
【図 3 3】



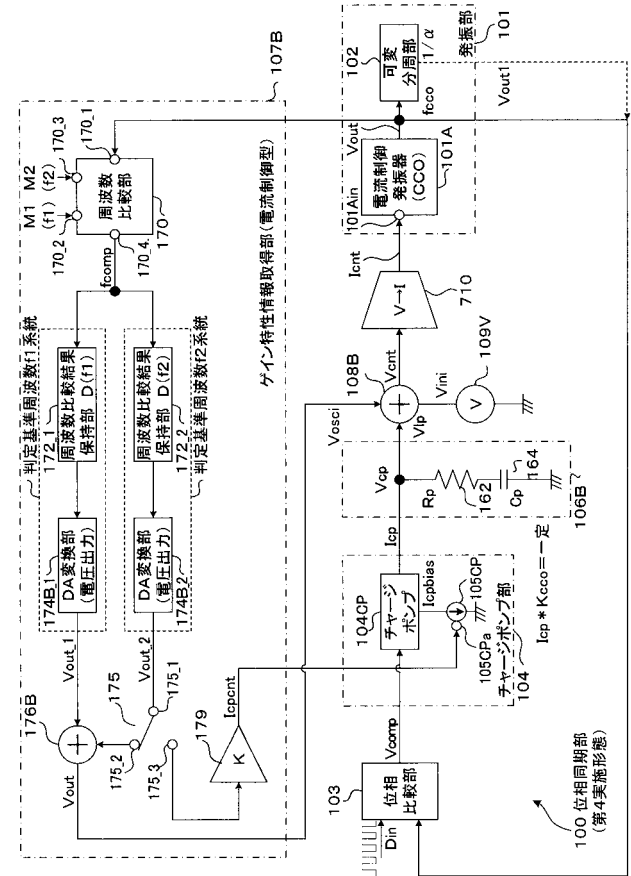
【図 3 4】



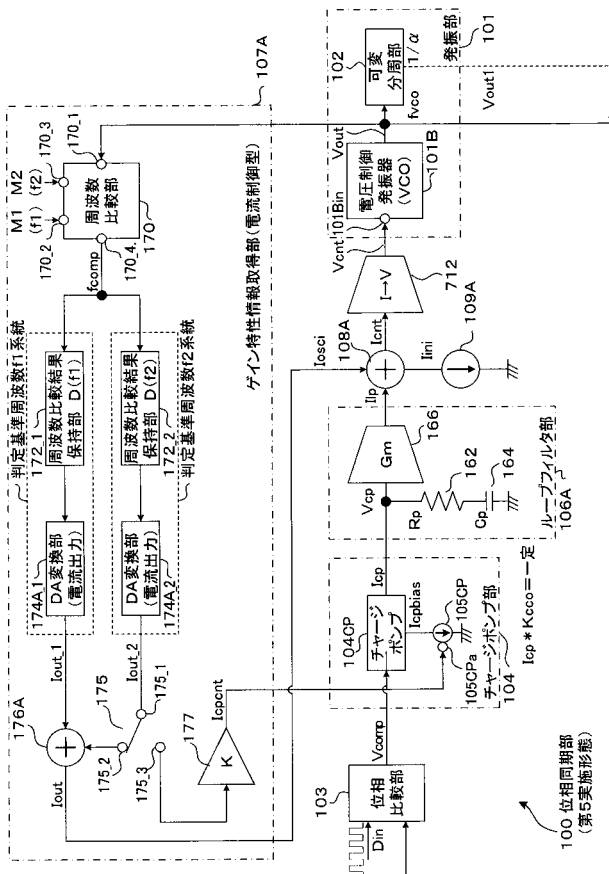
【図 35】



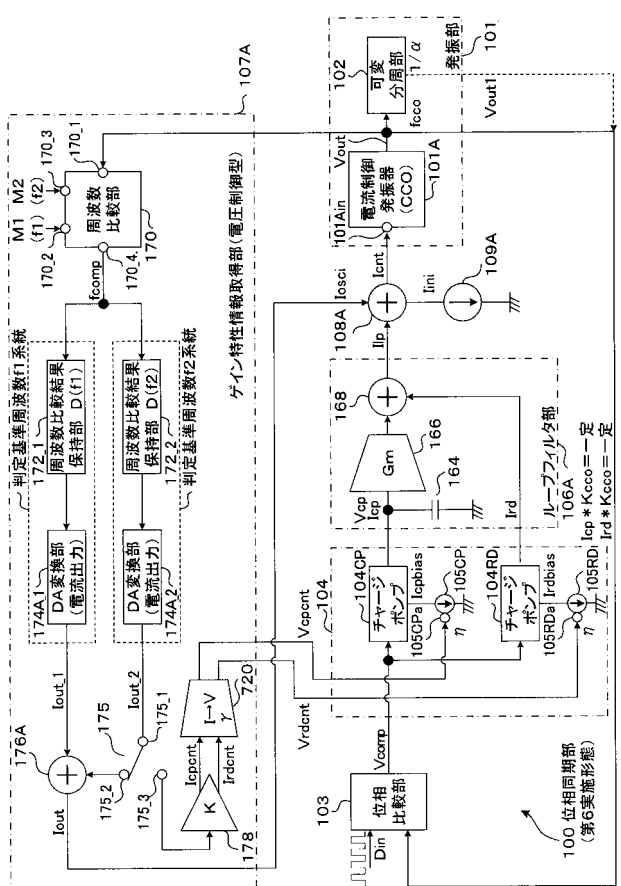
【図 36】



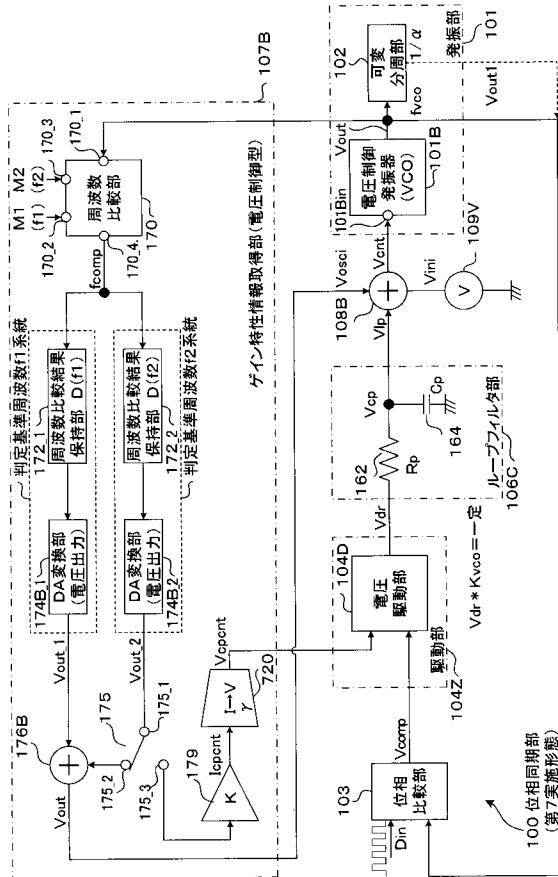
【図 37】



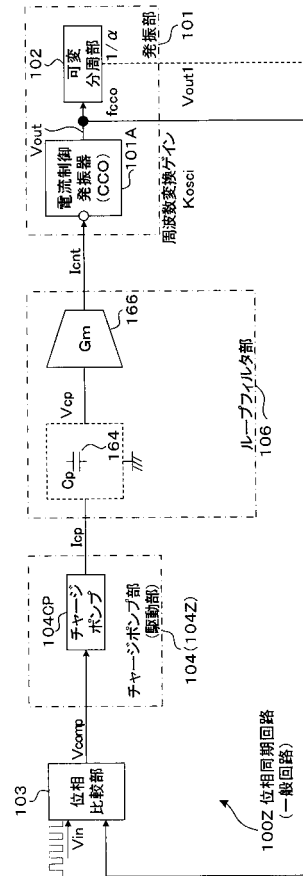
【図 38】



【図 39】

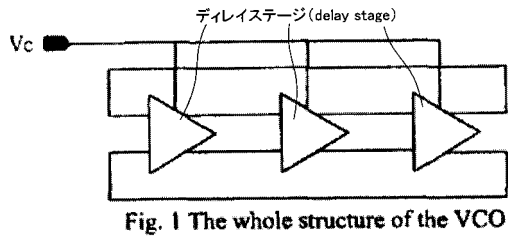


【図 40】



【図 41】

(A) 非特許文献1のFig. 1より引用



(B) 非特許文献1のFig. 3より引用

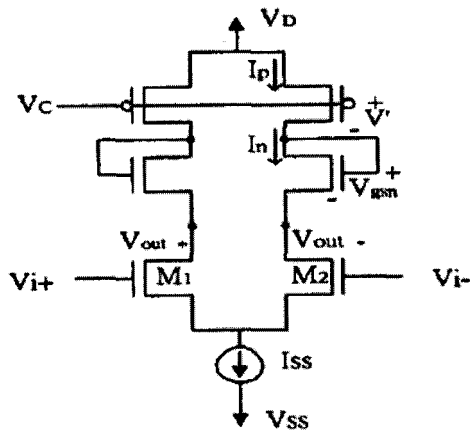


Fig. 3 The delay stage of the VCO

【図 42】

非特許文献2のFig. 1より引用

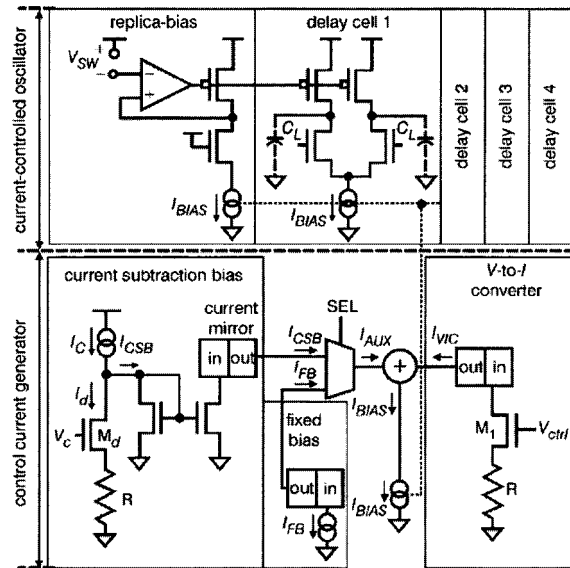


Fig. 1 VCO design to provide both a current subtraction bias (CSB) selection and a fixed bias (FB) selection

【 図 4 3 】

非特許文献3のFig. 1より引用

チャージポンプ用のバイアス回路

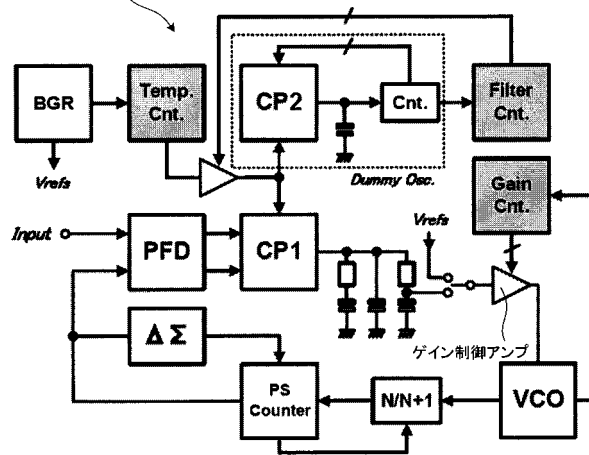


Fig.1 Block Diagram of the synthesizer with loop bandwidth calibration