

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5025596号  
(P5025596)

(45) 発行日 平成24年9月12日(2012.9.12)

(24) 登録日 平成24年6月29日(2012.6.29)

(51) Int.Cl.

H01L 27/146 (2006.01)

F I

H01L 27/14

C

請求項の数 1 (全 18 頁)

(21) 出願番号 特願2008-212007 (P2008-212007)  
(22) 出願日 平成20年8月20日 (2008.8.20)  
(62) 分割の表示 特願平9-273458の分割  
原出願日 平成9年9月20日 (1997.9.20)  
(65) 公開番号 特開2009-16855 (P2009-16855A)  
(43) 公開日 平成21年1月22日 (2009.1.22)  
審査請求日 平成20年8月21日 (2008.8.21)

(73) 特許権者 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 張 宏勇  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 坂倉 真之  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 佐藤 由里香  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

審査官 空 哲次

最終頁に続く

(54) 【発明の名称】 イメージセンサ

(57) 【特許請求の範囲】

【請求項 1】

複数の受光画素を有し、

前記複数の受光画素は、光を電荷に変換する受光部と、前記受光部に電氣的に接続されたスイッチング素子とを有し、

前記受光部は、前記複数の受光画素ごとに分離された複数の第1の導電層と、光電変換層と、前記複数の受光画素に共通な第2の導電層とを有し、

前記第2の導電層は、前記第2の導電層の上層に形成された取出し配線と電氣的に接続され、

前記取出し配線は、前記第2の導電層の下層に形成された取出し端子と電氣的に接続され、

前記取出し配線と前記取出し端子とは、複数のコンタクトホールによって電氣的に接続され、

前記複数のコンタクトホールの間隔が、前記複数の受光画素の画素ピッチと等しくなるように配置されていることを特徴とするイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光を電荷に変換する受光部と、受光画素を走査して、受光部で発生した電荷を信号として読み出す走査回路を有するイメージセンサに関するものであり、特に走査回

10

20

路上に受光部を積層した積層型のイメージセンサに関するものである。

【 0 0 0 2 】

更に、他の発明は積層型のイメージセンサと表示マトリクスとを一体化したアクティブマトリクス型表示装置に関するものである。

【 背景技術 】

【 0 0 0 3 】

光センサは、光を電気信号に変換するセンサとして広く用いられている。例えば、ファクシミリ、複写機、ビデオカメラ、デジタルスチルカメラ等のイメージセンサとして広く使用されている。

【 0 0 0 4 】

マルチメディアの要求に対応するため、イメージセンサの画素の高密度化が急激に進んでいる。例えば、デジタルスチルカメラの画素の規格はVGA(640×480=31万画素)から、SVGA、XGAへと高密度化され、更にSXGA(1280×1024=131万画素)へと高密度化が進んでいる。

【 0 0 0 5 】

また、デジタルスチルカメラ等のマルチメディアツールの小型化、低コスト化の要求から、光学系は2/3 inchから1/2 inch、1/3 inch、1/4 inchへと年々小型化されている。

【 0 0 0 6 】

このように、画素の高密度化、光学系の小型化を実現するうえで、小さな受光セルであって、変換効率の良いイメージセンサが要求される。この要求を満足するため、例えば開口率を向上するため、受光部で発生した電荷を信号として読み出す走査回路と、受光部(フォトダイオード部)とを積層した積層型イメージセンサが提案されている。

【 0 0 0 7 】

近年、ポリシリコンTFTと呼ばれる多結晶シリコンを用いたTFTする技術が鋭意研究されている。その成果として、ポリシリコンTFTによって、シフトレジスタ回路等の駆動回路を作製することが可能になり、表示マトリクスと、表示マトリクスを駆動する周辺駆動回路とを同一基板上に集積したアクティブマトリクス型の液晶パネル実用化に至っている。そのため、液晶パネルが低コスト化、小型化、軽量化されたため、パーソナルコンピュータ、携帯電話、ビデオカメラやデジタルカメラ等の各種情報機器、携帯機器の表示部に用いられている。

【 0 0 0 8 】

現在、ノート型パソコンよりも携帯性に優れ、安価なポケットサイズの小型携帯用情報処理端末装置が実用化されており、その表示部にはアクティブマトリクス型液晶パネルが用いられている。このような情報処理端末装置は表示部からタッチペン方式でデータを入力可能となっているが、紙面上の文字・図画情報や、映像情報を入力するには、スキャナーやデジタルカメラ等の周辺機器が必要である。そのため、情報処理端末装置の携帯性が損なわれてしまっている。また、使用者に周辺機器を購入するための経済的な負担をかけている。

【 0 0 0 9 】

また、アクティブマトリクス型表示装置は、TV会議システム、TV電話、インターネット用端末等の表示部にも用いられている。これらシステムや、端末では、対話者や使用者の映像を撮影するカメラを備えているが、表示部とカメラ部は個別に製造されてモジュール化されている。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

本発明では、積層型のイメージセンサにおいて、さらなる開口率の向上を図ることを課題とし、特に、受光部の光入射側の上部電極を定電位に固定するための取出し端子の構造に関する。

10

20

30

40

50

## 【 0 0 1 1 】

本発明の目的は、上述した問題点を解消し、表示マトリクス、周辺回路が形成される基板上に、イメージセンサを設けることにより、撮像機能と表示機能とを兼ね備えたインテリジェント化されたアクティブマトリクス型表示装置をすることにある。

## 【課題を解決するための手段】

## 【 0 0 1 2 】

上述の課題を解決するために本発明は、複数の受光画素が配置された受光画素領域に、光を電荷に変換する受光部と、前記受光部で発生した電荷を信号として読み出す信号読出し部とが積層されたイメージセンサであって、前記受光部は、前記受光画素ごとに分離された複数の下部電極と、光電変換層と、前記受光画素に共通な上部電極とを有し、前記イ

10

## 【 0 0 1 3 】

更に、本発明は、複数の選択線と複数の信号線が格子状に配置され、複数の画素電極を有する表示マトリクスと、複数の受光画素が配置された受光画素領域に、光を電荷に変換する受光部と、前記受光部で発生した電荷を信号として読み出す信号読出し部とが積層されたイメージセンサとを同一基板上に有するアクティブマトリクス型表示装置であって、

前記受光部は、前記受光画素ごとに分離された複数の下部電極と、光電変換層と、前記受光画素に共通な上部電極とを有し、前記上部電極は、光入射側で取出し端子に接続され、前記取出し端子は前記上部電極と異なる層に形成されていることを特徴とする。

20

## 【 0 0 1 4 】

更に、上記イメージセンサー体型アクティブマトリクス型表示装置において、前記信号線及び前記選択線を少なくとも覆う電極層を形成し、かつ受光部の下部電極を前記電極層と同じ出発膜で形成することを特徴とする。

## 【 0 0 1 5 】

更に、イメージセンサー体型アクティブマトリクス型表示装置において、前記画素マトリクスは、前記基板上に形成され、前記信号線及び前記選択線に接続された能動素子と、前記能動素子を覆う第1の絶縁膜と、前記第1の絶縁膜上に形成され、前記信号線及び前記選択線とを少なくとも覆う電極層と、前記電極層上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成され、前記能動素子に接続された画素電極とを有し、前記イメージセンサは、前記基板上に形成された前記信号読出し部と、前記信号読出し部を覆う前記第1の絶縁膜と、前記第1の絶縁膜上に形成され前記電極層と同じ出発膜でなり、前記受光画素ごとに分離された複数の下部電極と、前記下部電極上に形成された光電変換層と、前記光電変換層上に形成され、前記受光画素に共通な上部電極と、前記上部電極を覆う前記第2の絶縁膜と、前記第2の絶縁膜上に形成され、前記上部電極に接続された取出し端子とを有し、前記上部電極は、前記画素電極と同じ出発膜で形成されていることを特徴とする。

30

## 【発明の効果】

## 【 0 0 1 6 】

本実施形態では、表示マトリクスと受光マトリクスを同一基板上に形成するために、成膜プロセス及びパターニングプロセスを各マトリクスとで共通化することで、製造コストを安価におさえることができる。

40

## 【 0 0 1 7 】

また本実施形態では、受光部の上部電極の電位を固定するための取出し端子を上部電極と一体的に形成しないことにより、受光部の上部電極と光電変換層とのパターニングを連続して行うことが可能になり、マスクずれによる開口率の低下を防止できる。さらにこの取出し端子を表示マトリクスの画素電極と同一出発膜で形成することにより、プロセスの簡略化が図れる。

## 【発明を実施するための最良の形態】

50

## 【 0 0 1 8 】

図 1 を用いて、本実施形態の周辺回路一体型のアクティブマトリクス型表示装置において、素子基板にイメージセンサを一体的に設けた表示装置を説明する。

## 【 0 0 1 9 】

基板 5 0 0 上には、受光マトリクス 1 1 1 と表示マトリクス 1 2 1 が形成されている。表示マトリクス 1 2 1 には、信号線 3 0 7 及び選択線 3 0 2 が格子状に配列され、この格子内に、信号線 3 0 7 及び選択線 3 0 2 接続された T F T でなる能動素子が表示画素ごとに配置されている。

## 【 0 0 2 0 】

表示マトリクス 1 2 1 には、T F T を覆う第 2 の絶縁膜 5 4 0 と、第 2 の絶縁膜 5 4 0 上に形成され、選択線 3 0 2 及び信号線 3 0 7 とを少なくとも覆う電極層 3 0 8 が配置されている。図 1 において、電極層 3 0 8 は分断されているように図示されているが、格子状に一体的に配置されている。

10

## 【 0 0 2 1 】

電極層 3 0 8 上には第 3 の絶縁膜 5 5 0 が形成され、第 3 の絶縁膜 5 5 0 上には画素電極 3 1 2 が形成されている。画素電極 3 1 2 は第 1、第 2 の絶縁膜 5 4 0、5 5 0 に設けられたコンタクトホールを介して表示マトリクスの T F T に接続されている。

## 【 0 0 2 2 】

電極層 3 0 8 は、表示マトリクス 1 2 1 に配置されている能動素子に光が入射するのを防止すると共に、有効表示領域からの光が表示に寄与して、表示特性が劣化するのを防いでいる。また電極層 3 0 8 の電位を固定することにより、選択線 3 0 2、信号線 3 0 6 の電位の変動が、画素電極 3 1 2 の電位にフィードバックされることが防止できる。

20

## 【 0 0 2 3 】

他方、受光マトリクス 1 1 1 には、信号読取り部として、T F T をスイッチング素子として用い受光画素を走査するための走査回路が配置されている。信号読取り部は、表示部の能動素子と同様、第 1 の絶縁膜 5 4 0 に覆われている。第 1 の絶縁層 5 4 0 上には、受光部が形成されている。第 2 の絶縁ゲイト型半導体素子により、受光部で発生した電荷、もしくは受光部の電位の変化が信号として読み出される。

## 【 0 0 2 4 】

受光部は、受光画素ごとに分離された複数の下部電極 2 0 8 と、下部電極 2 0 8 上に形成された光電変換層 2 1 0 と、光電変換層 2 1 0 上に形成され、受光画素に共通な上部電極 2 1 2 とで構成されている。下部電極 2 1 2 は電極層 3 0 8 と同じ出発膜で形成されている。受光部は第 2 の絶縁膜 5 5 0 によってパッシベーションされている。

30

## 【 0 0 2 5 】

光電変換膜 2 1 0 は真性もしくは実質的に真性な非晶質シリコンや非晶質シリコンゲルマニウム等のシリコン系半導体を用いることができる。p i n 接合を有するシリコン系半導体膜を用いることもできる。また受光部をフォトコンダクタとする場合には、一般に固体撮像管に用いられてる Z n S e / Z n C d T e 膜や、S e / T e / A s 等の積層膜を用いることができる。

## 【 0 0 2 6 】

なお、図 1 において、膜 2 0 9、膜 2 1 1 は非晶質シリコンでなる光電変換層 2 1 0 を下部電極 2 0 8、上部電極 2 1 2 にオーミック接合させるための n 型、p 型非晶質シリコン膜である。なお、n 型非晶質シリコン膜 2 0 9 の代わりに、非晶質シリコン膜 2 1 0 のバリア膜として機能する膜を設けても良い。この場合、リン等の n 型不純物が添加された酸化珪素膜、窒化珪素膜、炭化珪素膜等を用いることができる。

40

## 【 0 0 2 7 】

上部電極 2 1 2 の電位を固定するために、前記受光マトリクス 1 1 1 外部において、受光部の上部電極 2 1 2 は、第 3 の絶縁膜 5 5 0 に設けられたコンタクトホールを介して、画素電極 3 1 2 と同じ出発膜でなる取出し配線 6 0 6 に接続されている。

## 【 0 0 2 8 】

50

更に、取出し配線 6 0 6 は、電極層 3 0 8 と同じ出発膜でなる取出し端子 6 0 3 に接続され、さらに取出し端子 6 0 3 は信号線 3 0 7 と同じ出発膜でなる取出し端子 6 0 1 に接続されている。取出し端子 6 0 1 は基板外部の配線との接続部となる外部端子に、直接もしくは他の配線を介して接続されている。取出し端子 6 0 1 を一定電位に固定することにより、上部電極 2 1 2 の電位が一定に固定できる。

#### 【 0 0 2 9 】

積層型イメージセンサにおいて、開口部が全て上部電極 2 1 2 に覆われ、その電位が一定に固定されるため、光入射側から侵入する雑音を上部電極 2 1 2 にてシールドすることができる。さらに、本実施形態では、受光部の側面は、端子 6 0 1、6 0 3、6 0 6 で囲まれ、これら端子の電位は一定に固定されるため、受光部側面からの雑音が侵入することも抑制できる。よって、S / N 比が向上でき、高性能、高信頼性のイメージセンサを提供できる

10

#### 【 0 0 3 0 】

本実施形態では、表示マトリクス 1 2 1 と受光マトリクス 1 1 1 を同一基板上に形成するために、成膜プロセス及びパターニングプロセスを各マトリクス 1 1 1、1 2 1 とで共通化することを特徴とする。絶縁膜 5 4 0、5 5 0 を各マトリクス 1 1 1、1 2 1 で共有する。

#### 【 0 0 3 1 】

更に電極層 3 0 8 と下部電極 2 0 8、画素電極 3 1 2 と取出し端子 6 0 6 とを同一の成膜プロセス及びパターニングプロセスで形成する。これにより、追加工程を最小限にして、イメージセンサー体型のアクティブマトリクス型表示装置を提供することが可能であり、製造コストを安価におさえることができる。

20

#### 【 0 0 3 2 】

また本実施形態では、受光部の上部電極 2 1 2 の電位を固定するために、上部電極 2 1 2 を外部端子に接続するための取出し端子 6 0 6 を、上部電極 2 1 2 と一体的に形成しづらい点に特徴を有する。この取出し端子 6 0 6 を上部電極 2 1 2 と異なる層に形成し、かつ上部電極 2 1 2 の光入射側で接続することにある。

#### 【 0 0 3 3 】

この取出し端子 6 0 6 を上部電極 2 1 2 と一体的に形成した場合には、上部電極 2 1 2 と光電変換層 2 1 0 とのパターンが異なり、上部電極 2 1 2 のパターニング工程は光電変換層 2 1 0 と異なることとなる。このため、上部電極 2 1 2 のパターニングのマスクずれにより、開口率が低下するおそれがある。

30

#### 【 0 0 3 4 】

他方、上部電極 2 1 2 と取出し端子とをそれぞれ異なる層に配置された導電膜で構成することにより、1つのレジストマスクを用いて、上部電極 2 1 2 と光電変換層 2 1 0 とのパターニングを連続して行うことが可能になり、マスクずれによる開口率の低下を防止するという効果を得る。更に光電変換層 2 1 0 をパターニングする際に、光電変換層 2 1 0 上には上部電極 2 1 2 が存在するため、光電変換層 2 1 0 のパターニングプロセス時のダメージを抑制することができる。

#### 【 0 0 3 5 】

40

本実施形態では、上部電極 2 1 2 と取出し端子 6 0 6 とをそれぞれ異なる層に配置された導電膜で構成する。上部電極 2 1 2 と光電変換層 2 1 0 とを同じプロセスでパターニングするには、この導電膜は上部電極 2 1 2 よりも上部に形成することも重要であり、取出し端子 6 0 6 を上部電極 2 1 2 の光入射側で接続させる。またこの取出し端子 6 0 6 を画素電極 3 1 2 と同じプロセスによって形成することにより、アクティブ型表示装置の製造プロセスとの整合性をとる。

#### 【 0 0 3 6 】

図 1 ~ 図 1 6 を用いて、本発明の実施例を詳細に説明する。

#### 【 実施例 1 】

#### 【 0 0 3 7 】

50

本実施例は、イメージセンサと表示マトリクスとを同一基板上に備えた透過型液晶表示装置に関するものである。

【0038】

図2は、本実施例の液晶表示装置の正面図である。図2に示すように基板100上には、受光領域110と表示領域120とが共に設けられている。受光領域110には、複数の受光画素がマトリクス状に配置された受光マトリクス111と、受光マトリクス111に接続された周辺回路112と、周辺回路が接続されていない受光マトリクス111の周囲を囲むように、取出し端子が配置される端子部113とが形成されている。受光マトリクス111は、受光部（フォトダイオード）と、受光部で発生した電荷を信号として読み出すための半導体素子が積層した構造を有する。

10

【0039】

他方、表示領域120は、画素電極と画素電極に接続された能動素子とが配置された表示マトリクス121と、表示マトリクス121に配置された能動素子を駆動するための周辺駆動回路122とが設けられている。更に、基板100上には、基板外部の電源線等の配線との接続部となる外部取出し端子部130が設けられている。

【0040】

本実施例では、受光マトリクス111の絶縁ゲイト型半導体素子、表示マトリクス121の能動素子、及び周辺駆動回路112、122に配置される半導体素子を、CMOS技術を用いてTFT（薄膜トランジスタ）にて同時に作製する。以下に本実施例の液晶パネルの作製方法を説明する。

20

【0041】

図3、図4には、受光マトリクス111、取出し端子部113及び表示マトリクス121の断面図を示す。また、図5～図8には受光領域121の作製過程を示す正面図を示し、図9～図12には表示マトリクス121の作製過程を示す正面図を示し、図13、図14には周辺回路112、122に配置されるCMOS-TFTの作製過程を示す正面図を示す。

【0042】

まず図3（A）に示すように、ガラス基板500全面に、基板からの不純物の拡散を防止するための下地膜510を形成する。下地膜510として、プラズマCVD法によって、酸化珪素膜を200nmの厚さに形成する。

30

【0043】

図3（A）の受光マトリクス111、表示マトリクス121及びCMOS-TFTの正面図が図5、図9、図13に相当する。図5、図9において線A-A'、線B-B'に沿った断面図が図3（A）に対応する。

【0044】

本実施例では透過型液晶パネルを作製するため、基板500は可視光を透過する基板であれば良く、ガラス基板500の代わりに石英基板等も用いることができる。なお、本実施例では、TFTを多結晶シリコン膜で形成するため、基板500は多結晶シリコン膜の形成プロセスに耐え得るものを選択する。多結晶シリコン膜は移動度が $10 \sim 200 \text{ cm}^2 / \text{Vsec}$ 程度と非常に大きく、多結晶シリコンでTFTのチャネル形成領域を構成することにより、高速応答させることができ、特に、受光マトリクス110のTFTや、周辺駆動回路112、122のCMOS-TFTに有効である。

40

【0045】

次に、プラズマCVD法によって非晶質シリコン膜を55nmの厚さに成膜し、エキシマレーザ光を照射して、多結晶化する。非晶質珪素膜の結晶化方法として、SPCと呼ばれる熱結晶化法、赤外線を照射するRTA法、熱結晶化とレーザアニールとを併用する方法等を用いることができる。

【0046】

次に、多結晶化されたシリコン膜を島状にパターニングして、TFTの活性層201、301、401、402を形成する。次に、これら活性層201、301、401、40

50

2を覆うゲイト絶縁膜520を形成する。ゲイト絶縁膜520はシラン( $\text{SiH}_4$ )と $\text{N}_2\text{O}$ を原料ガスに用いて、プラズマCVD法で120nmの厚さに形成する。

【0047】

次に、Al、Cr、Mo等の金属や導電性ポリシリコン膜等の導電膜を成膜しパターニングして、選択線202、302、ゲイト電極403を形成する。これら配線・電極202、302、403をマスクにして、公知のCMOS技術を用いて活性層201、301、401、402に導電性を付与する不純物をドーピングしてソース及びドレイン領域を形成する。

【0048】

活性層201にリンをドーピングすることにより、N型のソース領域203、ドレイン領域204、チャネル形成領域205が自己整合的に形成され、活性層301にリンをドーピングすることにより、N型のソース領域303、ドレイン領域304、チャネル形成領域305が自己整合的に形成され、活性層401にリンをドーピングすることにより、N型のソース領域、ドレイン領域、チャネル形成領域が自己整合的に形成される。活性層201、301、401をレジストマスクで覆い、活性層402のみにボロンをドーピングして、P型のソース領域およびドレイン領域と、チャネル形成領域を自己整合的に形成する。ドーピング後、ドーピングされた不純物を活性化する。

【0049】

なお、本実施例では活性層201、301、401が多結晶シリコンであるため、配線・電極202、302、403を形成する前に、少なくともNチャネル型TFTのチャネル形成領域となる領域にボロン等のP型の不純物を添加して、しきい値を最適化するのが好ましい。

【0050】

次に、図3(B)に示すように、基板500全面を覆う第1の層間絶縁膜530を形成する。層間絶縁膜530に各TFTのソース領域およびドレイン領域に達するコンタクトホール及びCMOS-TFTのゲイト電極403に達するコンタクトホールをそれぞれ形成する。しかる後、チタン膜、アルミニウム膜、チタン膜でなる積層膜を形成し、パターニングして、受光マトリクス111の信号線206、ソース電極207と、表示マトリクス121の信号線306、ドレイン電極307がそれぞれ形成される。

【0051】

この状態の受光マトリクス111、表示マトリクス121の正面図が図6、図10に相当する。図6、図10において線A-A'、線B-B'に沿った断面図が図3(A)に対応する。

【0052】

更にCMOS-TFTには、図14に示すようにゲイト電極403に接続される入力配線411、nチャネル型TFTのソース領域に接続される配線412、pチャネル型TFTのドレイン領域に接続される配線413、Nチャネル型TFTのドレイン領域406とPチャネル型TFTのソース領域408とを接続する配線414を形成する。

【0053】

図6に示すように、受光マトリクス111において、選択線202は周辺回路122Hに接続され、周辺回路122Hから、受光部で発生した信号電荷を読み取る受光画素を指定する選択信号が入力される。また信号線206は周辺回路112Vに接続され、読み出された信号電荷は、信号線206を経て周辺回路112Vに出力され、周辺回路112Vから映像信号として外部に出力される。

【0054】

さらに、取出し端子部113には、取出し端子601が形成される。図6に示すように、取出し端子601は、受光マトリクス111の周囲であって周辺駆動回路112が接続されていない周囲に沿って『L』字型に形成されている。更に取出し端子601は受光領域110外部に延在する部分を有し、この部分で外部取出し端子部130に形成された端

10

20

30

40

50

子に接続されている。

【0055】

更に、表示領域120内において、表示マトリクス121外部に後に形成される電極層308の電位を固定するための端子602も形成される。

【0056】

以上のCMOSプロセスを経て、多結晶シリコンTFTを用いた受光マトリクス111、表示マトリクス121及び駆動回路112、122に配置されるCMOS-TFTが同時に完成する。ここでは、これらTFTをトップゲートのプラナ型としたが、逆スタガ等のボトムゲイト型としてもよい。この場合、活性層201、301、401、402と選択線202、302、ゲイト電極403の形成順序を逆にし、選択線202、302、ゲイト電極403を形成した後、ゲイト絶縁膜520を形成すればよい。また、LDD領域やオフセット領域を設けてもよい。

10

【0057】

次に、図3(C)に示すように、受光部TFT200と受光部とを絶縁分離するための第2の層間絶縁膜540を基板500全面に形成する。第2の層間絶縁膜540には下層の凹凸を相殺して、平坦な表面が得られる樹脂膜が好適である。このような樹脂膜として、ポリイミド、ポリアミド、ポリイミドアミド、アクリルを用いることができる。また、第2の層間絶縁膜540の表面層は平坦な表面を得るため樹脂膜とし、下層は酸化珪素、窒化珪素、酸化窒化珪素等の無機絶縁材料の単層、多層としても良い。本実施例では、第2の層間絶縁膜540としてポリイミド膜を1.5μmの厚さに形成する。

20

【0058】

次に、第2の層間絶縁膜540に、ソース電極207、ドレイン電極307、端子601、602に達するコンタクトホールをそれぞれ形成した後、受光部の下部電極、及び表示マトリクスの電極層を構成するTi、Cr、Mo、Al等の導電膜11を形成する。本実施例では導電膜として厚さ200nmのチタン膜11をスパッタ法で成膜する。

【0059】

次に、受光部の光電変換層と下部電極とをオーミック接合させるためのn型の非晶質シリコン膜12を30~50nmの厚さに、ここでは30nmの厚さに基板全面に成膜する。チタン膜11及びシリコン膜12をパターニングするためのレジストマスク13を形成する。

30

【0060】

レジストマスク13を用いて、図4(A)に示すようにシリコン膜12、チタン膜11を順次パターニングする。ここでは、ドライエッチング法を用いる。シリコン膜12のエッチングガスにはCF<sub>4</sub>を1~10%混合したO<sub>2</sub>ガスを用いる。本実施例ではCF<sub>4</sub>の濃度を5%とする。またチタン膜11のエッチングガスにはCl<sub>2</sub>/BCl<sub>3</sub>/SiCl<sub>4</sub>を混合した塩素系ガスを用いる。なお、チタン膜11は樹脂でなる絶縁膜540上に形成されるため、チタン膜11のエッチングガス、エッチャントは樹脂を変質しないものを選択する必要がある。

【0061】

チタン膜11をパターニングすることにより、図4(A)に示すように、受光マトリクス111には、受光部の下部電極208、表示マトリクス121の電極層308、画素電極との接続用電極309、および端子部113の端子603が形成される。これらチタンでなる電極208、308、309、603上には、チタン膜11と概略同一形状にパターニングされたシリコン膜11でなるn層209、310、311、604が形成される。

40

【0062】

受光マトリクス以外のn層310、311、604は実質的な機能を有しないため、形成しなくともよい。この場合はチタン膜11とシリコン膜12のパターニングを別々に行えばよい。しかし、チタン膜11とシリコン膜12のパターニングを同時に行うことで、工程が簡略化できる。

50



## 【 0 0 6 3 】

なお、受光部の  $n$  層 2 0 9 として非晶質シリコンの代わりに微結晶シリコンを用いることもできる。また、リン等の  $n$  型不純物が添加された窒化珪素、酸化珪素、炭化珪素を用いることができる。

## 【 0 0 6 4 】

この状態の受光領域 1 1 0 および表示マトリクス 1 2 0 の上面図を図 7 ( A )、図 1 1 にそれぞれ示す。なお、図 7、図 1 1 において、 $n$  層 2 0 9、3 1 0、3 1 1、6 0 4 は省略されている。

## 【 0 0 6 5 】

図 7 ( A ) に示すように、下部電極 2 0 8 は選択線 2 0 2、信号線 2 0 6 で形成された格子内に、受光画素ごとに分離されて形成されている。また端子部 1 1 3 には、取出し端子 6 0 1 と接続される端子 6 0 3 が形成されている。端子 6 0 3 は端子 6 0 1 と同様に、周辺駆動回路 1 1 2 と接続されていない受光マトリクス 1 1 1 の周囲に沿って、『L』字型に形成されている。図 7 ( A ) の線 A - A ' による断面図が図 4 ( A ) に図示されている。

10

## 【 0 0 6 6 】

図 7 ( B ) に示すように、端子 6 0 1 と端子 6 0 3 とは絶縁膜 5 4 0 に形成された複数のコンタクトホールを介して上下間で接続されている。コンタクトが小さいほどアンテナ効果が緩和されるため、端子 6 0 1 と 6 0 3 は複数のコンタクトホール 6 0 5 により接続する。なお、図 7 ( A ) の線 D - D ' による断面図が図 7 ( B ) に相当する。コンタクトホール 6 0 5 のピッチは例えば受光画素のピッチと同程度であれば、上部電極を等電位にするのに問題がない。

20

## 【 0 0 6 7 】

他方、表示マトリクス 1 2 1 には、図 1 1 に示すように電極層 3 0 8 が、選択線 3 0 2、信号線 3 0 6 および、電極 3 0 7 とのコンタクト部を除いた活性層 3 0 1 を覆うように格子状に一体的に形成されている。電極層 3 0 8 は受光部に光が入射するのを防ぐと共に、有効表示領域以外から光が漏れることを防止している。さらに、電極層 3 0 8 は表示マトリクス 1 2 1 外部において、取出し配線 6 0 2 に接続されている。取出し配線 6 0 2 はその電位が一定電位に固定されるため、電極層 3 0 8 の電位も一定電位に固定される。これにより、電極層 3 0 8 の下層の選択線 3 0 2、信号線 3 0 6 の電位の変動によって、電極層 3 0 8 の上層の画素電極の電位が変動することを抑制できる。

30

## 【 0 0 6 8 】

次に、チタン膜 1 1、シリコン膜のパターニング終了後、図 4 ( A ) に示すように、真性もしくは実質的に真性な非晶質シリコン膜 1 4 を  $1 \sim 2 \mu\text{m}$ 、ここでは  $1.5 \mu\text{m}$  の膜厚に形成し、連続してボロンを含んだ  $p$  型の非晶質シリコン膜 1 5 を  $30 \sim 100 \text{ nm}$  の厚さに、ここでは  $50 \text{ nm}$  の厚さに成膜する。さらに、受光部の上部電極を構成する透明導電膜、ここでは ITO 膜 1 6 を  $120 \text{ nm}$  の厚さに成膜する。そして、これら膜 1 4 ~ 1 6 をパターニングするためのレジストマスク 1 7 を形成する。

## 【 0 0 6 9 】

なお、非晶質シリコン膜 1 4 が実質的に真性な状態とは、ボロン等の  $p$  型不純物を  $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$  程度添加し、そのフェルミ準位がバンドギャップの中央に位置した状態をいう。これは非晶質シリコンは成膜時にはフェルミ準位がバンドギャップの中央に必ずしも位置している訳ではなく、若干  $n$  型になる方向にフェルミ準位がずれている。そのため、上記のように  $p$  型不純物を添加することで、フェルミ準位をバンドギャップの中央にすることができる。この場合に不純物が添加されているが、フェルミ準位をバンドギャップの中央にある状態を実質的に真性な状態であるとしている。

40

## 【 0 0 7 0 】

なお、真性または実質的に真正な非晶質シリコン膜 1 4 の代わりに非晶質シリコンゲルマニウムを用いることができる。また、 $p$  型非晶質シリコン膜 1 5 の代わりに微結晶シリコンを用いることもできる。

50

## 【0071】

次に、レジストマスク17を用いて、ITO膜16、シリコン膜15、14を順次パターンニングして、図4(B)に示すように、上部電極212、p層211、i層210をそれぞれ形成する。ITO膜16、シリコン膜15、14をパターンニングするには、 $CF_4/SF_6/O_2$ を混合したエッチングガスを用いたRIEエッチングを用いる。なお、ITO膜16をパターンニングした後は、シリコン膜のみをエッチングするガスを用いることにより、上部電極212をマスクにしてシリコン膜15、14をエッチング可能であるため、レジストマスク17は不要になる。しかしシリコン膜15、14のエッチング時に、レジストマスク17を残存させることで、RIEエッチングによって上部電極212が変質することを防止できる。

10

## 【0072】

本実施例では、シリコン膜15、14とITO膜16とのパターンニング工程を連続して行う、即ち、ITO膜成膜前にシリコン膜15、14の成膜の間にパターンニング工程を行わないことで、上部電極212と光電変換層210とのパターンずれによる開口率低下を回避することができる。

## 【0073】

また上部電極212とp層211、i層210を、受光マトリクス111内のみでなく、端子部113側に突出させて形成する。これは、後に、開口率を低下することなく、上部電極212を電極604に接続させるためであり、製造マージンや受光部の信頼性を考慮して、端子部113側に突出させる幅は、受光画素のピッチの2~10倍程度とすればよい。

20

## 【0074】

また、受光部の信頼性の点から、i層210において、受光マトリクス111の境界部を絶縁化して、受光マトリクス111外部のi層210で発生したフォトキャリアが受光マトリクス111内に漏れ込むことを防止すると良い。絶縁化の方法の1つとして、受光マトリクス111の境界部に沿ってi層210に溝部を形成し、この溝部に絶縁物を埋め込む方法が挙げられる。この溝部はi層210を完全に分断するように形成しても良い。なお、上記のように境界部を絶縁化する場合は、シリコン膜14、15のパターンニング工程と、ITO膜16のパターンニング工程を別々に行う必要がある。

## 【0075】

次にレジストマスク17を除去した後、図1に示すように、表示マトリクス121の画素電極312の下地となる第3の層間絶縁膜550を基板500全面に形成する。絶縁膜550受光マトリクス111のパッシベーション膜としても機能する。第3の層間絶縁膜550を構成する絶縁被膜として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂膜を形成して、平坦な表面を得るようにする。本実施例では、ポリイミド膜を形成し、受光マトリクス111での膜厚が、 $0.3 \sim 1 \mu m$ 、ここでは $0.5 \mu m$ となる成膜にする。

30

## 【0076】

次に層間絶縁膜550に、上部電極212、電極309および端子603に達するコンタクトホールを形成する。ここでは、エッチングガスには $CF_4$ を1~10%混合した $O_2$ ガスを用いたRIEエッチング法を用いる。層間絶縁膜550は樹脂でなるため $O_2$ ガスのみでエッチング可能であるが、 $CF_4$ 混合することにより、電極309、604上のシリコン膜でなるn層310、604もエッチングされる。

40

## 【0077】

コンタクトホールを開口後、 $100 \sim 300 nm$ 厚さ、ここでは $120 nm$ のITO膜をスパッタ法にて成膜し、 $CF_4/SF_6/O_2$ を混合したエッチングガスを用いてパターンニングして、電極309に接続された画素電極312、および上部電極212を端子603に接続するための取出し端子606が形成される。この状態の受光マトリクス111、表示マトリクス121の上面図をそれぞれ、図8(A)、図12に示す。

## 【0078】

50

図8(A)に示すように、取出し端子606は端子603同様、受光マトリクス111の駆動回路121が接続されていない周囲を囲むように、『L』字型に形成されている。そして、端子606は受光マトリクス111外部において上部電極212に接続され、端子部113において端子603に接続されている。この構造により、取出し端子601を一定電位に固定することにより、上部電極212は端子606、603を介して、その電位が一定電位に固定される。例えば、端子601を一定電位に固定するには、端子601を図1に示す取出し端子部130に形成される外部取出し端子に接続する。この場合、外部取出し端子を信号線206、306と同一の導電膜で形成して、外部取出し端子と取出し端子601を一体的に形成することも可能である。

【0079】

10

なお、上部電極212の全体を一定電位にするためには、端子606を接続するためのコンタクトホール607は受光画素のピッチと同程度とすればよい。なお、図8(A)の線D-D'による断面図を図8(B)に示す。また図8(A)の線A-A'による断面図が図1に図示されている。

【0080】

ここで、端子601、603、606は受光マトリクス111が駆動回路121と接続されていない周囲を囲むように形成したため、図1の断面構成からも明らかなように、受光部(フォトダイオード)側面が端子601、端子603、606で囲まれている。ここでは、端子601、端子603、606は電位が一定に固定されているため、受光部に対するシールドとして機能させることができる。よって、表示マトリクス121と受光マトリクス111を同一基板に設けても、受光部の信頼性を保つことができる。

20

【0081】

さらに、選択線202、信号線302が周辺回路112H、112Vとの接続端の他端も端子601、603、606によって、電気的に保護できるため、受光マトリクス111に配置されるTFTの静電破壊を抑制できる。

【0082】

他方、表示マトリクス121においては、図12に示すように、画素電極312は表示画素ごとに電気的に分離され、その周縁が電極層308と重なるように形成される。この構造により、絶縁膜550を誘電体とし、電極層308、画素電極312を対向電極とする補助容量が形成できる。なお、図12において電極層308上のn層309は省略されている。

30

【0083】

実施例において、受光マトリクス111をTFTを作製した後、TFT上に受光部(フォトダイオード)を形成する積層型としたので、従来のように受光部を非晶質シリコン膜で形成しても、受光TFT200を多結晶シリコンで構成することができる。よって、ガラス基板等の絶縁性基板上に、変換効率が良く、高速応答可能なイメージセンサが作製できる。

【0084】

また、イメージセンサを積層構造とすることで、従来多結晶シリコンTFTで構成されている液晶パネルの作製工程と整合性が保たれる。従って、イメージセンサと液晶パネルの各特性を損なうことなく同一基板上に集積化できる。

40

【0085】

本実施例では、受光マトリクス111に受光画素を2次元に配列したが、受光画素を1次元に配列したラインセンサとしても良い。また、受光画素のフォーマットを表示部のフォーマットと同一にすると、受光画素と表示画素が1対1に対応するため、受光マトリクス111で検出された画像を表示マトリクス121に表示するための信号処理が簡単化、高速化できる。ラインセンサとした場合も、受光画素数は、列方向又は行方向の表示画素数と同じにすると良い。

【0086】

画素フォーマットを一致させた場合には、例えば表示マトリクス121のフォーマット

50

を640×480（VGA規格）とし場合には、1つの受光画素ピッチを10μm程度とすると、受光マトリクス111の占有面積は6.4mm×4.8mm程度となり、液晶パネルに集積化することは可能である。

【0087】

本実施例では、受光部を抵抗型のフォトダイオードとしたため、下部電極208、上部電極とオーミック接合させるn層209、p層211を設けたが、例えばショットキー型とする場合は、n層209、p層211を省略すればよい。

【0088】

本実施例では、透過型液晶パネルとしたが、画素電極312を鏡面表面を有する反射型電極とし、直視型の液晶パネルとすることもできる。

10

【0089】

本実施例では、受光マトリクス111において、受光部（フォトダイオード）と接続される信号読出し回路として、スイッチング素子として機能するTF Tを1つ設けたパッシブ型としたが、例えば、増幅機能を有するアクティブ型とし、複数のTF Tで構成することもできる。

【実施例2】

【0090】

本実施例は、受光領域111の端子部113の変形例である。本実施例を図15を用いて説明する。

【0091】

20

本実施例では、信号線306と同じ出発膜でなる端子601を省略する。この場合、最下層の配線701は電極層308と同一の出発膜でなる配線となる。配線701の形状は、実施例1の端子601と同様とし、受光マトリクス111外部へ延長して、外部取出し端子部130に形成される端子と接続するようにすればよい。

【実施例3】

【0092】

本実施例は、受光領域111の端子部113の変形例である。本実施例を図16を用いて説明する。

【0093】

本実施例では、端子601及び電極308を省略する。この場合、端子部113に配置される配線801は画素電極312と同一の出発膜でなる配線のみとなる。配線801の形状は、実施例1の端子601と同様とし、受光マトリクス111外部に延在して、外部取出し端子部130に形成される端子と接続するようにすればよい。

30

【実施例4】

【0094】

本実施例は、受光領域111の端子部113の変形例である。実施例1では端子部の最下層の端子601と信号線306と同じ出発膜で形成したが、選択線302と同じ出発膜で構成することも可能である。

【実施例5】

【0095】

40

本実施例の受光領域111の端子部113の変形例である。実施例1において電極層308と同じ出発膜でなる端子603を省略して、端子606と端子601を直接に接続する。また、この場合、実施例4で述べたように、端子601を選択線302と同じ出発膜で構成することも可能である。

【実施例6】

【0096】

本実施例は、実施例1で説明した、イメージセンサー一体型の液晶パネルの応用製品を説明する。図17に本実施例の電子機器の模式的な外觀図を示す。

【0097】

実施例1の液晶パネルは撮像機能を有する受光領域と、表示領域が一体的に設けられて

50

いるため、ＴＶ会議システム、ＴＶ電話、インターネット用端末やパーソナルコンピュータ等の通信機能を備えた表示部に好適である。例えば、表示部で対話者の端末から送信された映像を見ながら、受光マトリクスで自身の姿を撮影して、対話者の端末にその映像を転送することができるので、動画像を双方向通信することが可能である。

【００９８】

またこのような電子機器の１つとして、図１７（Ａ）に、液晶パネルを有するノート型パソコン２０００を示す。２００１が液晶パネルであり、２００２がイメージセンサ部である。

【００９９】

また他の電子機器として、図１７（Ｂ）に、テレビ電話２０１０を示す。２０１１が液晶パネルであり、２０１２がイメージセンサ部である。使用者は自身の姿をイメージセンサ部２０１２で撮影しつつ、また液晶パネルにて２０１１通話相手の姿を見ながら通話することができる。

【０１００】

更に図１７（Ｃ）にはペン入力型の携帯型情報端末機器２０２０を示す。２０２１が液晶パネルであり、２０２２がエリアセンサ部である。エリアセンサ２０２２により、名紙等の文字・図画情報を取り込んで、液晶パネル２０２１に表示したり、携帯型情報端末機器内にこれらの情報を保存できるようになっている。

【０１０１】

本発明では液晶パネルとセンサ部を同一基板に設けたため、小型、軽量でとすることができる。またセンサ部の駆動を液晶パネルと共有化することも可能であるため、省電力化が図れる。よって、図１７で示したような、バッテリー駆動型の電子機器に本発明は好適である。

【図面の簡単な説明】

【０１０２】

【図１】実施例１の液晶パネルの断面図。

【図２】実施例１の液晶パネルの正面図。

【図３】実施例１の液晶パネルの作製工程を説明するための断面図。

【図４】実施例１の液晶パネルの作製工程を説明するための断面図。

【図５】実施例１の受光マトリクスの作製工程の説明するための正面図。

【図６】実施例１の受光マトリクスの作製工程の説明するための正面図。。

【図７】実施例１の受光マトリクスの作製工程の説明するための正面図及び断面図。

【図８】実施例１の受光マトリクスの作製工程の説明するための正面図及び断面図。。

【図９】実施例１の表示マトリクスの作製工程の説明するための正面図。

【図１０】実施例１の表示マトリクスの作製工程の説明するための正面図。

【図１１】実施例１の表示マトリクスの作製工程の説明するための正面図。

【図１２】実施例１の表示マトリクスの作製工程の説明するための正面図。

【図１３】実施例１の駆動回路の作製工程を説明するための正面図。

【図１４】実施例１の駆動回路の作製工程を説明するための正面図

【図１５】実施例２のの液晶パネルの断面図

【図１６】実施例３のの液晶パネルの断面図

【図１７】実施例６の液晶パネルの応用製品の模式的な外観図。

【符号の説明】

【０１０３】

１１０ 受光領域

１１１ 受光マトリクス

１１２ 周辺駆動回路

１１３ 端子部

１２０ 画素領域

１２１ 表示マトリクス

10

20

30

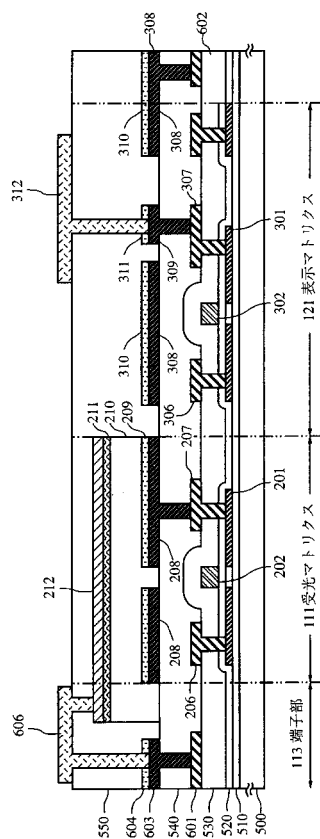
40

50

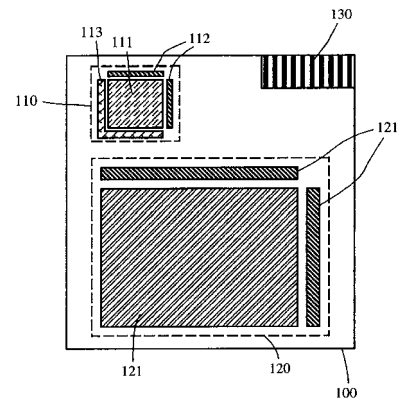
- 1 2 2 周辺駆動回路
- 2 0 1 活性層
- 2 0 2 選択線
- 2 0 6 信号線
- 2 0 7 ソース電極
- 2 0 8 下部電極
- 2 0 9 n層
- 2 1 0 i層
- 2 1 1 p層
- 2 1 2 上部電極
- 3 0 1 活性層
- 3 0 2 選択線
- 3 0 6 信号線
- 3 0 7 ドレイン電極
- 3 0 8 電極層
- 3 0 9 電極
- 3 1 2 画素電極
- 6 0 1、6 0 3、6 0 6 取出し端子

10

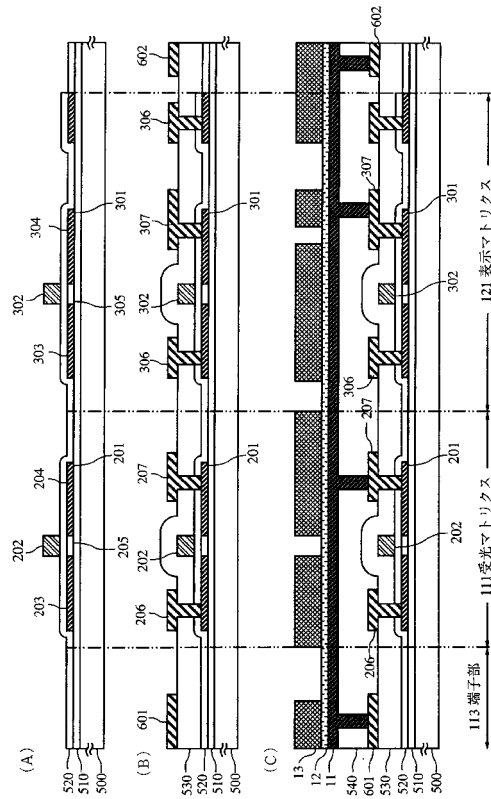
【図 1】



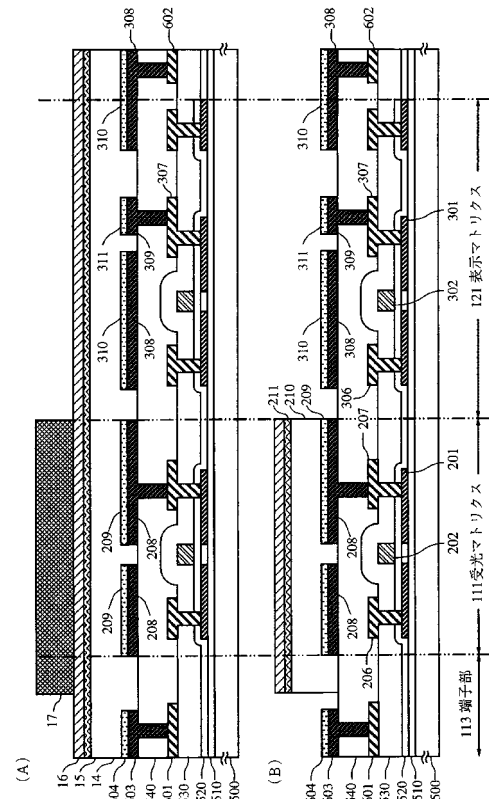
【図 2】



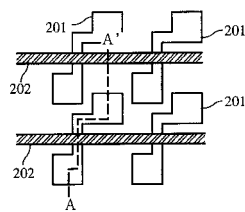
【 図 3 】



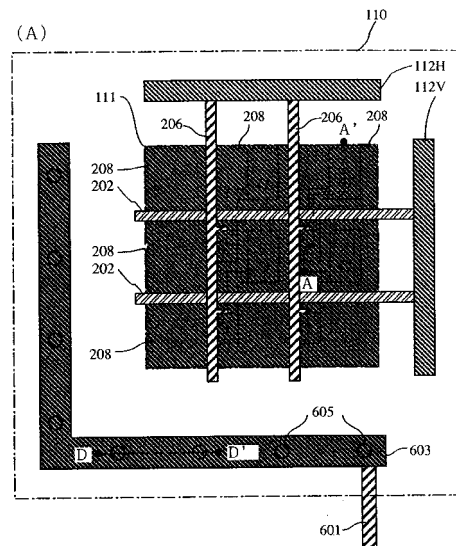
【圖 4】



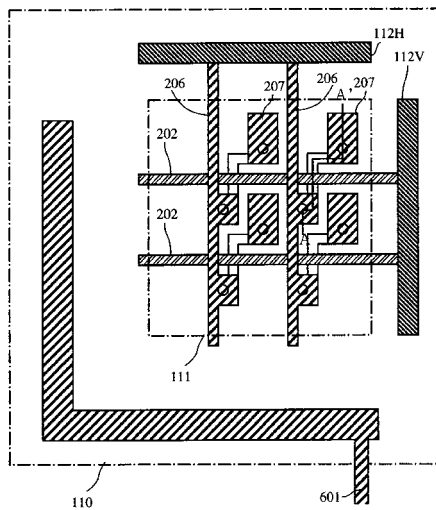
【圖 5】



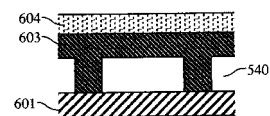
【圖 7】



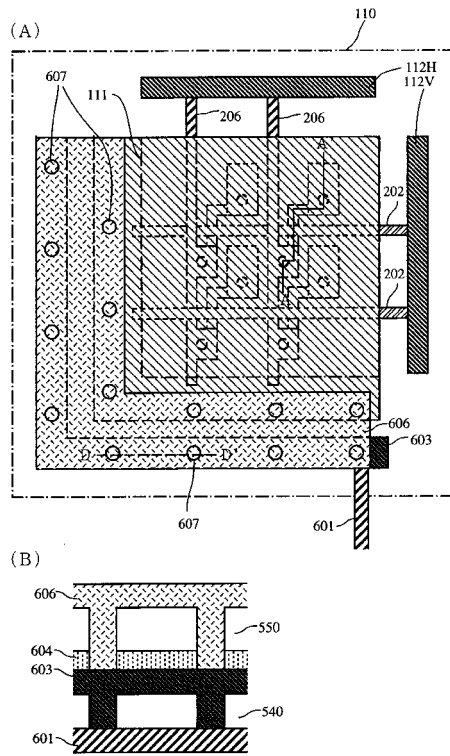
【 図 6 】



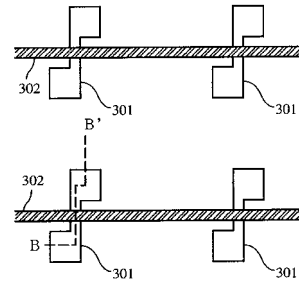
(B)



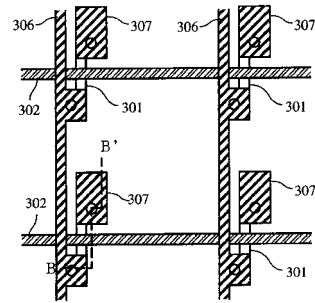
【図 8】



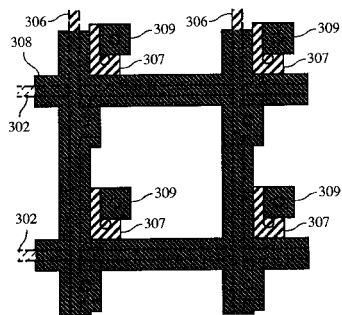
【図 9】



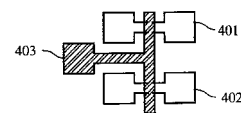
【図 10】



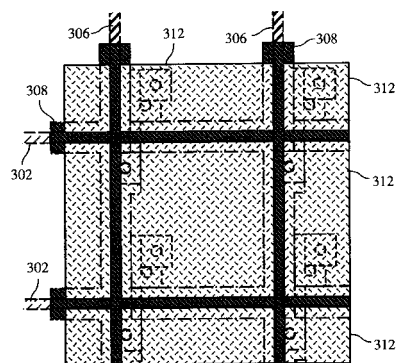
【図 11】



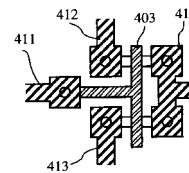
【図 13】



【図 12】

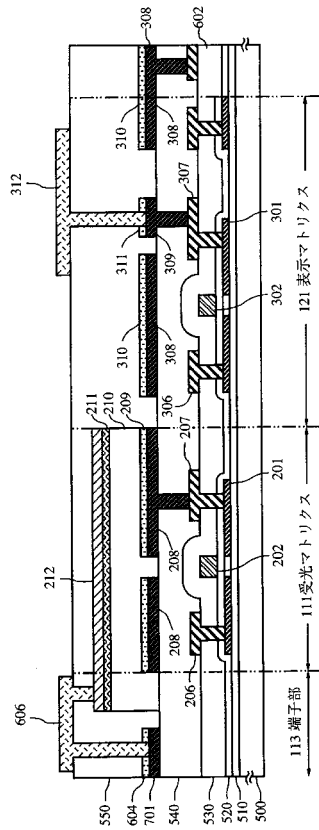


【図 14】

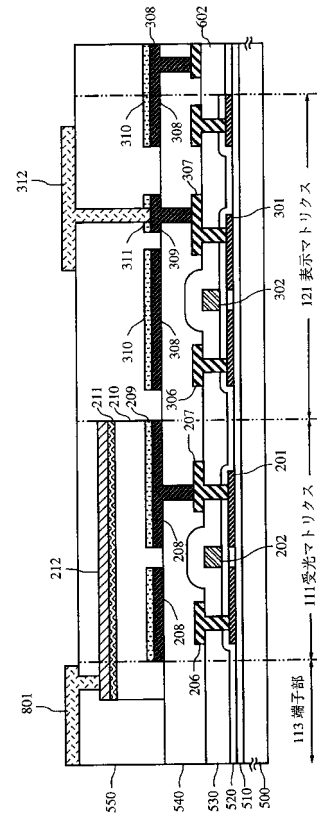




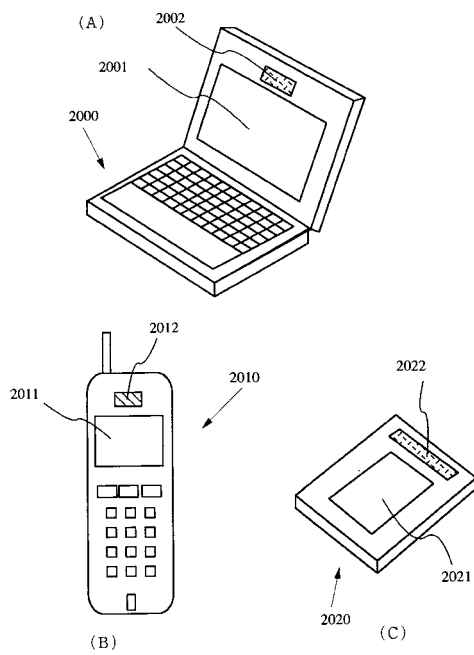
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



---

フロントページの続き

(56)参考文献 実開昭57-022251(JP,U)  
特開平08-186241(JP,A)  
特開平03-187267(JP,A)  
特開平02-128468(JP,A)  
特開昭62-086855(JP,A)  
特開平07-064114(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 27/146