

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成28年5月26日(2016.5.26)

【公開番号】特開2013-243657(P2013-243657A)

【公開日】平成25年12月5日(2013.12.5)

【年通号数】公開・登録公報2013-065

【出願番号】特願2013-91916(P2013-91916)

【国際特許分類】

H 03K 19/173 (2006.01)

B 82B 1/00 (2006.01)

G 11C 11/405 (2006.01)

G 11C 11/41 (2006.01)

【F I】

H 03K 19/173 101

B 82B 1/00 Z N M

G 11C 11/34 352B

G 11C 11/34 Z E C

【手続補正書】

【提出日】平成28年3月30日(2016.3.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

バンク群と、

コンフィギュレーションメモリと、

論理回路部と、を有し、

前記バンク群では、外部から供給されるタイムスケジュールに基づいて、コンフィギュレーションデータが格納され、

前記コンフィギュレーションメモリでは、既に保持されているコンフィギュレーションデータが、前記バンク群に格納されているコンフィギュレーションデータに書き換えられ、

前記論理回路部では、前記コンフィギュレーションメモリが保持するコンフィギュレーションデータに基づいて、機能回路の再構成が行われ、

前記バンク群におけるコンフィギュレーションデータの格納と、前記機能回路の再構成とが独立且つ併行して行われることを特徴とするプログラマブルLSI。

【請求項2】

前記バンク群は、マトリクス状に配設された複数のメモリセルを有し、

前記メモリセルは、

入力ワード線と、

出力ワード線と、

基準電位線と、

ゲートが前記入力ワード線に電気的に接続され、ソース及びドレインの一方が前記入力ビット線に電気的に接続されている第1のトランジスタと、

ゲートが前記第1のトランジスタのソース及びドレインの他方に電気的に接続され、ソース及びドレインの一方が前記基準電位線に電気的に接続されている第2のトランジス

タと、

ゲートが前記出力ワード線に電気的に接続され、ソース及びドレインの一方が前記第2のトランジスタのソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方が前記出力ビット線に電気的に接続されている第3のトランジスタと、を有することを特徴とする請求項1に記載のプログラマブルLSI。

【請求項3】

前記バンク群は、マトリクス状に配設された複数のメモリセルを有し、

前記メモリセルは、

入力ワード線と、

出力ワード線と、

基準電位線と、

ゲートが前記入力ワード線に電気的に接続され、ソース及びドレインの一方が前記入力ビット線に電気的に接続されている第1のトランジスタと、

ゲートが前記出力ワード線に電気的に接続され、ソース及びドレインの一方が前記基準電位線に電気的に接続されている第2のトランジスタと、

ゲートが前記第1のトランジスタのソース及びドレインの他方に電気的に接続され、ソース及びドレインの一方が前記第2のトランジスタのソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方が前記出力ビット線に電気的に接続されている第3のトランジスタと、を有することを特徴とする請求項1に記載のプログラマブルLSI。

【請求項4】

前記メモリセルは、

一方の電極が前記第1のトランジスタのソース及びドレインの他方に電気的に接続され、他方の電極が接地されているキャパシタを有することを特徴とする請求項2又は請求項3に記載のプログラマブルLSI。

【請求項5】

前記第1のトランジスタは、チャネルとして酸化物半導体層を有することを特徴とする請求項2乃至請求項4のいずれか一項に記載のプログラマブルLSI。

【請求項6】

前記メモリセルは、多値のデータを格納することが可能であることを特徴とする請求項2乃至請求項5のいずれか一項に記載のプログラマブルLSI。