

(43) 国際公開日
2006年12月7日 (07.12.2006)

PCT

(10) 国際公開番号
WO 2006/129779 A1(51) 国際特許分類:
G11C 16/02 (2006.01) B41J 29/38 (2006.01)
B41J 2/175 (2006.01)

(21) 国際出願番号: PCT/JP2006/311050

(22) 国際出願日: 2006年5月26日 (26.05.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-157181 2005年5月30日 (30.05.2005) JP
特願2005-182808 2005年6月23日 (23.06.2005) JP(71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)
[JP/JP]; 〒1630811 東京都新宿区西新宿二丁目4番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 朝内 昇

(ASAUCHI, Noboru) [JP/JP]; 〒3928502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano (JP). 大塚 栄太郎 (OTSUKA, Eitaro) [JP/JP]; 〒3928502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).

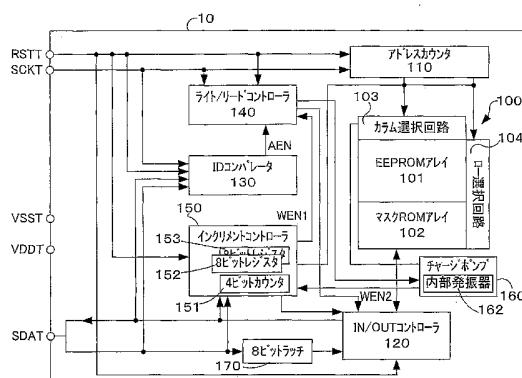
(74) 代理人: 特許業務法人 明成国際特許事務所 (TOKKYO GYOMUHOJIN MEISEI INTERNATIONAL PATENT FIRM); 〒4600003 愛知県名古屋市中区錦二丁目18番19号 三井住友銀行名古屋ビル7階 Aichi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE APPARATUS

(54) 発明の名称: 半導体記憶装置



140 WRITE/READ CONTROLLER
130 ID COMPARATOR
150 INCREMENT CONTROLLER
153 8-BIT REGISTER
152 8-BIT REGISTER
151 4-BIT COUNTER
170 8-BIT LATCH
110 ADDRESS COUNTER

103 COLUMN SELECTING CIRCUIT
101 EEPROM ARRAY
104 ROW SELECTING CIRCUIT
102 MASK ROM ARRAY
160 CHARGE PUMP
162 INTERNAL OSCILLATOR
120 IN/OUT CONTROLLER

(57) Abstract: When the value of an input write data is equal to or greater than the value of existing data in a memory array (100), a semiconductor storage apparatus (10) permits a writing of the input write data into the memory array (100). Specifically, an increment controller (150) reads the existing data from the memory array (100) and compares it with the write data latched in an 8-bit latch register (170). When the value of the write data is equal to or greater than the value of the existing data, the increment controller (150) outputs a write permission signal (WEN1) to a write/read controller (140), thereby executing the writing of the write data, which is latched in the 8-bit latch register (170), into the memory array (100).

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 半導体記憶装置10は、入力された書き込みデータが、メモリアレイ100の既存データの値以上の値である場合に、メモリアレイ100に対する入力された書き込みデータの書き込みを許容する。具体的には、インクリメントコントローラ150は、メモリアレイ100から既存データを読み出し、8ビットラッチレジスタ170にラッチされている書き込みデータと比較する。インクリメントコントローラ150は、書き込みデータの値が既存データの値以上の場合には、ライト/リードコントローラ140に対して書き込み許可信号WEN1を出力し、メモリアレイ100に対する8ビットラッチレジスタ170にラッチされている書き込みデータの書き込みを実行する。

明細書

半導体記憶装置

技術分野

- 5 本発明は、データの書き換えが可能な半導体記憶装置、シーケンシャルにアクセスされる半導体記憶装置およびシーケンシャルにアクセスされる半導体記憶装置に対するデータ書き込み制御方法に関する。

背景技術

- 10 EEPROMやフラッシュROM等のデータの書き換えが可能な半導体記憶装置が、種々の電子機器の記憶装置として多く利用されている。このような半導体記憶装置は、電子機器において、あらかじめ定められているデータ条件を満足する入力データの書き換えについては制限しないが、そのデータ条件を満足しない入力データの書き換えについては制限するような態様で利用することが望まれる
- 15 場合がある。例えば、「書き換えデータが、半導体記憶装置に記憶されているデータ（「被書き換えデータ」と呼ぶ。）よりも大きい場合においてのみ、書き換えを実行する。」という条件や、「書き換えデータが、被書き換えデータよりも小さい場合においてのみ、書き換えを実行する。」というデータ条件を設定する、場合が考えられる。
- 20 しかしながら、従来の書き換えが可能な半導体記憶装置は、データの書き換えを制限する仕組みを有しておらず、データを書き込むための所定のシーケンスを満足すれば、記憶されているデータを書き換えることが可能であるため、上記のようなデータ条件での書き換えに対応することができなかった。
- 25 なお、記憶装置に対するデータの書き込みを制御する技術として、例えば、記憶装置の外部に記憶装置に対する書き込み禁止装置を設置する技術が知られている。あるいは、記憶装置使用時に、記憶装置におけるデータ格納領域より後ろの

アドレスにデータ格納領域に対する書き込み不許可を示す情報を書き込むことで、データ格納領域に対する書き込みを禁止する技術が知られている。

また、メモリアレイのデータセルに対してシーケンシャルなアクセスのみを許可する半導体記憶装置、例えば、EEPROMが知られている。このような半導体記憶装置は、比較的廉価であることから、消費材の残量または消費量に関するデータを保持させるための記憶装置として用いられている。ここで、消費材は使用に伴い減少するため、更新に用いられるデータ、すなわち、メモリアレイに書き込まれるデータが、消費量に関するデータの場合には、書き込まれるデータの値は、メモリアレイに既に格納されている既存のデータの値よりも大きな値でなければならない。一方、メモリアレイに書き込まれるデータが、残量に関するデータの場合には、書き込まれるデータの値は、メモリアレイに既に格納されている既存のデータの値よりも小さな値でなければならない。

発明の開示

しかしながら、例えば、半導体記憶装置に対して入力されるデータが転送中にデータ化けを起こすこともあり、かかる場合には、半導体記憶装置において正常にデータの書き換えが行われたとしても、半導体記憶装置には誤ったデータが記録されることになる。すなわち、例えば、データが増大する特性を有する場合に、半導体記憶装置に対して既存データよりも小さな値のデータが書き込まれてしまうおそれがある。ここで、消費材を利用する装置の損傷、不具合を抑制または防止するために、消費材の残量または消費量に関するデータが用いられている場合には、消費材の残量または消費量に関するデータが本来の増減特性と逆方向へと化けた場合には、消費材を利用する装置に不具合が発生する場合がある。

本発明は、上記課題を解決するためになされたものであり、半導体記憶装置において、書き込みデータが有する増減特性に反する値のデータの書き込みを制限することを目的とする。本発明はまた、半導体記憶装置において、所定のデータ

条件を満足しない入力データの書きこみを禁止することを目的とする。

上記課題を解決するために本発明の第1の態様は、半導体記憶装置を提供する。本発明の第1の態様に係る半導体記憶装置は、値が増大する特性のデータを格納する所定のアドレス単位の書き込み制限格納アドレスを有し、シーケンシャルにアクセスされる不揮発性のメモリアレイと、前記書き込み制限格納アドレスに書き込むべき書き込みデータを所定のアドレス単位で保持する書き込みデータ保持手段と、前記保持されている書き込みデータを、前記書き込み制限格納アドレスに対して前記所定のアドレス単位にて書き込むデータ書き込み手段と、前記メモリアレイにおける、前記書き込み制限格納アドレスに格納されている既存データを読み出す読み出し手段と、前記保持されている書き込みデータの値が、前記読み出された既存データの値未満の値であるか否かを判定する判定手段と、前記書き込みデータの値が前記既存データの値未満の場合には、前記書き込み手段による前記メモリアレイの前記書き込み制限格納アドレスに対する前記書き込みデータの書き込みを実行しない制御部とを備える。

本発明の第1の態様に係る半導体記憶装置において、前記制御部は、前記書き込みデータの値が前記既存データの値以上の場合には、前記書き込み制限格納アドレスに対する前記書き込みデータの書き込みを実行しても良い。

本発明の第1の態様に係る半導体記憶装置によれば、判定手段によって、保持されている書き込みデータの値が、読み出された既存データの値未満の値であるか否かが判定され、制御部によって、書き込みデータの値が既存データの値以上の場合には、書き込み手段によってメモリアレイの書き込み制限格納アドレスに対する書き込みデータの書き込みを実行する。また、制御部は、書き込みデータの値が既存データの値未満の場合には、書き込み制限格納アドレスに対する書き込みデータの書き込みを実行しない。したがって、値が増大する書き込みデータの特性に反する値のデータの書き込みを制限することができる。

本発明の第1の態様に係る半導体記憶装置において、前記書き込み制限格納ア

ドレス数が、前記所定のアドレス単位の n 倍（ n は自然数）である場合には、前記判定手段は、前記所定のアドレス単位毎に、前記書き込みデータの値が前記既存データの値未満であるか否かを判定し、前記制御部は、前記書き込み制限格納アドレスにおけるいずれかのアドレスにおいて、前記既存データの値が前記書き込みデータの値未満の場合には、前記メモリアレイの全ての前記書き込み制限格納アドレスに対して前記書き込み手段による前記書き込みデータの書き込みを実行しなくても良い。

本発明の第1の態様に係る半導体記憶装置において、前記制御部は、全ての前記書き込み制限格納アドレスにおいて、前記書き込みデータの値が前記既存データの値以上の場合には、前記全ての書き込み制限格納アドレスに対する、前記書き込みデータの書き込みを実行しても良い。

以上の場合には、半導体記憶装置に複数の書き込み制限格納アドレスが備えられている場合に、全ての制限格納アドレスにおいて、値が増大する書き込みデータの特性に反する値のデータの書き込みを制限することができる。

本発明の第1の態様に係る半導体記憶装置において、前記判定手段は、前記読み出し手段によって前記既存データが1アドレス毎に読み出される毎に、前記書き込みデータ保持手段から前記書き込みデータを1アドレス毎に読み出して、前記書き込みデータの値が前記読み出された既存データの値未満の値であるか否かを判定しても良い。かかる場合には、読み出した既存データを格納するための構成を必要とすることなく、書き込みデータの値が読み出された既存データの値未満の値であるか否かを判定することができる。

本発明の第1の態様に係る半導体記憶装置において、前記判定手段は、前記読み出し手段によって1アドレス毎に読み出された前記所定のアドレス単位の既存データと、前記書き込みデータ保持手段に保持されている前記所定アドレス単位の書き込みデータとを用いて、前記書き込みデータの値が前記読み出された既存データの値未満の値であるか否かを判定しても良い。かかる場合には、所定のア

ドレス単位でまとめて、書き込みデータの値が読み出された既存データの値未満の値であるか否かを判定することができる。

本発明の第1の態様に係る半導体記憶装置において、前記メモリアレイにおける書き込み制限格納アドレスには、最上位ビットから順にデータが格納されており、前記データ書き込み手段は、前記メモリアレイに対して、最上位ビットから順にデータの書き込みを実行しても良い。かかる場合には、書き込みデータの値が読み出された既存データの値以上の値であるか否かを判定をより迅速に実行することができる。

書き込まれるデータの特性が、値が減少する特性を有している場合には、本発明の第1の態様に係る半導体記憶装置は、値が減少する特性のデータを格納する所定のアドレス単位の書き込み制限格納アドレスを有し、シーケンシャルにアクセスされる不揮発性のメモリアレイと、前記書き込み制限格納アドレスに書き込むべき書き込みデータを所定のアドレス単位で保持する書き込みデータ保持手段と、前記保持されている書き込みデータを、前記書き込み制限格納アドレスに対して前記所定のアドレス単位にて書き込むデータ書き込み手段と、前記メモリアレイにおける、前記書き込み制限格納アドレスに格納されている既存データを読み出す読み出し手段と、前記保持されている書き込みデータの値が、前記読み出された既存データの値より大きな値であるか否かを判定する判定手段と、前記書き込みデータの値が前記既存データの値より大きな値の場合には、前記書き込み手段による前記メモリアレイの前記書き込み制限格納アドレスに対する前記書き込みデータの書き込みを実行しない制御部とを備えても良い。

また、前記制御部は、前記書き込みデータの値が前記既存データの値以下の場合には、前記書き込み制限格納アドレスに対する前記書き込みデータの書き込みを実行しても良い。

書き込まれるデータの特性が、値が減少する特性を有している場合には、本発明の第1の態様に係る半導体記憶装置は、判定手段によって、保持されている書

き込みデータの値が、読み出された既存データの値より大きな値であるか否かが判定され、制御部によって、書き込みデータの値が既存データの値以下の場合には、書き込み手段によってメモリアレイの書き込み制限格納アドレスに対する書き込みデータの書き込みを実行する。また、書き込みデータの値が既存データの値より大きい場合には、書き込み制限格納アドレスに対する前記書き込みデータの書き込みを実行しないので、値が減少する書き込みデータの特性に反する値のデータの書き込みを制限することができる。

本発明の第2の態様は、値が増大する特性のデータを書き換え可能データとして記憶する半導体記憶装置を提供する。本発明の第2の態様に係る半導体記憶装置は、シーケンシャルにアクセスされると共に1ビットのデータを格納するデータセルを1行に8個有し、前記書き換え可能データを格納する書き込み制限行を有する不揮発性のメモリアレイと、前記メモリアレイの前記書き込み制限行に書き込むべき、8ビットの倍数の書き込みデータを受信するデータ受信手段と、前記受信された書き込みデータのうち、8ビット分の書き込みデータを保持する書き込みデータ保持手段と、前記保持されている8ビットの書き込みデータを、前記書き込み制限行に対して8ビット単位にて書き込むデータ書き込み手段と、前記メモリアレイにおける、前記書き込み制限行のデータセルに格納されている既存データを読み出す読み出し手段と、前記書き込みデータの値が、前記読み出された既存データの値未満の値であるか否かを、8ビット単位の書き込みデータ毎に判定する判定手段と、8ビット単位の書き込みデータのいずれかにおいて、前記前記書き込みデータの値が既存データの値未満の場合には、前記書き込み手段によって前記書き込み制限行の全ての対象データセルに対する前記書き込みデータの書き込みを実行しない制御部とを備える。

本発明の第2の態様に係る半導体記憶装置において、前記制御部は、前記8ビット単位の書き込みデータの全てにおいて、前記書き込みデータの値が前記既存データの値以上の場合には、前記書き込み制限行の全ての対象データセルに対す

る、前記書き込みデータの書き込みを実行しても良い。

本発明の第2の態様に係る半導体記憶装置によれば、判定手段によって、書き込みデータの値が、読み出された既存データの値未満の値であるか否かを、8ビット単位の書き込みデータ毎に判定し、8ビット単位の書き込みデータの全てにおいて、書き込みデータの値が既存データの値以上の場合には、書き込み手段によって書き込み制限行の全ての対象データセルに対する書き込みデータの書き込みを実行する。また、制御部は、8ビット単位の書き込みデータのいずれかにおいて、書き込みデータの値が既存データの値未満の場合には、書き込み制限行の全ての対象データセルに対する、書き込みデータの書き込みを実行しない。したがって、値が増大する書き込みデータの特性に反する値のデータの書き込みを制限することができる。

本発明の第2の態様に係る半導体記憶装置において、前記判定手段は、前記読み出し手段によって前記既存データが1ビット毎に読み出される毎に、前記書き込みデータ保持手段から前記書き込みデータを1ビット毎に読み出して、前記書き込みデータの値が前記読み出された既存データの値未満の値であるか否かを判定しても良い。かかる場合には、読み出した既存データを格納するための構成を必要とすることなく、書き込みデータの値が読み出された既存データの値未満の値であるか否かを判定することができる。

本発明の第2の態様に係る半導体記憶装置において、前記判定手段は、前記読み出し手段によって1ビット毎に読み出された前記8ビットの倍数の既存データと、前記書き込みデータ保持手段に保持されている前記8ビットの書き込みデータとを用いて、前記書き込みデータの値が前記読み出された既存データの値未満の値であるか否かを判定しても良い。かかる場合には、8ビット単位でまとめて、書き込みデータの値が読み出された既存データの値未満の値であるか否かを判定することができる。

本発明の第2の態様に係る半導体記憶装置において、前記書き込み制限行のデ

ータセルには、最上位ビットから順にデータが格納されており、前記データ書き込み手段は、前記メモリアレイに対して、最上位ビットから順にデータの書き込みを実行しても良い。かかる場合には、書き込みデータの値が読み出された既存データの値未満の値であるか否かを判定をより迅速に実行することができる。

- 5 書き込まれるデータの特性が、値が減少する特性を有している場合には、本発明の第2の態様に係る半導体記憶装置は、シーケンシャルにアクセスされると共に1ビットのデータを格納するデータセルを1行に8個有し、前記書き換え可能データを格納する書き込み制限行を有する不揮発性のメモリアレイと、前記メモリアレイの前記書き込み制限行に書き込むべき、8ビットの倍数の書き込みデータを受信するデータ受信手段と、前記受信された書き込みデータのうち、8ビット分の書き込みデータを保持する書き込みデータ保持手段と、前記保持されている8ビットの書き込みデータを、前記書き込み制限行に対して8ビット単位にて書き込むデータ書き込み手段と、前記メモリアレイにおける、前記書き込み制限行のデータセルに格納されている既存データを1ビット単位で読み出す読み出し手段と、前記書き込みデータの値が、前記読み出された既存データの値より大きな値であるか否かを、8ビット単位の書き込みデータ毎に判定する判定手段と、8ビット単位の書き込みデータのいずれかにおいて、前記前記書き込みデータの値が既存データの値より大きな場合には、前記書き込み手段によって前記書き込み制限行の全ての対象データセルに対する前記書き込みデータの書き込みを実行しない制御部とを備えても良い。
- 10
- 15
- 20

また、前記制御部は、前記8ビット単位の書き込みデータの全てにおいて、前記書き込みデータの値が前記既存データの値以下の場合には、前記書き込み制限行の全ての対象データセルに対する、前記書き込みデータの書き込みを実行しても良い。

- 25 書き込まれるデータの特性が、値が減少する特性を有している場合には、本発明の第2の態様に係る半導体記憶装置は、判定手段によって、書き込みデータの

値が、読み出された既存データの値より大きな値であるか否かを、8ビット単位の書き込みデータ毎に判定し、8ビット単位の書き込みデータの全てにおいて、書き込みデータの値が既存データの値以下の場合には、書き込み手段によって書き込み制限行の全ての対象データセルに対する書き込みデータの書き込みを実行する。また、制御部は、8ビット単位の書き込みデータのいずれかにおいて、書き込みデータの値が既存データの値より大きな値の場合には、書き込み制限行の全ての対象データセルに対する、書き込みデータの書き込みを実行しない。したがって、値が減少する書き込みデータの特性に反する値のデータの書き込みを制限することができる。

10 本発明の第3の態様は、値が増大する特性のデータを格納する所定のアドレス単位の書き込み制限格納アドレスを有する不揮発性のメモリアレイを備え、メモリアレイに対して所定のアドレス単位にてデータが書き込まれる半導体記憶装置におけるデータの書き込み制御方法を提供する。本発明の第3の態様に係る方法は、前記メモリアレイにおける、前記書き込み制限格納アドレスに格納されている既存データを読み出し、前記書き込み制限格納アドレスに書き込まれる書き込みデータの値が、前記読み出された既存データの値未満の値であるか否かを判定し、前記書き込みデータの値が前記既存データの値未満の場合には、前記書き込み制限格納アドレスに対して前記書き込みデータを前記所定のアドレス単位に、
15 て書き込まないことを備える。

20 書き込まれるデータの特性が、値が減少する特性を有している場合には、本発明の第3の態様に係る方法は、前記メモリアレイにおける、前記書き込み制限格納アドレスに格納されている既存データを読み出し、前記書き込み制限格納アドレスに書き込まれる書き込みデータの値が、前記読み出された既存データの値より大きな値であるか否かを判定し、前記書き込みデータの値が前記既存データの値より大きな値の場合には、前記書き込み制限格納アドレスに対して前記書き込みデータを前記所定のアドレス単位にて書き込まないことを備えても良い。
25

本発明の第 3 の態様に係るデータの書き込み制御方法によれば、本発明の第 1 の態様に係る半導体記憶装置と同様の作用効果を得ることができると共に、本発明の第 3 の態様に係るデータの書き込み制御方法は、本発明の第 1 の態様に係る半導体記憶装置と同様にして種々の態様にて実現され得る。

5 本発明の第 4 の態様は、シーケンシャルにアクセスされると共に 1 ビットのデータを格納するデータセルを 1 行に 8 個有し、値が増大する特性の書き換え可能データを格納する書き込み制限行を有する不揮発性のメモリアレイを備え、メモリアレイに対して 8 ビット単位にてデータが書き込まれる半導体記憶装置におけるデータの書き込み制御方法を提供する。本発明の第 4 の態様に係る方法は、前
10 記メモリアレイに書き込むべき、8 ビットの倍数の書き込みデータを受信し、前記受信された書き込みデータのうち、8 ビット分の書き込みデータを保持し、前記メモリアレイにおける、前記書き込み制限行のデータセルに格納されている既存データを読み出し、前記書き込みデータの値が、前記読み出された既存データの値未満の値であるか否かを、8 ビット単位の書き込みデータ毎に判定し、8 ビ
15 ット単位の書き込みデータのいずれかにおいて、前記前記書き込みデータの値が既存データの値未満の場合には、前記書き込み制限行の全てのデータセルに対して前記書き込みデータを書き込まないことを備える。

書き込まれるデータの特性が、値が減少する特性を有している場合には、本発明に第 4 の態様に係る方法は、前記メモリアレイに書き込むべき、8 ビットの倍
20 数の書き込みデータを受信し、前記受信された書き込みデータのうち、8 ビット分の書き込みデータを保持し、前記メモリアレイにおける、前記書き込み制限行のデータセルに格納されている既存データを読み出し、前記書き込みデータの値が、前記読み出された既存データの値より大きな値であるか否かを、8 ビット
25 単位の書き込みデータ毎に判定し、8 ビット単位の書き込みデータのいずれかにおいて、前記前記書き込みデータの値が既存データの値より大きな場合には、前記書き込み制限行の全てのデータセルに対して前記書き込みデータを書き込まな

いことを備えても良い。

本発明の第4の態様に係るデータの書き込み制御方法によれば、本発明の第2の態様に係る半導体記憶装置と同様の作用効果を得ることができると共に、本発明の第4の態様に係るデータの書き込み制御方法は、本発明の第2の態様に係る半導体記憶装置と同様にして種々の態様にて実現され得る。

本発明の第3および第4の態様に係る方法は、この他にも、プログラム、およびプログラムを記録したコンピュータが読み取り可能な記録媒体としても実現され得る。

本発明の第5の態様は半導体記憶装置を提供する。本発明の第5の態様に係る半導体記憶装置は、不揮発性のメモリアレイと、前記メモリアレイに対するデータの書き込みおよび前記メモリアレイからのデータの読み出しを制御するリードライトコントローラと、を備え、前記リードライトコントローラは、前記メモリアレイに対するデータの書き込みが要求された場合において、入力される複数ビットの書き込みデータの値と、前記複数ビットの書き込みデータを書き込むべき複数ビットの記憶領域に記憶されている複数ビットの記憶データの値とを比較し、所定の大小関係を満たしている前記複数ビットの書き込みデータについては前記複数ビットの記憶領域への書き込みを実行し、前記大小関係を満たしていない前記複数ビットの書き込みデータについては前記複数ビットの記憶領域への書き込みを禁止する。

本発明の第5の態様に係る半導体記憶装置によれば、記憶データに対して所定の大小関係を満たしていない書き込みデータの書き込みを禁止することが可能である。

本発明の第5の態様に係る半導体記憶装置は、以下の通り構成されても良い。本発明の第5の態様に係る半導体記憶装置は、不揮発性のメモリアレイと、前記メモリアレイに対するデータの書き込みおよび前記メモリアレイからのデータの読み出しを制御するリードライトコントローラと、を備え、前記リードライトコ

ントローラは、前記メモリアレイに対するデータの書き込みが要求された場合において、入力される複数ビットの書き込みデータの値と、前記複数ビットの書き込みデータを書き込むべき複数ビットの記憶領域に記憶されている複数ビットの記憶データの値とを、前記複数ビットの書き込みデータのうち最大ビットから 1
5 ビット単位で順に比較し、前記記憶データの各ビットの値に対して所定の大小関係を満たしていると判定されるビットがあった場合には、そのビット以降のビットの書き込みデータについて書き込みを実行し、前記所定の大小関係を満たしていないビットがあった場合には、そのビット以降のビットの書き込みデータについて書き込みを禁止する。

10 上記構成を備える本発明の第 5 の態様に係る半導体記憶装置によれば、1 ビット単位でデータのアクセスが実行される半導体記憶装置において、記憶データに対して所定の大小関係を満たしていない書き込みデータの書き込みを禁止することが容易である。

15 なお、本発明の第 5 の態様に係る半導体記憶装置は、半導体記憶装置に対する書き込み制御方法、プログラム、プログラムを記録したコンピュータ読み取り可能な記録媒体としても実現され得る。

本発明の第 6 の態様は半導体記憶装置を提供する。本発明の第 6 の態様に係る半導体記憶装置は、消費材の量に関するデータであって、値が増大する特性を有する消費材量データを格納する不揮発性のメモリアレイと、前記メモリアレイに
20 格納されるべき、新規消費材量データを書き込むデータ書き込み手段と、前記メモリアレイから、既に格納されている既存消費材量データを読み出す読み出し手段と、前記新規消費材量データの値が前記既存消費材量データの値未満の場合には、前記データ書き込み手段による前記新規消費材量データの書き込みは行わず、前記新規消費材量データの値が前記既存消費材量データの値以上の場合には、
25 前記データ書き込み手段による前記新規消費材量データの書き込みを実行する制御部とを備える。本発明の第 6 の態様に係る半導体記憶装置によれば、本発明の第

1 または第 2 の態様に係る半導体記憶装置と同様の作用効果を得ることができる。

本発明の第 1、2、5 および 6 の態様に係る半導体記憶装置は、前記印刷記録材の量に関する情報を格納するために、印刷装置に着脱可能に装着される、印刷
5 記録材を収容する印刷記録材容器であって、前記印刷記録材を収容する収容部に装着されて用いられても良い。この場合には、印刷記録材の量に関する情報の信頼性を向上させることができる。

本発明の第 7 の態様は、印刷装置と、印刷装置に着脱可能に装着される本発明の第 1、2、5 および 6 の態様に係る半導体記憶装置を有する印刷記録材容器と
10 を備える印刷システムを提供する。本発明の第 7 の態様に係る印刷システムにおいて、前記印刷装置は、前記印刷記録材容器に装着される半導体記憶装置とデータ信号線、クロック信号線、リセット信号線、正極電源線、および負極電源線を介してバス接続されるホスト計算機であって、印刷装置において消費された印刷
15 記録材に関する量の情報を前記半導体記憶装置に送信するホスト計算機を備え、前記印刷記録材容器に装着されている半導体記憶装置は、受信した印刷記録材に関する量の情報を前記メモリアレイに格納する。本発明の第 6 の態様によれば、印刷に伴い消費される印刷記録材の量に関する情報を格納するにあたり、半導体記憶装置において、書き込みデータが有する増減特性に反する値のデータの書き込みを制限することができる。

20

図面の簡単な説明

図 1 は第 1 の実施例に係る半導体記憶装置の機能的な内部構成を示すブロック図である。

図 2 は第 1 の実施例に係る半導体記憶装置が備えるメモリアレイの内部構成マップを模式的に示す説明図である。

25

図 3 は第 1 の実施例に係る半導体記憶装置の読み出し動作実行時におけるリセ

ット信号 R S T、外部クロック信号 S C K、データ信号 S D A、アドレスカウンタ値の時間的関係を示すタイミングチャートである。

図 4 は第 1 の実施例に係る半導体記憶装置の書き込み動作実行時におけるリセット信号 R S T、外部クロック信号 S C K、データ信号 S D A、アドレスカウンタ値の時間的関係を示すタイミングチャートである。

図 5 は第 1 の実施例に係る半導体記憶装置によって実行される書き込み処理におけるインクリメント確認処理の処理ルーチンを示すフローチャートである。

図 6 は第 1 の実施例に係る半導体記憶装置によって実行される書き込み処理におけるインクリメント確認処理の処理ルーチンを示すフローチャートである。

図 7 は第 1 の実施例に係る半導体記憶装置 1 0 によって実行される書き込み処理におけるデータベリファイ処理の処理ルーチンを示すフローチャートである。

図 8 は第 1 の実施例におけるインクリメント確認処理の結果の一例を示す説明図である。

図 9 は第 1 の実施例に係る半導体記憶装置の応用例を示す説明図である。

図 1 0 は第 2 の実施例に係る半導体メモリ装置の内部回路構成を示すブロック図である。

図 1 1 は第 2 の実施例におけるデータの書き込み動作の手順を示すフローチャートである。

図 1 2 は第 3 の実施例に係る半導体メモリ装置の内部回路構成を示すブロック図である。

図 1 3 は第 3 の実施例におけるデータの書き込み動作の手順を示すフローチャートである。

図 1 4 は第 3 の実施例の変形例としてのデータの書き込み動作の手順を示すフローチャートである。

図 1 5 は第 3 の実施例の変形例としてのデータの書き込み動作の手順を示すフローチャートである。

発明を実施するための最良の形態

以下、本発明に係る半導体記憶装置および半導体記憶装置に対するデータの書き込み制御方法について図面を参照しつつ、実施例に基づいて説明する。

5

第1の実施例：

・半導体記憶装置の構成

図1および図2を参照して第1の実施例に半導体記憶装置の構成について説明する。図1は第1の実施例に係る半導体記憶装置の機能的な内部構成を示すブロック図である。図2は第1の実施例に係る半導体記憶装置が備えるメモリアレイの内部構成マップを模式的に示す説明図である。

10

15

第1の実施例に係る半導体記憶装置10は、外部からアクセス先のアドレスを指定するアドレスデータを入力する必要のないシーケンシャルアクセス方式の記憶装置である。半導体記憶装置10は、メモリアレイ100、アドレスカウンタ110、IN/OUTコントローラ120、IDコンパレータ130、ライト/リードコントローラ140、イングリメントコントローラ150、チャージポンプ回路160、8ビットラッチレジスタ170を備えている。これら各回路は、バス式の信号線によって接続されている。

20

25

メモリアレイ100は、EEPROMアレイ101とマスクROMアレイ102とを備えている。EEPROMアレイ101は、データの電氣的な消去、書き込みが可能なEEPROMの特性を有する記憶領域であり、本実施例に用いられるEEPROMアレイ101は、データの書き込みに際して、既存データを消去することなく直ちにデータを書き込むことができる。マスクROMアレイ102は、製造工程時にデータが書き込まれる消去、書き換え不能なマスクROMの特性を有する記憶領域である。

メモリアレイ100のEEPROMアレイ101およびマスクROMアレイ1

02には、図2に模式的に示す1ビットの情報を格納するデータセル（メモリセル）が複数備えられている。本実施例では、図2に示すようにメモリアレイ100は、1行に8アドレス（データ8ビット分のアドレス）を所定のアドレス単位として備えており、例えば、EEPROMアレイ101には、1行に8個のデータセル（8ビット）、1列に16個のデータセル（16ワード）が配置されており、16ワード×8ビット（128ビット）のデータを格納することができる。マスクROMアレイ102には、1行に8個のデータセル（8ビット）、1列に8個のデータセル（8ワード）が配置されており、8ワード×8ビット（64ビット）のデータを格納することができる。

図2を参照してメモリアレイ100のアドレスマップについて説明する。本実施例におけるメモリアレイ100は、既述の通りEEPROMアレイ101とマスクROMアレイ102とを備えている。EEPROMアレイ101の先頭3アドレス（1行目のA0～A2列、3ビット）には、各半導体記憶装置を識別するための識別情報（ID情報）が格納されている。先頭3アドレスを含む第1行目に対する書き込みは禁止されており、例えば、工場出荷後には書き換えることはできない。

図2の例では、EEPROMアレイ101の第9アドレス（08H）～第16アドレス（0FH）および第17アドレス（10H）～第24アドレス（07H）には、一定条件の下、書き換え可能な16ビットの情報が格納されている。なお、本実施例においては、この第9アドレス～第16アドレスおよび第17アドレス～第24アドレスにより構成される行を書き込み制限行、あるいは、この第9アドレス～第16アドレスおよび第17アドレス～第24アドレスの各8アドレスを、所定アドレス単位の書き込み制限格納アドレス、と呼ぶことがある。また、一定条件とは、例えば、格納されている情報がインク消費量に関する情報の場合には、書き込まれるデータの値が既存のデータの値よりも大きな場合、あるいは、格納されている情報がインク残量に関する情報の場合には、書き込まれる

データの値が既存のデータの値よりも小さな場合である。

EEPROMアレイ101の第25アドレス以降は書き込みが禁止されている読み出し専用領域となり、例えば、工場出荷後には書き換えることはできない。

5 マスクROMアレイ102は、メモリアレイ製造時に情報（データ）が書き込まれており、メモリアレイ製造後は、工場出荷前であっても書き込みを実行することはできない。

本実施例におけるメモリアレイ100は、上述のように8ビットを単位とする複数の行を備えているが、各行は独立したデータセル列ではなく、いわば、1本のデータセル列を8ビット単位で折り曲げることによって実現されている。すな
10 わち、便宜的に9ビット目を含む行を2バイト目、17ビット目を含む行を3バイト目と呼んでいるに過ぎない。この結果、メモリアレイ100における所望のアドレスにアクセスするためには、先頭から順次アクセスする、いわゆる、シーケンシャルアクセス方式によるアクセスが必要となり、ランダムアクセス方式の場合に可能な所望のアドレスに対する直接的なアクセスは不可能となる。

15 メモリアレイ100における各データセルには、ワード線とビット（データ）線が接続されており、対応するワード線（行）を選択（選択電圧を印加）して、対応するビット線に書き込み電圧を印加することによってデータセルにデータが書き込まれる。また、対応するワード線（行）を選択し、対応するビット線をI、N/OUTコントローラ120と接続し、電流の検出の有無によってデータセル
20 のデータ（1または0）が読み出される。なお、本実施例における所定アドレス単位とは、1本のワード線に書き込み電圧を加えることにより書き込みが可能なアドレス数（データセル数）であるということができる。

カラム選択回路103は、アドレスカウンタ110によりカウントされた外部クロックパルス数に応じて順次、列（ビット線）をIN/OUTコントローラ1
25 20と接続する。ロー選択回路104は、アドレスカウンタ110によりカウントされた外部クロックパルス数に応じて順次、行（ワード線）に選択電圧を印加

する。すなわち、本実施例に係る半導体記憶装置 10 では、アドレスデータを用いたメモリアレイ 100 に対するアクセスは実行されず、専らアドレスカウンタ 110 によってカウントされたクロックパルス数にしたがって、所望のアドレスに対するアクセスが実行される。

- 5 アドレスカウンタ 110 は、リセット信号端子 RSTT、クロック信号端子 SCKT、カラム選択回路 103、ロー選択回路 104 と接続されている。アドレスカウンタ 110 は、リセット信号端子 RSTT を介して入力されるリセット信号を 0（またはロー）にすることにより初期値にリセットされ、リセット信号が 1 とされた後に外部クロック信号端子 SCKT を介して入力されるクロックパルスの立ち下がりに同期してクロックパルス数をカウント（カウント値をインクリメント）する。本実施例に用いられるアドレスカウンタ 110 は、メモリアレイ 100 の 1 行のデータセル数（ビット数）に対応する 8 個のクロックパルス数を格納する 8 ビットのアドレスカウンタである。なお、初期値はメモリアレイ 100 の先頭位置と関連付けられていればどのような値でも良く、一般的には 0 が初期値として用いられる。
- 10
- 15

- IN/OUT コントローラ 120 は、メモリアレイ 100 に対してデータ信号端子 SDAT に入力された書き込みデータを転送し、あるいは、メモリアレイ 100 から読み出されたデータを受信してデータ信号端子 SDAT に出力するための回路である。IN/OUT コントローラ 120 は、データ信号端子 SDAT、リセット信号端子 RSTT、メモリアレイ 100、ライト/リードコントローラ 140 と接続されており、ライト/ロードコントローラ 140 からの要求に従ってメモリアレイ 100 に対するデータ転送方向ならびにデータ信号端子 SDAT に対する（データ信号端子 SDAT と接続されている信号線の）データ転送方向を切り換え制御する。IN/OUT コントローラ 120 に対するデータ信号端子 SDAT からの入力信号線には、データ信号端子 SDAT から入力された書き込みデータを一時的に格納する 8 ビットラッチレジスタ 170 が接続されている。
- 20
- 25

8ビットラッチレジスタ170には、データ信号端子SDATから入力信号線を介して入力されるデータ列(MSB)が8ビットとなるまで保持され、8ビット分揃ったところで、EEPROMアレイ101に対して保持されている8ビットのデータが書き込まれる。8ビットラッチレジスタ170は、いわゆるFIFOタイプのシフトレジスタであり、入力データの9ビット目が新たにラッチされると、既にラッチされていた1ビット目のデータが放出される。

IN/OUTコントローラ120は、電源ON時、リセット時には、メモリアレイ100に対するデータ転送方向を読み出し方向に設定し、8ビットラッチレジスタ170とIN/OUTコントローラ120との間における入力信号線をハイインピーダンスとすることでデータ信号端子SDATに対するデータ入力を禁止する。この状態は、ライト/リードコントローラ140から書き込み処理要求が入力されるまで維持される。したがって、リセット信号入力後にデータ信号端子SDATを介して入力されるデータ列の先頭4ビットのデータはメモリアレイ100に書き込まれることはなく、一方で、メモリアレイ100の先頭4ビット(内4ビット目はドントケア)に格納されているデータは、IDコンパレータ130に送出される。この結果、メモリアレイ100の先頭4ビットは読み出し専用状態となる。

IDコンパレータ130は、クロック信号端子SCKT、データ信号端子SDAT、リセット信号端子RSTTと接続されており、データ信号端子SDATを介して入力された入力データ列に含まれる識別データとメモリアレイ100(EEPROMアレイ101)に格納されている識別データとが一致するか否かを判定する。詳述すると、IDコンパレータ130は、リセット信号RSTが入力された後に入力されるオペレーションコードの先頭3ビットのデータ、すなわち識別データを取得する。IDコンパレータ130は、入力データ列に含まれる識別データを格納する3ビットレジスタ(図示しない)、IN/OUTコントローラ120を介してメモリアレイ100から取得した最上位3ビットの識別データを

格納する 3 ビットレジスタ（図示しない）を有しており、両レジスタの値が一致するか否かによって識別データが一致するか否かを判定する。ID コンパレータ 130 は、両識別データが一致する場合には、アクセス許可信号 EN をライト／リードコントローラ 140 に送出する。ID コンパレータ 130 は、リセット信号 RST が入力（RST = 0 または Low）されるとレジスタの値をクリアする。

ライト／リードコントローラ 140 は、IN／OUT コントローラ 120、ID コンパレータ 130、インクリメントコントローラ 150、チャージポンプ回路 160、クロック信号端子 SCKT、データ信号端子 SDAT、リセット信号端子 RSTT と接続されている。ライト／ロードコントローラ 140 は、リセット信号 RST が入力された後の 4 つめのクロック信号に同期してデータ信号端子 SDAT を介して入力される書き込み／読み出し制御情報（3 ビットの ID 情報に続く 4 ビット目の情報）を確認し、半導体記憶装置 10 の内部動作を書き込みまたは読み出しのいずれかに切り換える回路である。具体的には、ライト／リードコントローラ 140 は、ID コンパレータ 130 からのアクセス許可信号 AEN およびインクリメントコントローラ WEN1 からの書き込み許可信号 WEN1 が入力されると、取得した書き込み／読み出しコマンドを解析する。ライト／リードコントローラ 140 は、書き込みコマンドであれば、IN／OUT コントローラ 120 に対して、バス信号線のデータ転送方向を書き込み方向に切り換え、書き込みを許可する書き込み許可信号 WEN2 を送信し、チャージポンプ回路 160 に対して書き込み電圧の生成を要求する。

本実施例では、書き込み制限行に書き込まれる書き込みデータ DI が、値が増加（インクリメント）する特性を有するデータである場合には、書き込みデータ DI が書き込み制限行に既に格納されている既存データ DE よりも大きな値であるか否かを判断し、書き込みデータ DI が、値が減少（デクリメント）する特性を有するデータである場合には、書き込みデータ DI が書き込み制限行に既に格

納されている既存データD Eよりも小さな値であるか否かを判断することで、書き込みデータD I のデータ化け、誤ったデータの入力を低減又は防止する。この機能は、前者の場合にはインクリメントコントローラ、後者の場合にはデクリメントコントローラによって提供される。本実施例では以下の説明において、前者を例にとって説明する。

インクリメントコントローラ150は、リセット信号端子R S T T、ライト／リードコントローラ140、チャージポンプ回路160と信号線を介して接続されている。インクリメントコントローラ150は、内部に4ビットカウンタ151および8ビット内部レジスタ152、153を有している。インクリメントコントローラ150は、書き込み制限行に書き込まれる書き込みデータD I が書き込み制限行に既に格納されている既存データD Eよりも大きな値であるか否かを判断し、さらにE E P R O Mアレイ101に書き込まれたデータが正しく書き込まれたか否かの判断（ベリファイ、検証）を実行する。

インクリメントコントローラ150は、書き込みデータD I を8ビットラッチレジスタ170にラッチするタイミングで、E E P R O Mアレイ101の書き込み制限行から既存データD Eを読み出し、内部に備える8ビット内部レジスタ152に格納する。インクリメントコントローラ150は、読み出される既存データE Dと8ビットラッチレジスタ170に入力される書き込みデータD I とを1ビット単位で比較して、書き込みデータD I が既存データD Eよりも大きな値のデータであるか否かを判定する。なお、処理の迅速化のため、入力される書き込みデータはM S Bであることが望ましい。

インクリメントコントローラ150は、書き込みデータD I が既存データD Eよりも大きな値のデータである場合には、ライト／リードコントローラ140に対して書き込み許可信号W E N 1を出力する。なお、書き込み制限行が複数行に亘る場合には、全ての書き込み制限行において書き込みデータD I が既存データD Eよりも大きな値のデータである場合にのみ、インクリメントコントローラ1

5 0 は、書き込み許可信号 WEN 1 を出力する。

インクリメントコントローラ 1 5 0 は、書き込みデータを書き込んだ後、正しくデータが書き込まれたか否かを検証し、書き込みデータが正しく書き込まれていない場合には、内部に備える 8 ビット内部レジスタ 1 5 2 に格納されている既存データ D E をメモリアレイ 1 0 0 に対して書き戻す。書き込みデータの検証に際して、インクリメントコントローラ 1 5 0 に備えられている 4 ビットカウンタ 1 5 1 は、書き込みスタンバイ状態から外部クロック信号に対して 8 ビット遅れで、チャージポンプ回路 1 6 0 に備えられている内部発振器 1 6 2 から内部クロック信号を受けてカウントアップを開始する。4 ビットカウンタ 1 5 1 によって
10 カウントアップされたカウント値は、カラム選択回路 1 0 3、ロー選択回路 1 0 4 に入力され、書き込まれたばかりの既存データ D E が読み出される。

チャージポンプ回路 1 6 0 は、既述の通り、ライト／リードコントローラ 1 4 0 からの要求信号に基づいて、E E P R O M アレイに対してデータを書き込む際に必要な書き込み電圧をカラム選択回路 1 0 3 を介して選択されたビット線に供給するための回路である。チャージポンプ回路 1 6 0 は、電圧昇圧時に必要な動作周波数を生成する内部発振器 1 6 2 を備え、正極電源端子 V D D T を介して得られる電圧を昇圧することで、必要な書き込み電圧を生成する。
15

・読み出し処理

20 図 3 を参照して第 1 の実施例に係る半導体記憶装置 1 0 における読み出し動作について説明する。図 3 は第 1 の実施例に係る半導体記憶装置の読み出し動作実行時におけるリセット信号 R S T、外部クロック信号 S C K、データ信号 S D A、アドレスカウンタ値の時間的關係を示すタイミングチャートである。

読み出し動作に先立って、オペレーションコードに基づく、識別情報の確認、
25 読み出し／書き込みコマンドの確認処理について説明する。リセット状態（R S T = 0 または L o w）が解除される（R S T = 1 または H i）と、図示しないホ

スト計算機から、4ビットのオペレーションコードを含むデータ信号SDAが外部クロック信号に同期してデータ信号端子SDATに入力される。オペレーションコードは、図3に示すように、先頭3ビットに識別情報ID0、ID1、ID2を含み、先頭から4ビット目には、書き込みまたは読み出しを決定するためのコマンドビットを含んでいる。識別情報の比較は以下の通り実行される。

IDコンパレータ130は、リセット信号RSTがローからハイに切り替えられた後の3つのクロック信号CLKの立ち上がりエッジに同期してデータ信号端子SDATに入力されたデータ、すなわち、3ビットの識別情報を取得して第1の3ビットレジスタに格納する。これと同時にIDコンパレータ130は、アドレスカウンタ110のカウント値00、01、02によって指定されるメモリアレイ100のアドレスからデータを取得し、すなわち、メモリアレイ100に格納されている識別情報を取得して、第2の3ビットレジスタに格納する。

IDコンパレータ130は、第1、第2レジスタに格納された識別情報が一致するか否かを判定し、識別情報が一致しない場合には、IN/OUTコントローラ120によって、8ビットラッチレジスタ170とIN/OUTコントローラ120との間における入力信号線に対するハイインピーダンスの状態が保持される。一方、IDコンパレータ130は、第1、第2レジスタに格納された識別情報が一致する場合には、ライト/リードコントローラ140に対してアクセス許可信号AENを出力する。アクセス許可信号AENを受信したライト/リードコントローラ140は、リセット信号RSTのローからハイへの切り替わり後の4つ目のクロック信号CLKの立ち上がりエッジに同期してバス信号線に送出されたコマンドビットを取得して書き込み命令であるか否かを判定する。ライト/リードコントローラ140は、取得したコマンドビットが書き込みコマンドでない場合には、IN/OUTコントローラ120に対して読み出し命令を出力する。

読み出し命令を受信したIN/OUTコントローラ120は、メモリアレイ100に対するデータ転送方向を読み出し方向に変更し、データ転送を許容する。

アドレスカウンタ 110 は、クロック信号 SCK の立ち下がりに同期してカウントアップするため、オペレーションコード入力後のアドレスカウンタ 110 のカウンタ値は 04 であり、メモリアレイ 100 の 04H に格納されている既存データ DE から読み出される。メモリアレイに格納されている既存データ DE は、クロック信号 SCK の立ち下がりに同期して IN/OUT コントローラ 120 を介して、データ信号端子 SDAT に順次出力され、出力された既存データ DE はクロック信号 SCK の次の立ち下がりまでの期間は保持される。クロック信号 SCK が立ち下がると、アドレスカウンタ 110 におけるカウント値は 1 つインクリメントされ、この結果、メモリアレイ 100 における次のアドレス（データセル）に格納されている既存データ DE がデータ信号端子 SDAT に出力される。この動作の繰り返しが、所望のアドレスに到達するまで、クロック信号 SCK に同期して実行される。すなわち、本実施例における半導体記憶装置 10 はシーケンシャルアクセスタイプの記憶装置であるから、ホスト計算機は、読み出し、または書き込みを所望するアドレスに対応する数のクロック信号パルスを発行し、アドレスカウンタ 110 のカウンタ値を所定のアドレスに対応するカウント値までインクリメントしなければならない。この結果、既存データ DE は、クロック信号 SCK に同期して順次インクリメントされるアドレスカウンタ 110 のカウンタ値によって指定されるアドレスからシーケンシャルに読み出しされる。

本実施例に係る半導体記憶装置 10 のメモリアレイ 100 は、00H~BFH までのアドレスしか有していないが、アドレスカウンタ 110 はアドレス FFH までカウントアップを実行する。アドレス C0H~FFH までは、疑似領域であり、対応するアドレスはメモリアレイ 100 には存在せず、かかる疑似領域にアクセスしている期間は、データ信号端子 SDAT に対して値「0」が出力される。アドレスカウンタ 110 によってアドレス FFH までカウントアップされると、アドレスはアドレス 00H に戻る。読み出し動作終了後には、ホスト計算機から 0 または LOW のリセット信号 RST が入力され、半導体記憶装置 10 は、オ

ペレーションコードの受け付け待機状態とされる。

リセット信号RST (=0またはLOW)が入力されると、アドレスカウンタ110、IN/OUTコントローラ120、IDコンパレータ130、ライト/リードコントローラ140およびインクリメントコントローラ150は初期化される。

・書き込み処理

図4を参照して第1の実施例に係る半導体記憶装置10における書き込み動作について説明する。図4は第1の実施例に係る半導体記憶装置の書き込み動作実行時におけるリセット信号RST、外部クロック信号CLK、データ信号SDA、アドレスカウンタ値の時間的關係を示すタイミングチャートである。本実施例に係る半導体記憶装置10では、書き込みは行単位(8ビット単位)、すなわち所定アドレス単位(8アドレス単位)で実行される。

既述のIDコンパレータ130により識別情報の一致が確認された後、ライト/リードコントローラ140は、取得したコマンドビットが書き込みコマンドであると共に、インクリメントコントローラ150から書き込み許可信号WEN1を受信した場合には、IN/OUTコントローラ120に対して書き込み許可信号WEN2を出力する。

図4に示す通り、オペレーションコードが入力された後、クロック信号端子SCKTにはダミーライトクロックとして4クロック信号が入力され、書き込みスタンバイ状態とされる。アドレスカウンタ110は、クロック信号CLKの立ち下がりに同期してカウントアップするため、書き込みスタンバイ状態後の、アドレスカウンタ110のカウント値は08となり、メモリアレイ100のアドレス08Hからデータが書き込まれることとなる。

本実施例では、1行8ビットのメモリアレイ100に対して、16ビット長の書き込みデータが書き込まれる。書き込み処理に際しては、先ず、書き込みデー

タD Iの最上位ビット(MSB)から8ビットのデータが、クロック信号SCKの立ち上がり同期して、8ビットラッチレジスタ170に順次ラッチされる。また、IN/OUTコントローラ120に対して書き込み許可信号WEN2が出力されるまでは、クロック信号SCKの立ち下がり同期して、メモリアレイ100の第8アドレス以後の既存データが順次、データ出力信号線(データ信号端子SDA)上に出力される。データ出力信号線上に出力された既存データDEは、インクリメントコントローラ150に入力され、8ビットラッチレジスタ170にラッチされた書き込みデータDIと共に、後述するように、インクリメントコントローラ150における書き込みデータDIが既存データDEよりも大きな値であるか否かを判定するために用いられる。この判断処理は、書き込みスタンバイ状態後の8サイクル目のクロック信号SCK立ち上がり後(=1またはHi)に実行される。

書き込み許可信号WEN2を受信したIN/OUTコントローラ120は、メモリアレイ100に対するデータ転送方向を書き込み方向に変更し、8ビットラッチレジスタ170とIN/OUTコントローラとの間における信号線のハイインピーダンス設定を解除してデータ転送を許容する。この結果、メモリアレイ100の各ビット線には書き込みデータDIの値(0または1)が転送される。ライト/リードコントローラ140は、書き込みスタンバイ状態後の8サイクル目のクロック信号SCK立ち上がり後に、チャージポンプ回路160に対して書き込み電圧の生成を要求し、生成された書き込み電圧は、カラム選択回路103によって選択されているビット線、本実施例では全てのビット線に印加され、この結果、8ビットラッチレジスタ170に格納されている8ビットのデータ「1」と「0」が、一度に書き込み制限行に書き込まれる。

8サイクル目のクロック信号SCKが立ち下がると、アドレスカウンタ110のカウンタ値が1つインクリメントされ、次のアドレス(8アドレス分)に書き込まれるべき書き込みデータDI(2バイト目のデータ)の取り込みが実行され

る。また、8サイクル目のクロック信号SCKが立ち下がった後のクロック・ロー期間で、書き込まれたばかりの既存データDEと書き込みに用いられた書き込みデータDIとが一致するか否かのベリファイ処理が実行される。すなわち、クロック・ロー期間の間に、インクリメントコントローラ150に備えられている
5 4ビットカウンタ151によって書き込まれたばかりの8ビットの既存データDEのアドレスを指定するためのカウント値がカラム選択回路103およびロー選択回路104に対して入力される。この結果、IN/OUTコントローラ120からは、書き込まれたばかりの8ビットの既存データDEが出力され、IN/OUTコントローラ120を介して、インクリメントコントローラ150が備える
10 8ビット内部レジスタ153に格納される。インクリメントコントローラ150は、8ビット内部レジスタ153に格納されている8ビットの既存データDEと8ビットラッチレジスタ170に格納されている8ビットの書き込みデータDIとが一致するか否かを検証する。

本実施例では、書き込みデータDIは16ビット長のデータであり、書き込み
15 制限行は2行（8アドレス×2）であるため、上記の処理が2度実行されると、書き込みデータDIの書き込みは完了する。書き込みデータDIの書き込み完了後、ホスト計算機からリセット信号RST（＝0またはLOW）がリセット信号端子RSTTに入力され、オペレーションコードの受け付け待機状態とされて、書き込み処理が終了する。

20 なお、ホスト計算機から送出される書き込みデータは、書き換えを所望するアドレスに対応するデータを除いて、メモリアレイ100に現在格納されているデータと同一の値（0または1）を有している。すなわち、メモリアレイ100における書き換えられないアドレスのデータは、同一の値によって上書きされる。

リセット信号RST（＝0またはLOW）が入力されると、アドレスカウンタ
25 110、IN/OUTコントローラ120、IDコンパレータ130、ライト/リードコントローラ140およびインクリメントコントローラ150は初期化さ

れる。

・インクリメント確認処理：

図5～図8を参照して、第1の実施例に係る半導体記憶装置10によって実行
5 される書き込み処理におけるインクリメント確認処理、データベリファイ処理に
ついて説明する。図5および図6は第1の実施例に係る半導体記憶装置10によ
って実行される書き込み処理におけるインクリメント確認処理の処理ルーチン
を示すフローチャートである。図7は第1の実施例に係る半導体記憶装置10によ
10 って実行される書き込み処理におけるデータベリファイ処理の処理ルーチン
を示すフローチャートである。図8は第1の実施例におけるインクリメント確認処理
の結果の一例を示す説明図である。

書き込み処理が開始されると、16ビット（2バイト）長の書き込みデータD
Iの内、1バイト目の書き込みデータDI1が8ビットラッチレジスタ170に
ラッチされるタイミングで、インクリメントコントローラ150は、メモリアレ
15 イ100の第1の書き込み制限行に格納されている対応既存データDE1を1ビ
ット単位にて読み出す（ステップS100）。以降、第1の書き込み制限行に格
納されている8ビットの既存データDE1を構成する1ビットの各既存データD
E1を既存データDE1n（n=1～8）とする。また、8ビットの書き込みデ
ータDI1を構成する1ビットの各書き込みデータDI1を書き込みデータDI
20 1n（n=1～8）とする。

すなわち、インクリメントコントローラ150は、2バイト目の各書き込みデ
ータDI2nを8ビットラッチレジスタ170へラッチする際に用いられるクロ
ック信号SCKの立ち下がりに同期してIN/OUTコントローラ120から出
力される、メモリアレイ100の第1の書き込み制限行に格納されている対応既
25 存データDE1を1ビット単位にて読み出す。なお、1バイト目の書き込みデ
ータが書き込まれるべきメモリアレイ100のアドレスは、第1の書き込み制限行

に対応する 8 アドレスであり、8 アドレスが所定の単位のアドレスとなる。

インクリメントコントローラ 150 は、今回のタイミングで 8 ビットラッチレジスタ 170 にラッチされた 1 ビットの書き込みデータ $DI1$ を読み出す（ステップ S102）。なお、本実施例では、書き込みデータ DI は最上位ビット（MSB）から順に半導体記憶装置 10 に入力され、8 ビットラッチレジスタ 170 には、MSB にて書き込みデータ $DI1n$ が順次ラッチされる。

インクリメントコントローラ 150 は、8 ビットラッチレジスタ 170 から読み出した書き込みデータ $DI1n$ の値がメモリアレイ 100 の第 1 の書き込み制限行から読み出した既存データ $DE1n$ の値以上であるか否か、すなわち、 $DI1n \geq DE1n$ であるか判断する（ステップ S104）。インクリメントコントローラ 150 は、 $DI1n < DE1n$ であると判断した場合には（ステップ S104: No）、本処理ルーチンを終了する。すなわち、書き込みデータ $DI1$ の書き込みは実行されない。なお、図 5 では、書き込みデータ $DI1n$ の値が既存データ $DE1n$ の値以上であるか否か、すなわち、 $DI1n \geq DE1n$ の判断が記載されているが、この判断は、 $DI1n < DE1n$ であるか、すなわち、書き込みデータ $DI1n$ の値が既存データ $DE1n$ の値未満であるかの判断と置き換えられても良い。 $DI1n < DE1n$ の判断に置き換えられた場合には、Yes、No の判断が入れ替わるに過ぎない。

インクリメントコントローラ 150 は、 $DI1n \geq DE1n$ であると判断した場合には（ステップ S106: Yes）、第 1 の書き込み制限行から読み出した既存データ $DE1n$ を、内部に備える 8 ビット内部レジスタ 152 に格納する（ステップ S106）。

インクリメントコントローラ 150 は、第 1 の書き込み制限行に格納されている 8 ビットの既存データ $DE1n$ と 8 ビットラッチレジスタ 170 に格納されている 8 ビットの書き込みデータ $DI1n$ との対比が完了したか否かを判定し（ステップ S108）、完了していないと判定した場合には（ステップ S108: N

o)、ステップS100～S106を繰り返して実行する。

インクリメントコントローラ150は、第1の書き込み制限行に格納されている8ビットの既存データDE1nと8ビットラッチレジスタ170に格納されている8ビットの書き込みデータDI1nとの対比が完了したと判定した場合には

5 (ステップS108: Yes)、8ビットラッチレジスタ170に格納されている書き込みデータDI1をメモリアレイ100の第1の書き込み制限行に対して書き込む(ステップS112)。すなわち、 $DE1 \leftarrow DI1$ となり、書き込みデータDI1が新たな既存データDE1となる。より詳細には、既述のように、インクリメントコントローラ150がメモリアレイ100に対する書き込みデータ

10 DI1の書き込みを直接実行するのではなく、8ビットラッチレジスタ170に格納されている書き込みデータDI1をメモリアレイ100の第1の書き込み制限行に書き込みことを許可する、書き込み許可信号WEN1をライト／リードコントローラ140に対して出力し、書き込み許可信号WEN1を受信したライト／リードコントローラ140によって書き込みが実行される。

15 インクリメントコントローラ150は、データベリファイ処理を実行し(ステップS112)、書き込みが正常に完了していた場合には(ステップS114: Yes)、図6のA以降のステップを実行する。一方、インクリメントコントローラ150は、データベリファイ処理を実行し(ステップS112)、書き込みが正常に完了していなかった場合には(ステップS114: No)、書き込み処理を終了する。

20

データベリファイ処理について図7を参照して説明する。インクリメントコントローラ150は、メモリアレイ100の第1の書き込み制限行から、書き込んだばかりの既存データDE1を読み出し(ステップS200)、8ビットラッチレジスタ170にはに格納されてる書き込みデータDI1と比較する(ステップ

25 S210)。具体的には、インクリメントコントローラ150は、1バイト目の書き込み終了後におけるクロック・ロー期間に、チャージポンプ回路160の内

部発振器 1 6 2 によって生成される内部クロック信号を用いて、4ビットカウンタ 1 5 1 をカウントアップさせる。インクリメントコントローラ 1 5 0 は、4ビットカウンタ 1 5 1 のカウント値をカラム選択回路 1 0 3 およびロー選択回路 1 0 4 に入力し、メモリアレイ 1 0 0 の第 1 の書き込み制限行から書き込んだばかりの 8 ビットの既存データ D E 1 をアドレス順に、I N / O U T コントローラ 1 2 0 を介して読み出し、8 ビット内部レジスタ 1 5 3 にラッチする。すなわち、内部クロック信号は書き込みスタンバイ状態から 8 ビット（8 クロック）遅れて出力されることとなる。

インクリメントコントローラ 1 5 0 は、8 ビット内部レジスタ 1 5 3 にラッチされた既存データ D E 1 と 8 ビットラッチレジスタ 1 7 0 にラッチされている第 1 の書き込み制限行に対する書き込みに用いられた書き込みデータ D I 1 とが一致するか否かを判定する（ステップ S 2 0 4）。インクリメントコントローラ 1 5 0 は、第 1 の書き込み制限行から読み出された 8 ビット内部レジスタ 1 5 3 に格納されている既存データ D E 1 が 8 ビットラッチレジスタ 1 7 0 に格納されている書き込みデータ D I 1 と一致する場合には（ステップ S 2 0 4 : Y e s）、書き込みが正常に完了したものと判断し（ステップ S 2 0 6）、本処理ルーチンを完了する。

インクリメントコントローラ 1 5 0 は、第 1 の書き込み制限行から読み出された 8 ビット内部レジスタ 1 5 3 にラッチされている既存データ D E 1 が 8 ビットラッチレジスタ 1 7 0 に格納されている書き込みデータ D I 1 と一致しない場合には（ステップ S 2 0 4 : N o）、書き込みが正常に完了しなかった、すなわち、書き込み異常であると判断する（ステップ S 2 0 8）。インクリメントコントローラ 1 5 0 は、第 1 の書き込み制限行から読み出された 8 ビット内部レジスタ 1 5 3 にラッチされている既存データ D E 1 と、8 ビット内部レジスタ 1 5 2 に格納されている書き込み前の既存データ D E 1_{old} とが一致するか否かを判定し（ステップ S 2 1 0）、D E 1 = D E 1_{old} であると判定した場合には（ステッ

プ S 2 1 0 : Y e s)、本処理ルーチンを終了する。一方、インクリメントコントローラ 1 5 0 は、 $DE 1 \neq DE 1_{old}$ であると判定した場合には (ステップ S 2 1 0 : N o)、8 ビット内部レジスタ 1 5 2 に格納されている書き込み前の既存データ $DE 1_{old}$ をメモリセル 1 0 0 の第 1 の書き込み制限行に対して書き戻し (ステップ S 2 1 2)、本処理ルーチンを終了する。書き込み異常の判定がなされた場合には、第 2 の書き込み制限行に対する残りの書き込みデータ $DI 2$ の書き込み処理は実行されない。

書き戻し処理は、第 2 の書き込み制限行に対する書き込み処理サイクルに実行される。すなわち、2 バイト目の書き込みデータ $DI 2$ の書き込みサイクルにおいて、8 ビットラッチに格納されている既存データ $DE 1_{old}$ が IN/OUT コントローラ 1 2 0 に入力され、データ信号端子 $SDAT$ を介して入力されたデータと同様にして、メモリアレイ 1 0 0 の第 1 の書き込み制限行に対する書き込み処理が実行される。この結果、メモリアレイ 1 0 0 の第 1 および第 2 の書き込み制限行におけるデータは、書き込み処理実行前の値に戻される。

図 6 に戻り、インクリメント確認処理について説明する。16 ビット長の書き込みデータ DI の内、1 バイト目の書き込みデータ $DI 1$ の書き込みが正常に完了すると、残りの 2 バイト目の書き込みデータ $DI 2$ が 8 ビットラッチレジスタ 1 7 0 にラッチされるタイミングで、インクリメントコントローラ 1 5 0 は、メモリアレイ 1 0 0 の第 2 の書き込み制限行に格納されている対応既存データ $DE 2$ を 1 ビット単位にて読み出す (ステップ S 1 1 6)。以降、第 2 の書き込み制限行に格納されている 8 ビットの既存データ $DE 2$ を構成する 1 ビットの各既存データ $DE 2$ を既存データ $DE 2_n$ ($n=1 \sim 8$) とする。また、8 ビットの書き込みデータ $DI 2$ を構成する 1 ビットの各書き込みデータ $DI 2$ を書き込みデータ $DI 2_n$ ($n=1 \sim 8$) とする。

すなわち、インクリメントコントローラ 1 5 0 は、2 バイト目の各書き込みデータ $DI 2_n$ を 8 ビットラッチレジスタ 1 7 0 へラッチする際に用いられるクロ

ック信号 SCK の立ち下がりに同期して IN/OUT コントローラ 120 から出力される、メモリアレイ 100 の第 2 の書き込み制限行に格納されている対応既存データ DE 2 n を読み出す。なお、1 バイト目の書き込みデータが書き込まれるべきメモリアレイ 100 のアドレスは、第 2 の書き込み制限行に対応する 8 アドレスであり、8 アドレスが所定の単位のアドレスとなる。

インクリメントコントローラ 150 は、今回のタイミングで 8 ビットラッチレジスタ 170 にラッチされた書き込みデータ DI 2 n を読み出す (ステップ S 118)。なお、本実施例では、書き込みデータ DI は最上位ビット (MSB) から順に半導体記憶装置 10 に入力され、8 ビットラッチレジスタ 170 には、MSB にて書き込みデータ DI 2 n が順次ラッチされる。

インクリメントコントローラ 150 は、8 ビットラッチレジスタ 170 から読み出した書き込みデータ DI 2 n の値がメモリアレイ 100 の第 1 の書き込み制限行から読み出した既存データ DE 2 n の値より大きな値であるか否か、すなわち、 $DI\ 2\ n > DE\ 2\ n$ であるか判断する (ステップ S 120)。インクリメントコントローラ 150 は、 $DI\ 2\ n \leq DE\ 2\ n$ であると判断した場合には (ステップ S 120 : No)、本処理ルーチンを終了する。すなわち、書き込みデータ DI 2 の書き込みは実行されない。

インクリメントコントローラ 150 は、 $DI\ 2\ n > DE\ 2\ n$ であると判断した場合には (ステップ S 120 : Yes)、第 2 の書き込み制限行に格納されている 8 ビットの既存データ DE 2 n と 8 ビットラッチレジスタ 170 に格納されている 8 ビットの書き込みデータ DI 2 n との対比が完了したか否かを判定し (ステップ S 122)、完了していないと判定した場合には (ステップ S 122 : No)、ステップ S 116 ~ S 120 を繰り返して実行する。

インクリメントコントローラ 150 は、第 2 の書き込み制限行に格納されている 8 ビットの既存データ DE 2 n と 8 ビットラッチレジスタ 170 に格納されている 8 ビットの書き込みデータ DI 2 n との対比が完了したと判定した場合には

(ステップS 1 2 2 : Y e s)、8ビットラッチレジスタ1 7 0に格納されている書き込みデータD I 2をメモリアレイ1 0 0の第2の書き込み制限行に対して書き込み(ステップS 1 2 4)、本処理ルーチンを完了する。すなわち、D E 2 ← D I 2となり、書き込みデータD I 2が新たな既存データD E 2となる。より
5 詳細には、既述のように、インクリメントコントローラ1 5 0がメモリアレイ1 0 0に対する書き込みデータD I 1の書き込みを直接実行するのではなく、8ビットラッチレジスタ1 7 0に格納されている書き込みデータD I 2をメモリアレイ1 0 0の第2の書き込み制限行に書き込みことを許可する、書き込み許可信号W E N 1をライト／リードコントローラ1 4 0に対して出力し、書き込み許可信号W E N 1を受信したライト／リードコントローラ1 4 0によって書き込みが実行される。
10

図8を参照して、メモリアレイ1 0 0に対して書き込みが許容される場合と書き込みが許容されない場合について例示的に説明する。図8ではメモリアレイ1 0 0のアドレスが横軸に取られており、左端が最上位ビット(M S B)であり右端が最下位ビット(L S B)となる。アドレス0 8 ~ 0 Fまでは第1の書き込み制限行に相当し、アドレス1 0 ~ 1 7までは第2の書き込み制限行に相当する。
15

・第1の例では、第1の書き込み制限行に対応する書き込みデータD I 1と既存データD E 1とが一致し、第2の書き込み制限行に対応する書き込みデータD I 2は既存データD E 2よりも大きいので書き込みが許容される。

20 ・第2の例では、第1の書き込み制限行に対応する書き込みデータD I 1と既存データD E 1とが一致し、第2の書き込み制限行に対応する書き込みデータD I 2は既存データD E 2よりも小さいので書き込みが許容されない。

・第3の例では、第1の書き込み制限行に対応する書き込みデータD I 1は既存データD E 1よりも大きい、第2の書き込み制限行に対応する書き込みデータD I 2は既存データD E 2よりも小さいので書き込みが許容されない。
25

・第4の例では、第1の書き込み制限行に対応する書き込みデータD I 1は既

存データD E 1 よりも小さいので、第2の書き込み制限行に対応する書き込みデータD I 2と既存データD E 2との大小関係に関わりなく書き込みが許容されない。

図9を参照して、第1の実施例に係る半導体記憶装置10の応用例について説明する。図9は第1の実施例に係る半導体記憶装置の応用例を示す説明図である。第1の実施例に係る半導体記憶装置10は、消費材を収容する収容容器、例えば、印刷記録材としてのインクを収容するインク収容体310、311、312に備えられる。各インク収容体310、311、312が印刷装置に装着されると、印刷装置に備えられるホスト計算機300と、バス接続される。すなわち、ホスト計算機300からのデータ信号線SDA、クロック信号線SCK、リセット信号線RST、正極電源線VDD、および負極電源線VSSは、各インク収容体310、311、312に備えられている半導体記憶装置10と接続されている。この応用例では、インク残量またはインク消費量といったインクに関する量の情報が半導体記憶装置10に格納される。

以上説明したとおり、第1の実施例に係る半導体記憶装置10によれば、半導体記憶装置10には、既存データD Eよりも大きな値の書き込みデータD Iのみが書き込まれる。したがって、値が増加する特性を有するデータの更新精度を向上させることができる。すなわち、ホスト計算機から送信される書き込みデータD Iがノイズによって、先の値よりも小さな値に変更されてしまった場合、あるいは、ホスト計算機から誤って先の値よりも小さな値が送信された場合には、半導体記憶装置10に対する書き込みは実行されない。したがって、消費材の消費量によって装置の制御が行われている場合、例えば、インクジェット式プリンタにおけるインクヘッドの空撃ち防止をインク消費量によって監視している場合に、空撃ちによるインクヘッドの損傷をより高い精度にて抑制または防止することができる。

第1の実施例の変形例：

(1) 上記第1の実施例では、書き込みデータD I 2が既存データD E 2よりも大きな値を有する場合に、第2の書き込み制限行に対する書き込みを許容しているが、書き込みデータD I 2と既存データD E 2とが等しい場合に書き込みを許容しても良い。かかる場合には、少なくともメモリアレイ100に格納されている消費材の消費量に関するデータが低減されることはなく、データの低減に伴う不具合を低減または防止することができる。この場合、既存データD E 2は同値の書き込みデータD I 2によって上書きされる。

(2) 上記第1の実施例では、半導体記憶装置10に対して、値が増加する特性のデータを格納する場合、すなわち、消費材の消費量が記録される場合について説明したが、値が低減する特性のデータを格納する場合、すなわち、消費材の残量が記録される場合にも同様の利益を享受することができる。この場合には、インクリメントコントローラ150に代えて、書き込みデータD Iが既存データD Eよりも小さな値のデータであるか否かを判定するデクリメントコントローラを備えればよい。

(3) 上記第1の実施例では、インクカートリッジを応用例として用いたが、この他にもトナーカートリッジにおいても同様の効果を得ることができる。また、プリペイドカード等の通貨相当情報を格納する媒体において適用した場合にも同様の効果を得ることができる。

(4) 上記第1の実施例では、ベリファイ処理において、4ビットカウンタおよび内部発振器162が用いられているが、これら回路を用いることなくベリファイ処理を実行しても良い。すなわち、上記実施例では8ビット内部レジスタ153にラッチされている既存データD E 1はと8ビットラッチレジスタ170にラッチされている書き込みD I 1を用いて8ビット単位でベリファイ処理が実行されているが、1ビット単位で実行されても良い。かかる場合には、インクリメントコントローラ150は、4ビットカウンタ151および8ビット内部レジスタ

1 5 3 を備える必要がない。

具体的には、インクリメントコントローラ 1 5 0 は、2 バイト目の書き込みデータ D I 2 の各ビットが 8 ビットラッチレジスタ 1 7 0 にラッチされるタイミングにて、メモリアレイ 1 0 0 の第 1 の書き込み制限行から書き込まれたばかりの
5 既存データ D E 1 を M S B から 1 ビット単位にて読み出す。かかる既存データ D E 1 の読み出しは、例えば、ベリファイ処理時（2 バイト目の書き込みデータ D I 2 のラッチ時）には、カラム選択回路 1 0 3 およびロー選択回路 1 0 4 が、アドレスカウンタ 1 1 0 から入力されるカウント値から 8 カウント分を減算し、減算したカウント値を用いてメモリアレイ 1 0 0 の読み出しデータを選択するよう
10 にすればよい。あるいは、カラム選択回路 1 0 3 およびロー選択回路 1 0 4 が、1 サイクル前の読み出しアドレスを記憶しておき、アドレスカウンタ 1 1 0 から入力されるカウント値に基づいて記憶されたアドレスを順次、選択するようにしておいても良い。

一方、8 ビットラッチレジスタ 1 7 0 は F I F O タイプのレジスタであるから
15 、2 バイト目の書き込みデータ D I 2 が 1 ビット単位でラッチされる毎に既にラッチされている書き込みデータ D I 1 が 1 ビット単位で放出される。インクリメントコントローラ 1 5 0 は、8 ビットラッチレジスタ 1 7 0 から M S B にて 1 ビット単位で放出される 1 バイト目の書き込みデータ D I 1 と、メモリアレイ 1 0 0 の第 1 の書き込み制限行から M S B にて 1 ビット単位で読み出される既存データ D E 1 とを比較することによって、書き込まれるべき書き込みデータ D I 1 が
20 メモリアレイ 1 0 0 の第 1 の書き込み制限行に正しく書き込まれているか否か、すなわち、各ビットの値が一致するか否か、を判定することができる。このビット単位の比較処理を 8 回繰り返すことで、1 バイト目の書き込みデータ D I 1 が正しく書き込まれたか否かを判定することができる。第 1 の書き込み制限行に書き込まれた 8 ビットの既存データ D E 1 の全てについて正しく書き込まれている
25 場合には、2 バイト目の書き込みデータ D I 2 に対するインクリメント確認処理

が実行された後、メモリアレイ 100 の第 2 の書き込み制限行に対する書き込みデータ D I 2 の書き込みが実行される。

(5) 上記第 1 の実施例では、ベリファイ処理の結果、第 1 の書き込み制限行に対して 1 バイト目の書き込みデータ D I 1 が正しく書き込まれていない場合には、8 ビット内部レジスタ 152 にラッチされている書き込み前の既存データ D E 1_{old} が第 1 の書き込み制限行に対して書き戻されるが、書き戻しを実行しなくてもよい。かかる場合であっても、第 2 の書き込み制限行に対する 2 バイト目の書き込みデータ D I 2 の書き込みは実行されず、下位 8 ビットの値は正常に書き込まれた値であることが保証される。一方、上位 8 ビットの値については、一般的に、短い期間で大きく変動する値でないことから、ホスト計算機側において、前回の値との確からしさを検証することによって、不具合を回避することができる。

(6) 上記第 1 の実施例では、16 ビット長の書き込みデータを例にとって説明しているが、この他にも、24 ビット長、32 ビット長といった、メモリアレイ 100 の 1 行のビット長の倍数のデータ長を有するデータに対しても同様に適用することができると共に、同様の効果を得ることができる。

第 2 の実施例：

半導体メモリ装置の構成：

第 2 の実施例に係る半導体メモリ装置は、不揮発的に記憶内容を保持すると共に 1 ビット単位にて先頭アドレスからシーケンシャルにアクセスされる E E P R O M である。

図 10 は第 2 の実施例に係る半導体メモリ装置の内部回路構成を示すブロック図である。この半導体メモリ装置 10A は、アクセスコントローラ 1110、リードライトコントローラ 1120、アドレスカウンタ 1130 およびメモリアレイ 1140 を備えている。

メモリアレイ 1 1 4 0 は、所定容量、例えば、2 5 6 ビットの記憶領域を有している。

アドレスカウンタ 1 1 3 0 は、クロック信号端子 C K T に入力されるクロック信号 C L K に同期してそのカウンタ値をインクリメントする回路である。より具体的には、アドレスカウンタ 1 1 3 0 は、リードライトコントローラ 1 1 2 0 から出力されるカウントアップ信号 C P に同期してそのカウンタ値をインクリメント（カウントアップ）する回路である。ただし、カウントアップ信号 C P は、リードライトコントローラ 1 1 2 0 から出力されるクロック信号であり、内部クロック信号 I C K に相当する。また、内部クロック信号 I C K は、コントローラ 1 1 1 0 から出力されるクロック信号であり、クロック信号 C L K に相当する。したがって、カウントアップ信号 C P は、クロック信号 C L K に相当するクロック信号であり、アドレスカウンタ 1 1 3 0 は、クロック信号 C L K に同期してそのカウンタ値をカウントアップすることになる。

アドレスカウンタ 1 1 3 0 のカウンタ値は、メモリアレイ 1 1 4 0 の 2 5 6 ビットの記憶領域位置を示すアドレス A D D としてメモリアレイ 1 1 4 0 に入力されており、アドレスカウンタ 1 1 3 0 のカウンタ値によってメモリアレイ 1 1 4 0 における書き込み位置または読み出し位置を指定することができる。

アドレスカウンタ 1 1 3 0 は、また、カウンタリセット信号 C R S T が入力されると、カウンタ値を初期値にリセットする。ここで、初期値はメモリアレイ 1 1 4 0 の先頭位置と関連付けられていればどのような値でもよく、一般的には 0 が初期値として用いられる。なお、カウンタリセット信号 C R S T は、装置の起動時や、アクセス（データの読み出しまたは書き込み）の開始または終了時に、リードライトコントローラ 1 1 2 0 から出力される。

したがって、アドレスカウンタ 1 1 3 0 は、初期値から順にカウントアップされるカウンタ値によりメモリアレイ 1 1 4 0 の書き込み位置または読み出し位置を順に指定することができる。

アクセスコントローラ 1110 は、チップセレクト端子 C S T と、クロック信号端子 C K T と、データ信号端子 I O と接続されており、チップセレクト端子 C K T を介してチップセレクト信号 C S # が入力され、クロック信号端子 C K T を介してクロック信号 C L K が入力され、データ信号端子 I O を介してデータ信号 D A が入力あるいは出力される。入力されたクロック信号 C L K は内部クロック信号 I C K としてリードライトコントローラ 1120 に送出される。データ信号 D A が入力データ信号の場合には、入力データ信号 I D A としてリードライトコントローラ 1120 に送出され、書き込みデータ信号 W D A としてメモリアレイ 1140 に送出される。データ信号 D A が出力データ信号である場合には、メモリアレイ 1140 から送出された読み出しデータ信号 R D A がデータ信号 D A として出力される。

また、アクセスコントローラ 1110 は、チップセレクト信号 C S # と、クロック信号 C L K に同期して入力されるデータ信号 D A とに基づいて、アクセスの開始および終了を制御する。具体的には、アクセスコントローラ 1110 は、チップセレクト信号 C S # が入力され、データの読み出しまたは書き込みを指示するコマンドデータがあらかじめ定められたタイミングでデータ信号 D A として入力されると、アクセス許可信号 A E N をリードライトコントローラ 1120 およびアドレスカウンタ 1130 に送出するとともに、指示されたアクセスが書き込みである場合には、書き込みアクセス開始信号 W R S をリードライトコントローラ 1120 に送出することにより、アクセスの開始を制御する。また、アクセスコントローラ 1110 は、チップセレクト信号 C S # の入力終了すると、アクセス許可信号 A E N の送出を終了するとともに、書き込みアクセス開始信号 W R S を送出している場合にはその送出を終了することにより、アクセスの終了を制御する。

リードライトコントローラ 1120 は、データの読み出しを制御するリード制御部 1122 と、データの書き込みを制御するライト制御部 1124 と、リード

制御部 1 1 2 2 からの指示に従ってリード実行信号 R D をメモリアレイ 1 1 4 0 に送出するとともに、ライト制御部 1 1 2 4 からの指示に従ってリード実行信号 R D およびライト実行信号 W R をメモリアレイ 1 1 4 0 に送出するリードライト実行部 1 1 2 6 と、を備えており、データの読み出しあるいは書き込みを実際に
5 制御する。具体的には、アクセスコントローラ 1 1 1 0 からアクセス許可信号 A E N および書き込み開始信号 W R S のうち、アクセス許可信号 A E N のみが入力される場合には、リード制御部 1 1 2 2 およびリードライト実行部 1 1 2 6 が動作して、内部クロック信号 I C K の立ち下がり（立ち上がり）に同期したリード実行信号 R D をメモリアレイ 1 1 4 0 に送出して、データの読み出し処理を実行
10 する。このとき、メモリアレイ 1 1 4 0 からの読み出しデータ信号 R D A に含まれる読み出しデータ（単に「読み出しデータ R D A」とも呼ぶ。）は、アクセスコントローラ 1 1 1 0 に入力され、データ信号端子 I O を介して出力データ信号 D A として出力される。また、アクセスコントローラ 1 1 1 0 からアクセス許可信号 A E N および書き込みアクセス開始信号 W R S が入力される場合には、ライ
15 ト制御部 1 1 2 4 およびリードライト実行部 1 1 2 6 が動作して、内部クロック信号 I C K の立ち下がり（立ち上がり）に同期したリード実行信号 R D および内部クロック信号 I C K の立ち上がり（立ち下がり）に同期したライト実行信号 W R をメモリアレイ 1 1 4 0 に送出して、後述するようにデータの読み出しおよび書き込み処理を実行する。このとき、データ信号端子 I O を介してアクセスコン
20 トローラ 1 1 1 0 に入力されたデータ信号 D A が、書き込みデータ信号 W D A としてメモリアレイ 1 1 4 0 に送出され、書き込みデータ信号 W D A の表すデータ（単に「書き込みデータ W D A」とも呼ぶ。）は、メモリアレイ 1 1 4 0 に入力される順に書き込まれる。

なお、本実施例の半導体メモリ装置の特徴は、ライト制御部 1 1 2 4 によるデ
25 ータの書き込み動作の部分にあり、リード制御部 1 1 2 2 によるデータの読み出し動作の部分については、従来の半導体メモリ装置と同様であるので、以下では

、データの書き込み動作について説明を加える。

書き込み動作：

前提として、データ信号D Aとしてデータ信号端子I Oを介して順に入力され
5 る複数ビットのデータは、必ず最大ビット（M S B）から順に1ビット単位で入力され、メモリアレイ1 1 4 0の記憶領域位置も最大ビットに関連付けられたアドレスから順番にアクセスされることとする。

図1 1は、第2の実施例におけるデータの書き込み動作の手順を示すフローチャートである。この動作は、上記したように、アクセスコントローラ1 1 1 0から
10 リードライトコントローラ1 1 2 0にアクセス許可信号A E Nが入力されるとともに、書き込みアクセス開始信号W R Sが入力される場合に、ライト制御部1 1 2 4によって実行される。

書き込み動作を開始すると、ライト制御部1 1 2 4は、まず、リードライト実行部1 1 2 6にデータの読み出しを実行させる（ステップS 1 1 0 2）。例えば
15 、リードライト実行部1 1 2 6は、内部クロック信号I C Kの立ち下がりに同期してリード実行信号R Dをメモリアレイ1 1 4 0に送出する。このとき、リード実行信号R Dに従って、メモリアレイ1 1 4 0の、アドレスカウンタ1 1 3 0から送出されているアドレス信号A D Dの表すアドレス値に対応する記憶領域位置の記憶領域から、記憶されているデータ（記憶データ）が読み出される。なお、
20 リード実行信号R Dの送出は、以下で説明する他の読み出し処理においても、内部クロック信号I C Kの立ち下がりに同期して行われることとする。

そして、ライト制御部1 1 2 4は、上記のようにして読み出されてメモリアレイ1 1 4 0から送出されている読み出しデータ信号R D Aの表すデータ（単に「読み出しデータ」と呼ぶ。）と、このとき、データ信号端子I Oを介して入力され、
25 アクセスコントローラ1 1 1 0から送出されている入力データ信号I D Aの表すデータ（単に「入力データ」と呼ぶ。）と、を比較し（ステップS 1 1 0 4

）、読み出しデータの値と入力データの値とが一致しているか否かを判断する（ステップS 1 1 0 6）。

読み出しデータの値と入力データの値とが一致している場合には（ステップS 1 1 0 6 : Y e s）、ライト制御部 1 1 2 4 は、アドレスカウンタ 1 1 3 0 のカウンタ値を1つカウントアップさせ（ステップS 1 1 0 8）、さらに、アクセス動作を終了するか否か判断し（ステップS 1 1 1 0）、アクセス動作を継続する場合には（ステップS 1 1 1 0 : N o）、再び、リードライト実行部 1 1 2 6 にデータの読み出しを実行させる（ステップS 1 1 0 2）。例えば、リードライトコントローラ 1 1 2 0 は、リードライト実行部 1 2 2 6 がリード実行信号RDを送出した後の、内部クロック信号 I C K の次の立ち下がりに同期してカウントアップ信号C P をカウンタ 1 1 3 0 に送出する。このとき、カウントアップ信号C P に従って、カウンタ 1 1 3 0 のカウンタ値が1つカウントアップされる。なお、カウンタ 1 1 3 0 は、内部クロック信号 I C K に相当するカウントアップ信号C P の各立ち下がりタイミング（カウントアップタイミング）で、毎周期カウンタ値をカウントアップする。

したがって、ライト制御部 1 1 2 4 は、読み出しデータと入力データとが不一致となる（ステップS 1 1 0 6 : N o）まで、データの読み出し処理（ステップS 1 1 0 2）および入力データとの比較処理（ステップS 1 1 0 4）を繰り返す。

なお、ライト制御部 1 1 2 4 は、上記アクセス動作の終了判断（ステップS 1 1 1 0）において、アクセス動作を終了すると判断される場合には（ステップS 1 1 1 0 : Y e s）、アドレスカウンタ 1 1 3 0 のカウンタ値をリセットして（ステップS 1 1 2 4）、この書き込み動作を終了する。アクセス動作の終了は、チップセレクト信号# C Sあるいはアクセス許可信号A E Nが入力されているか否かにより、判断することができる。具体的には、判断の対象となる信号、例えば、アクセス許可信号A E Nの状態が非アクティブ状態であればアクセス動作終

了と判断することができる。

一方、ライト制御部 1 1 2 4 は、上記読み出しデータの値と入力データの値が一致しているか否かの判断において（ステップ S 1 1 0 6）、読み出しデータの値と入力データの値とが一致していない場合には（ステップ S 1 1 0 6 : N o）、さらに、入力データの値が [1] であるか否か判断する（ステップ S 1 1 1 2）。

入力データの値が [1] である場合には（ステップ S 1 1 1 2 : Y e s）、書き込み許可フラグを設定して（ステップ S 1 1 1 4）、リードライト実行部 1 1 2 6 に書き込みデータとしての入力データの書き込みを実行させる（ステップ S 1 1 1 6）。例えば、リードライト実行部 1 1 2 6 は、内部クロック信号 I C K の立ち上がり同期してライト実行信号 W R をメモリアレイ 1 1 4 0 に送出する。このとき、メモリアレイ 1 1 4 0 の、アドレスカウンタ 1 1 3 0 から送出されているアドレス信号 A D D の表すアドレス値に対応する記憶領域位置の記憶領域に対して、入力データ（書き込みデータ）が書き込まれる。

そして、ライト制御部 1 1 2 4 は、次のカウントアップタイミングでアドレスカウンタ 1 1 3 0 のカウンタ値を 1 つカウントアップさせて（ステップ S 1 1 1 8）、さらに、アクセス動作を終了するか否か判断する（ステップ S 1 1 2 0）。

アクセス動作を継続する場合には（ステップ S 1 1 2 0 : N o）、再び、データの書き込み処理（ステップ S 1 1 1 6）およびアドレスのカウントアップ処理（ステップ S 1 1 1 8）を実行させる。一方、アクセス動作を終了する場合には（ステップ S 1 1 2 0 : Y e s）、書き込み許可フラグの設定を解除し（ステップ S 1 1 2 2）、アドレスカウンタ 1 1 3 0 のカウンタ値をリセットして（ステップ S 1 1 2 4）、この書き込み動作を終了する。

また、ライト制御部 1 1 2 4 は、上記入力データの値が [1] であるか否かの判断（ステップ S 1 1 1 0）において、入力データの値が [1] でないと判断さ

れる場合には（ステップS 1 1 1 0 : N o）、アクセス動作が終了するまで（ステップS 1 1 2 8 : N o）、入力データの書き込みを禁止して（ステップS 1 1 2 6）、リードライト実行部 1 1 2 6 の動作を停止させる。一方、アクセス動作を終了する場合には（ステップS 1 1 2 8 : Y e s）、アドレスカウンタ 1 1 3 0 のカウンタ値をリセットして（ステップS 1 1 2 4）、この書き込み動作を終了する。

次に、上記書き込み動作による具体例を説明する。説明を容易にするため、4 ビットの記憶領域に4 ビットのバイナリデータを書き込場合を前提とする。例えば、4 ビットの各記憶領域にデータ [1 0 1 0 b] が記憶されているとする。なお、[] 中の [b] はバイナリデータであることを示しており、4 つの [1] または [0] の値のうち、左端が最大ビット (M S B) で右端が最小ビット (L S B) を示している。

例えば、入力データ（書き込みデータ） [1 0 1 0 b] が左端の最大ビットから順に入力されると、記憶データ [1 0 1 0 b] の対応するビットと順に比較されることになる。このとき、入力データと記憶データとは各ビットの値が一致しているので、データの書き込みは行われない。

また、入力データ [1 1 0 0 b] が入力される場合には、記憶データ [1 0 1 0 b] に対して、左から2 ビット目の入力データの値が [1] で、記憶データの値が [0] で不一致であり、かつ、入力データの値は [1] であるので、入力データの値は記憶データの値よりも大きいことになる。この結果、書き込み許可フラグが設定されて、左から2 ビット目の [1]、3 ビット目の [0] および4 ビット目の [0] が順に書き込まれて、4 ビットの各記憶領域に記憶されているデータ [1 0 1 0 b] が、入力データ [1 1 0 0 b] に書き換えられる。

さらに、入力データ [1 0 0 1 b] が入力される場合には、記憶データ [1 0 1 0 b] に対して、左から3 ビット目の入力データの値が [0] で、記憶データの値が [1] で不一致となるが、入力データの値は [0] であるので、入力デー

タの値は記憶データの値よりも小さいことになる。この結果、書き込み許可フラグは設定されず、入力データ「1 0 0 1 b」の書き込みは禁止される。

以上、説明したように、第2の実施例の書き込み動作では、書き込みデータとしての入力データの値が、記憶データの値よりも大きい場合においてのみ、データの書き換えを行うことができ、書き込みデータが記憶データよりも小さい場合には、書き込みを禁止することができる。これにより、あらかじめ定められたデータ条件による書き込み以外の書き込みを防止することができる。

なお、上記第2の実施例の書き込み動作では、書き込みデータと記憶データとが一致している場合には、入力データの書き込みが行われないこととして説明したが、一致している場合にも書き込み許可フラグを設定して入力データの書き込みを行い、書き込みデータの方が記憶データよりも小さい場合においてのみデータの書き込みを禁止するようにしてもよい。

また、上記第2の実施例の書き込み動作では、1ビット単位で順にデータを書き込むことを前提に説明したが、nビット単位のデータをまとめて一度に書き込むようにしてもよい。ただし、このようにする場合には、nビットのデータが全て入力されるまで、各ビットの入力データを保持するためのデータバッファを備える必要がある。

ところで、第2の実施例の書き込み動作は、「書き込みデータが記憶データよりも大きい」というデータ条件を満たす場合においてのみ、データの書き換えを可能とするものである。しかしながら、ライト実行信号WRの発生期間を短くするように、例えば、ライト実行信号WRの発生の基準となるクロック信号CLKのタイミングを変化させて書き込み動作を行わせた場合には、データ条件を満たさないデータを書き込めてしまう可能性がある。そこで、以下では、この不具合に対応させた実施例の半導体メモリ装置について説明を加える。

・第3の実施例：

半導体メモリ装置の構成：

第3の実施例に係る半導体メモリ装置も、第2実施例と同様に、不揮発的に記憶内容を保持すると共に1ビット単位にて先頭アドレスからシーケンシャルにアクセスされるEEPROMであるとする。

5 図12は、第3の実施例に係る半導体メモリ装置の内部回路構成を示すブロック図である。この半導体メモリ装置20Aは、アクセスコントローラ1210、リードライトコントローラ1220、アドレスカウンタ1230およびメモリアレイ1240に加えて、データバッファ1228および減算器1232を備えている。

10 アクセスコントローラ1210、アドレスカウンタ1230およびメモリアレイ1240は、第2の実施例の半導体メモリ装置（図10参照。）のアクセスコントローラ1110、アドレスカウンタ1130およびメモリアレイ1140と同じである。

15 データバッファ1228は、リードライトコントローラ1220から入力されるラッチ信号DLTに従って、アクセスコントローラ1210からの入力データ信号IDAをラッチするとともに、ラッチデータを書き込みデータ信号WDAとしてメモリアレイ1140に送出する。

20 減算器1232は、リードライトコントローラ1220からの減算信号DECに従って、アドレスカウンタ1230のカウント値で表されるアドレス（「非減算アドレス」と呼ぶ。）、あるいは、カウント値を減算した値で表されるアドレス（「減算アドレス」と呼ぶ。）を、アドレス信号ADDとしてメモリアレイ1140に送出する。

25 リードライトコントローラ1220は、リード制御部1222、ライト制御部1224およびリードライト実行部1226を備えており、基本的には、第2の実施例のリードライトコントローラ1120と同様に、アクセス（データの読み出しあるいはデータの書き込み）を実際に制御する。リード制御部1222およ

びリードライト実行部 1 2 2 6 は、第 2 の実施例のリード制御部 1 1 2 2 および
リードライト実行部 1 1 2 6 と同じである。

ライト制御部 1 2 2 4 は、アドレスカウンタ 1 2 3 0、リードライト実行部 1
2 2 6、データバッファ 1 2 2 8 および減算器 1 2 3 2 の動作を制御して、後述
5 するデータの書き込み動作を制御する。

なお、本実施例の半導体メモリ装置の特徴も、ライト制御部 1 2 2 4 の制御に
よるデータの書き込み動作の部分にあり、リード制御部 1 1 2 2 によるデータの
読み出し動作の部分については、従来の半導体メモリ装置と同様であるので、以
下では、ライト制御部 1 2 2 4 によるデータの書き込み動作について説明を加え
10 る。

書き込み動作：

前提として、第 2 の実施例における書き込み動作の場合と同様に、データ信号
DA としてデータ信号端子 I O を介して順に入力される複数ビットのデータは、
15 必ず最大ビット (MSB) から順に 1 ビット単位で入力され、メモリアレイ 1 2
4 0 の記憶領域位置も最大ビットに関連付けられたアドレスから順番にアクセス
されることとする。

図 1 3 は、第 3 の実施例におけるデータの書き込み動作の手順を示すフローチ
ャートである。この動作は、第 2 の実施例の場合と同様に、アクセスコントロー
ラ 1 2 1 0 からリードライトコントローラ 1 2 2 0 にアクセス許可信号 AEN が
20 入力されるとともに、書き込みアクセス開始信号 WRS が入力される場合に、ラ
イト制御部 1 2 2 4 によって実行される。

書き込み動作を開始すると、ライト制御部 1 2 2 4 は、まず、リードライト実
行部 1 2 2 6 にデータの読み出しを実行させる (ステップ S 1 2 0 2)。例えば
25 、リードライト実行部 1 2 2 6 は、内部クロック信号 ICK の立ち下がりに同期
してリード実行信号 RD をメモリアレイ 1 2 4 0 に送出する。このとき、リード

実行信号RDに従って、メモリアレイ1240の、アドレスカウンタ1230から送出されているアドレス信号ADDの表すアドレス値に対応する記憶領域位置の記憶領域から、記憶されているデータ（記憶データ）が読み出される。なお、リード実行信号RDの送出は、以下で説明する他の読み出し処理においても、内部クロック信号ICKの立下りに同期して行われることとする。

そして、ライト制御部1224は、上記のようにして読み出されたメモリアレイ1240からの読み出しデータと、入力データとを比較し（ステップS1204）、読み出しデータの値と入力データの値とが一致しているか否かを判断する（ステップS1206）。

読み出しデータの値と入力データの値とが一致している場合には（ステップS1206：Yes）、ライト制御部1224は、データバッファ1228に入力データをラッチさせた（ステップS1208）後、アドレスカウンタ1230のカウンタ値を1つカウントアップさせ（ステップS1210）、さらに、アクセス動作を終了するか否かを判断し（ステップS1212）、アクセス動作を継続する場合には（ステップS1212：No）、再び、リードライト実行部1126にデータの読み出しを実行させる（ステップS1202）。例えば、リードライトコントローラ1220は、リードライト実行部1226がリード実行信号RDを送出した後の、内部クロック信号ICKの次の立ち上がりに同期してラッチ信号DLTをデータバッファ1228に送出する。このとき、ラッチ信号DLTに従って、アクセスコントローラ1110から送出されている入力データ信号IDAの表すデータ（入力データ）がデータバッファ1228にラッチされる。さらに、リードライトコントローラ1220は、リードライト実行部1226がラッチ信号DLTをデータバッファ1228に送出した後の、内部クロック信号ICKの次の立ち下がりに同期してカウントアップ信号CPをカウンタ1230に送出する。このとき、カウントアップ信号CPに従って、カウンタ1230のカウンタ値が1つカウントアップされる。なお、データバッファ1228は、内部ク

ロック信号 I C K の各立ち上がりタイミング（ラッチタイミング）で、毎周期入力データをラッチする。また、カウンタ 1 2 3 0 は、内部クロック信号 I C K に相当するカウントアップ信号 C P の各立ち下がりタイミング（カウントアップタイミング）で、毎周期カウンタ値をカウントアップする。

- 5 したがって、ライト制御部 1 2 2 4 は、読み出しデータと入力データとが不一致となるまで（ステップ S 1 2 0 6 : N o）、データの読み出し処理（ステップ S 1 2 0 2）および入力データとの比較処理（ステップ S 1 2 0 4）を繰り返す。

10 なお、ライト制御部 1 2 2 4 は、上記アクセス動作の終了判断（ステップ S 1 2 1 2）において、アクセス動作を終了すると判断される場合には（ステップ S 1 2 1 2 : Y e s）、アドレスカウンタ 1 2 3 0 のカウンタ値をリセットして（ステップ S 1 2 5 0）、この書き込み動作を終了する。アクセス動作の終了は、チップセレクト信号 # C S あるいはアクセス許可信号 A E N が入力されているか否かにより、判断することができる。具体的には、判断の対象となる信号、例え
15 ば、アクセス許可信号 A E N の状態が非アクティブ状態であればアクセス動作終了と判断することができる。

一方、ライト制御部 1 2 2 4 は、上記読み出しデータの値と入力データの値とが一致しているか否かの判断において（ステップ S 1 2 0 6）、読み出しデータの値と入力データの値とが一致していないと判断される場合には（ステップ S 1
20 2 0 6 : N o）、さらに、入力データの値が [1] であるか否か判断する（ステップ S 1 2 1 4）。

入力データの値が [1] である場合には（ステップ S 1 2 1 4 : Y e s）、書き込み許可フラグを設定して（ステップ S 1 2 1 6）、次のラッチタイミングでデータバッファ 1 2 2 8 に入力データをラッチさせ（ステップ S 1 2 1 8）、また、
25 リードライト実行部 1 2 2 6 にデータの書き込みを実行させる（ステップ S 1 2 2 0）。例えば、リードライトコントローラ 1 2 2 0 は、リードライト実行

部 1 2 2 6 がリード実行信号 R D を送出した後の、内部クロック信号 I C K の次の立ち上がりに同期してラッチ信号 D L T をデータバッファ 1 2 2 8 に送出する。このとき、ラッチ信号 D L T に従って入力データがデータバッファ 1 2 2 8 にラッチされる。また、リードライト実行部は、リード実行信号 R D を送出した後の、内部クロック信号 I C K の次の立ち上がりに同期してライト実行信号 W R を
5 メモリアレイ 1 2 4 0 に送出する。このとき、メモリアレイ 1 2 4 0 の、アドレスカウンタ 1 2 3 0 から送出されているアドレス信号 A D D の表すアドレス値に対応する記憶領域位置の記憶領域に対して、入力データ（書き込みデータ）が書き込まれる。

10 そして、ライト制御部 1 2 2 4 は、次のアドレスカウンタアップタイミングでアドレスカウンタ 1 2 3 0 のカウンタ値を 1 つカウントアップさせる（ステップ S 1 2 2 0）。

次に、ライト制御部 1 2 2 4 は、減算器 1 2 3 2 に、アドレスカウンタ 1 2 3 0 のカウンタ値（アドレス値）から [1] を減算した値のアドレス（減算アドレス）を、読み出しアドレスとして設定させ（ステップ S 1 2 2 4）、リードライト
15 実行部 1 2 2 6 にデータの読み出しを実行させる（ステップ S 1 2 2 6）。

そして、ライト制御部 1 2 2 4 は、読み出しデータと、書き込みデータに相当し、データバッファ 1 2 2 8 にラッチされているデータ（ラッチデータ）と、を比較し（ステップ S 1 2 2 8）、読み出しデータの値とラッチデータの値とが一致しているか否かを判断する（ステップ S 1 2 3 0）。
20

読み出しデータの値とラッチデータの値とが一致している場合には（ステップ S 1 2 3 0 : Y e s）、まず、次のラッチタイミングでデータバッファ 1 2 2 8 に入力データをラッチさせ（ステップ S 1 2 3 2）、減算器 1 2 3 2 に、アドレスカウンタ 1 2 3 0 のカウンタ値のアドレス（非減算アドレス）を書き込みアドレスとして設定させて（ステップ S 1 2 3 4）、リードライト実行部 1 1 2 6 に
25 書き込みデータとしての入力データの書き込みを実行させる（ステップ S 1 2 3

6)。

そして、ライト制御部1224は、次のカウントアップタイミングでアドレスカウンタ1230のカウンタ値を1つカウントアップさせて(ステップS1238)、さらに、アクセス動作を終了するか否か判断する(ステップS1240)

5。

アクセス動作を継続する場合には(ステップS1240:No)、再び、入力データのラッチ処理(ステップS1232)からアドレスカウントアップ処理(ステップS1238)までを実行させる。一方、アクセス動作を終了する場合には(ステップS1240:Yes)、書き込み許可フラグの設定を解除し(ステップS1242)、アドレスカウンタ1230のカウンタ値をリセットして(ステップS1250)、この書き込み動作を終了する。

10

また、ライト制御部1224は、上記読み出しデータの値とラッチデータの値とが一致しているか否かの判断(ステップS1230)において、読み出しデータの値とラッチデータの値とが一致していない場合には(ステップS1230:No)、書き込み許可フラグの設定を解除し(ステップS1244)、アクセス動作が終了するまで(ステップS1248:No)、入力データの書き込みを禁止して(ステップS1246)、リードライト実行部1226の動作を停止させる。一方、アクセス動作を終了する場合には(ステップS1248:Yes)、アドレスカウンタ1230のカウンタ値をリセットして(ステップS1250)

15

20

次に、上記書き込み動作による具体例を説明する。説明を容易にするため、4ビットの記憶領域に4ビットのデータを書き込場合を前提とする。例えば、4ビットの各記憶領域にデータ[1010b]が記憶されているとする。なお、[]中の[b]はバイナリデータであることを示しており、4つの[1]または[0]の値のうち、左端が最大ビット(MSB)で右端が最小ビット(LSB)を示している。

25

例えば、入力データ（書き込みデータ）[1 1 0 0 b] が左端の最大ビットから順に入力されると、記憶データ[1 0 1 0 b] の対応するビットと順に比較されることになる。このとき、左から 2 ビット目の入力データの値が[1]で、記憶データの値が[0]で不一致であり、かつ、入力データの値は[1]であるので、この入力データの値は記憶データの値よりも大きいことになる。この結果、書き込み許可フラグが設定されて、2 ビット目から 4 ビット目までの各ビットの入力データの書き込みを順に実行する。ここで、まず、左から 2 ビット目の入力データを書き込んだ後、その書き込まれたデータを読み出して、読み出しデータの値が[0]であった場合には、書き込みデータの値[1]が書き込まれていないことになるので、3 ビット目および 4 ビット目の書き込みが禁止されることになる。

以上、説明したように、第 3 の実施例の書き込み動作では、書き込みデータとしての入力データと記憶データとしての記憶データとを、最大ビット側から順にビット単位で大小比較し、入力データの方が大きい場合には、書き込みを許可し、そのビットのデータを書き込んだ後、そのデータが正しく書き込まれているか否か検査する。そして、正しく書き込まれていない場合には、書き込み許可を解除して、以降の書き込みを禁止することができる。これにより、あらかじめ定められたデータ条件による書き込み以外の書き込みの防止を第 2 の実施例の場合よりもさらに強化することができる。

書き込み動作の変形例：

上記第 3 の実施例の書き込み動作は、書き込み動作を 1 ビット単位で順に実行することを前提に説明したが、n ビット単位（n は 2 以上の整数）のデータをまとめて一度に書き込むようにしてもよい。

図 1 4 および図 1 5 は、第 3 の実施例の変形例としてのデータの書き込み動作の手順を示すフローチャートである。この動作は、図 1 3 に示した書き込み動作

におけるステップS 1 2 1 8からステップS 1 2 4 4までを、ステップS 1 3 0 2からステップS 1 3 4 0までに変更したものであり、変更している点以外の処理は同じである。以下では、変更した処理についてのみ説明を加えることとする。

- 5 ライト制御部1 2 2 4は、書き込み許可フラグを設定すると（ステップS 1 2 1 6）、アドレスカウンタ1 2 3 0から出力されるアドレスの下位nビット（A 0, A 1, ..., A n - 1）の各値が全て「1」となるまで（ステップS 1 3 0 4 : N o）、順に入力される入力データを各ラッチタイミングでデータバッファ1 2 2 8にラッチさせ（ステップS 1 3 0 2）、各アドレスカウンタアップタイミ
10 ングでアドレスカウンタ1 2 3 0のカウント値を順にカウントアップさせる（ステップS 1 3 0 6）。そして、下位nビットのアドレスの各値が全て「1」となった場合には（ステップS 1 3 0 4 : Y e s ）、リードライト実行部1 2 2 6にデータバッファ1 2 2 8にラッチされているnビットのラッチデータの書き込みをまとめて実行させ（ステップS 1 3 0 8）、次のアドレスカウンタアップタイミ
15 ングでアドレスカウンタ1 2 3 0のカウント値を1つカウントアップさせる（ステップS 1 3 1 0）。

- 次に、ライト制御部1 2 2 4は、減算器1 2 3 2に、アドレスカウンタ1 2 3 0のカウント値（アドレス値）から「n」を減算した値の減算アドレスを、読み出しアドレスとして設定させ（ステップS 1 3 1 2）、リードライト実行部1 2
20 2 6にデータの読み出しを実行させる（ステップS 1 3 1 4）。

そして、ライト制御部1 2 2 4は、読み出しデータと、書き込みデータに相当し、データバッファ1 2 2 8にラッチされているデータ（ラッチデータ）と、を比較し（ステップS 1 3 1 6）、読み出しデータの値とラッチデータの値とが一致しているか否かを判断する（ステップS 1 3 1 8）。

- 25 読み出しデータの値とラッチデータの値とが一致していない場合には（ステップS 1 3 1 8 : N o）、書き込み許可フラグの設定を解除して（ステップS 1 3

26)、入力データの書き込みを禁止する(ステップS1246)。一方、読み出しデータの値とラッチデータの値とが一致している場合には(ステップS1318: Yes)、アドレスカウンタ1230から出力される下位nビットの読み出しアドレスの各値が全て「1」となるまで(ステップS1320: No)、アドレスのカウントアップ処理(ステップS1322)、入力データのラッチ処理(ステップS1324)、読み出しアドレスの設定処理(ステップS1312)、データの読み出し処理(ステップS1314)、ラッチデータとの比較処理(ステップS1316)および判断処理(ステップS1318)を繰り返す。一方、下位nビットの読み出しアドレスの各値が全て「1」となった場合には(ステップS1320: Yes)、減算器1232に、アドレスカウンタ1230のカウンタ値で表される非減算アドレスを、書き込みアドレスとして設定させ(ステップS1328)、リードライト実行部1126にデータバッファ1228にラッチされているnビットのラッチデータの書き込みをまとめて実行させる(ステップS1330)。

次に、ライト制御部1224は、下位nビットの書き込みアドレスの各ビット値が全て「1」となるまで(ステップS1332: No)、各アドレスカウントアップタイミングでアドレスカウンタ1230のカウンタ値を1つカウントアップさせ(ステップS1334)、さらに、アクセス動作を終了しない場合には(ステップS1336: No)、入力データを対応するラッチタイミングでデータバッファ1228にラッチさせる(ステップS1338)。下位nビットの書き込みアドレスの各ビット値が全て「1」となった場合には(ステップS1332: Yes)、リードライト実行部1126にデータバッファ1228にラッチされているnビットのラッチデータの書き込みをまとめて実行させる(ステップS1330)。

そして、アクセス動作を終了する場合には(ステップS1336: Yes)、書き込み許可フラグの設定を解除して(ステップS1340)、入力データの書

き込みを禁止する（ステップS 1 2 4 6）。

以上説明した書き込み動作では、 n ビットのデータをまとめて書き込むことができる。

5 第2および第3の実施例の変形例：

（1）上記第2および第3の実施例では、メモリアレイの容量を256ビットとして説明しているが、これに限定されるものでなく、格納すべきデータ量に応じて適宜変更され得るものである。

10 （2）上記第2および第3の実施例では、書き込みデータが記憶データよりも大きい場合において書き込みを許可し、書き込みデータが記憶データよりも小さい場合において書き込みを禁止する場合を例に説明したが、書き込みデータが記憶データよりも小さい場合において書き込みを許可し、書き込みデータが記憶データよりも小さい場合において書き込みを禁止するようにすることも可能である。

15 （3）上記第2および第3の実施例では、半導体メモリ装置としてEEPROMを用いて説明したが、書き換えが可能であると共に、格納データを不揮発的に維持することができるメモリ装置であれば、EEPROMに限られず、複数ビット単位で読み出しまたは書き込みが実行されるメモリ装置であってもよい。

20 以上、いくつかの実施例に基づき本発明を説明してきたが、上記した発明の実施の形態は、本発明の理解を容易にするためのものであり、本発明を限定するものではない。本発明は、その趣旨並びに特許請求の範囲を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物が含まれることはもちろんである。

請求の範囲

1. 半導体記憶装置であって、

値が増大する特性のデータを格納する所定のアドレス単位の書き込み制限格納

5 アドレスを有し、シーケンシャルにアクセスされる不揮発性のメモリアレイと、

前記書き込み制限格納アドレスに書き込むべき書き込みデータを所定のアドレス単位で保持する書き込みデータ保持手段と、

前記保持されている書き込みデータを、前記書き込み制限格納アドレスに対して前記所定のアドレス単位にて書き込むデータ書き込み手段と、

10 前記メモリアレイにおける、前記書き込み制限格納アドレスに格納されている既存データを読み出す読み出し手段と、

前記保持されている書き込みデータの値が、前記読み出された既存データの値以上の値であるか否かを判定する判定手段と、

15 前記書き込みデータの値が前記既存データの値未満の場合には、前記書き込み手段による前記メモリアレイの前記書き込み制限格納アドレスに対する前記書き込みデータの書き込みを実行しない制御部とを備える半導体記憶装置。

2. 請求の範囲 1 に記載の半導体記憶装置において、

20 前記制御部は、前記書き込みデータの値が前記既存データの値以上の場合には、前記書き込み制限格納アドレスに対する前記書き込みデータの書き込みを実行する半導体記憶装置。

3. 請求の範囲 1 に記載の半導体記憶装置において、

25 前記書き込み制限格納アドレス数が、前記所定のアドレス単位の n 倍 (n は自然数) である場合には、

前記判定手段は、前記所定のアドレス単位毎に、前記書き込みデータの値が前

記既存データの値未満であるか否かを判定し、

前記制御部は、前記書き込み制限格納アドレスにおけるいずれかのアドレスにおいて、前記書き込みデータの値が前記既存データの値未満の場合には、前記全ての書き込み制限格納アドレスに対する、前記書き込みデータの書き込みを実行
5 しない半導体記憶装置。

4. 請求の範囲 3 に記載の半導体記憶装置において、

前記制御部は、全ての前記書き込み制限格納アドレスにおいて、前記既存データの値が前記書き込みデータの値以上の場合には、前記メモリアレイの全ての前
10 記書き込み制限格納アドレスに対して前記書き込み手段による前記書き込みデータの書き込みを実行する半導体記憶装置。

5. 請求の範囲 1 から 4 のいずれかに記載の半導体記憶装置において、

前記判定手段は、前記読み出し手段によって前記既存データが 1 アドレス毎に
15 読み出される毎に、前記書き込みデータ保持手段から前記書き込みデータを 1 アドレス毎に読み出して、前記書き込みデータの値が前記読み出された既存データの値未満の値であるか否かを判定する半導体記憶装置。

6. 請求の範囲 1 から 4 のいずれかに記載の半導体記憶装置において、

前記判定手段は、前記読み出し手段によって 1 アドレス毎に読み出された前記
20 所定のアドレス単位の既存データと、前記書き込みデータ保持手段に保持されている前記所定アドレス単位の書き込みデータとを用いて、前記書き込みデータの値が前記読み出された既存データの値未満の値であるか否かを判定する半導体記憶装置。

7. 請求の範囲 1 から 6 のいずれかに記載の半導体記憶装置において、

前記メモリアレイにおける書き込み制限格納アドレスには、最上位ビットから順にデータが格納されており、

前記データ書き込み手段は、前記メモリアレイに対して、最上位ビットから順にデータの書き込みを実行する半導体記憶装置。

5

8. 半導体記憶装置であって、

値が減少する特性のデータを格納する所定のアドレス単位の書き込み制限格納アドレスを有し、シーケンシャルにアクセスされる不揮発性のメモリアレイと、

10 前記書き込み制限格納アドレスに書き込むべき書き込みデータを所定のアドレス単位で保持する書き込みデータ保持手段と、

前記保持されている書き込みデータを、前記書き込み制限格納アドレスに対して前記所定のアドレス単位にて書き込むデータ書き込み手段と、

前記メモリアレイにおける、前記書き込み制限格納アドレスに格納されている既存データを読み出す読み出し手段と、

15 前記保持されている書き込みデータの値が、前記読み出された既存データの値以下であるか否かを判定する判定手段と、

前記書き込みデータの値が前記既存データの値より大きい場合には、前記書き込み手段による前記メモリアレイの前記書き込み制限格納アドレスに対する前記書き込みデータの書き込みを実行しない制御部とを備える半導体記憶装置。

20

9. 請求の範囲 8 に記載の半導体記憶装置において、

前記制御部は、前記書き込みデータの値が前記既存データの値以下の場合には、前記書き込み制限格納アドレスに対する前記書き込みデータの書き込みを実行する半導体記憶装置。

25

10. 値が増大する特性のデータを書き換え可能データとして記憶する半導体

記憶装置であって、

シーケンシャルにアクセスされると共に 1 ビットのデータを格納するデータセルを 1 行に 8 個有し、前記書き換え可能データを格納する書き込み制限行を有する不揮発性のメモリアレイと、

- 5 前記メモリアレイの前記書き込み制限行に書き込むべき、8 ビットの倍数の書き込みデータを受信するデータ受信手段と、

前記受信された書き込みデータのうち、8 ビット分の書き込みデータを保持する書き込みデータ保持手段と、

- 10 前記保持されている 8 ビットの書き込みデータを、前記書き込み制限行に対して 8 ビット単位にて書き込むデータ書き込み手段と、

前記メモリアレイにおける、前記書き込み制限行のデータセルに格納されている既存データを読み出す読み出し手段と、

前記書き込みデータの値が、前記読み出された既存データの値以上の値であるか否かを、8 ビット単位の書き込みデータ毎に判定する判定手段と、

- 15 8 ビット単位の書き込みデータのいずれかにおいて、前記前記書き込みデータの値が既存データの値未満の場合には、前記書き込み手段による前記書き込み制限行の全ての対象データセルに対する前記書き込みデータの書き込みを実行しない制御部とを備える半導体記憶装置。

- 20 1 1. 請求の範囲 1 0 に記載の半導体記憶装置において、

前記制御部は、前記 8 ビット単位の書き込みデータの全てにおいて、前記書き込みデータの値が前記既存データの値以上の場合には、前記書き込み制限行の全ての対象データセルに対する、前記書き込みデータの書き込みを実行する半導体記憶装置。

25

- 1 2. 請求の範囲 1 0 または請求の範囲 1 1 に記載の半導体記憶装置において

前記判定手段は、前記読み出し手段によって前記既存データが1ビット毎に読み出される毎に、前記書き込みデータ保持手段から前記書き込みデータを1ビット毎に読み出して、前記書き込みデータの値が前記読み出された既存データの値未満の値であるか否かを判定する半導体記憶装置。

13. 請求の範囲10または請求の範囲11に記載の半導体記憶装置において

前記判定手段は、前記読み出し手段によって1ビット毎に読み出された前記8ビットの倍数の既存データと、前記書き込みデータ保持手段に保持されている前記8ビットの書き込みデータとを用いて、前記書き込みデータの値が前記読み出された既存データの値未満の値であるか否かを判定する半導体記憶装置。

14. 請求の範囲10から13のいずれかに記載の半導体記憶装置において、前記書き込み制限行のデータセルには、最上位ビットから順にデータが格納されており、

前記データ書き込み手段は、前記メモリアレイに対して、最上位ビットから順にデータの書き込みを実行する半導体記憶装置。

15. 値が減少する特性のデータを書き換え可能データとして記憶する半導体記憶装置であって、

シーケンシャルにアクセスされると共に1ビットのデータを格納するデータセルを1行に8個有し、前記書き換え可能データを格納する書き込み制限行を有する不揮発性のメモリアレイと、

前記メモリアレイの前記書き込み制限行に書き込むべき、8ビットの倍数の書き込みデータを受信するデータ受信手段と、

前記受信された書き込みデータのうち、8ビット分の書き込みデータを保持する書き込みデータ保持手段と、

前記保持されている8ビットの書き込みデータを、前記書き込み制限行に対して8ビット単位にて書き込むデータ書き込み手段と、

- 5 前記メモリアレイにおける、前記書き込み制限行のデータセルに格納されている既存データを読み出す読み出し手段と、

前記書き込みデータの値が、前記読み出された既存データの値以下の値であるか否かを、8ビット単位の書き込みデータ毎に判定する判定手段と、

- 10 8ビット単位の書き込みデータのいずれかにおいて、前記前記書き込みデータの値が既存データの値より大きい場合には、前記書き込み手段によって前記書き込み制限行の全ての対象データセルに対する前記書き込みデータの書き込みを実行しない制御部とを備える半導体記憶装置。

16. 請求の範囲15に記載の半導体記憶装置において、

- 15 前記制御部は、前記8ビット単位の書き込みデータの全てにおいて、前記書き込みデータの値が前記既存データの値以下の場合には、前記書き込み制限行の全ての対象データセルに対する、前記書き込みデータの書き込みを実行する半導体記憶装置。

- 20 17. 値が増大する特性のデータを格納する所定のアドレス単位の書き込み制限格納アドレスを有する不揮発性のメモリアレイを備え、メモリアレイに対して所定のアドレス単位にてデータが書き込まれる半導体記憶装置におけるデータの書き込み制御方法であって、

- 25 前記メモリアレイにおける、前記書き込み制限格納アドレスに格納されている既存データを読み出し、

前記書き込み制限格納アドレスに書き込まれる書き込みデータの値が、前記読

み出された既存データの値未満の値であるか否かを判定し、

前記書き込みデータの値が前記既存データの値未満の場合には、前記書き込み制限格納アドレスに対して前記書き込みデータを前記所定のアドレス単位にて書き込まない方法。

5

1 8. 値が減少する特性のデータを格納する所定のアドレス単位の書き込み制限格納アドレスを有する不揮発性のメモリアレイを備え、メモリアレイに対して所定のアドレス単位にてデータが書き込まれる半導体記憶装置におけるデータの書き込み制御方法であって、

10 前記メモリアレイにおける、前記書き込み制限格納アドレスに格納されている既存データを読み出し、

前記書き込み制限格納アドレスに書き込まれる書き込みデータの値が、前記読み出された既存データの値より大きな値であるか否かを判定し、

15 前記書き込みデータの値が前記既存データの値より大きな値の場合には、前記書き込み制限格納アドレスに対して前記書き込みデータを前記所定のアドレス単位にて書き込まない方法。

20 1 9. シーケンシャルにアクセスされると共に1ビットのデータを格納するデータセルを1行に8個有し、値が増大する特性の書き換え可能データを格納する書き込み制限行を有する不揮発性のメモリアレイを備え、メモリアレイに対して8ビット単位にてデータが書き込まれる半導体記憶装置におけるデータの書き込み制御方法であって、

前記メモリアレイに書き込むべき、8ビットの倍数の書き込みデータを受信し、

25 前記受信された書き込みデータのうち、8ビット分の書き込みデータを保持し、

前記メモリアレイにおける、前記書き込み制限行のデータセルに格納されている既存データを読み出し、

前記書き込みデータの値が、前記読み出された既存データの値未満の値であるか否かを、8ビット単位の書き込みデータ毎に判定し、

- 5 8ビット単位の書き込みデータのいずれかにおいて、前記前記書き込みデータの値が既存データの値未満の場合には、前記書き込み制限行の全てのデータセルに対して前記書き込みデータを書き込まない方法。

- 10 20. シーケンシャルにアクセスされると共に1ビットのデータを格納するデータセルを1行に8個有し、値が減少する特性の書き換え可能データを格納する書き込み制限行を有する不揮発性のメモリアレイを備え、メモリアレイに対して8ビット単位にてデータが書き込まれる半導体記憶装置におけるデータの書き込み制御方法であって、

- 15 前記メモリアレイに書き込むべき、8ビットの倍数の書き込みデータを受信し、

前記受信された書き込みデータのうち、8ビット分の書き込みデータを保持し、

前記メモリアレイにおける、前記書き込み制限行のデータセルに格納されている既存データを読み出し、

- 20 前記書き込みデータの値が、前記読み出された既存データの値より大きな値であるか否かを、8ビット単位の書き込みデータ毎に判定し、

8ビット単位の書き込みデータのいずれかにおいて、前記前記書き込みデータの値が既存データの値より大きな値の場合には、前記書き込み制限行の全てのデータセルに対して前記書き込みデータを書き込まない方法。

25

21. 半導体記憶装置であって、

不揮発性のメモリアレイと、

前記メモリアレイに対するデータの書き込みおよび前記メモリアレイからのデータの読み出しを制御するリードライトコントローラと、を備え、

前記リードライトコントローラは、

- 5 前記メモリアレイに対するデータの書き込みが要求された場合において、入力される複数ビットの書き込みデータの値と、前記複数ビットの書き込みデータを書き込むべき複数ビットの記憶領域に記憶されている複数ビットの記憶データの値とを比較し、前記記憶データの値に対して所定の大小関係を満たしている前記複数ビットの書き込みデータについては、前記複数ビットの記憶領域への書き込み
10 を実行し、前記大小関係を満たしていない前記複数ビットの書き込みデータについては前記複数ビットの記憶領域への書き込みを禁止する
半導体記憶装置。

2 2. 半導体記憶装置であって、

- 15 不揮発性のメモリアレイと、

前記メモリアレイに対するデータの書き込みおよび前記メモリアレイからのデータの読み出しを制御するリードライトコントローラと、を備え、

前記リードライトコントローラは、

- 前記メモリアレイに対するデータの書き込みが要求された場合において、入力
20 される複数ビットの書き込みデータの値と、前記複数ビットの書き込みデータを書き込むべき複数ビットの記憶領域に記憶されている複数ビットの記憶データの値とを、前記複数ビットの書き込みデータのうち最大ビットから1ビット単位で順に比較し、前記記憶データの各ビットの値に対して所定の大小関係を満たしていると判定されるビットがあった場合には、そのビット以降のビットの書き込み
25 データについて書き込みを実行し、前記所定の大小関係を満たしていないビットがあった場合には、そのビット以降のビットの書き込みデータについて書き込み

を禁止する

半導体記憶装置。

23. 不揮発性のメモリアレイを有する半導体記憶装置の書き込み制御方法であって、

前記メモリアレイに対するデータの書き込み要求を受信し、

入力される複数ビットの書き込みデータの値と、前記複数ビットの書き込みデータを書き込むべき複数ビットの記憶領域に記憶されている複数ビットの記憶データの値とを比較し、

前記記憶データの値に対して所定の大小関係を満たしている前記複数ビットの書き込みデータについては、前記複数ビットの記憶領域への書き込みを実行し、前記大小関係を満たしていない前記複数ビットの書き込みデータについては前記複数ビットの記憶領域への書き込みを禁止する半導体記憶装置の書き込み制御方法。

24. 不揮発性のメモリアレイを有する半導体記憶装置の書き込み制御方法であって、

前記メモリアレイに対するデータの書き込み要求を受信し、

入力される複数ビットの書き込みデータの値と、前記複数ビットの書き込みデータを書き込むべき複数ビットの記憶領域に記憶されている複数ビットの記憶データの値とを、前記複数ビットの書き込みデータのうち最大ビットから1ビット単位で順に比較し、

前記記憶データの各ビットの値に対して所定の大小関係を満たしていると判定されるビットがあった場合には、そのビット以降のビットの書き込みデータについて書き込みを実行し、前記所定の大小関係を満たしていないビットがあった場合には、そのビット以降のビットの書き込みデータについて書き込みを禁止する

半導体記憶装置の書き込み制御方法。

25. 不揮発性のメモリアレイを有する半導体記憶装置の書き込みを制御するためのコンピュータプログラムを格納するコンピュータ読み取り可能媒体であつて、前記コンピュータプログラムは、

前記メモリアレイに対するデータの書き込み要求を受信する機能と、

入力される複数ビットの書き込みデータの値と、前記複数ビットの書き込みデータを書き込むべき複数ビットの記憶領域に記憶されている複数ビットの記憶データの値とを比較する機能と、

前記記憶データの値に対して所定の大小関係を満たしている前記複数ビットの書き込みデータについては、前記複数ビットの記憶領域への書き込みを実行し、前記大小関係を満たしていない前記複数ビットの書き込みデータについては前記複数ビットの記憶領域への書き込みを禁止する機能とをコンピュータによって実行させるコンピュータ読み取り可能媒体。

26. 不揮発性のメモリアレイを有する半導体記憶装置の書き込みを制御するコンピュータプログラムを格納するコンピュータ読み取り可能媒体であつて、前記コンピュータプログラムは、

前記メモリアレイに対するデータの書き込み要求を受信する機能と、

入力される複数ビットの書き込みデータの値と、前記複数ビットの書き込みデータを書き込むべき複数ビットの記憶領域に記憶されている複数ビットの記憶データの値とを、前記複数ビットの書き込みデータのうち最大ビットから1ビット単位で順に比較する機能と、

前記記憶データの各ビットの値に対して所定の大小関係を満たしていると判定されるビットがあった場合には、そのビット以降のビットの書き込みデータについて書き込みを実行し、前記所定の大小関係を満たしていないビットがあった場

合には、そのビット以降のビットの書き込みデータについて書き込みを禁止する機能とを

コンピュータによって実行させるコンピュータ読み取り可能媒体。

5 27. 印刷装置に着脱可能に装着される、印刷記録材を収容する印刷記録材容器であって、

前記印刷記録材を収容する収容部と、

前記印刷記録材の量に関する情報を格納する、請求の範囲1～16、21および22のいずれかに記載の半導体記憶装置とを備える印刷記録材容器。

10

28. 半導体記憶装置であって、

消費材の量に関するデータであって、値が増大する特性を有する消費材量データを格納する不揮発性のメモリアレイと、

15 前記メモリアレイに格納されるべき、新規消費材量データを書き込むデータ書き込み手段と、

前記メモリアレイから、既に格納されている既存消費材量データを読み出す読み出し手段と、

前記新規消費材量データの値が前記既存消費材量データの値未満の場合には、前記データ書き込み手段による前記新規消費材量データの書き込みは行わず、前記新規消費材量データの値が前記既存消費材量データの値以上の場合には、前記データ書き込み手段による前記新規消費材量データの書き込みを実行する制御部とを備える半導体記憶装置。

20

25

29. 印刷装置に着脱可能に装着される、印刷記録材を収容する印刷記録材容器であって、

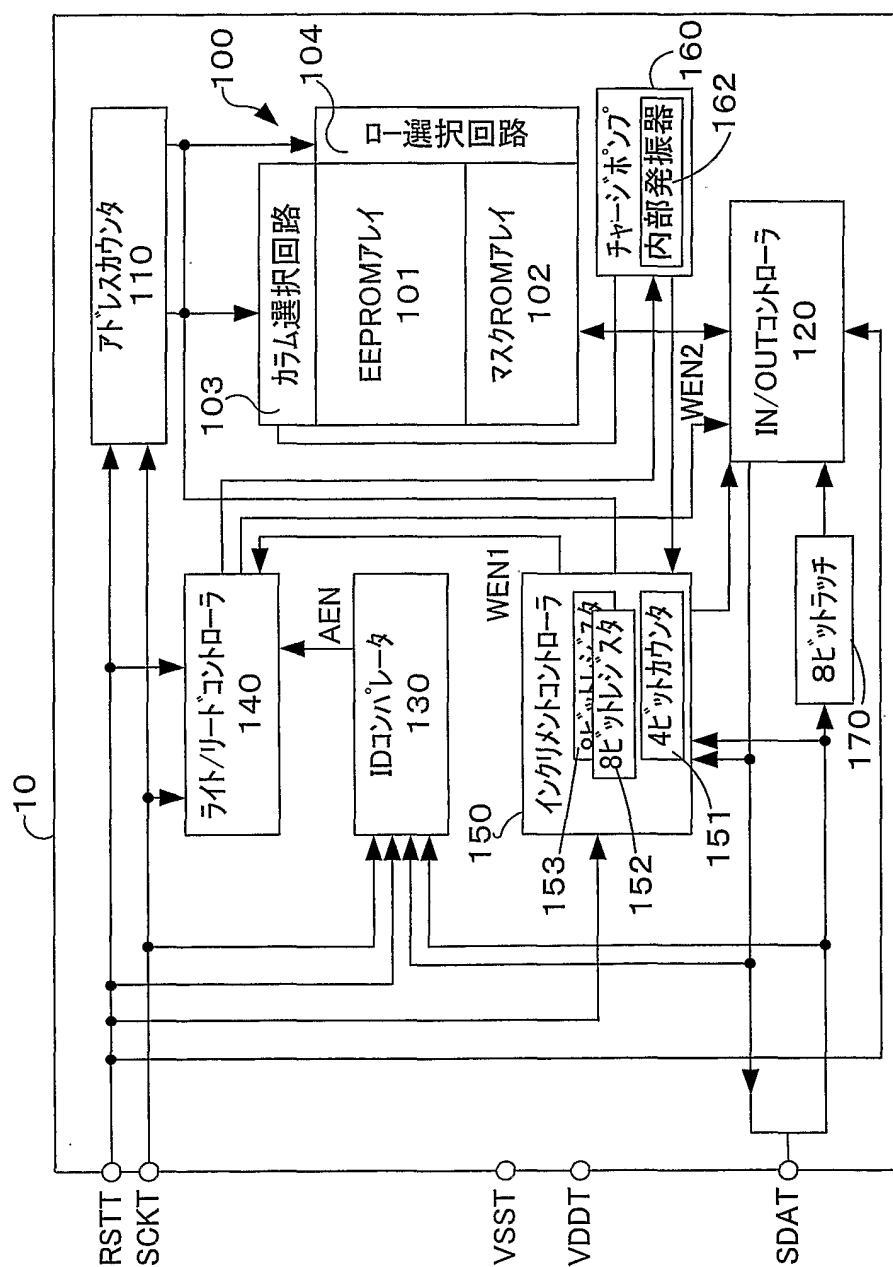
前記印刷記録材を収容する収容部と、

前記印刷記録材の量に関する情報を格納する、請求の範囲 28 に記載の半導体記憶装置とを備える印刷記録材容器。

30. 印刷装置と、印刷装置に着脱可能に装着される請求の範囲 27 または 29 に記載の印刷記録材容器とを備える印刷システムであって、

前記印刷装置は、前記印刷記録材容器に装着される半導体記憶装置とデータ信号線、クロック信号線、リセット信号線、正極電源線、および負極電源線を介してバス接続されるホスト計算機であって、印刷装置において消費された印刷記録材に関する量の情報を前記半導体記憶装置に送信するホスト計算機を備え、

10 前記印刷記録材容器に装着されている半導体記憶装置は、受信した印刷記録材に関する量の情報を前記メモリアレイに格納する印刷システム。



☐
☒

図 3

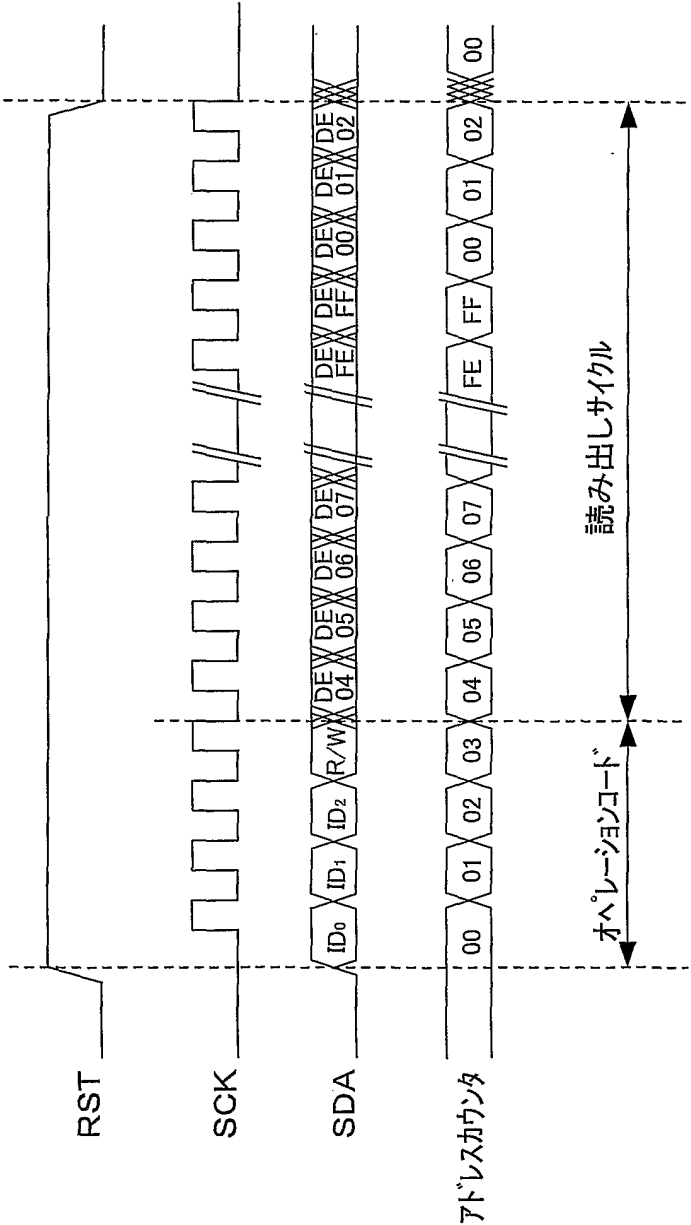


図 4

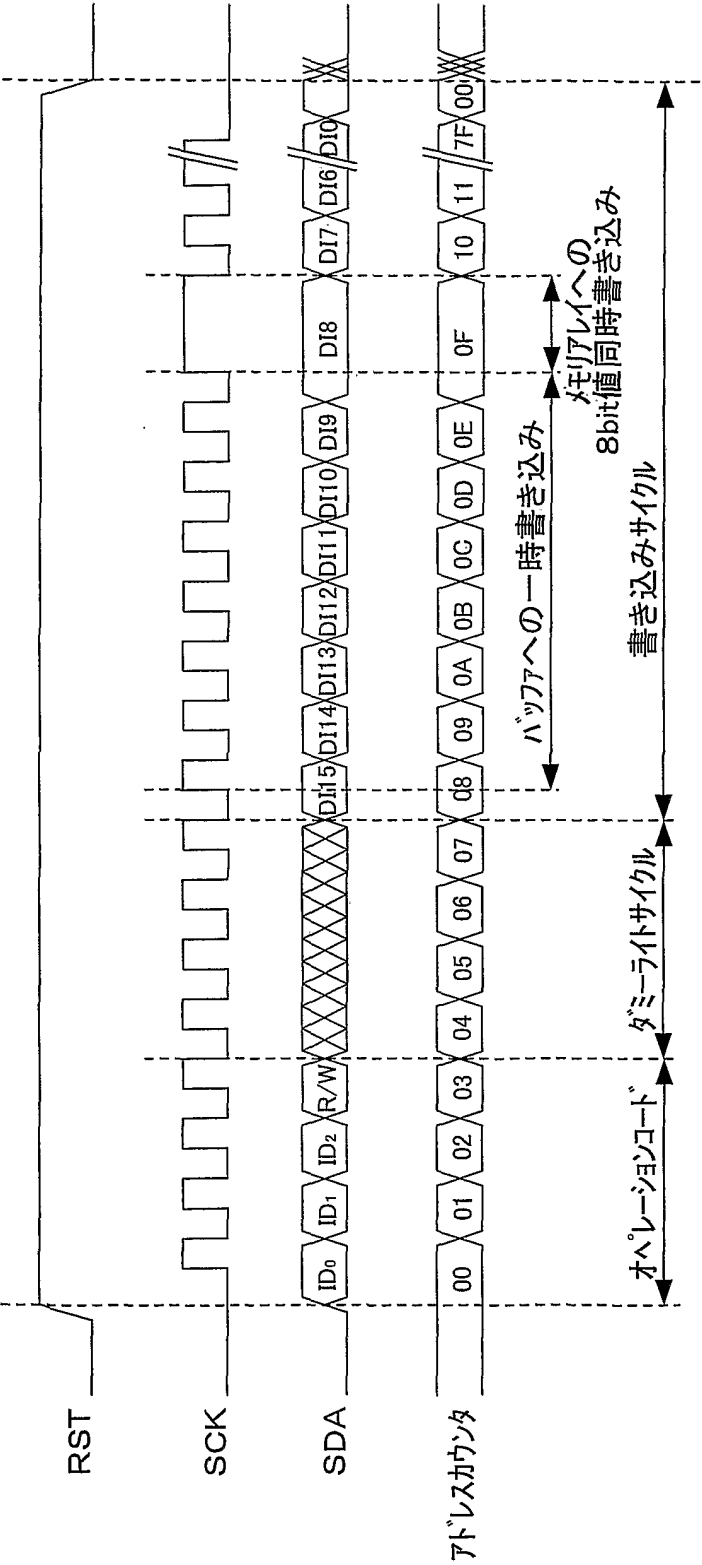


図 5

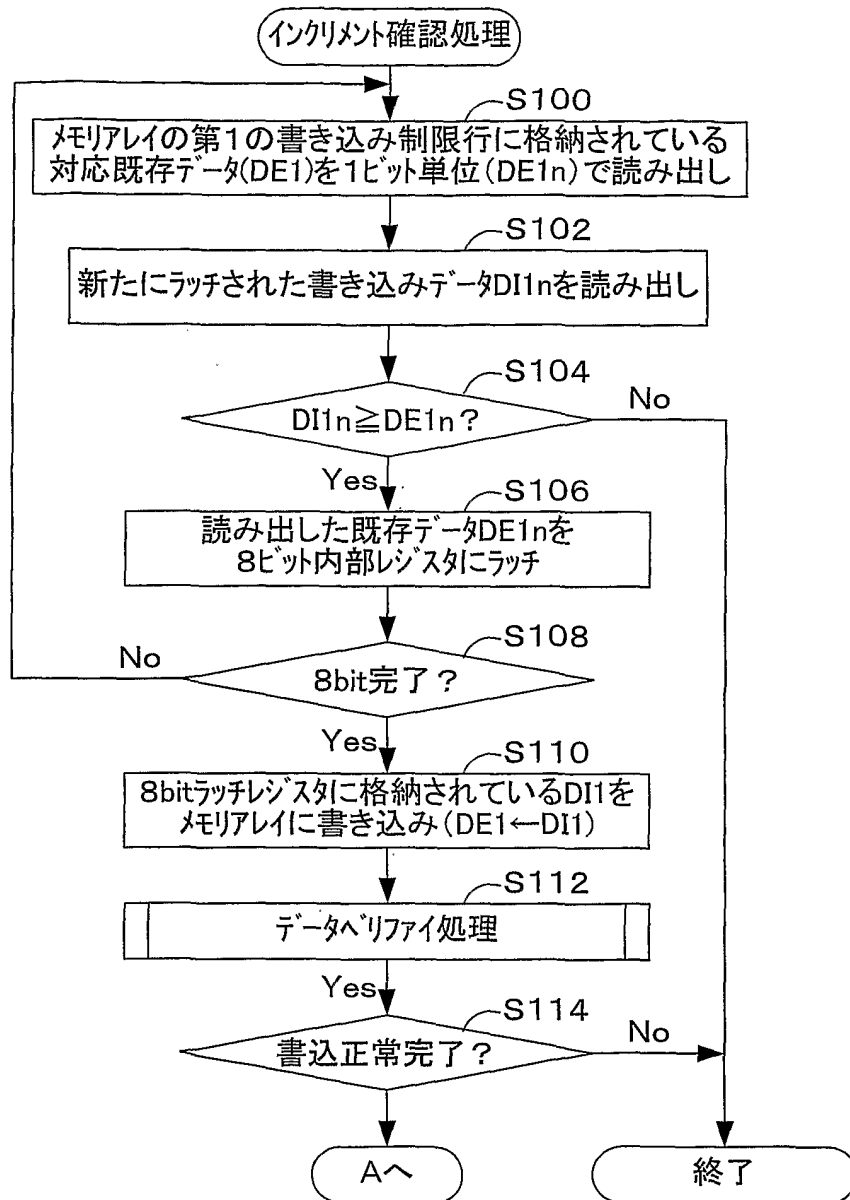


図 6

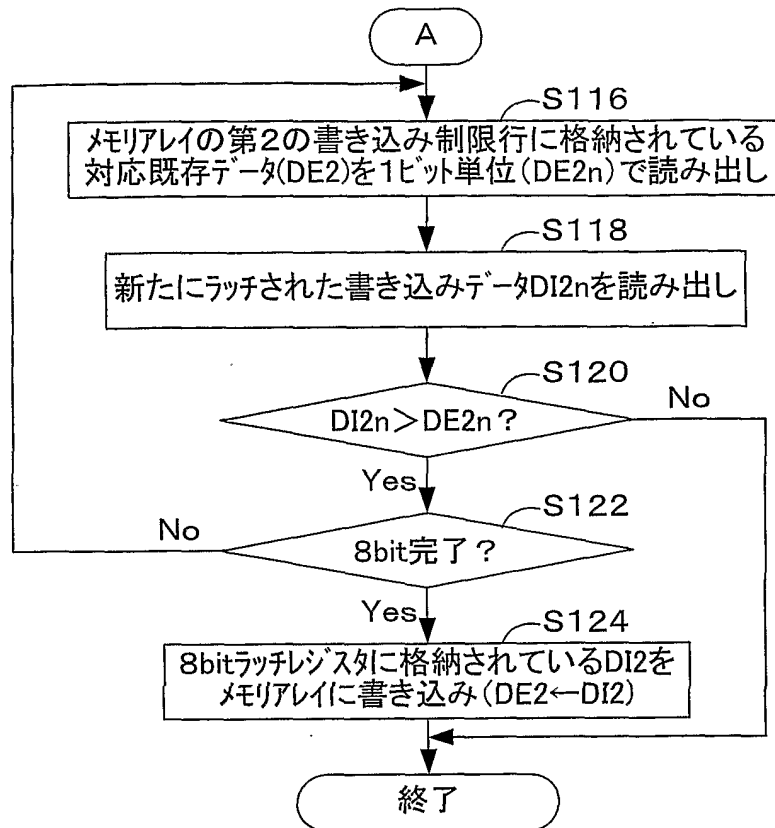


図 7

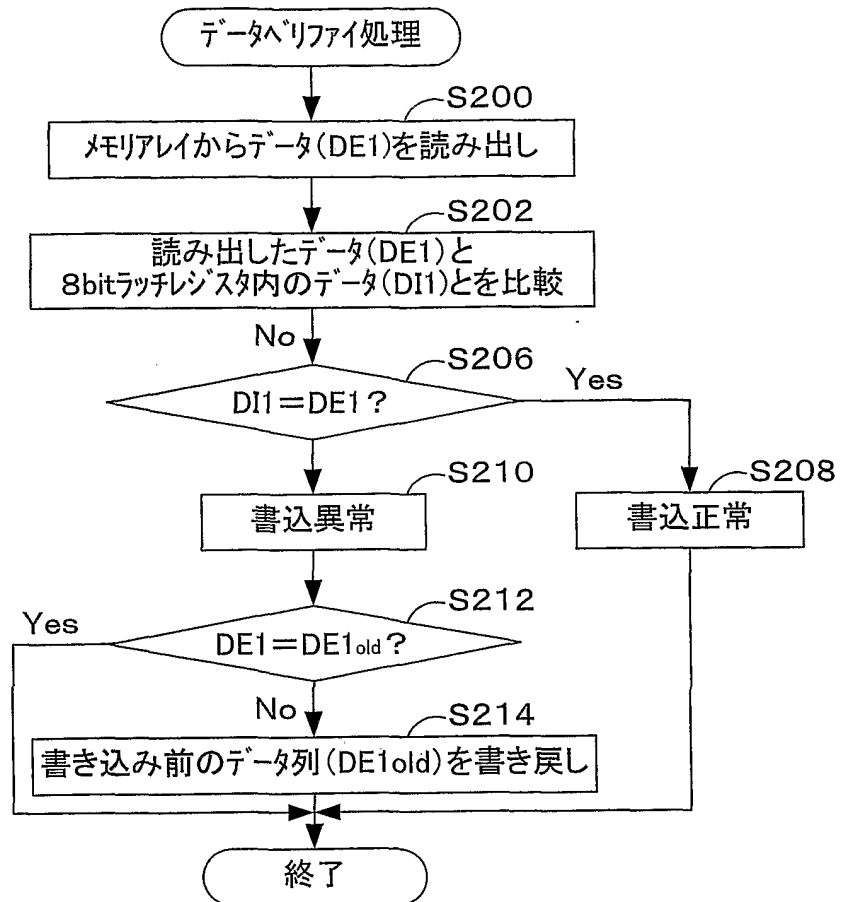


図 8

アドレス (HEX)																	
←MSB								LSB→									
第1の書き込み制限行								第2の書き込み制限行									
08	09	0A	0B	0C	0D	0E	0F	10	11	12	13	14	15	16	17		
既存データ	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	書き込み可	
書込データ	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	書き込み不可	
既存データ	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
書込データ	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	書き込み可	
既存データ	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		
書込データ	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	書き込み不可	
既存データ	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0		
書込データ	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1	書き込み不可	
既存データ	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1		

図 9

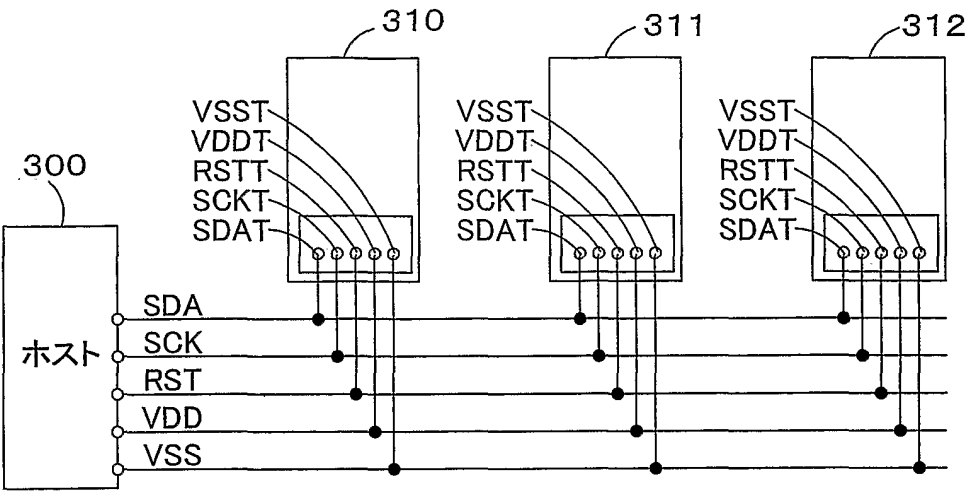


図 10

10A

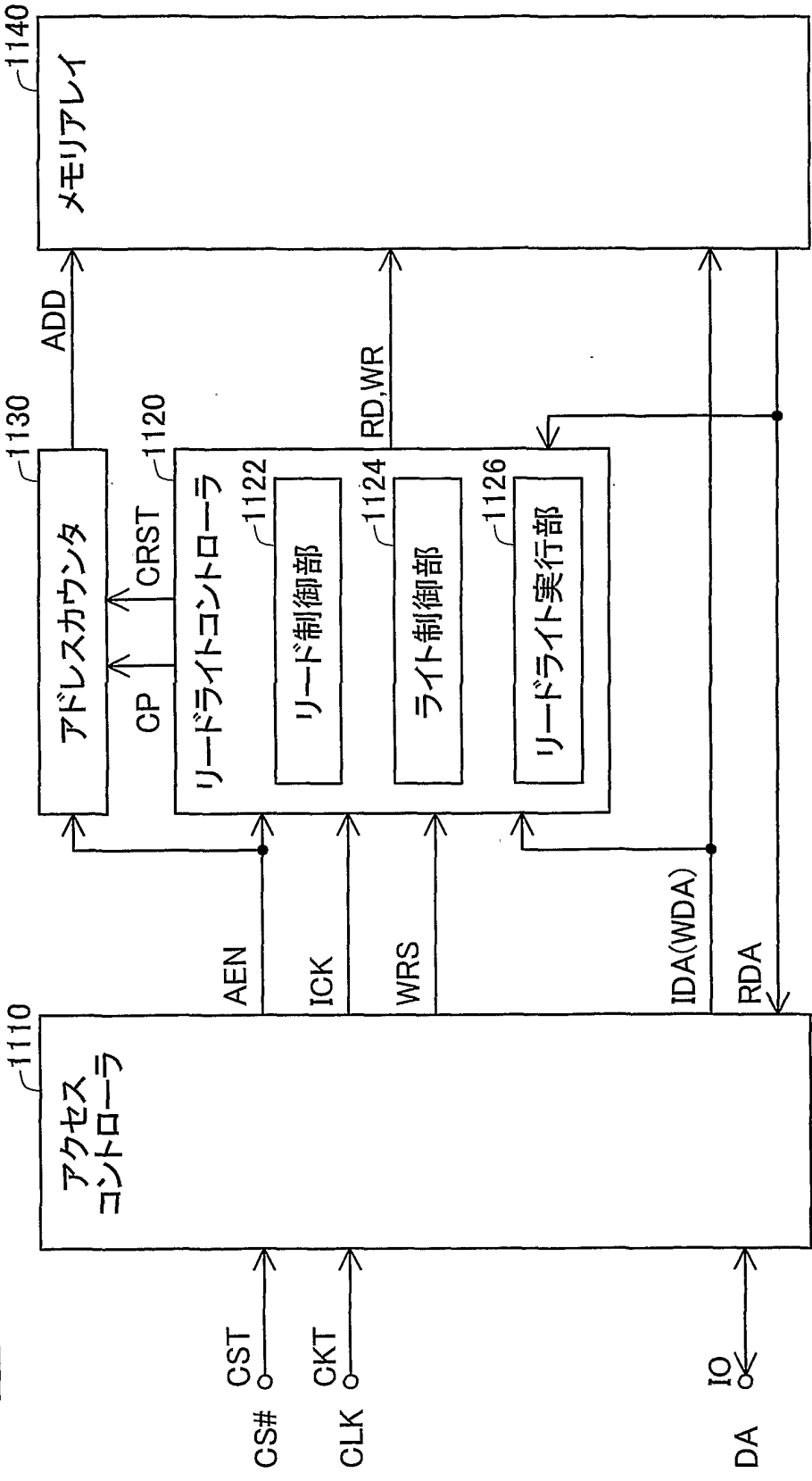


図 11

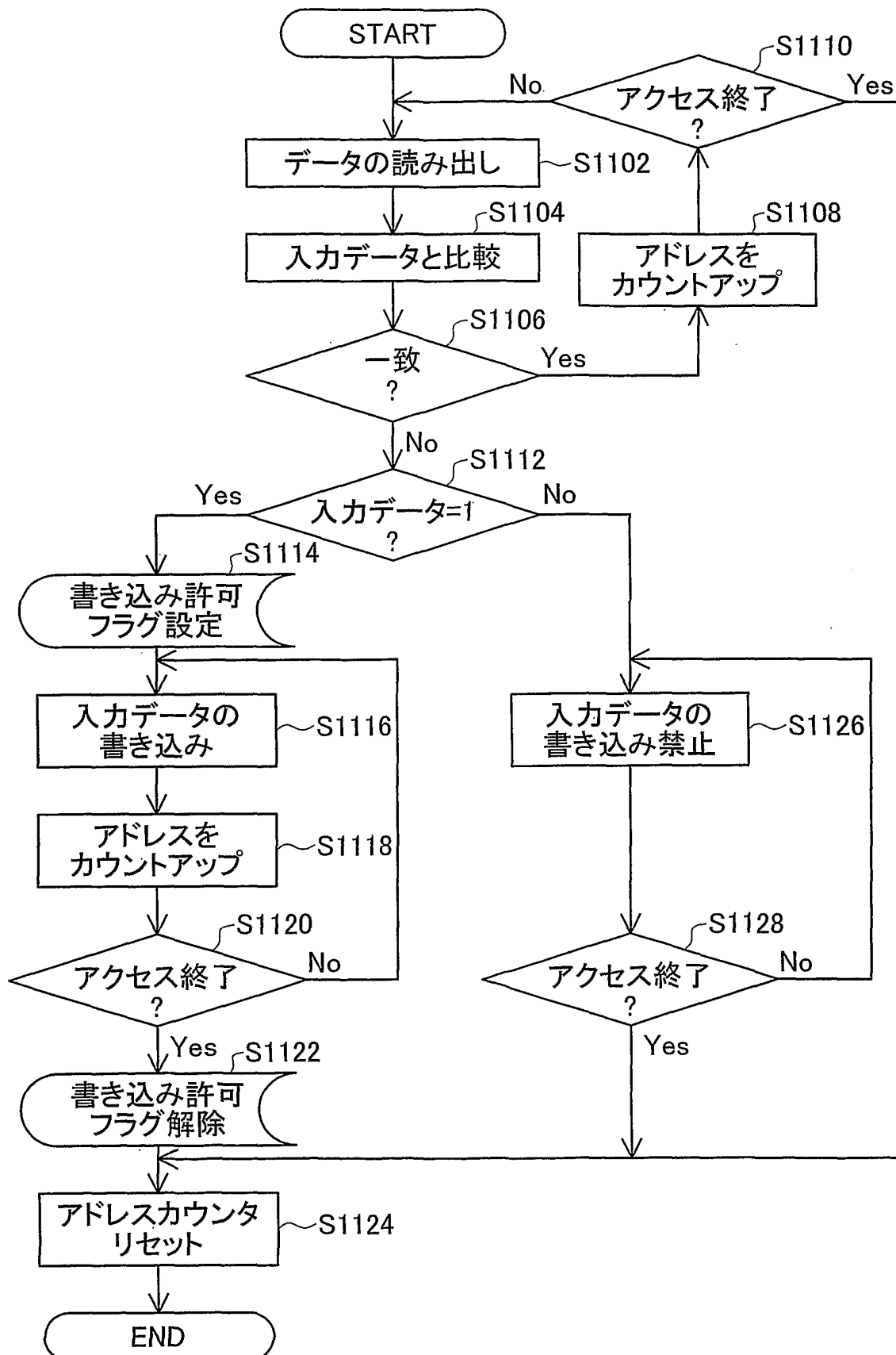


図 12

20A

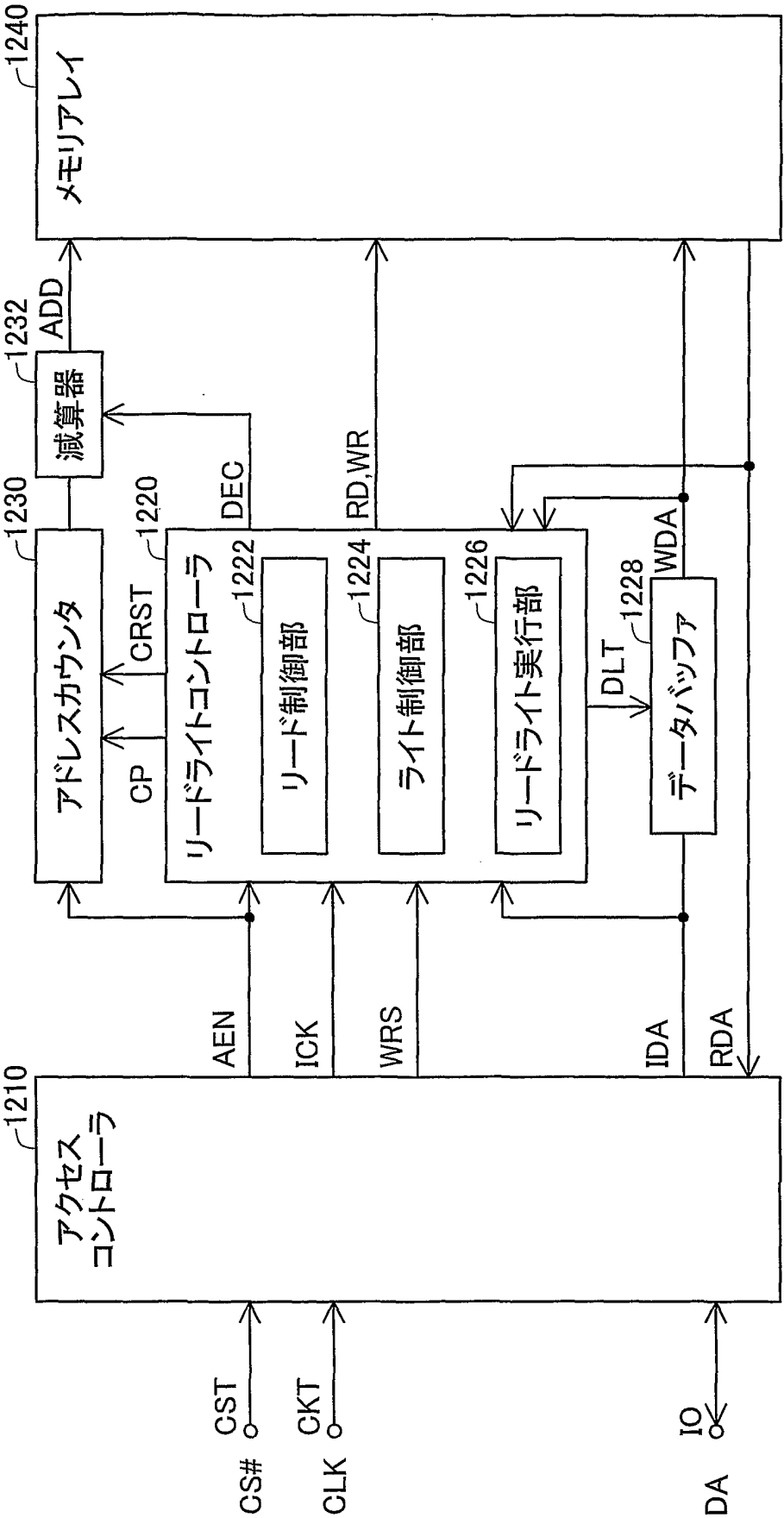


図 13

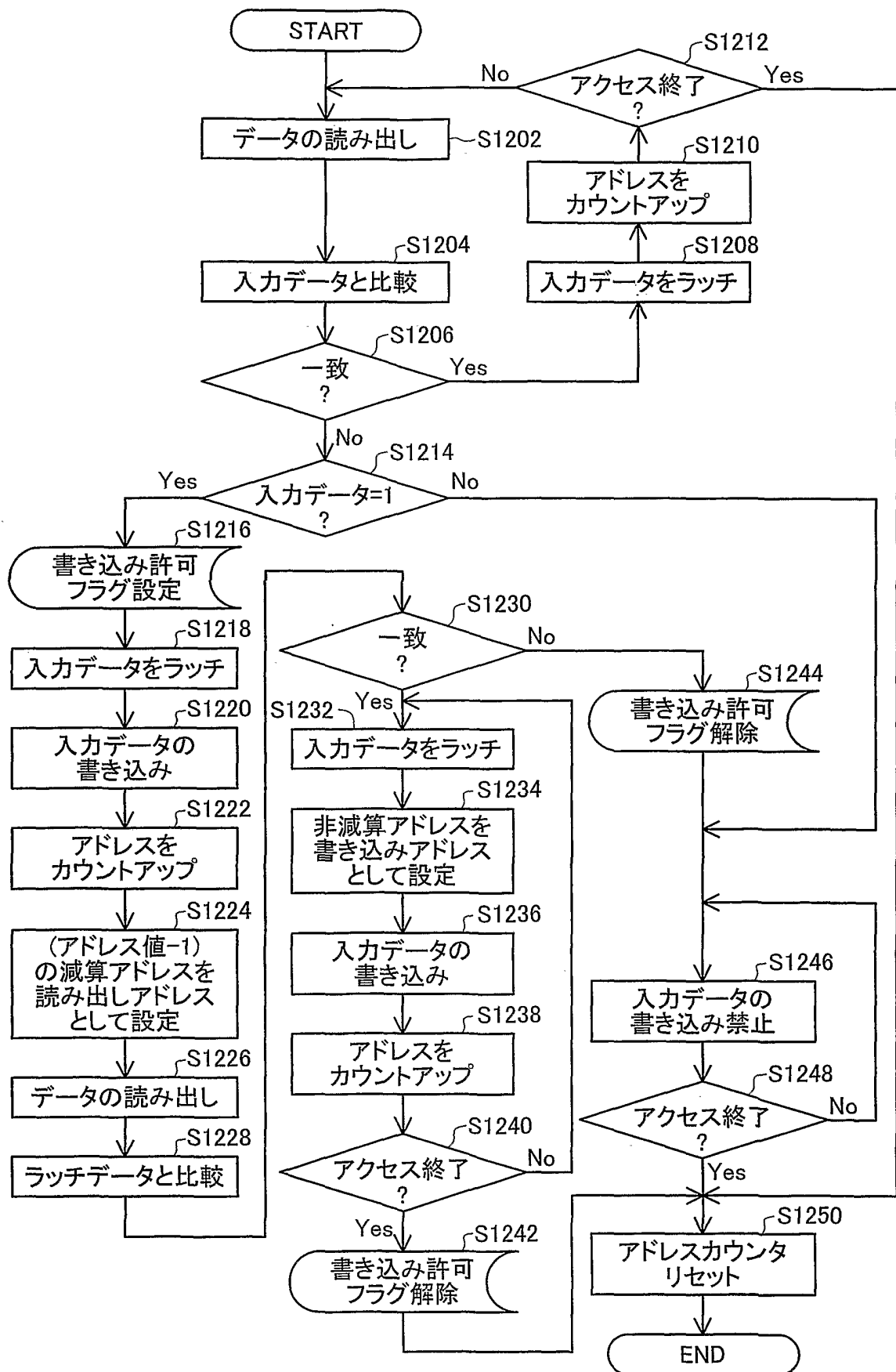


図 14

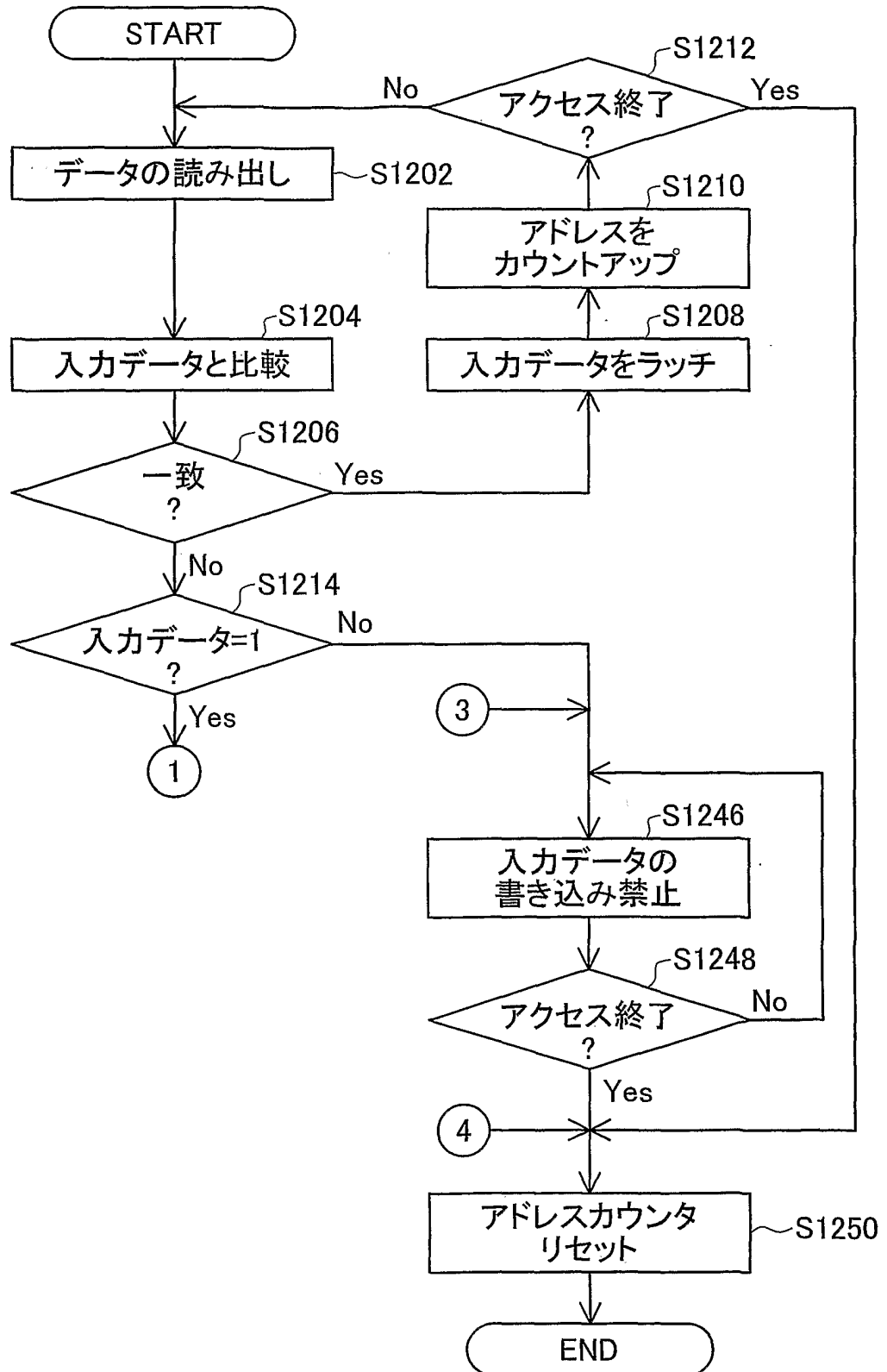
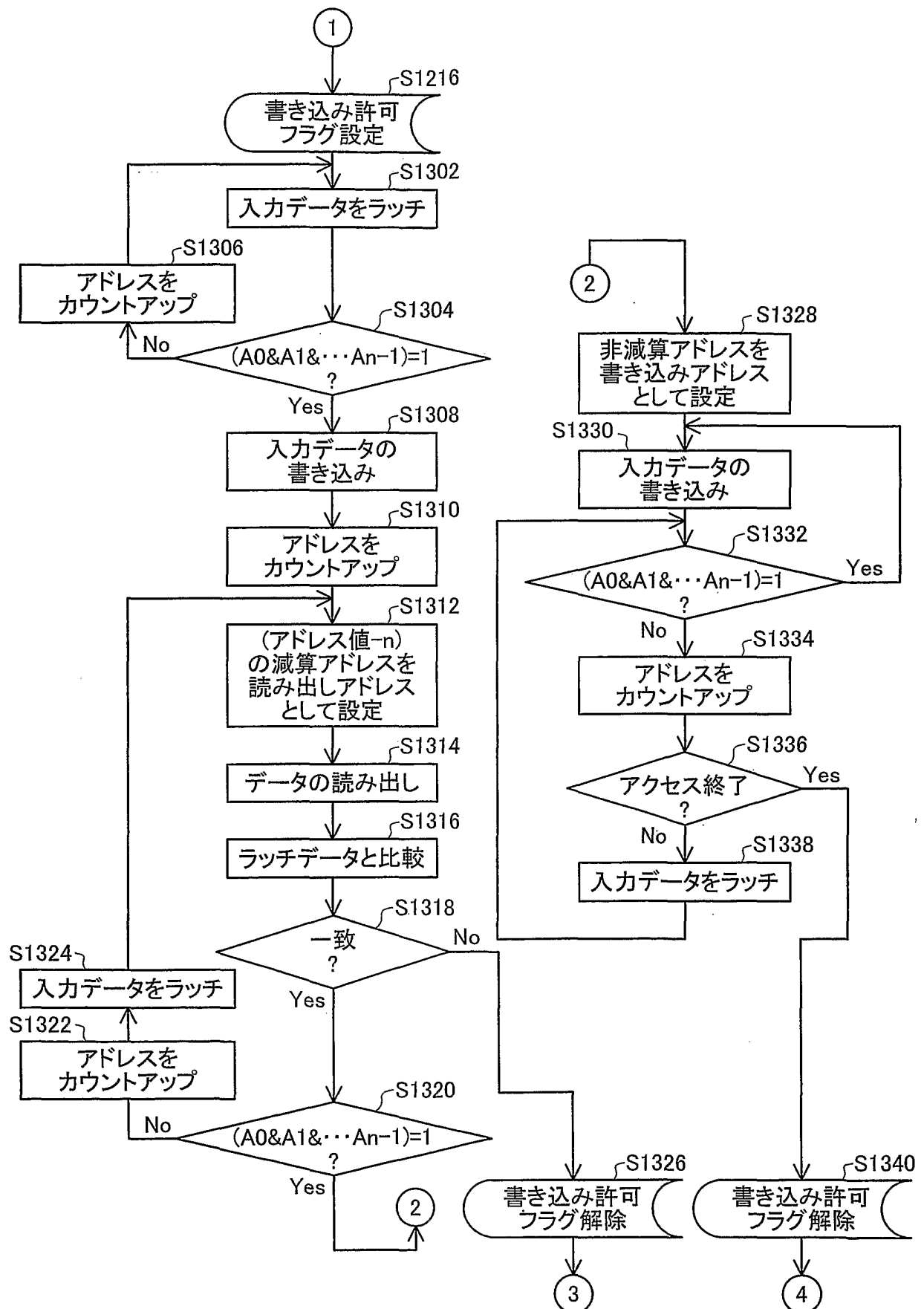


図 15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311050

A. CLASSIFICATION OF SUBJECT MATTER

G11C16/02(2006.01) i, B41J2/175(2006.01) i, B41J29/38(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C16/00, B41J2/175, B41J29/38, H03K21/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-339291 A (PFU Ltd.), 07 December, 2001 (07.12.01), Par. Nos. [0014] to [0055]; Figs. 1 to 6 (Family: none)	1-30
A	JP 2001-189083 A (Denso Corp.), 10 July, 2001 (10.07.01), Par. Nos. [0080] to [0085]; Fig. 7 (Family: none)	1-30
A	WO 2001/025017 A1 (Seiko Epson Corp.), 12 April, 2001 (12.04.01), Full text; all drawings & EP 1136268 A1 & US 6494559 B1	1-30

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 August, 2006 (07.08.06)

Date of mailing of the international search report
15 August, 2006 (15.08.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311050

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-370383 A (Seiko Epson Corp.), 24 December, 2002 (24.12.02), Full text; all drawings & EP 1473164 A2 & US 6749281 B2	1-30

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C16/02(2006.01)i, B41J2/175(2006.01)i, B41J29/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C16/00, B41J2/175, B41J29/38, H03K21/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 1 - 3 3 9 2 9 1 A (株式会社ピーエフユー) 2 0 0 1. 1 2. 0 7, 第 0 0 1 4 - 0 0 5 5 段落, 第 1 - 6 図 (ファミリーなし)	1-30
A	J P 2 0 0 1 - 1 8 9 0 8 3 A (株式会社デンソー) 2 0 0 1. 0 7. 1 0, 第 0 0 8 0 - 0 0 8 5 段落, 第 7 図 (ファミリーなし)	1-30

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7. 0 8. 2 0 0 6

国際調査報告の発送日

1 5. 0 8. 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

高野 芳徳

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6

5 N

3 5 6 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 2001/025017 A1 (セイコーエプソン株式会社) 2001.04.12, 全文, 全図 & EP 1136268 A 1 & US 6494559 B1	1-30
A	JP 2002-370383 A (セイコーエプソン株式会社) 2002.12.24, 全文, 全図 & EP 1473164 A 2 & US 6749281 B2	1-30