

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021年11月18日(18.11.2021)



(10) 国际公布号
WO 2021/226868 A1

- (51) 国际专利分类号:
G09G 3/32 (2016.01)
- (21) 国际申请号: PCT/CN2020/090001
- (22) 国际申请日: 2020年5月13日(13.05.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。
- (72) 发明人: 曹占锋(**CAO, Zhanfeng**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 刘英伟(**LIU, Yingwei**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 王珂(**WANG, Ke**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 刘冬妮(**LIU, Dongni**); 中国北京市北京经济技术

术开发区地泽路9号, Beijing 100176 (CN)。 玄明花(**XUAN, Minghua**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 袁广才(**YUAN, Guangcai**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 陈蕾(**CHEN, Lei**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 董学(**DONG, Xue**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

- (74) 代理人: 北京银龙知识产权代理有限公司(**DRAGON INTELLECTUAL PROPERTY LAW FIRM**); 中国北京市海淀区西直门北大街32号院枫蓝国际中心2号楼10层, Beijing 100082 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) **Title:** DRIVING SUBSTRATE, FABRICATION METHOD THEREFOR AND DISPLAY APPARATUS

(54) 发明名称: 驱动基板及其制作方法、显示装置

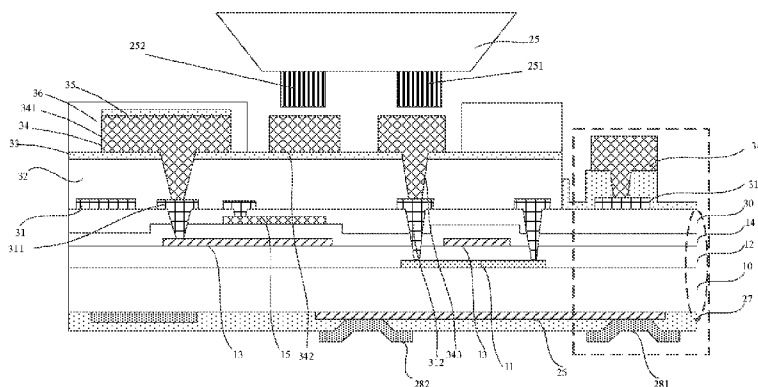


图2

(57) **Abstract:** A driving substrate, a fabrication method therefor and a display apparatus, which relate to the technical field of displays. The driving substrate comprises: a base substrate (10); a first driving functional layer, which is disposed on a first surface of the base substrate (10), the first driving functional layer comprising multiple driving thin film transistors and multiple signal cables, and at least one signal cable is made of a single-layer structure and has a thickness greater than a threshold; a pad layer, the pad layer is disposed on a side of the first driving functional layer far from the base substrate, and the pad layer comprises multiple first pads (343) and multiple second pads (342), the first pads (343) being connected to corresponding first electrodes of the driving thin film transistors, and the second pads (342) being connected to a common electrode line in the signal cables. In the foregoing technical solutions, the number of patterning processes for fabricating a driving substrate can be reduced.

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种驱动基板及其制作方法、显示装置, 属于显示技术领域。驱动基板包括: 衬底基板(10); 第一驱动功能层, 设置于所述衬底基板(10)的第一表面, 所述第一驱动功能层包括多个驱动薄膜晶体管和多条信号走线, 至少一条所述信号走线采用单层结构且厚度大于阈值; 焊盘层, 所述焊盘层设置于所述第一驱动功能层远离所述衬底基板的一侧, 所述焊盘层包括多个第一焊盘(343)和多个第二焊盘(342), 所述第一焊盘(343)与对应的所述驱动薄膜晶体管的第一极连接, 所述第二焊盘(342)与所述信号走线中的公共电极线连接。通过上述技术方案, 能够减少制作驱动基板的构图工艺的次数。

驱动基板及其制作方法、显示装置

技术领域

本公开涉及显示技术领域，特别是指一种驱动基板及其制作方法、显示装置。

背景技术

Micro-LED(微发光二极管)显示技术是将现有LED(发光二极管)的尺寸微缩至100um以下，再通过巨量转移技术，将其转移到驱动基板上，从而形成各种不同尺寸的Micro-LED显示器。Micro-LED具有自发光高亮度、高对比度、超高分辨率与色彩饱和度、长寿命、响应速度快、节能、适应环境宽泛等诸多优点，在各领域都有良好的应用前景。

发明内容

本公开实施例提供一种驱动基板及其制作方法、显示装置，能够减少制作驱动基板的构图工艺的次数。

本公开的实施例提供技术方案如下：

一方面，提供一种驱动基板，包括：

衬底基板；

第一驱动功能层，设置于所述衬底基板的第一表面，所述第一驱动功能层包括多个驱动薄膜晶体管和多条信号走线，至少一条所述信号走线采用单层结构且厚度大于阈值；

焊盘层，所述焊盘层设置于所述第一驱动功能层远离所述衬底基板的一侧，所述焊盘层包括多个第一焊盘和多个第二焊盘，所述第一焊盘与对应的所述驱动薄膜晶体管的第一极连接，所述第二焊盘与所述信号走线中的公共电极线连接。

一些实施例中，所述驱动基板还包括：

第二驱动功能层，设置于所述衬底基板的第二表面，所述第二表面与所述第一表面相对，所述第二驱动功能层包括引线衬垫和与所述引线衬垫连接

的绑定引脚；

所述衬底基板的侧表面设置有多个凹槽，每个所述凹槽均沿垂直于所述衬底基板的方向延伸，且贯穿所述衬底基板的第一表面和第二表面；

与所述凹槽一一对应的导电连接部，所述导电连接部的至少一部分位于对应的所述凹槽内，且所述导电连接部用于分别连接相对应的所述信号走线和所述引线衬垫。

一些实施例中，所述多条信号走线包括电源电压信号线和所述公共电极线，所述电源电压信号线和所述公共电极线的厚度均大于所述阈值。

一些实施例中，所述电源电压信号线和所述公共电极线同层同材料设置。

一些实施例中，驱动基板还包括：与所述信号走线连接的信号传输线，所述信号传输线与所述信号走线组成网格状结构。

一些实施例中，沿远离所述第一表面的方向，所述第一驱动功能层依次包括：

有源层；

第一栅绝缘层；

第一栅金属层；

第二栅绝缘层；

第二栅金属层；

第一平坦层；

第一源漏金属层；

第二平坦层；

第二源漏金属层，所述第二源漏金属层的图形包括所述信号走线；

第三平坦层。

一些实施例中，所述第二源漏金属层包括层叠设置的铜层和金属层，所述金属层位于所述铜层靠近所述衬底基板的一侧，所述金属层与所述第二平坦层的粘附力大于所述铜层与所述第二平坦层的粘附力。

一些实施例中，所述铜层的厚度为 2-30um。

一些实施例中，所述驱动基板还包括位于所述铜层和所述第一平坦层之间的第一钝化层，所述第一钝化层采用无机绝缘材料。

一些实施例中，所述驱动基板还包括位于所述铜层和所述第二平坦层之间的第二钝化层，所述第二钝化层采用无机绝缘材料。

另一方面，提供一种显示装置，包括如上所述的驱动基板和固定在所述焊盘层上的电子元件，所述电子元件的第一极与所述第一焊盘绑定连接，所述电子元件的第二极与所述第二焊盘绑定连接。

另一方面，提供一种驱动基板的制作方法，包括：

提供一衬底基板；

在所述衬底基板的第一表面形成第一驱动功能层，所述第一驱动功能层包括多个驱动薄膜晶体管和多条信号走线，至少一条所述信号走线采用单层结构且厚度大于阈值；

在所述第一驱动功能层远离所述衬底基板的一侧形成焊盘层，所述焊盘层包括多个第一焊盘和多个第二焊盘，所述第一焊盘与对应的所述驱动薄膜晶体管的第一极连接，所述第二焊盘与所述信号走线中的公共电极线连接。

一些实施例中，所述驱动基板包括第一源漏金属层的图形和第二源漏金属层的图形，所述第二源漏金属层的图形包括所述信号走线，形成所述信号走线包括：

形成厚度小于阈值的种子层；

在所述种子层上以电镀方法生长出导电层，所述种子层和所述导电层组成第二源漏金属层；

对所述第二源漏金属层进行构图，形成所述信号走线。

一些实施例中，所述驱动基板包括第一源漏金属层的图形和第二源漏金属层的图形，所述第二源漏金属层的图形包括所述信号走线，形成所述信号走线包括：

形成厚度小于阈值的种子层；

对所述种子层进行构图形成种子层的图形，所述种子层的图形位于待形成的信号走线所在区域；

在所述种子层的图形上以化学镀方式生长出导电层的图形，所述导电层的图形和所述种子层的图形组成所述信号走线。

一些实施例中，形成所述种子层包括：

形成层叠设置的铜层和金属层，所述金属层位于所述铜层靠近所述衬底基板的一侧，所述金属层与绝缘层的粘附力大于所述铜层与所述绝缘层的粘附力。

附图说明

- 图 1 为相关技术驱动基板的结构示意图；
- 图 2 为本公开实施例驱动基板的结构示意图；
- 图 3 为本公开实施例驱动基板在显示区域的走线示意图；
- 图 4 为图 3 的局部放大示意图；
- 图 5 为图 4 在 AA' 方向上的截面示意图；
- 图 6 为图 4 在 BB' 方向上的截面示意图；
- 图 7 为图 4 在 CC' 方向上的截面示意图；
- 图 8 为图 4 在 DD' 方向上的截面示意图；
- 图 9 为本公开实施例驱动基板在焊盘区域的示意图；
- 图 10 为图 9 在 EE' 方向上的截面示意图。

具体实施方式

为使本公开的实施例要解决的技术问题、技术方案和优点更加清楚，下面将结合附图及具体实施例进行详细描述。

Micro-LED 显示器的驱动基板的电流负载大，可以达到几十毫安，对信号走线的线宽以及阻值要求高，如果信号走线阻值过大则会导致在信号走线上的电信号损耗较大，进而使驱动基板的功耗较高。

图 1 为相关技术中驱动基板的结构示意图。如图 1 所示，驱动基板包括衬底基板 10、位于衬底基板 10 第一表面的第一驱动功能层和位于衬底基板 10 第二表面的第二驱动功能层，第一表面和第二表面为相对的两个表面。其中，第一驱动功能层包括：有源层 11，有源层 11 可以采用多晶硅，厚度大致在 400-500 埃的范围内之间取值；第一栅绝缘层 12，第一栅绝缘层 12 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，厚度大致在 400-800 埃的范围内之间取值；第一栅金属层 13，第一栅金属层 13 可以采用 Mo，厚度大致

在 2500-3600 埃的范围内之间取值；第二栅绝缘层 14，第二栅绝缘层 14 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，厚度大致在 1000-2000 埃的范围内之间取值；第二栅金属层 15，第二栅金属层 15 可以采用 Mo，厚度大致在 2500-3600 埃的范围内之间取值；层间绝缘层 16，层间绝缘层 16 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，厚度大致在 2000-3000 埃的范围内之间取值；第一源漏金属层 17，第一源漏金属层 17 可以采用钛/铝/钛的叠层结构，厚度可以分别为 500 埃/5000 埃/500 埃；第一平坦层 18，第一平坦层 18 可以采用有机树脂，厚度大致在 18000-22000 埃的范围内之间取值；第二源漏金属层 19，第二源漏金属层 19 可以采用钛/铝/钛的叠层结构，厚度可以分别为 500 埃/6500 埃/500 埃；第二平坦层 20，第二平坦层 20 可以采用有机树脂，厚度大致在 18000-22000 埃的范围内之间取值；第一钝化层 21，第一钝化层 21 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，厚度大致在 2000-3000 埃的范围内之间取值；第三源漏金属层 22，第三源漏金属层 22 可以采用铜，厚度大致在 5500-6500 埃的范围内之间取值；第二钝化层 23，第二钝化层 23 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，厚度大致在 2000-3000 埃的范围内之间取值；第三平坦层 24，第三平坦层 24 可以采用有机树脂，厚度大致在 18000-22000 埃的范围内之间取值。进一步的，第一驱动功能层还可以包括位于有源层 11 和衬底基板 10 之间的缓冲层（未图示），缓冲层可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，具体可以采用氮化硅/氧化硅的叠层结构，厚度可以分别为 500 埃/3000 埃。

第一源漏金属层 17 用以制作数据线，第一源漏金属层 17 还包括第一子图形 171 和第二子图形 172，第一子图形 171 用以传递 VDD（电源电压）信号；第二子图形 172 用以传递驱动电压信号；第二源漏金属层 19 包括第三子图形 191 和第四子图形 192，第三子图形 191 用以传递 VDD 信号；第四子图形 192 用以传递 VSS（低电压）信号；第三源漏金属层 22 包括第五子图形 221、第六子图形 222 和第七子图形 223，第五子图形 221 用以传递 VDD 信号；第六子图形 222 用以传递 VSS 信号，第七子图形 223 用以传递驱动电压信号。第三平坦层 24 包括暴露出第六子图形 222 和第七子图形 223 的过孔，

第六子图形 222 和第七子图形 223 可以作为焊盘, LED25 的 N pad252 可以与第六子图形 222 绑定连接在一起, LED25 的 P pad251 可以与第七子图形 223 绑定连接在一起。

第二驱动功能层包括:扇出走线结构 26,扇出走线结构 26 可以采用 Al/Mo 的叠层结构,厚度可以分别为 6000 埃/600 埃;钝化层 27,钝化层 27 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料,厚度大致在 5000-7000 埃的范围内之间取值;用以与柔性电路板绑定的绑定引脚 282 以及通过扇出走线结构 26 与绑定引脚 282 连接的引线衬垫 281,可以采用透明导电材料比如 ITO,厚度大致在 400-600 埃的范围内之间取值。

可以理解的是,由于多个绑定引脚 282 之后会与柔性电路板的端子进行绑定,而多个引线衬垫 281 与第一导电子图形 312 和第二导电子图形 344 并联组成导电结构一一对应,且多个引线衬垫 281 在基底所在平面的正投影与导电结构基本重合,因此多个引线衬垫 281 中的相邻两个引线衬垫 281 的排布间距比多个绑定引脚 282 中的相邻两个绑定引脚 282 的排布间距要大。

另外,第一源漏金属层 17 还包括第八子图形 173,第二源漏金属层 19 还包括第九子图形 193,第三源漏金属层 22 还包括第十子图形 224,第八子图形 173、第九子图形 193 和第十子图形 224 组成导电结构,用以沿衬底基板 10 侧表面的凹槽与引线衬垫 281 连接,将柔性电路板输出的信号传递至 VDD 走线和 VSS 走线。

图 1 所示的驱动基板中,可以看出,为了降低 IR Drop,通过两层金属(第三子图形 191 和第五子图形 221)并联组成 VDD 走线,在驱动基板上设置有三层源漏金属层,驱动基板的结构比较复杂,导致制作驱动基板的构图工艺的次数较多,影响了驱动基板的生产节拍,导致驱动基板的生产成本较大。

本公开实施例提供一种驱动基板及其制作方法、显示装置,能够减少制作驱动基板的构图工艺的次数。

本公开的实施例提供一种驱动基板,包括:

衬底基板;

第一驱动功能层,设置于所述衬底基板的第一表面,所述第一驱动功能

层包括多个驱动薄膜晶体管和多条信号走线，至少一条所述信号走线采用单层结构且厚度大于阈值；

焊盘层，所述焊盘层设置于所述第一驱动功能层远离所述衬底基板的一侧，所述焊盘层包括多个第一焊盘和多个第二焊盘，所述第一焊盘与对应的所述驱动薄膜晶体管的第一极连接，所述第二焊盘与所述信号走线中的公共电极线连接。

本实施例中，信号走线本身的厚度比较大，能够有效降低 IR Drop，这样不需要通过并联的方式形成信号走线，能够减少驱动基板包括的金属层的层数，从而减少制作驱动基板的构图工艺的次数，降低驱动基板的生产成本。

具体地，上述阈值可以为 $2\mu\text{m}$ 。

驱动基板的信号走线包括电源电压信号线 VDD 走线和公共电极线 VSS 走线，VDD 走线用以传输第一固定电平信号，VSS 走线用以传输第二固定电平信号，若 VDD 走线和 VSS 走线的阻值较大则会导致驱动基板的功耗较高（IR Drop 较大），其中第一固定电平信号和第二固定电平信号的幅值不同。

如图 1 所示的相关技术中，第二源漏金属层 19 可以采用钛/铝/钛的叠层结构，厚度可以分别为 500 埃/6500 埃/500 埃，第三源漏金属层 22 可以采用厚度为 6000 埃的铜，采用第二源漏金属层 19 和第三源漏金属层 22 并联组成信号走线（如 VDD 走线和 VSS 走线），信号走线的电阻率为 0.0035 欧姆·米左右。本实施例中，直接采用单层的厚度大于 $2\mu\text{m}$ 的导电材料如铜来制作信号走线，可以使得信号走线的电阻率降低到 0.001 欧姆·米左右，能够大大降低信号走线的电阻率，不但可以降低信号走线的 IR Drop，而且可以节约工艺流程。

一些实施例中，所述电源电压信号线和所述公共电极线可以同层同材料设置，这样可以通过一次构图工艺形成电源电压信号线和公共电极线，能够降低制作驱动基板的构图工艺的次数。

如图 2 所示，一具体实施例中，以电子元件为 LED 为例，驱动基板包括：衬底基板 10、位于衬底基板 10 第一表面的第一驱动功能层和位于衬底基板 10 第二表面的第二驱动功能层，第一表面和第二表面为相对的两个表面。

其中，第一驱动功能层包括：有源层 11，有源层 11 可以采用 P-Si，厚度大致在 400-500 埃的范围内之间取值，具体可以为 470 埃；第一栅绝缘层 12，第一栅绝缘层 12 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，厚度大致在 400-800 埃的范围内之间取值，具体可以采用氧化硅/氮化硅的叠层结构，厚度分别为 800 埃和 400 埃；第一栅金属层 13，第一栅金属层 13 的图形包括栅线和薄膜晶体管的栅极等，第一栅金属层 13 可以采用 Mo，厚度大致在 2500-3600 埃的范围内之间取值，具体可以为 3100 埃；第二栅绝缘层 14，第二栅绝缘层 14 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，厚度大致在 1000-2000 埃的范围内之间取值，具体可以为 1400 埃；第二栅金属层 15，第二栅金属层 15 的图形包括存储电容的极板；第二栅金属层 15 可以采用 Mo，厚度大致在 2500-3600 埃的范围内之间取值，具体可以为 3100 埃；第一平坦层 30，第一平坦层 30 可以采用有机树脂，厚度大致在 18000-22000 埃的范围内之间取值；第一源漏金属层 31，第一源漏金属层 31 的图形包括连接线 311 和驱动薄膜晶体管的第一极 312，其中，连接线 311 用以传递 VDD 信号，第一极可以为源极或漏极，第一源漏金属层 31 还可以用以制作数据线，第一源漏金属层 31 可以采用钛/铝/钛的叠层结构，厚度可以分别为 500 埃/5000 埃/500 埃；第二平坦层 32，第二平坦层 32 可以采用有机树脂，厚度大致在 18000-22000 埃的范围内之间取值；第二源漏金属层 34，第二源漏金属层 34 的厚度大于阈值，第二源漏金属层 34 的图形包括信号走线和第二焊盘 343，信号走线包括 VDD 走线 341、VSS 走线 342，其中，VSS 走线 342 还作为第一焊盘使用，第二焊盘 343 与驱动薄膜晶体管的第一极 312 连接；第三平坦层 36，第三平坦层 36 可以采用有机树脂，厚度大致在 18000-22000 埃的范围内之间取值。

进一步的，第一驱动功能层还可以包括位于有源层 11 和衬底基板 10 之间的缓冲层（未图示），缓冲层可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，具体可以采用氮化硅/氧化硅的叠层结构，厚度可以分别为 500 埃/3000 埃，缓冲层可以避免衬底基板 10 上的杂质进入有源层 11 中，进而影响薄膜晶体管的性能。

其中。第三平坦层 36 包括暴露出 VSS 走线 342 和第二焊盘 343 部分表面的过孔,LED 25 的 N pad 252 可以与 VSS 走线 342 绑定连接在一起,LED25 的 P pad 251 可以与第二焊盘 343 绑定连接在一起。

由于驱动基板的电流负载大,可以达到几十毫安,对信号走线的电阻性能要求高,需要采用电阻较小的金属,否则走线发热量大会导致温度过高;而铜的导电性能优越,因此,采用铜来作为信号走线的主体。当然,信号走线并不局限于采用铜,还可以采用其他金属,比如银、铝等。可以根据电流负载的大小调节铜层的厚度,电流负载越大,则铜层的厚度越大。铜层的厚度可以为 2~30um,在一些实施例中,具体可以为 2um。铜层可以通过溅射、电镀、化学镀等方式完成。

在第二平坦层 32 上通过溅射方式形成铜层时,溅射时的等离子体可能会对第二平坦层 32 造成损伤,使得第二平坦层 32 出现碎屑脱落的现象,脱落的碎屑会污染溅射腔室,为了避免这一情况,如图 2 所示,驱动基板还包括位于第二平坦层 32 上的第一钝化层 33,第一钝化层 33 可以对第二平坦层 32 进行保护。第一钝化层 33 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料,第一钝化层 33 的厚度大致在 500-3000 埃的范围内之间取值。

若通过低温沉积的方式形成铜层,由于低温沉积方式不会对第二平坦层 32 造成损伤,因此此时可以省去第一钝化层 33 的设置。

另外,在信号走线采用铜时,在信号走线上形成第三平坦层 36 时,第三平坦层 36 高温固化时会导致铜的表面氧化,为了避免这一情况,如图 2 所示,驱动基板还包括位于第二源漏金属层 34 上的第二钝化层 35,第二钝化层 35 可以对铜进行保护,避免第三平坦层 36 高温固化时铜的表面氧化。第二钝化层 35 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料,第二钝化层 35 的厚度大致在 500-3000 埃的范围内之间取值。由于后续工艺中 LED 25 的 N pad 252 需要与第一焊盘 342 绑定连接在一起,LED 25 的 P pad 251 需要与第二焊盘 343 绑定连接在一起,因此,可以在第一焊盘 342 和第二焊盘 343 上不设置第二钝化层 35;或者,在第一焊盘 342 和第二焊盘 343 上也设置第二钝化层 35,但在绑定 LED 25 之前,将第一焊盘 342 和第二焊盘 343 上的第

二钝化层 35 去除。

在一些实施例中，第二源漏金属层 34 除包括铜层之外，还包括位于铜层靠近衬底基板一侧的金属层，所述金属层与所述第二平坦层 32 的粘附力大于所述铜层与第二平坦层 32 的粘附力，防止铜层从衬底基板上脱落。具体地，金属层可以采用以下至少一种：Mo、MoNb、MoTi、MoWu、MoNi、MoNiTi，还可以采用 IGZO、IZO、GZO、ITO 等金属氧化物。金属层的厚度大致在 200-500 埃的范围内之间取值。

第二驱动功能层包括：扇出走线结构 26，扇出走线结构 26 可以采用 Al/Mo 的叠层结构，厚度可以分别为 6000 埃/600 埃；钝化层 27，钝化层 27 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，厚度大致在 5000-7000 埃的范围内之间取值；用以与柔性电路板绑定的绑定引脚 282 以及通过扇出走线结构 26 与绑定引脚 282 连接的引线衬垫 281 可以采用透明导电材料比如 ITO，厚度大致在 400-600 埃的范围内之间取值。

另外，第一驱动功能层，第一源漏金属层 31 还包括第一导电子图形 312，第二源漏金属层 34 还包括第二导电子图形 344，第一导电子图形 312 和第二导电子图形 344 并联组成导电结构，与显示区域的信号走线连接；导电结构可以通过基板侧面（如椭圆形虚线框所示区域）的导电连接部与引线衬垫 281 连接，从而实现引线衬垫 281 与信号走线的连接，以将柔性电路板输出的信号传递至信号走线。如果导电连接部裸露在基板外部，容易受到损伤。为了避免导电连接部受到损伤，可以在基板侧面设置与导电连接部所在位于对应的凹槽，如椭圆形虚线框所示区域，使得导电连接部的至少一部分位于凹槽内，这样能够降低导电连接部受到损伤的风险。

相关技术中，为了降低信号走线的降低信号走线的 IR Drop，三层源漏金属层中用以形成信号走线的其中一层源漏金属层，基本上覆盖了基板的整个显示区域，且两层源漏金属层之间的绝缘层的厚度较小，两层源漏金属层之间发生短路不良的概率较高，会导致后续制程，如通过化学气相沉积法制作第三平坦层 36 层时，静电荷会聚集在大面积金属层上，导致电弧放电，损坏机台，并影响了驱动基板的良率。

如图 3 所示, 本实施例中, 利用第一源漏金属层 31 制作信号传输线, 信号传输线与第二源漏金属层 34 制作的信号走线连接, 组成网格状结构, 其中, 第二源漏金属层 34 制作的信号走线包括 VSS 走线和 VDD 走线, 一部分信号传输线与 VSS 走线连接组成网格状结构以传递 VSS 信号, 其中, 传递 VSS 信号的信号传输线与对应的 VSS 走线在交叉处通过贯穿第二平坦层 32 的过孔连接; 另一部分信号传输线与 VDD 走线连接组成网格状结构以传递 VDD 信号, 其中, 传递 VDD 信号的信号传输线与对应的 VDD 走线在交叉处通过贯穿第二平坦层 32 的过孔连接。由于本实施例采用单层源漏金属层制作信号走线, 可以将短路不良发生率降低至 1% 以下, 保证了驱动基板的良率。另外, 本实施例中, 由于驱动基板包括的源漏金属层的层数较少, 即使第二源漏金属层 34 制作的信号走线的宽度增大, 占据的面积增多, 也不会导致短路不良发生率大幅增多。

图 4 为图 3 的局部放大示意图, 图 5 为图 4 在 AA' 方向上的截面示意图, 图 6 为图 4 在 BB' 方向上的截面示意图, 图 7 为图 4 在 CC' 方向上的截面示意图, 图 8 为图 4 在 DD' 方向上的截面示意图。

如图 5 所示, 第一源漏金属层 31 构成的信号传输线的线宽为 a , 如图 7 所示, 第二源漏金属层 34 构成的信号走线的线宽为 b , 信号走线之间的间距为 c , 其中, a/b 的取值为 1-1.2, 具体可以为 1.1; b/c 的取值为 1.8-2.2, 具体可以为 2, 采用上述参数对信号传输线的线宽、信号走线的线宽和间距进行设计, 可以降低 VSS 信号和 VDD 信号的传输损耗, 又可以降低短路不良发生率。

图 9 为本公开实施例驱动基板在焊盘区域的示意图, 图 10 为图 9 在 EE' 方向上的截面示意图, 焊盘区域包括第一焊盘区域 H1 和第二焊盘区域 H2, 在第一焊盘区域 H1 设置有第一焊盘, 在第二焊盘区域 H2 设置有第二焊盘。如图 10 所示, 其中, d 为第一源漏金属层 31 的边缘与第二源漏金属层 34 的边缘在水平方向上的距离, e 为第二源漏金属层 34 的边缘与第二平坦层 32 的边缘在水平方向上的距离, f 为第二平坦层 32 的边缘与第一钝化层 33 的边缘在水平方向上的距离, g 为第一钝化层 33 的边缘与第三平坦层 36 的边缘

在水平方向上的距离， h 为第三平坦层 36 的边缘与第二钝化层 35 的边缘在水平方向上的距离。其中， e/d 的取值为 1.4-1.6，具体可以为 1.5； f/e 的取值为 1.4-1.6，具体可以为 1.5； f/g 的取值为 1.4-1.6，具体可以为 1.5； h/g 的取值为 1.4-1.8，具体可以为 1.67。采用上述参数对第一源漏金属层 31 与第二源漏金属层 34 搭接处的结构进行设计，可以保证第一源漏金属层 31 与第二源漏金属层 34 的连接良率。

本公开实施例还提供了一种显示装置，包括如上所述的驱动基板和固定在所述焊盘层上的电子元件，所述电子元件的第一极与所述第一焊盘绑定连接，所述电子元件的第二极与所述第二焊盘绑定连接。

具体地，所述电子元件为 LED，如图 2 所示，LED25 的 N pad252 可以与第一焊盘 342 绑定连接在一起，LED25 的 P pad251 可以与第二焊盘 343 绑定连接在一起。

所述显示装置可以为：电视、显示器、数码相框、手机、平板电脑等任何具有显示功能的产品或部件，其中，所述显示装置还包括柔性电路板、印刷电路板和背板，柔性电路板与绑定引脚 282 绑定。

本公开实施例还提供了一种驱动基板的制作方法，包括：

提供一衬底基板；

在所述衬底基板的第一表面形成第一驱动功能层，所述第一驱动功能层包括多个驱动薄膜晶体管和多条信号走线，至少一条所述信号走线采用单层结构且厚度大于阈值；

在所述第一驱动功能层远离所述衬底基板的一侧形成焊盘层，所述焊盘层包括多个第一焊盘和多个第二焊盘，所述第一焊盘与对应的所述驱动薄膜晶体管的第一极连接，所述第二焊盘与所述信号走线中的公共电极线连接。

本实施例中，信号走线本身的厚度比较大，能够有效降低 IR Drop，这样不需要通过并联的方式形成信号走线，能够减少驱动基板包括的金属层的层数，从而减少制作驱动基板的构图工艺的次数，降低驱动基板的生产成本。

本实施例的驱动基板的制作方法用于制作上述实施例中的驱动基板。

由于驱动基板的电流负载大，可以达到几十毫安，对信号走线的电阻性

能要求高，需要采用电阻较小的金属，否则走线发热量大会导致温度过高；而铜的导电性能优越，因此，采用铜来作为信号走线的主体。当然，信号走线并不局限于采用铜，还可以采用其他金属，比如银、铝等。可以根据电流负载的大小调节铜层的厚度，电流负载越大，则铜层的厚度越大。铜层的厚度可以为 2~30um，在一些实施例中，具体可以为 2um。铜层可以通过溅射、电镀、化学镀等方式完成。

一实施例中，以采用铜制作信号走线，采用溅射方式形成厚度较大的铜层，电子元件为 LED 为例，驱动基板的制作方法具体包括以下步骤：

步骤 1、提供一衬底基板 10，在衬底基板 10 上形成缓冲层、有源层 11；其中，衬底基板 10 可为玻璃基板、石英基板或柔性基板。

可以采用等离子体增强化学气相沉积（PECVD）方法在衬底基板 10 上形成缓冲层，缓冲层可以选用氧化物、氮化物或者氧氮化合物，对应的反应气体是 SiH_4 、 NH_3 、 N_2 或 SiH_2Cl_2 、 NH_3 、 N_2 。缓冲层具体可以采用氮化硅/氧化硅的叠层结构，厚度可以分别为 500 埃/3000 埃。

在缓冲层上形成一层半导体材料，对半导体材料进行构图形成有源层 11，有源层 11 可以采用 P-Si，厚度可以为 400-500 埃，具体可以为 470 埃。

步骤 2、形成第一栅绝缘层 12；

具体地，可以采用 PECVD 沉积厚度为 400-800 埃的第一栅绝缘层 12，第一栅绝缘层 12 可以选用氧化物、氮化物或者氧氮化合物，对应的反应气体是 SiH_4 、 NH_3 、 N_2 或 SiH_2Cl_2 、 NH_3 、 N_2 。

步骤 3、形成第一栅金属层 13 的图形；

具体地，可以采用溅射或热蒸发的方法沉积厚度为 2500-3600 埃的第一栅金属层 13，第一栅金属层 13 可以是 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 等金属以及这些金属的合金，具体可以采用 Mo。在第一栅金属层 13 上涂覆一层光刻胶，采用掩模板对光刻胶进行曝光，使光刻胶形成光刻胶未保留区域和光刻胶保留区域，其中，光刻胶保留区域对应于第一栅金属层 13 的图形所在区域，光刻胶未保留区域对应于上述图形以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶

厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第一栅金属层 13，剥离剩余的光刻胶，形成第一栅金属层 13 的图形，第一栅金属层 3 的图形包括栅线和薄膜晶体管的栅极等。

步骤 4、形成第二栅绝缘层 14；

具体地，可以采用 PECVD 沉积厚度为 1000-2000 埃的第二栅绝缘层 14，第二栅绝缘层 14 可以选用氧化物、氮化物或者氧氮化合物，对应的反应气体是 SiH_4 、 NH_3 、 N_2 或 SiH_2Cl_2 、 NH_3 、 N_2 。

步骤 5、形成第二栅金属层 15 的图形；

具体地，可以采用溅射或热蒸发的方法沉积厚度为 2500-3600 埃的形成第二栅金属层 15，形成第二栅金属层 15 可以是 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 等金属以及这些金属的合金，具体可以采用 Mo。在形成第二栅金属层 15 上涂覆一层光刻胶，采用掩模板对光刻胶进行曝光，使光刻胶形成光刻胶未保留区域和光刻胶保留区域，其中，光刻胶保留区域对应于形成第二栅金属层 15 的图形所在区域，光刻胶未保留区域对应于上述图形以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的形成第二栅金属层 15，剥离剩余的光刻胶，形成第二栅金属层 15 的图形，形成第二栅金属层 15 的图形包括存储电容的极板等。

步骤 6、形成第一平坦层 30；

具体地，可以涂覆一层厚度为 18000-22000 埃的有机树脂，高温固化后形成第一平坦层 30。

步骤 7、形成第一源漏金属层 31 的图形；

具体地，可以采用磁控溅射、热蒸发或其它成膜方法沉积一层厚度约为 5000~6000 埃的源漏金属层，源漏金属层可以是 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 等金属以及这些金属的合金。源漏金属层可以是单层结构或者多层结构，多层结构比如 Cu\Mo, Ti\Cu\Ti, Mo\Al\Mo 等，具体可以采用 Ti/Al/Ti 的叠层结构，厚度可以分别为 500 埃/5000 埃/500 埃。在第一源漏金属层 31 上涂覆一层光刻胶，采用掩模板对光刻胶进行曝光，使光刻胶形

成光刻胶未保留区域和光刻胶保留区域，其中，光刻胶保留区域对应于第一源漏金属层 31 的图形所在区域，光刻胶未保留区域对应于上述图形以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第一源漏金属层 31，剥离剩余的光刻胶，形成第一源漏金属层 31 的图形，第一源漏金属层 31 的图形包括连接线 311 和驱动薄膜晶体管的第一极 312，其中，连接线 311 用以传递 VDD 信号，第一极可以为源极或漏极，第一源漏金属层 31 的图形还包括数据线。

步骤 8、形成第二平坦层 32；

具体地，可以涂覆一层厚度为 18000-22000 埃的有机树脂，高温固化后形成第二平坦层 32。

步骤 9、形成第二源漏金属层 34 的图形；

在第二平坦层 32 上采用溅射的方式形成第二源漏金属层 34，第二源漏金属层 34 采用金属层/铜的叠层结构，金属层与第二平坦层 32 之间的粘附力大于铜与第二平坦层 32 之间的粘附力，可以增加铜与第二平坦层 32 之间的粘附力，使得铜不易脱落，具体地，金属层可以采用 Mo。第二源漏金属层 34 中，Mo 的厚度可以为 300 埃，铜的厚度可为 2um 左右。

在第二源漏金属层 34 上涂覆一层光刻胶，采用掩膜板对光刻胶进行曝光，使光刻胶形成光刻胶未保留区域和光刻胶保留区域，其中，光刻胶保留区域对应于第二源漏金属层 34 的图形所在区域，光刻胶未保留区域对应于上述图形以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第二源漏金属层 34，剥离剩余的光刻胶，形成第二源漏金属层 34 的图形，第二源漏金属层 34 的图形包括信号走线和第二焊盘 343，信号走线包括 VDD 走线 341、VSS 走线 342，其中，VSS 走线 342 还作为第一焊盘使用，第二焊盘 343 与驱动薄膜晶体管的第一极 312 连接。

步骤 10、形成第三平坦层 36。

具体地，可以涂覆一层厚度为 18000-22000 埃的有机树脂，高温固化后

形成第三平坦层 36。

之后可以对第三平坦层 36 进行构图，形成暴露出 VSS 走线 342 和第二焊盘 343 的过孔。

在经过上述步骤 1-10 制作第一驱动功能层之后，可以将衬底基板 10 翻转，在衬底基板 10 的另一侧表面制作第二驱动功能层，即可完成驱动基板的制作。

另外，在第二平坦层 32 上通过溅射方式形成铜层时，溅射时的等离子体可能会对第二平坦层 32 造成损伤，使得第二平坦层 32 出现碎屑脱落的现象，脱落的碎屑会污染溅射腔室，为了避免这一情况，在形成第二平坦层后 32，还形成位于第二平坦层 32 上的第一钝化层 33，第一钝化层 33 可以对第二平坦层 32 进行保护。第一钝化层 33 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，第一钝化层 33 的厚度可以为 500-3000 埃。

若通过低温沉积的方式形成铜层，由于低温沉积方式不会对第二平坦层 32 造成损伤，因此此时可以省去形成第一钝化层 33 的步骤。

另外，在铜层上形成第三平坦层 36 时，第三平坦层 36 高温固化时会导致铜的表面氧化，为了避免这一情况，在形成第二源漏金属层 34 的图形后，在第二源漏金属层 34 的图形上形成第二钝化层 35，第二钝化层 35 可以对铜进行保护，避免第三平坦层 36 高温固化时铜的表面氧化。第二钝化层 35 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，第二钝化层 35 的厚度可以为 500-3000 埃。

另一实施例中，以采用铜制作信号走线，采用电镀方式形成厚度较大的铜层，电子元件为 LED 为例，驱动基板的制作方法具体包括以下步骤：

步骤 1、提供一衬底基板 10，在衬底基板 10 上形成缓冲层、有源层 11；其中，衬底基板 10 可为玻璃基板、石英基板或柔性基板。

可以采用等离子体增强化学气相沉积（PECVD）方法在衬底基板 10 上形成缓冲层，缓冲层可以选用氧化物、氮化物或者氧氮化合物，对应的反应气体是 SiH_4 、 NH_3 、 N_2 或 SiH_2Cl_2 、 NH_3 、 N_2 。缓冲层具体可以采用氮化硅/氧化硅的叠层结构，厚度可以分别为 500 埃/3000 埃。

在缓冲层上形成一层半导体材料,对半导体材料进行构图形成有源层 11,有源层 11 可以采用 P-Si, 厚度可以为 400-500 埃, 具体可以为 470 埃。

步骤 2、形成第一栅绝缘层 12;

具体地, 可以采用 PECVD 沉积厚度为 400-800 埃的第一栅绝缘层 12, 第一栅绝缘层 12 可以选用氧化物、氮化物或者氧氮化合物, 对应的反应气体是 SiH_4 、 NH_3 、 N_2 或 SiH_2Cl_2 、 NH_3 、 N_2 。

步骤 3、形成第一栅金属层 13 的图形;

具体地, 可以采用溅射或热蒸发的方法沉积厚度为 2500-3600 埃的第一栅金属层 13, 第一栅金属层 13 可以是 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 等金属以及这些金属的合金, 具体可以采用 Mo。在第一栅金属层 13 上涂覆一层光刻胶, 采用掩模板对光刻胶进行曝光, 使光刻胶形成光刻胶未保留区域和光刻胶保留区域, 其中, 光刻胶保留区域对应于第一栅金属层 13 的图形所在区域, 光刻胶未保留区域对应于上述图形以外的区域; 进行显影处理, 光刻胶未保留区域的光刻胶被完全去除, 光刻胶保留区域的光刻胶厚度保持不变; 通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第一栅金属层 13, 剥离剩余的光刻胶, 形成第一栅金属层 13 的图形, 第一栅金属层 3 的图形包括栅线和薄膜晶体管的栅极等。

步骤 4、形成第二栅绝缘层 14;

具体地, 可以采用 PECVD 沉积厚度为 1000-2000 埃的第二栅绝缘层 14, 第二栅绝缘层 14 可以选用氧化物、氮化物或者氧氮化合物, 对应的反应气体是 SiH_4 、 NH_3 、 N_2 或 SiH_2Cl_2 、 NH_3 、 N_2 。

步骤 5、形成第二栅金属层 15 的图形;

具体地, 可以采用溅射或热蒸发的方法沉积厚度为 2500-3600 埃的形成第二栅金属层 15, 形成第二栅金属层 15 可以是 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 等金属以及这些金属的合金, 具体可以采用 Mo。在形成第二栅金属层 15 上涂覆一层光刻胶, 采用掩模板对光刻胶进行曝光, 使光刻胶形成光刻胶未保留区域和光刻胶保留区域, 其中, 光刻胶保留区域对应于形成第二栅金属层 15 的图形所在区域, 光刻胶未保留区域对应于上述图形

以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的形成第二栅金属层 15，剥离剩余的光刻胶，形成第二栅金属层 15 的图形，形成第二栅金属层 15 的图形包括存储电容的极板等。

步骤 6、形成第一平坦层 30；

具体地，可以涂覆一层厚度为 18000-22000 埃的有机树脂，高温固化后形成第一平坦层 30。

步骤 7、形成第一源漏金属层 31 的图形；

具体地，可以采用磁控溅射、热蒸发或其它成膜方法沉积一层厚度约为 5000~6000 埃的源漏金属层，源漏金属层可以是铜，Al，Ag，Mo，Cr，Nd，Ni，Mn，Ti，Ta，W 等金属以及这些金属的合金。源漏金属层可以是单层结构或者多层结构，多层结构比如铜\Mo，Ti\铜\Ti，Mo\Al\Mo 等，具体可以采用钛/铝/钛的叠层结构，厚度可以分别为 500 埃/5000 埃/500 埃。在第一源漏金属层 31 上涂覆一层光刻胶，采用掩模板对光刻胶进行曝光，使光刻胶形成光刻胶未保留区域和光刻胶保留区域，其中，光刻胶保留区域对应于第一源漏金属层 31 的图形所在区域，光刻胶未保留区域对应于上述图形以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第一源漏金属层 31，剥离剩余的光刻胶，形成第一源漏金属层 31 的图形，第一源漏金属层 31 的图形包括连接线 311 和驱动薄膜晶体管的第一极 312，其中，连接线 311 用以传递 VDD 信号，第一极可以为源极或漏极，第一源漏金属层 31 的图形还包括数据线。

步骤 8、形成第二平坦层 32；

具体地，可以涂覆一层厚度为 18000-22000 埃的有机树脂，高温固化后形成第二平坦层 32。

步骤 9、形成第二源漏金属层 34 的图形；

在第二平坦层 32 上采用溅射的方式形成种子层，种子层采用金属层/铜的叠层结构，金属层与第二平坦层 32 之间的粘附力大于铜与第二平坦层 32

之间的粘附力，可以增加铜与第二平坦层 32 之间的粘附力，使得铜不易脱落，具体地，金属层可以采用 Mo。种子层的厚度小于阈值，具体地，种子层中 Mo 的厚度可以为 300 埃，种子层中铜的厚度可以为 3000 埃。

在种子层上以电镀方式生长出一层金属铜，生长出的铜的厚度可以达到 2um 以上，生长出的铜与种子层组成第二源漏金属层 34。

在第二源漏金属层 34 上涂覆一层光刻胶，采用掩模板对光刻胶进行曝光，使光刻胶形成光刻胶未保留区域和光刻胶保留区域，其中，光刻胶保留区域对应于第二源漏金属层 34 的图形所在区域，光刻胶未保留区域对应于上述图形以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第二源漏金属层 34，剥离剩余的光刻胶，形成第二源漏金属层 34 的图形，第二源漏金属层 34 的图形包括信号走线和第二焊盘 343，信号走线包括 VDD 走线 341、VSS 走线 342，其中，VSS 走线 342 还作为第一焊盘使用，第二焊盘 343 与驱动薄膜晶体管的第一极 312 连接。

步骤 10、形成第三平坦层 36。

具体地，可以涂覆一层厚度为 18000-22000 埃的有机树脂，高温固化后形成第三平坦层 36。

之后可以对第三平坦层 36 进行构图，形成暴露出 VSS 走线 342 和第二焊盘 343 的过孔。

在经过上述步骤 1-10 制作第一驱动功能层之后，可以将衬底基板 10 翻转，在衬底基板 10 的另一侧表面制作第二驱动功能层，即可完成驱动基板的制作。

另外，在第二平坦层 32 上通过溅射方式形成铜层时，溅射时的等离子体可能会对第二平坦层 32 造成损伤，使得第二平坦层 32 出现碎屑脱落的现象，脱落的碎屑会污染溅射腔室，为了避免这一情况，在形成第二平坦层后 32，还形成位于第二平坦层 32 上的第一钝化层 33，第一钝化层 33 可以对第二平坦层 32 进行保护。第一钝化层 33 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，第一钝化层 33 的厚度可以为 500-3000 埃。

若通过低温沉积的方式形成铜层，由于低温沉积方式不会对第二平坦层 32 造成损伤，因此此时可以省去形成第一钝化层 33 的步骤。

另外，在铜层上形成第三平坦层 36 时，第三平坦层 36 高温固化时会导致铜的表面氧化，为了避免这一情况，在形成第二源漏金属层 34 的图形后，在第二源漏金属层 34 的图形上形成第二钝化层 35，第二钝化层 35 可以对铜进行保护，避免第三平坦层 36 高温固化时铜的表面氧化。第二钝化层 35 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，第二钝化层 35 的厚度可以为 500-3000 埃。

另一实施例中，以采用铜制作信号走线，采用化学镀方式形成厚度较大的铜层，电子元件为 LED 为例，驱动基板的制作方法具体包括以下步骤：

步骤 1、提供一衬底基板 10，在衬底基板 10 上形成缓冲层、有源层 11；其中，衬底基板 10 可为玻璃基板、石英基板或柔性基板。

可以采用等离子体增强化学气相沉积（PECVD）方法在衬底基板 10 上形成缓冲层，缓冲层可以选用氧化物、氮化物或者氧氮化合物，对应的反应气体是 SiH_4 、 NH_3 、 N_2 或 SiH_2Cl_2 、 NH_3 、 N_2 。缓冲层具体可以采用氮化硅/氧化硅的叠层结构，厚度可以分别为 500 埃/3000 埃。

在缓冲层上形成一层半导体材料，对半导体材料进行构图形成有源层 11，有源层 11 可以采用 P-Si，厚度可以为 400-500 埃，具体可以为 470 埃。

步骤 2、形成第一栅绝缘层 12；

具体地，可以采用 PECVD 沉积厚度为 400-800 埃的第一栅绝缘层 12，第一栅绝缘层 12 可以选用氧化物、氮化物或者氧氮化合物，对应的反应气体是 SiH_4 、 NH_3 、 N_2 或 SiH_2Cl_2 、 NH_3 、 N_2 。

步骤 3、形成第一栅金属层 13 的图形；

具体地，可以采用溅射或热蒸发的方法沉积厚度为 2500-3600 埃的第一栅金属层 13，第一栅金属层 13 可以是 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 等金属以及这些金属的合金，具体可以采用 Mo。在第一栅金属层 13 上涂覆一层光刻胶，采用掩模板对光刻胶进行曝光，使光刻胶形成光刻胶未保留区域和光刻胶保留区域，其中，光刻胶保留区域对应于第一栅金属层

13 的图形所在区域，光刻胶未保留区域对应于上述图形以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第一栅金属层 13，剥离剩余的光刻胶，形成第一栅金属层 13 的图形，第一栅金属层 3 的图形包括栅线和薄膜晶体管的栅极等。

步骤 4、形成第二栅绝缘层 14；

具体地，可以采用 PECVD 沉积厚度为 1000-2000 埃的第二栅绝缘层 14，第二栅绝缘层 14 可以选用氧化物、氮化物或者氧氮化合物，对应的反应气体是 SiH_4 、 NH_3 、 N_2 或 SiH_2Cl_2 、 NH_3 、 N_2 。

步骤 5、形成第二栅金属层 15 的图形；

具体地，可以采用溅射或热蒸发的方法沉积厚度为 2500-3600 埃的形成第二栅金属层 15，形成第二栅金属层 15 可以是 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 等金属以及这些金属的合金，具体可以采用 Mo。在形成第二栅金属层 15 上涂覆一层光刻胶，采用掩模板对光刻胶进行曝光，使光刻胶形成光刻胶未保留区域和光刻胶保留区域，其中，光刻胶保留区域对应于形成第二栅金属层 15 的图形所在区域，光刻胶未保留区域对应于上述图形以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的形成第二栅金属层 15，剥离剩余的光刻胶，形成第二栅金属层 15 的图形，形成第二栅金属层 15 的图形包括存储电容的极板等。

步骤 6、形成第一平坦层 30；

具体地，可以涂覆一层厚度为 18000-22000 埃的有机树脂，高温固化后形成第一平坦层 30。

步骤 7、形成第一源漏金属层 31 的图形；

具体地，可以采用磁控溅射、热蒸发或其它成膜方法沉积一层厚度约为 5000~6000 埃的源漏金属层，源漏金属层可以是 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 等金属以及这些金属的合金。源漏金属层可以是单层结构或者多层结构，多层结构比如 Cu\Mo, Ti\Cu\Ti, Mo\Al\Mo 等，具体可以

采用 Ti/Al/Ti 的叠层结构，厚度可以分别为 500 埃/5000 埃/500 埃。在第一源漏金属层 31 上涂覆一层光刻胶，采用掩模板对光刻胶进行曝光，使光刻胶形成光刻胶未保留区域和光刻胶保留区域，其中，光刻胶保留区域对应于第一源漏金属层 31 的图形所在区域，光刻胶未保留区域对应于上述图形以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的第一源漏金属层 31，剥离剩余的光刻胶，形成第一源漏金属层 31 的图形，第一源漏金属层 31 的图形包括连接线 311 和驱动薄膜晶体管的第一极 312，其中，连接线 311 用以传递 VDD 信号，第一极可以为源极或漏极，第一源漏金属层 31 的图形还包括数据线。

步骤 8、形成第二平坦层 32；

具体地，可以涂覆一层厚度为 18000-22000 埃的有机树脂，高温固化后形成第二平坦层 32。

步骤 9、形成第二源漏金属层 34 的图形；

在第二平坦层 32 上采用溅射的方式形成种子层，种子层采用金属层/铜的叠层结构，金属层与第二平坦层 32 之间的粘附力大于铜与第二平坦层 32 之间的粘附力，可以增加铜与第二平坦层 32 之间的粘附力，使得铜不易脱落，具体地，金属层可以采用 Mo。种子层的厚度小于阈值，具体地，种子层中 Mo 的厚度可以为 300 埃，种子层中铜的厚度可以为 3000 埃。

在种子层上涂覆一层光刻胶，采用掩模板对光刻胶进行曝光，使光刻胶形成光刻胶未保留区域和光刻胶保留区域，其中，光刻胶保留区域对应于第二源漏金属层 34 的图形所在区域，光刻胶未保留区域对应于上述图形以外的区域；进行显影处理，光刻胶未保留区域的光刻胶被完全去除，光刻胶保留区域的光刻胶厚度保持不变；通过刻蚀工艺完全刻蚀掉光刻胶未保留区域的种子层，形成种子层的图形。

在种子层的图形上以化学镀方式生长出一层金属铜，生长出的铜的厚度可以达到 2-3um，生长出的铜与种子层的图形组成第二源漏金属层 34 的图形。第二源漏金属层 34 的图形包括信号走线和第二焊盘 343，信号走线包括 VDD

走线 341、VSS 走线 342，其中，VSS 走线 342 还作为第一焊盘使用，第二焊盘 343 与驱动薄膜晶体管的第一极 312 连接。

步骤 10、形成第三平坦层 36。

具体地，可以涂覆一层厚度为 18000-22000 埃的有机树脂，高温固化后形成第三平坦层 36。

之后可以对第三平坦层 36 进行构图，形成暴露出 VSS 走线 342 和第二焊盘 343 的过孔。

在经过上述步骤 1-10 制作第一驱动功能层之后，可以将衬底基板 10 翻转，在衬底基板 10 的另一侧表面制作第二驱动功能层，即可完成驱动基板的制作。

另外，在第二平坦层 32 上通过溅射方式形成铜层时，溅射时的等离子体可能会对第二平坦层 32 造成损伤，使得第二平坦层 32 出现碎屑脱落的现象，脱落的碎屑会污染溅射腔室，为了避免这一情况，在形成第二平坦层后 32，还形成位于第二平坦层 32 上的第一钝化层 33，第一钝化层 33 可以对第二平坦层 32 进行保护。第一钝化层 33 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，第一钝化层 33 的厚度可以为 500-3000 埃。

若通过低温沉积的方式形成铜层，由于低温沉积方式不会对第二平坦层 32 造成损伤，因此此时可以省去形成第一钝化层 33 的步骤。

另外，在铜层上形成第三平坦层 36 时，第三平坦层 36 高温固化时会导致铜的表面氧化，为了避免这一情况，在形成第二源漏金属层 34 的图形后，在第二源漏金属层 34 的图形上形成第二钝化层 35，第二钝化层 35 可以对铜进行保护，避免第三平坦层 36 高温固化时铜的表面氧化。第二钝化层 35 可以采用氮化硅、氧化硅、氮氧化硅等无机绝缘材料，第二钝化层 35 的厚度可以为 500-3000 埃。

在本公开各方法实施例中，所述各步骤的序号并不能用于限定各步骤的先后顺序，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，对各步骤的先后变化也在本公开的保护范围之内。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属

领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

可以理解，当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时，该元件可以“直接”位于另一元件“上”或“下”，或者可以存在中间元件。

以上所述是本公开的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本公开所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权利要求书

1. 一种驱动基板，其特征在于，包括：

衬底基板；

第一驱动功能层，设置于所述衬底基板的第一表面，所述第一驱动功能层包括多个驱动薄膜晶体管和多条信号走线，至少一条所述信号走线采用单层结构且厚度大于阈值；

焊盘层，所述焊盘层设置于所述第一驱动功能层远离所述衬底基板的一侧，所述焊盘层包括多个第一焊盘和多个第二焊盘，所述第一焊盘与对应的所述驱动薄膜晶体管的第一极连接，所述第二焊盘与所述信号走线中的公共电极线连接。

2. 根据权利要求 1 所述的驱动基板，其特征在于，所述驱动基板还包括：

第二驱动功能层，设置于所述衬底基板的第二表面，所述第二表面与所述第一表面相对，所述第二驱动功能层包括引线衬垫和与所述引线衬垫连接的绑定引脚；

所述衬底基板的侧表面设置有多个凹槽，每个所述凹槽均沿垂直于所述衬底基板的方向延伸，且贯穿所述衬底基板的第一表面和第二表面；

与所述凹槽一一对应的导电连接部，所述导电连接部的至少一部分位于对应的所述凹槽内，且所述导电连接部用于分别连接相对应的所述信号走线和所述引线衬垫。

3. 根据权利要求 1 所述的驱动基板，其特征在于，所述多条信号走线包括电源电压信号线和所述公共电极线，所述电源电压信号线和所述公共电极线的厚度均大于所述阈值。

4. 根据权利要求 3 所述的驱动基板，其特征在于，所述电源电压信号线和所述公共电极线同层同材料设置。

5. 根据权利要求 3 所述的驱动基板，其特征在于，还包括：

与所述信号走线连接的信号传输线，所述信号传输线与所述信号走线组成网格状结构。

6. 根据权利要求 1-5 中任一项所述的驱动基板，其特征在于，沿远离所述第一表面的方向，所述第一驱动功能层依次包括：

有源层；

第一栅绝缘层；

第一栅金属层；

第二栅绝缘层；

第二栅金属层；

第一平坦层；

第一源漏金属层；

第二平坦层；

第二源漏金属层，所述第二源漏金属层的图形包括所述信号走线；

第三平坦层。

7. 根据权利要求 6 所述的驱动基板，其特征在于，所述第二源漏金属层包括层叠设置的铜层和金属层，所述金属层位于所述铜层靠近所述衬底基板的一侧，所述金属层与所述第二平坦层的粘附力大于所述铜层与所述第二平坦层的粘附力。

8. 根据权利要求 7 所述的驱动基板，其特征在于，所述铜层的厚度为 2-30um。

9. 根据权利要求 7 所述的驱动基板，其特征在于，所述驱动基板还包括位于所述铜层和所述第一平坦层之间的第一钝化层，所述第一钝化层采用无机绝缘材料。

10. 根据权利要求 7 所述的驱动基板，其特征在于，所述驱动基板还包括位于所述铜层和所述第二平坦层之间的第二钝化层，所述第二钝化层采用无机绝缘材料。

11. 一种显示装置，其特征在于，包括如权利要求 1-10 中任一项所述的驱动基板和固定在所述焊盘层上的电子元件，所述电子元件的第一极与所述第一焊盘绑定连接，所述电子元件的第二极与所述第二焊盘绑定连接。

12. 一种驱动基板的制作方法，其特征在于，包括：

提供一衬底基板；

在所述衬底基板的第一表面形成第一驱动功能层，所述第一驱动功能层包括多个驱动薄膜晶体管和多条信号走线，至少一条所述信号走线采用单层结构且厚度大于阈值；

在所述第一驱动功能层远离所述衬底基板的一侧形成焊盘层，所述焊盘层包括多个第一焊盘和多个第二焊盘，所述第一焊盘与对应的所述驱动薄膜晶体管的第一极连接，所述第二焊盘与所述信号走线中的公共电极线连接。

13. 根据权利要求 12 所述的驱动基板的制作方法，其特征在于，所述驱动基板包括第一源漏金属层的图形和第二源漏金属层的图形，所述第二源漏金属层的图形包括所述信号走线，形成所述信号走线包括：

形成厚度小于阈值的种子层；

在所述种子层上以电镀方法生长出导电层，所述种子层和所述导电层组成第二源漏金属层；

对所述第二源漏金属层进行构图，形成所述信号走线。

14. 根据权利要求 13 所述的驱动基板的制作方法，其特征在于，所述驱动基板包括第一源漏金属层的图形和第二源漏金属层的图形，所述第二源漏金属层的图形包括所述信号走线，形成所述信号走线包括：

形成厚度小于阈值的种子层；

对所述种子层进行构图形成种子层的图形，所述种子层的图形位于待形成的信号走线所在区域；

在所述种子层的图形上以化学镀方式生长出导电层的图形，所述导电层的图形和所述种子层的图形组成所述信号走线。

15. 根据权利要求 13 或 14 所述的驱动基板的制作方法，其特征在于，形成所述种子层包括：

形成层叠设置的铜层和金属层，所述金属层位于所述铜层靠近所述衬底基板的一侧，所述金属层与绝缘层的粘附力大于所述铜层与所述绝缘层的粘附力。

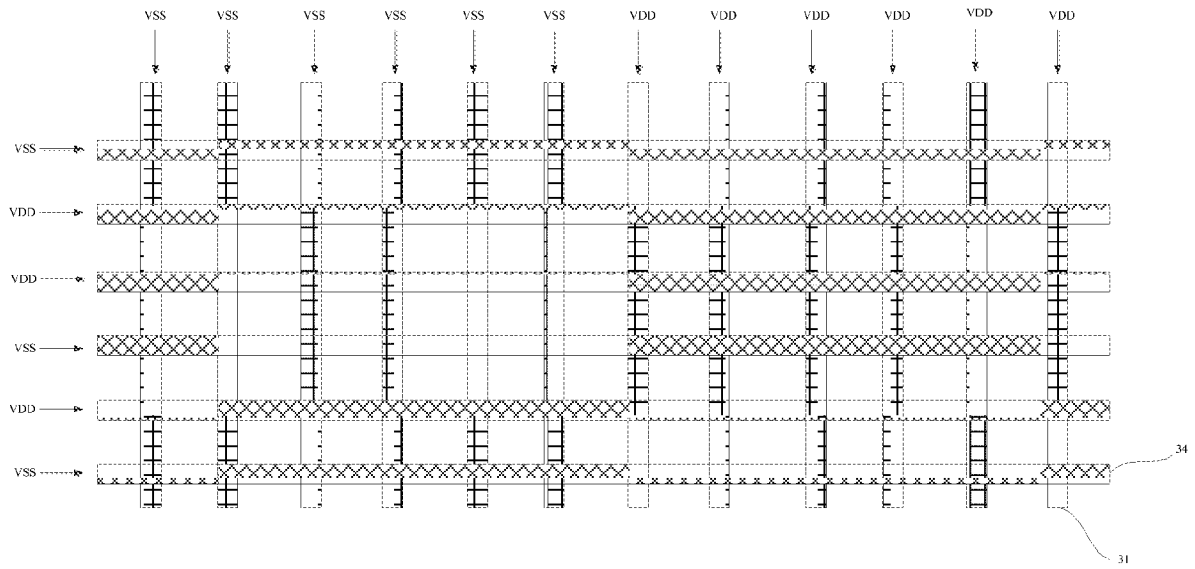


图 3

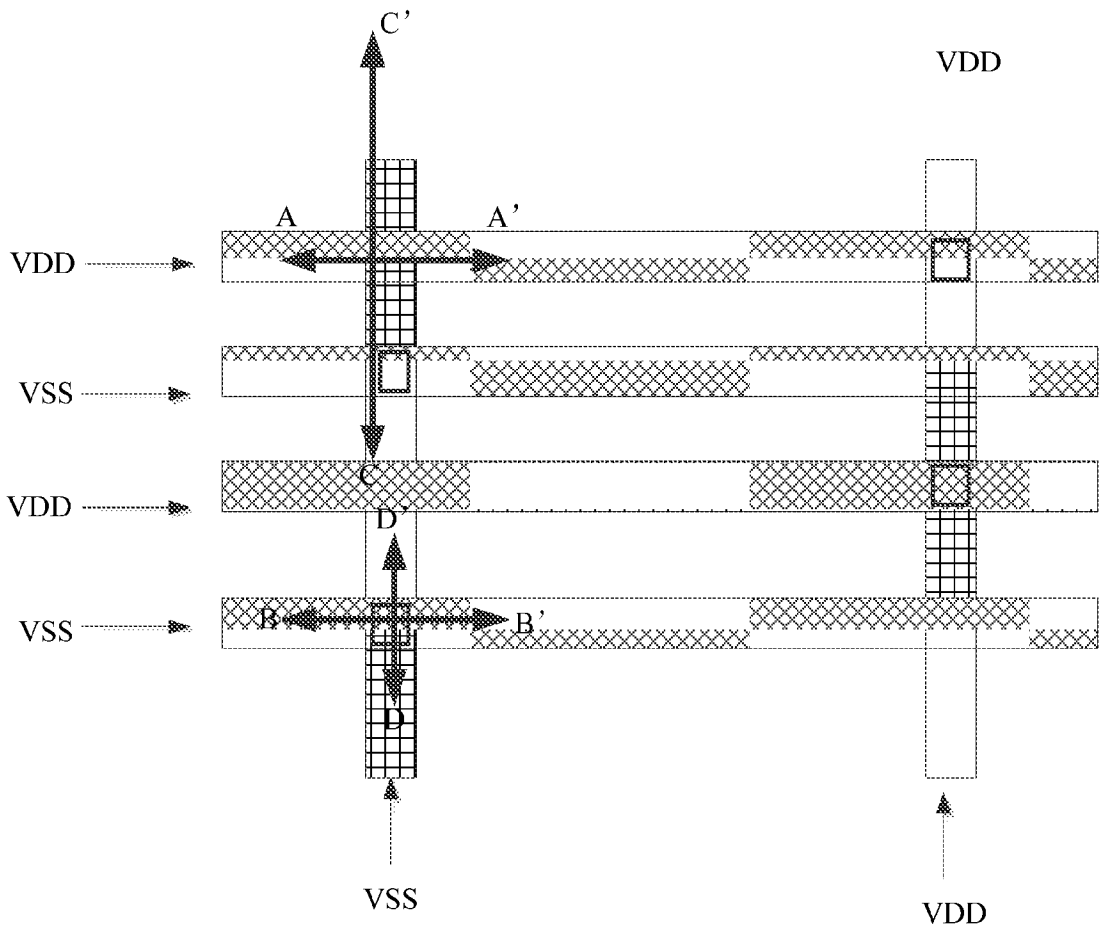


图 4

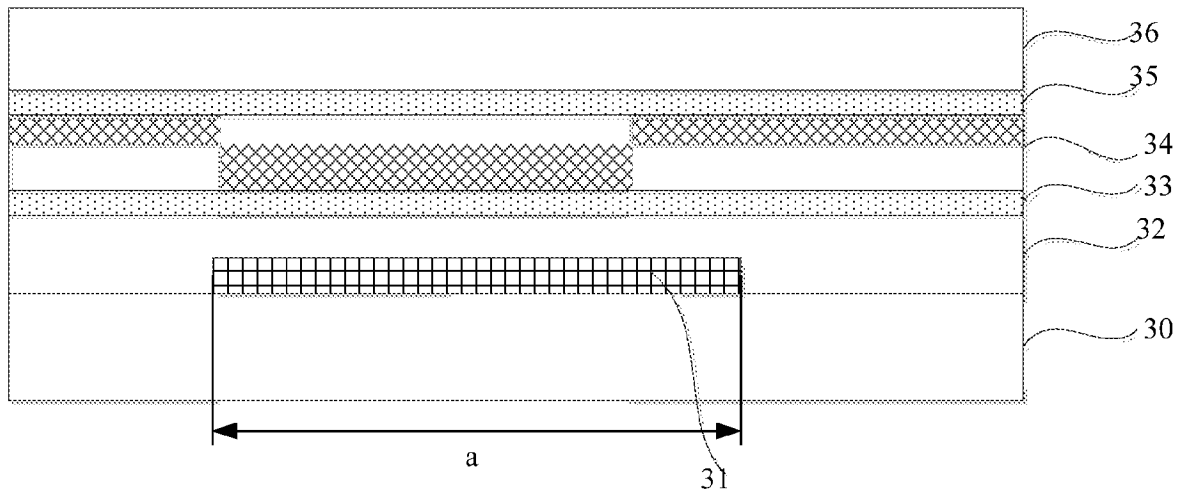


图 5

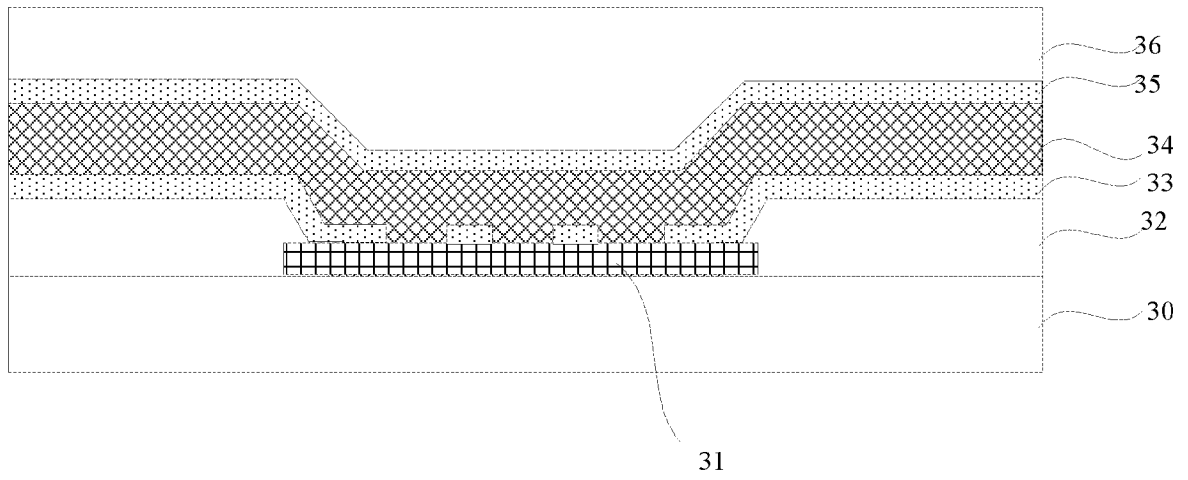


图 6

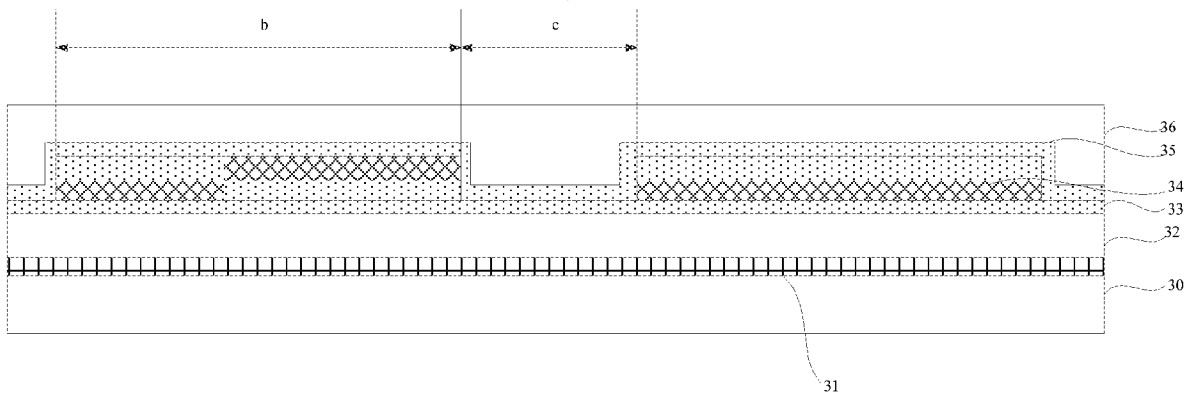


图 7

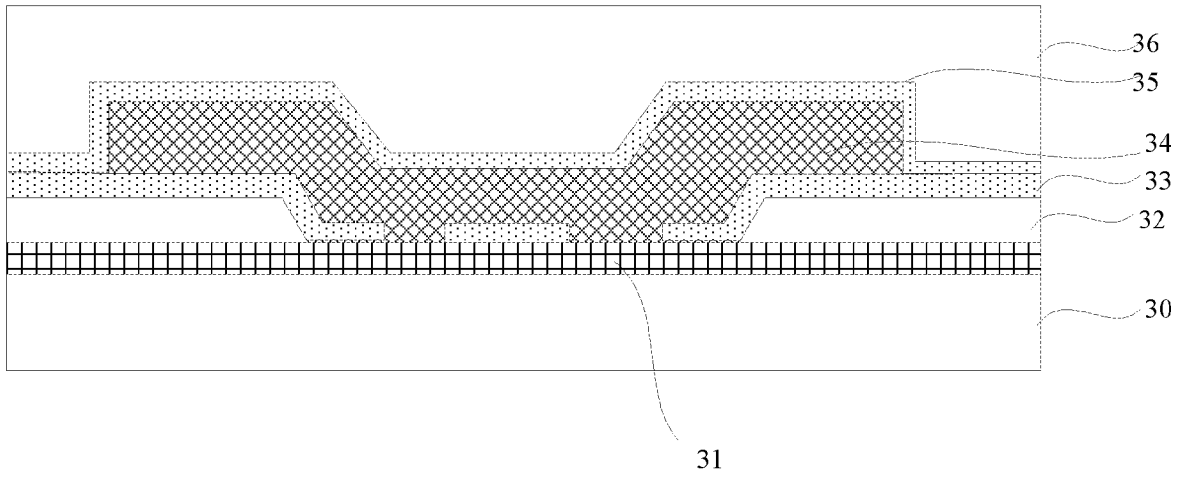


图 8

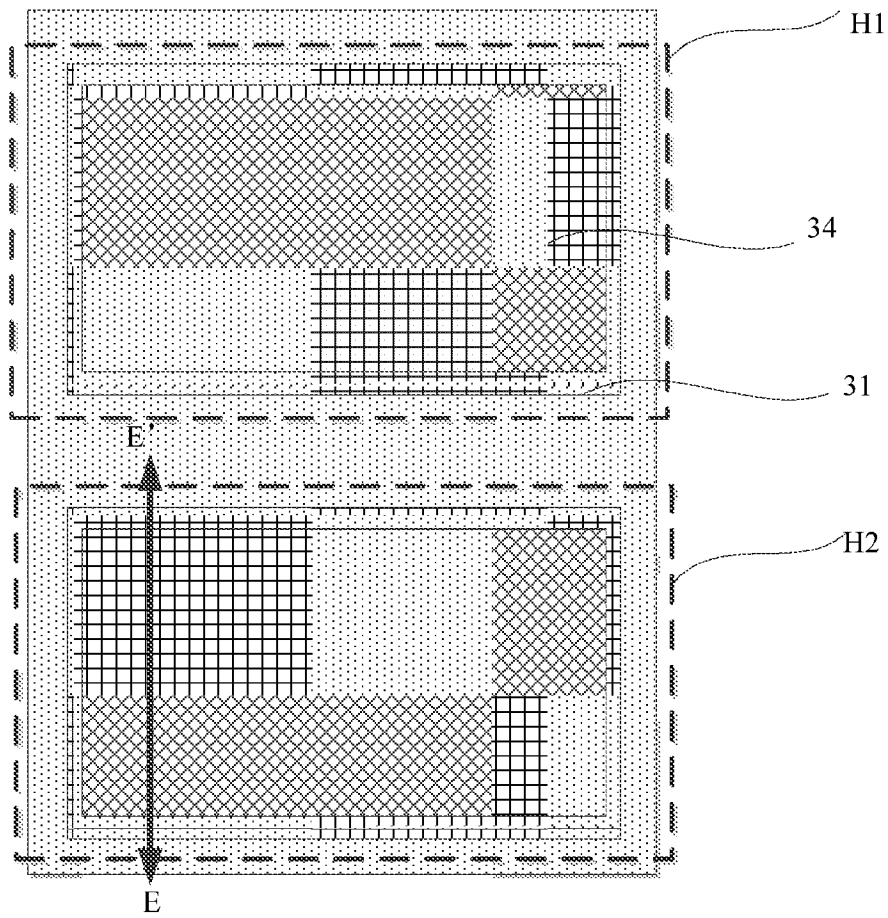


图 9

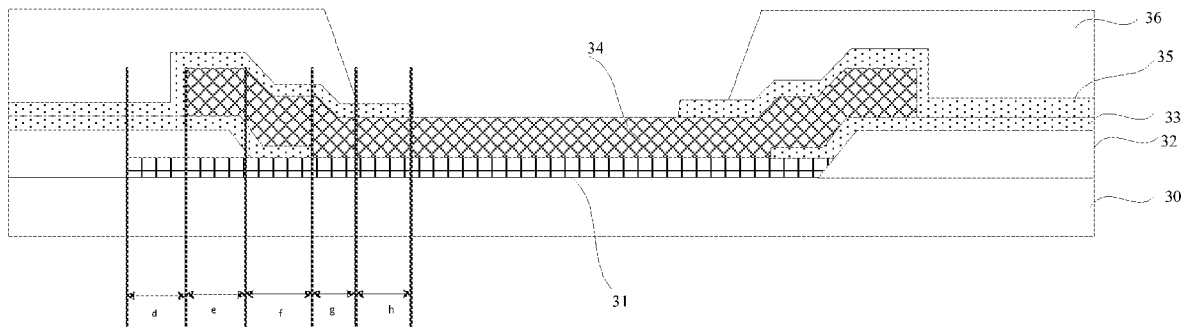


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/090001

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/32(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, WPI, EPODOC, CNKI: 驱动, 基板, 信号, 电极, 焊盘, LED, 微, 绑定, 邦定, 扇出, 双, 两, 多, 面; driv+, substrate, signal, electrode, pad, micro, bond+, dual+, two, side		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110867158 A (SHARP CORPORATION) 06 March 2020 (2020-03-06) description, paragraphs [0029]-[0099], and figures 2-6	1-15
X	CN 109859647 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 07 June 2019 (2019-06-07) description, paragraphs [0029]-[0040], and figures 1-2	1-15
A	CN 109979981 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 05 July 2019 (2019-07-05) entire document	1-15
A	CN 111048463 A (SEOUL SEMICONDUCTOR CO., LTD.) 21 April 2020 (2020-04-21) entire document	1-15
A	CN 110649042 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD.) 03 January 2020 (2020-01-03) entire document	1-15
A	US 10516081 B1 (APPLE INC.) 24 December 2019 (2019-12-24) entire document	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 January 2021		Date of mailing of the international search report 27 January 2021
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/090001

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110867158	A	06 March 2020	US	2020052033	A1	13 February 2020
CN	109859647	A	07 June 2019	US	2020312831	A1	01 October 2020
CN	109979981	A	05 July 2019	US	2020312237	A1	01 October 2020
CN	111048463	A	21 April 2020	JP	2018523848	A	23 August 2018
				US	2020328198	A1	15 October 2020
				US	2019206851	A1	04 July 2019
				US	9887184	B2	06 February 2018
				US	2017025399	A1	26 January 2017
				US	10312225	B2	04 June 2019
				CN	107852794	A	27 March 2018
				CN	107852794	B	10 March 2020
				WO	2017014564	A1	26 January 2017
				EP	3328162	A1	30 May 2018
				KR	20180022683	A	06 March 2018
				US	2018138162	A1	17 May 2018
				CN	111028715	A	17 April 2020
				US	10833057	B2	21 April 2020
CN	110649042	A	03 January 2020	None			
US	10516081	B1	24 December 2019	None			

国际检索报告

国际申请号

PCT/CN2020/090001

<p>A. 主题的分类</p> <p>G09G 3/32 (2016.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPODOC, CNKI: 驱动, 基板, 信号, 电极, 焊盘, LED, 微, 绑定, 邦定, 扇出, 双, 两, 多, 面; driv+, substrate, signal, electrode, pad, micro, bond+, dual+, two, side</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110867158 A (夏普株式会社) 2020年 3月 6日 (2020 - 03 - 06) 说明书第[0029]-[0099]段, 附图2-6</td> <td>1-15</td> </tr> <tr> <td>X</td> <td>CN 109859647 A (上海天马微电子有限公司) 2019年 6月 7日 (2019 - 06 - 07) 说明书第[0029]-[0040]段, 附图1-2</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 109979981 A (上海天马微电子有限公司) 2019年 7月 5日 (2019 - 07 - 05) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 111048463 A (首尔半导体株式会社) 2020年 4月 21日 (2020 - 04 - 21) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 110649042 A (厦门天马微电子有限公司) 2020年 1月 3日 (2020 - 01 - 03) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 10516081 B1 (APPLE INC.) 2019年 12月 24日 (2019 - 12 - 24) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 110867158 A (夏普株式会社) 2020年 3月 6日 (2020 - 03 - 06) 说明书第[0029]-[0099]段, 附图2-6	1-15	X	CN 109859647 A (上海天马微电子有限公司) 2019年 6月 7日 (2019 - 06 - 07) 说明书第[0029]-[0040]段, 附图1-2	1-15	A	CN 109979981 A (上海天马微电子有限公司) 2019年 7月 5日 (2019 - 07 - 05) 全文	1-15	A	CN 111048463 A (首尔半导体株式会社) 2020年 4月 21日 (2020 - 04 - 21) 全文	1-15	A	CN 110649042 A (厦门天马微电子有限公司) 2020年 1月 3日 (2020 - 01 - 03) 全文	1-15	A	US 10516081 B1 (APPLE INC.) 2019年 12月 24日 (2019 - 12 - 24) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 110867158 A (夏普株式会社) 2020年 3月 6日 (2020 - 03 - 06) 说明书第[0029]-[0099]段, 附图2-6	1-15																					
X	CN 109859647 A (上海天马微电子有限公司) 2019年 6月 7日 (2019 - 06 - 07) 说明书第[0029]-[0040]段, 附图1-2	1-15																					
A	CN 109979981 A (上海天马微电子有限公司) 2019年 7月 5日 (2019 - 07 - 05) 全文	1-15																					
A	CN 111048463 A (首尔半导体株式会社) 2020年 4月 21日 (2020 - 04 - 21) 全文	1-15																					
A	CN 110649042 A (厦门天马微电子有限公司) 2020年 1月 3日 (2020 - 01 - 03) 全文	1-15																					
A	US 10516081 B1 (APPLE INC.) 2019年 12月 24日 (2019 - 12 - 24) 全文	1-15																					
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2021年 1月 15日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 1月 27日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>罗慧晶</p> <p>电话号码 86-(10)-53961204</p>																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/090001

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110867158	A	2020年 3月 6日	US	2020052033	A1	2020年 2月 13日
CN	109859647	A	2019年 6月 7日	US	2020312831	A1	2020年 10月 1日
CN	109979981	A	2019年 7月 5日	US	2020312237	A1	2020年 10月 1日
CN	111048463	A	2020年 4月 21日	JP	2018523848	A	2018年 8月 23日
				US	2020328198	A1	2020年 10月 15日
				US	2019206851	A1	2019年 7月 4日
				US	9887184	B2	2018年 2月 6日
				US	2017025399	A1	2017年 1月 26日
				US	10312225	B2	2019年 6月 4日
				CN	107852794	A	2018年 3月 27日
				CN	107852794	B	2020年 3月 10日
				WO	2017014564	A1	2017年 1月 26日
				EP	3328162	A1	2018年 5月 30日
				KR	20180022683	A	2018年 3月 6日
				US	2018138162	A1	2018年 5月 17日
				CN	111028715	A	2020年 4月 17日
				US	10833057	B2	2020年 4月 21日
CN	110649042	A	2020年 1月 3日	无			
US	10516081	B1	2019年 12月 24日	无			