

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6956095号  
(P6956095)

(45) 発行日 令和3年10月27日(2021.10.27)

(24) 登録日 令和3年10月6日(2021.10.6)

(51) Int.Cl.	F I
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 P
HO 1 L 25/065 (2006.01)	HO 1 L 23/12 5 O 1 F
HO 1 L 25/07 (2006.01)	HO 1 L 23/12 Q
HO 1 L 25/18 (2006.01)	HO 1 L 25/08 D
HO 5 K 3/46 (2006.01)	HO 5 K 3/46 Q

請求項の数 15 (全 24 頁) 最終頁に続く

(21) 出願番号	特願2018-540419 (P2018-540419)	(73) 特許権者	507364838
(86) (22) 出願日	平成29年2月7日(2017.2.7)		クアルコム、インコーポレイテッド
(65) 公表番号	特表2019-510368 (P2019-510368A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成31年4月11日(2019.4.11)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2017/016864		イブ 5775
(87) 国際公開番号	W02017/139285	(74) 代理人	100108453
(87) 国際公開日	平成29年8月17日(2017.8.17)		弁理士 村山 靖彦
審査請求日	令和2年1月16日(2020.1.16)	(74) 代理人	100163522
(31) 優先権主張番号	15/040,881		弁理士 黒田 晋平
(32) 優先日	平成28年2月10日(2016.2.10)	(72) 発明者	ホン・ボク・ウィ
(33) 優先権主張国・地域又は機関	米国 (US)		アメリカ合衆国・カリフォルニア・921
			21-1714・サン・ディエゴ・モアハ
			ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】 集積回路 (IC) パッケージ間にフレキシブルコネクタを備える集積デバイス

(57) 【特許請求の範囲】

【請求項 1】

集積デバイスであって、

第1の集積回路パッケージであって、

第1のダイと、

複数の第1の相互接続部と、

前記第1のダイを封入する誘電体層と

を備える第1の集積回路パッケージと、

前記第1の集積回路パッケージに結合されたフレキシブルコネクタであって、

前記誘電体層と、

ダミー金属層と、

相互接続部と

を備え、前記誘電体層は、キャビティを含み、前記ダミー金属層は、レーザが前記誘電体層の一部を貫通するのを妨げるように構成されている、フレキシブルコネクタと、

前記フレキシブルコネクタに結合された第2の集積回路パッケージであって、

前記誘電体層と、

複数の第2の相互接続部と

を備える第2の集積回路パッケージとを備え、

前記第1の集積回路パッケージ、前記第2の集積回路パッケージ、および前記フレキシブルコネクタは、前記誘電体層の少なくとも一部を介して互いに結合される集積デバイス

10

20

。

【請求項 2】

前記第 1 の集積回路パッケージ、前記第 2 の集積回路パッケージ、および前記フレキシブルコネクタによって共有される前記誘電体層の前記一部は、前記誘電体層の連続部分を共有している、請求項 1 に記載の集積デバイス。

【請求項 3】

前記ダミー金属層は、電気信号を送信しないように構成される、請求項 1 に記載の集積デバイス。

【請求項 4】

前記第 2 の集積回路パッケージは、前記誘電体層内に位置する第 2 のダイ、または前記誘電体層の上方に位置する第 2 のダイを備える、請求項 1 に記載の集積デバイス。

10

【請求項 5】

前記第 1 の集積回路パッケージは、前記誘電体層の上方に位置する第 2 のダイを備える、請求項 1 に記載の集積デバイス。

【請求項 6】

前記第 1 のダイは第 1 のダイパッケージであり、前記第 2 のダイは第 2 のダイパッケージであり、前記第 1 の集積回路パッケージはパッケージオンパッケージデバイスを備える、請求項 5 に記載の集積デバイス。

【請求項 7】

前記誘電体層はポリイミド層を含む、請求項 1 に記載の集積デバイス。

20

【請求項 8】

前記誘電体層は複数の誘電体層を備える、請求項 1 に記載の集積デバイス。

【請求項 9】

前記フレキシブルコネクタはパッケージツーパッケージコネクタである、請求項 1 に記載の集積デバイス。

【請求項 10】

前記集積デバイスは、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォン、携帯情報端末、固定ロケーション端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、モノのインターネットデバイス、ラップトップコンピュータ、サーバ、および自動車車両の中のデバイスからなる群から選択されたデバイスの中に組み込まれる、請求項 1 に記載の集積デバイス。

30

【請求項 11】

集積デバイスを製作するための方法であって、

誘電体層を形成するステップと、

第 1 の集積回路パッケージを設けるステップであって、

第 1 のダイを設けるステップと、

複数の第 1 の相互接続部を形成するステップと、

を含み、前記誘電体層は前記第 1 のダイを封入する、第 1 の集積回路パッケージを設けるステップと、

40

第 2 の集積回路パッケージを設けるステップであって、

複数の第 2 の相互接続部を形成するステップと

を含む、第 2 の集積回路パッケージを設けるステップと、

フレキシブルコネクタを、前記第 1 の集積回路パッケージおよび前記第 2 の集積回路パッケージに結合されるように形成するステップであって、

相互接続部を形成するステップと、

前記誘電体層にダミー金属層を形成するステップと、

レーザプロセスを使用して前記誘電体層にキャビティを作製するステップであって、前記ダミー金属層は、レーザが前記誘電体層の一部を貫通するのを妨げるように構成されている、キャビティを作製するステップと

50

を含む、フレキシブルコネクタを形成するステップとを含み

前記第 1 の集積回路パッケージ、前記第 2 の集積回路パッケージ、および前記フレキシブルコネクタは、前記第 1 の集積回路パッケージ、前記第 2 の集積回路パッケージ、および前記フレキシブルコネクタが前記誘電体層の少なくとも一部を介して互いに結合されるように形成される方法。

【請求項 1 2】

前記第 1 の集積回路パッケージ、前記第 2 の集積回路パッケージ、および前記フレキシブルコネクタによって共有される前記誘電体層の前記一部は、前記誘電体層の連続部分を共有している、請求項 1 1 に記載の方法。

【請求項 1 3】

前記ダミー金属層は、電気信号を送信しないように構成される、請求項 1 1 に記載の方法。

【請求項 1 4】

前記誘電体層を形成するステップは、ポリイミド層を形成するステップを含む、請求項 1 1 に記載の方法。

【請求項 1 5】

前記フレキシブルコネクタは、電気信号が、プリント回路板をバイパスしつつ、前記第 1 の集積回路パッケージと前記第 2 の集積回路パッケージとの間を移動するのを可能にするように構成される、請求項 1 1 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、その内容全体が参照により本明細書に組み込まれる、2016年2月10日に米国特許商標庁に出願された、非仮出願第15/040,881号の優先権および利益を主張する。

【0002】

様々な特徴は、集積デバイスに関する場合があり、より詳細には、集積回路(IC)パッケージ間にフレキシブルコネクタを含む集積デバイスに関する場合がある。

【背景技術】

【0003】

スマートフォン、タブレット、モノのインターネット(IoT)などのモバイルデバイスは、多数の構成要素、チップセットなどを必要とする。通常、これらの構成要素は、1つまたは複数の集積回路と一緒にプリント回路板上に設けられる。これらの構成要素をまとめて製品として実装することは、特に特殊な形状または湾曲形状を有するデバイスにおいてますます困難になっている。これらの特殊な形状または湾曲形状に対応するために、チップ(たとえば、ダイ)を含むいくつかのプリント回路板を互いに結合するためにフレキシブルコネクタが使用される。

【0004】

図1は、第1の集積回路板(IC)パッケージ102と、第2の集積回路(IC)パッケージ104と、フレキシブルコネクタ106を含む集積デバイス100を示す。第1の集積回路(IC)パッケージ102は、プリント回路板(PCB)120と第1のチップ122(たとえば、ダイ、ダイパッケージ)とを含む。第2の集積回路(IC)パッケージ104は、プリント回路板(PCB)140と第2のチップ142(たとえば、ダイ、ダイパッケージ)とを含む。

【0005】

第1の集積回路(IC)パッケージ102は、フレキシブルコネクタ106を介して第2の集積回路(IC)パッケージ104に結合される。フレキシブルコネクタ106はプリント回路板(PCB)コネクタである。フレキシブルコネクタ106は、複数の配線160と、第1のPCBインターフェース162と、第2のPCBインターフェース164

10

20

30

40

50

と、カバー 166 とを含む。カバー 166 は、複数の配線 160 を取り囲む。複数の配線 160 は、第 1 の PCB インターフェース 162 および第 2 の PCB インターフェース 164 に結合される。第 1 の PCB インターフェース 162 は、第 1 の PCB 120 の表面に結合される。第 2 の PCB インターフェース 164 は、第 2 の PCB 140 の表面に結合される。

#### 【0006】

図 1 に示すように、集積デバイス 100 は、3 つの別個の構成要素、第 1 の集積回路 (IC) パッケージ 102 と、第 2 の集積回路 (IC) パッケージ 104 と、フレキシブルコネクタ 106 とから構成される。これらの構成要素は、別個に製作され、次いで集積デバイス 100 を形成するように組み立てられる。別個の構成要素を製作し、次いでそれらを組み立てるプロセスは、コストがかかるプロセスであり、大きすぎて小形のデバイスに収まらないことがあるパッケージを生じさせる。パッケージがより小形のデバイスの中に配置されるように、これらのパッケージのサイズ、高さ、および / またはスペースを小さくすることが望ましい。理想的には、そのようなパッケージは、フォームファクタがより優れており、製作コストがより安く、同時に、モバイルデバイス、モノのインターネット (IoT) デバイス、および / またはウェアラブルデバイスの要件を満たす。

#### 【発明の概要】

#### 【課題を解決するための手段】

#### 【0007】

様々な特徴は、集積デバイスに関する場合があり、より詳細には、集積回路 (IC) パッケージ間にフレキシブルコネクタを含む集積デバイスに関する場合がある。

#### 【0008】

いくつかの特徴は、第 1 の集積回路 (IC) パッケージと、フレキシブルコネクタと、第 2 の集積回路 (IC) パッケージとを含む集積デバイスに関する。第 1 の集積回路 (IC) パッケージは、第 1 のダイと、複数の第 1 の相互接続部と、第 1 のダイを封入する第 1 の誘電体層とを含む。フレキシブルコネクタは、第 1 の集積回路 (IC) パッケージに結合される。フレキシブルコネクタは、第 1 の誘電体層と相互接続部とを含む。第 2 の集積回路 (IC) パッケージはフレキシブルコネクタに結合される。第 2 の集積回路 (IC) パッケージは、第 1 の誘電体層と複数の第 2 の相互接続部とを含む。第 1 の集積回路 (IC) パッケージ、第 2 の集積回路 (IC) パッケージ、およびフレキシブルコネクタは、第 1 の誘電体層の少なくとも一部 (たとえば、連続部分) を介して互いに結合される。

#### 【0009】

いくつかの特徴は、第 1 の集積回路 (IC) パッケージと、電気的接続のための手段と、第 2 の集積回路 (IC) パッケージとを含む集積デバイスに関する。第 1 の集積回路 (IC) パッケージは、第 1 のダイと、複数の第 1 の相互接続部と、第 1 のダイを封入する第 1 の誘電体層とを含む。電気的接続のための手段は、第 1 の集積回路 (IC) パッケージに結合される。第 2 の集積回路 (IC) パッケージはフレキシブルコネクタに結合される。第 2 の集積回路 (IC) パッケージは、第 1 の誘電体層と複数の第 2 の相互接続部とを含む。第 1 の集積回路 (IC) パッケージ、第 2 の集積回路 (IC) パッケージ、および電気的接続のための手段は、第 1 の誘電体層の少なくとも一部 (たとえば、連続部分) を介して互いに結合される。

#### 【0010】

いくつかの特徴は、集積デバイスを製作するための方法に関する。この方法は、第 1 の集積回路 (IC) パッケージを設けるステップを含み、第 1 の集積回路 (IC) パッケージを設けるステップは、第 1 のダイを設けるステップと、複数の第 1 の相互接続部を形成するステップと、第 1 のダイを封入する第 1 の誘電体層を形成するステップとを含む。この方法は、フレキシブルコネクタを、第 1 の集積回路 (IC) パッケージに結合されるように形成するステップを含み、フレキシブルコネクタを形成するステップは、第 1 の誘電体層を形成するステップと、相互接続部を形成するステップとを含む。この方法は、第 2 の集積回路 (IC) パッケージを、フレキシブルコネクタに結合されるように設けるステ

ップを含み、第2の集積回路（IC）パッケージを設けるステップは、第1の誘電体層を形成するステップと、複数の第2の相互接続部を形成するステップとを含む。第1の集積回路（IC）パッケージ、第2の集積回路（IC）パッケージ、およびフレキシブルコネクタは、第1の集積回路（IC）パッケージ、第2の集積回路（IC）パッケージ、およびフレキシブルコネクタが第1の誘電体層の少なくとも一部を介して互いに結合されるように形成される。

#### 【0011】

様々な特徴、性質、および利点は、以下に記載された詳細な説明を図面と併せて検討したときに明らかになることがあり、図面全体にわたって、同様の参照符号はそれに対応して同一視する。

#### 【図面の簡単な説明】

#### 【0012】

【図1】フレキシブルコネクタを介して互いに結合された2つのパッケージを含むデバイスの図である。

【図2】フレキシブルコネクタを介して互いに結合された2つのパッケージを含むデバイスの断面図である。

【図3】フレキシブルコネクタを介して互いに結合された2つのパッケージを含むデバイスの断面図である。

【図4】フレキシブルコネクタを介して互いに結合された2つのパッケージを含むデバイスの断面図である。

【図5】フレキシブルコネクタを介して互いに結合された2つのパッケージを含むデバイスの断面図である。

【図6】フレキシブルコネクタを介して互いに結合された2つのパッケージを含むデバイスの断面図である。

【図7】図7A～図7Fを含む図であって、フレキシブルコネクタを介して互いに結合された2つのパッケージを含むデバイスを製作するためのシーケンスの一例を示す図である。

【図8】フレキシブルコネクタを介して互いに結合された2つのパッケージを含むデバイスを製作するための例示的な方法の流れ図である。

【図9】本明細書において説明する様々な集積デバイス、集積デバイスパッケージ、半導体デバイス、ダイ、集積回路、および/またはパッケージを含むことがある、様々な電子デバイスを示す図である。

#### 【発明を実施するための形態】

#### 【0013】

以下の説明では、本開示の様々な態様を完全に理解できるように、具体的な詳細が与えられる。しかしながら、態様がこれらの具体的な詳細なしに実践される場合があることが、当業者によって理解されよう。たとえば、回路は、不必要な詳細で態様を曖昧にすることを避けるために、ブロック図で示されることがある。他の事例では、よく知られている回路、構造、および技法は、本開示の態様を曖昧にしないために、詳細に示されないことがある。

#### 【0014】

いくつかの特徴は、第1の集積回路（IC）パッケージと、フレキシブルコネクタと、第2の集積回路（IC）パッケージとを含む集積デバイスに関する。第1の集積回路（IC）パッケージは、第1のダイと、複数の第1の相互接続部と、第1のダイを封入する第1の誘電体層とを含む。フレキシブルコネクタは、第1の集積回路（IC）パッケージに結合される。フレキシブルコネクタは、第1の誘電体層と相互接続部とを含む。第2の集積回路（IC）パッケージはフレキシブルコネクタに結合される。フレキシブルコネクタは、2つのパッケージ同士を電氣的に接続するための手段であってもよい。第2の集積回路（IC）パッケージは、第1の誘電体層と複数の第2の相互接続部とを含む。第1の集積回路（IC）パッケージ、第2の集積回路（IC）パッケージ、およびフレキシブルコ

10

20

30

40

50

ネクタは、第1の誘電体層の少なくとも一部を介して互いに結合される。いくつかの実装形態では、第1の集積回路（IC）パッケージ、第2の集積回路（IC）パッケージ、およびフレキシブルコネクタによって共有される第1の誘電体層の部分は、第1の誘電体層の連続部分である。いくつかの実装形態では、フレキシブルコネクタはダミー金属層を備える。いくつかの実装形態では、第1の誘電体層はポリイミド（PI）層を含む。いくつかの実装形態では、第1の誘電体層はいくつかの誘電体層を含む。いくつかの実装形態では、第1の誘電体層は、第1の集積回路（IC）パッケージと第2の集積回路（IC）パッケージを機械的および構造的に結合するように構成される。いくつかの実装形態では、フレキシブルコネクタの相互接続部（たとえば、電氣的接続のための手段）は、第1の集積回路（IC）パッケージと第2の集積回路（IC）パッケージを電氣的に結合するように構成される。

10

#### 【0015】

いくつかの実装形態では、相互接続部とは、2つの点、要素、および/または構成要素の間の電気接続を可能または容易にする、デバイスまたはパッケージの要素または構成要素である。いくつかの実装形態では、相互接続部は、トレース、ビア、パッド、ピラー、再分配金属層、および/またはアンダーバンプメタライゼーション（UBM）層を含んでよい。いくつかの実装形態では、相互接続部は、信号（たとえば、データ信号、接地信号、電力信号）のための電気経路を形成するように構成されてもよい導電性の材料である。相互接続部は、回路の一部であってもよい。相互接続部は、2つ以上の要素または構成要素を含んでもよい。

20

#### 【0016】

パッケージ間にフレキシブルコネクタを含む例示的な集積デバイス

図2は、第1のパッケージ202（たとえば、第1の集積回路（IC）パッケージ）と、第2のパッケージ204（たとえば、第2の集積回路（IC）パッケージ）と、フレキシブルコネクタ206（たとえば、2つのパッケージ同士を電氣的に接続するための手段）とを含む集積デバイス200（たとえば、集積回路（IC）デバイス）を示す。第1のパッケージ202は、フレキシブルコネクタ206を介して第2のパッケージ204に結合される。以下でさらに説明するように、フレキシブルコネクタ206は、第1のパッケージ202を第2のパッケージ204に電氣的および/または機械的に結合するように構成される。

30

#### 【0017】

いくつかの実装形態では、フレキシブルコネクタ206は、第1のパッケージ202および第2のパッケージ204に埋め込まれる。フレキシブルコネクタ206は、第1のパッケージ202および第2のパッケージ204と共有される少なくとも1つの誘電体層を含む。したがって、フレキシブルコネクタ206の誘電体層も、第1のパッケージ202および第2のパッケージ204内に形成される。

#### 【0018】

図2に示すように、第1のパッケージ202は、第1の誘電体層220と、第1のダイ222と、第2のダイ224と、第2の誘電体層260と、第3の誘電体層262と、複数の第1の相互接続部227と、アンダーフィル232と、アンダーフィル234と、はんだレジスト層264とを含む。いくつかの実装形態では、第1の誘電体層220、第2の誘電体層260、および第3の誘電体層262は1つの誘電体層である。第1の誘電体層220は第1のダイ222を封入する。第1の誘電体層220、第2の誘電体層260、および第3の誘電体層262はポリイミド（PI）層を含んでもよい。

40

#### 【0019】

いくつかの実装形態では、第1のダイ222および/または第2のダイ224は、ダイパッケージ（たとえば、ウエハレベルパッケージ）である。第1のパッケージ202は、パッケージオンパッケージ（POP）デバイスであってもよい。第1のダイ222は、第1のアクティブ面（たとえば、複数の第1の相互接続部223を備える面）と第1の非アクティブ面とを含む。第2のダイ224は、第2のアクティブ面（たとえば、複数の第1

50

の相互接続部 2 2 5 を備える面 ) と第 2 の非アクティブ面とを含む。図 2 に示すように、第 1 のダイ 2 2 2 の第 1 のアクティブ面は第 2 のダイ 2 2 4 の第 2 のアクティブ面に面する。

【 0 0 2 0 】

第 1 のダイ 2 2 2 は、複数の相互接続部 2 2 3 を介して複数の第 1 の相互接続部 2 2 7 に結合される。複数の第 1 の相互接続部 2 2 7 は、トレース、パッド、および / またはビアを含む。複数の相互接続部 2 2 3 はパッドおよび / またはバンブ (たとえば、銅ピラー) を含む。いくつかの実装形態では、複数の相互接続部 2 2 3 を複数の第 1 の相互接続部 2 2 7 に結合するために 1 つまたは複数のはんだ相互接続部 (たとえば、はんだボール) が使用されてもよい。アンダーフィル 2 3 2 は、複数の相互接続部 2 2 3 を少なくとも部分的に取り囲む。複数の第 1 の相互接続部 2 2 7 は、誘電体層 (たとえば、第 1 の誘電体層 2 2 0、第 2 の誘電体層 2 6 0、第 3 の誘電体層 2 6 2 ) 内および / またはこの誘電体層上に形成されてもよい。はんだレジスト層 2 6 4 は、第 3 の誘電体層 2 6 2 および複数の第 1 の相互接続部 2 2 7 からの相互接続部の上方に形成される。

10

【 0 0 2 1 】

図 2 は、第 2 のダイ 2 2 4 が表面実装ダイであることを示す。第 2 のダイ 2 2 4 は、はんだレジスト層 2 6 4 に結合される (たとえば、取り付けられる)。第 2 のダイ 2 2 4 は、複数の第 1 の相互接続部 2 2 5 を介して複数の第 1 の相互接続部 2 2 7 に結合される。複数の第 1 の相互接続部 2 2 5 はパッドおよび / またはバンブ (たとえば、銅ピラー) を含む。いくつかの実装形態では、複数の第 1 の相互接続部 2 2 5 を複数の第 1 の相互接続部 2 2 7 に結合するために 1 つまたは複数のはんだ相互接続部 (たとえば、はんだボール) が使用されてもよい。アンダーフィル 2 3 4 は、複数の第 1 の相互接続部 2 2 5 を少なくとも部分的に取り囲む。

20

【 0 0 2 2 】

図 2 に示すように、第 2 のパッケージ 2 0 4 は、第 1 の誘電体層 2 2 0 と、第 3 のダイ 2 4 2 と、第 4 のダイ 2 4 4 と、第 2 の誘電体層 2 6 0 と、第 3 の誘電体層 2 6 2 と、複数の第 1 の相互接続部 2 4 7 と、アンダーフィル 2 5 2 と、アンダーフィル 2 5 4 と、はんだレジスト層 2 6 4 とを含む。いくつかの実装形態では、第 1 の誘電体層 2 2 0、第 2 の誘電体層 2 6 0、および第 3 の誘電体層 2 6 2 は 1 つの誘電体層である。第 1 の誘電体層 2 2 0 は第 3 のダイ 2 4 2 を封入する。第 1 の誘電体層 2 2 0、第 2 の誘電体層 2 6 0、および第 3 の誘電体層 2 6 2 はポリイミド ( P I ) 層を含んでもよい。

30

【 0 0 2 3 】

いくつかの実装形態では、第 3 のダイ 2 4 2 および / または第 4 のダイ 2 4 4 は、ダイパッケージ (たとえば、ウエハレベルパッケージ) である。第 2 のパッケージ 2 0 4 は、パッケージオンパッケージ ( P o P ) デバイスであってもよい。

【 0 0 2 4 】

第 3 のダイ 2 4 2 は、第 1 のアクティブ面 (たとえば、複数の第 1 の相互接続部 2 4 3 を備える面 ) と第 1 の非アクティブ面とを含む。第 4 のダイ 2 4 4 は、第 2 のアクティブ面 (たとえば、複数の相互接続部 2 4 5 を備える面 ) と第 2 の非アクティブ面とを含む。図 2 に示すように、第 3 のダイ 2 4 2 の第 1 のアクティブ面は第 4 のダイ 2 4 4 の第 2 のアクティブ面に面する。

40

【 0 0 2 5 】

第 3 のダイ 2 4 2 は、複数の相互接続部 2 4 3 を介して複数の第 1 の相互接続部 2 4 7 に結合される。複数の第 1 の相互接続部 2 4 7 は、トレース、パッド、および / またはビアを含む。複数の相互接続部 2 4 3 はパッドおよび / またはバンブ (たとえば、銅ピラー) を含む。いくつかの実装形態では、複数の相互接続部 2 4 3 を複数の第 1 の相互接続部 2 4 7 に結合するために 1 つまたは複数のはんだ相互接続部 (たとえば、はんだボール) が使用されてもよい。アンダーフィル 2 5 2 は、複数の相互接続部 2 4 3 を少なくとも部分的に取り囲む。複数の第 1 の相互接続部 2 4 7 は、誘電体層 (たとえば、第 1 の誘電体層 2 2 0、第 2 の誘電体層 2 6 0、第 3 の誘電体層 2 6 2 ) 内および / または誘電体層上

50

に形成されてもよい。はんだレジスト層 264 は、第 3 の誘電体層 262 および複数の第 1 の相互接続部 247 からの相互接続部の上方に形成される。

【0026】

図 2 は、第 4 のダイ 244 が表面実装ダイであることを示す。第 4 のダイ 244 は、はんだレジスト層 264 に結合される（たとえば、取り付けられる）。第 4 のダイ 244 は、複数の相互接続部 245 を介して複数の第 1 の相互接続部 247 に結合される。複数の相互接続部 245 はパッドおよび／またはバンプ（たとえば、銅ピラー）を含む。いくつかの実装形態では、複数の相互接続部 245 を複数の第 1 の相互接続部 247 に結合するために 1 つまたは複数のはんだ相互接続部（たとえば、はんだボール）が使用されてもよい。アンダーフィル 254 は、複数の相互接続部 245 を少なくとも部分的に取り囲む。

10

【0027】

フレキシブルコネクタ 206（たとえば、2 つのパッケージ同士を電氣的に接続するための手段）は、第 2 の誘電体層 260 と、第 3 の誘電体層 262（いくつかの実装形態では、第 3 の誘電体層 262 はフレキシブルコネクタ 206 の第 1 の誘電体層である）と、はんだレジスト層 264 と、相互接続部 265 と、ダミー金属層 269 とを含む。いくつかの実装形態では、フレキシブルコネクタ 206 は、第 1 の誘電体層 220 内にキャビティ 209 を形成および／または作製することによって形成される。キャビティ 209 を形成するためにレーザプロセスが使用されてもよい。ダミー金属層 269 は、レーザが第 1 の誘電体層 220、第 2 の誘電体層 260、および／または第 3 の誘電体層 262 内にキャビティをさらに形成するのを妨げるためにバックストップとして使用されてもよい。いくつかの実装形態では、ダミー金属層（たとえば、ダミー金属層 269）が、電気信号を送信しないように構成されるかまたは電気信号用の電気経路として使用されないように構成される。

20

【0028】

いくつかの実装形態では、第 2 の誘電体層 260 と第 3 の誘電体層 262 とは同じ誘電体層である。いくつかの実装形態では、第 1 の誘電体層 220、第 2 の誘電体層 260、および第 3 の誘電体層 262 は同じ誘電体層である。

【0029】

いくつかの実装形態では、第 1 のパッケージ 202、第 2 のパッケージ 204、およびフレキシブルコネクタ 206 は、第 1 の誘電体層 220、第 2 の誘電体層 260、第 3 の誘電体層 262、はんだレジスト層 264、および相互接続部 265 を共有する。いくつかの実装形態では、第 1 の誘電体層 220、第 2 の誘電体層 260、第 3 の誘電体層 262、および／またははんだレジスト層 264 は、第 1 のパッケージ 202 とフレキシブルコネクタ 206 と第 2 のパッケージ 204 との機械的および／または構造的結合を可能にするように構成される。いくつかの実装形態では、相互接続部 265 は、第 1 のパッケージ 202 とフレキシブルコネクタ 206 と第 2 のパッケージ 204 との電氣的結合を可能にするように構成される。

30

【0030】

いくつかの実装形態では、第 1 の集積回路（IC）パッケージ、第 2 の集積回路（IC）パッケージ、およびフレキシブルコネクタ（たとえば、2 つのパッケージ同士を電氣的に接続するための手段）によって共有される誘電体層（たとえば、第 1 の誘電体層 220、第 2 の誘電体層 260、第 3 の誘電体層 262）の 1 つまたは複数の部分は、誘電体層の連続部分である。

40

【0031】

誘電体層の連続部分は、第 1 のパッケージ 202 および／または第 2 のパッケージ 204 の一部（たとえば、実質的な部分）または全体を横切ってもよい。

【0032】

図 2 が、相互接続部 265 の 1 つの層を含むフレキシブルコネクタ 206 を示すことに留意されたい。相互接続部 265 は、複数の相互接続部を含んでもよい。いくつかの実装形態では、フレキシブルコネクタ 206 は、それぞれに異なる金属層上に形成された相互

50



接続部 265 のいくつかの層を含んでもよい。同様に、フレキシブルコネクタ 206 は、誘電体層のいくつかの異なる層を含んでもよい。

【0033】

フレキシブルコネクタの上記の特徴および実装形態は、パッケージ間の他の接続に勝るいくつかの技術的利点をもたらす。これらの技術的利点について以下においてさらに説明される。

【0034】

1 つ目の利点として、誘電体層（たとえば、ポリイミド（PI）層）および／または相互接続部を第 1 のパッケージ 202、フレキシブルコネクタ 206、および第 2 のパッケージ 204 と共有すると、第 1 のパッケージ 202 と第 2 のパッケージ 204 との間の接続または結合に関してよりコンパクトなフォームファクタが実現される。第 1 のパッケージ 202、フレキシブルコネクタ 206、および第 2 のパッケージ 204 が材料を共有するので、第 1 のパッケージ 202、フレキシブルコネクタ 206、および第 2 のパッケージ 204 を機械的に結合するうえで余分な界面を付加する必要はない。別々に製作され機械的に互いに組み立てられる 3 つの別々の構成要素（第 1 の集積回路（IC）パッケージ 102、第 2 の集積回路（IC）パッケージ 104、およびフレキシブルコネクタ 106）を示す図 1 とは対照的に、いくつかの実装形態では、第 1 のパッケージ 202、フレキシブルコネクタ 206、および第 2 のパッケージ 204 が 1 つの連続体（たとえば、第 1 のパッケージ 202 と、フレキシブルコネクタ 206 と、第 2 のパッケージ 204 とを含むユニボディパッケージ）と見なされてもよい。

【0035】

2 つ目の利点として、誘電体層（たとえば、ポリイミド（PI）層）および／または相互接続部を第 1 のパッケージ 202、フレキシブルコネクタ 206、および第 2 のパッケージ 204 と共有することは、第 1 のパッケージ 202、フレキシブルコネクタ 206、および第 2 のパッケージ 204 がまとめて製作され、それによって、第 1 のパッケージ 202、フレキシブルコネクタ 206、および第 2 のパッケージ 204 の全体的な製作コストが低下することを意味する。

【0036】

3 つ目の利点として、フレキシブルコネクタ 206 に第 1 のパッケージ 202 および第 2 のパッケージ 204 を実装するかまたは埋め込むことは、第 1 のパッケージ 202 と第 2 のパッケージ 204 との接続がより正確で厳密になることを意味する。その理由は、フレキシブルコネクタ 206、第 1 のパッケージ 202、および第 2 のパッケージ 204 の相互接続部が同じ製作プロセスの間に形成されるからである。いくつかの実装形態では、同じ製作プロセスを使用してフレキシブルコネクタ 206、第 1 のパッケージ 202 および第 2 のパッケージ 204 を製作することは、接続間にずれが生じる可能性が低くなることを意味する。概して、図 1 の集積デバイス 100 を組み立てるのに使用される、各構成要素の機械的な組立てでは、ずれが生じる可能性がより高い。

【0037】

4 つ目の利点として、フレキシブルコネクタ 206 の相互接続部（たとえば、相互接続部 265）は、他のコネクタよりも細かいピッチおよびより細かい間隔を有し、したがって、第 1 のパッケージ 202 と第 2 のパッケージ 204 との間により高い密度の接続をもたらす。いくつかの実装形態では、このことは、フレキシブルコネクタ 206 の相互接続部（たとえば、相互接続部 265）が第 1 のパッケージ 202 の相互接続部および第 2 のパッケージ 204 の相互接続部と同じ製作プロセスを使用して形成されることを理由にして可能になる。

【0038】

5 つ目の利点として、集積デバイス 200 は、プリント回路板（PCB）および／またはマザーボードの必要なしに完全に機能的な集積デバイスを提供する。いくつかの実装形態では、上記の例示的な集積デバイス 200 は、第 1 のパッケージ 202 がプリント回路板（PCB）の必要なしに第 2 のパッケージ 204 に電氣的に結合されるのを可能にする

ように構成される。すなわち、たとえば、１つまたは複数の電気信号（たとえば、入力／出力信号）は、プリント回路板（ＰＣＢ）を通過せずに第１のパッケージ２０２と第２のパッケージ２０４との間を移動することがある。したがって、いくつかの実装形態では、プリント回路板（ＰＣＢ）が、存在し、ならびに／あるいは集積デバイスに機械的に結合されている場合でも、電気信号が、第１のパッケージと第２のパッケージとの間を移動し、プリント回路板（ＰＣＢ）をバイパスすることがある。

【００３９】

いくつかの実装形態では、上記の技術的利点が本開示において説明する他の集積デバイス（たとえば、３００、４００、５００、６００）に当てはまる場合もある。

【００４０】

パッケージ間にフレキシブルコネクタを含む例示的な集積デバイス

図３は、第１のパッケージ２０２（たとえば、第１の集積回路（ＩＣ）パッケージ）と、第２のパッケージ３０４（たとえば、第２の集積回路（ＩＣ）パッケージ）と、フレキシブルコネクタ２０６（たとえば、２つのパッケージ同士を電氣的に接続するための手段）とを含む集積デバイス３００（たとえば、集積回路（ＩＣ）デバイス）を示す。第１のパッケージ２０２は、フレキシブルコネクタ２０６を介して第２のパッケージ３０４に結合される。フレキシブルコネクタ２０６は、第１のパッケージ２０２を第２のパッケージ３０４に電氣的に結合するように構成される。

【００４１】

図３は、第２のパッケージ３０４が図２の第２のパッケージ２０４とは異なることを除いて図２と同様である。特に、図３の第２のパッケージ３０４は第４のダイ２４４を含まない。

【００４２】

図３に示すように、第２のパッケージ３０４は、第１の誘電体層２２０と、第３のダイ２４２と、第２の誘電体層２６０と、第３の誘電体層２６２と、複数の第１の相互接続部２４７と、アンダーフィル２５２と、はんだレジスト層２６４とを含む。いくつかの実装形態では、第１の誘電体層２２０、第２の誘電体層２６０、および第３の誘電体層２６２は１つの誘電体層である。第１の誘電体層２２０は第３のダイ２４２を封入する。第１の誘電体層２２０、第２の誘電体層２６０、および第３の誘電体層２６２はポリイミド（ＰＩ）層を含んでもよい。いくつかの実装形態では、第３のダイ２４２は、ダイパッケージ（たとえば、ウエハレベルパッケージ）である。

【００４３】

いくつかの実装形態では、第１のパッケージ２０２、第２のパッケージ３０４、およびフレキシブルコネクタ２０６は、第１の誘電体層２２０、第２の誘電体層２６０、第３の誘電体層２６２、はんだレジスト層２６４、および相互接続部２６５を共有する。いくつかの実装形態では、第１の誘電体層２２０、第２の誘電体層２６０、第３の誘電体層２６２、および／またははんだレジスト層２６４は、第１のパッケージ２０２とフレキシブルコネクタ２０６と第２のパッケージ３０４との機械的および／または構造的結合を可能にするように構成される。いくつかの実装形態では、相互接続部２６５は、第１のパッケージ２０２とフレキシブルコネクタ２０６と第２のパッケージ３０４との電氣的結合を可能にするように構成される。

【００４４】

いくつかの実装形態では、第１の集積回路（ＩＣ）パッケージ、第２の集積回路（ＩＣ）パッケージ、およびフレキシブルコネクタによって共有される誘電体層（たとえば、第１の誘電体層２２０、第２の誘電体層２６０、第３の誘電体層２６２）の１つまたは複数の部分は、誘電体層の連続部分である。誘電体層の連続部分は、第１のパッケージ２０２および／または第２のパッケージ３０４の一部（たとえば、実質的な部分）または全体を横切ってもよい。

【００４５】

パッケージ間にフレキシブルコネクタを含む例示的な集積デバイス

10

20

30

40

50

図4は、第1のパッケージ202（たとえば、第1の集積回路（IC）パッケージ）と、第2のパッケージ404（たとえば、第2の集積回路（IC）パッケージ）と、フレキシブルコネクタ206とを含む集積デバイス400（たとえば、集積回路（IC）デバイス）を示す。第1のパッケージ202は、フレキシブルコネクタ206（たとえば、2つのパッケージ同士を電氣的に接続するための手段）を介して第2のパッケージ404に結合される。フレキシブルコネクタ206は、第1のパッケージ202を第2のパッケージ404に電氣的に結合するように構成される。

【0046】

図4は、第2のパッケージ404が図2の第2のパッケージ204とは異なることを除いて図2と同様である。特に、図4の第2のパッケージ404は第4のダイ244を含まない。

10

【0047】

図4に示すように、第2のパッケージ404は、第1の誘電体層220と、第4のダイ244と、第2の誘電体層260と、第3の誘電体層262と、複数の第1の相互接続部247と、アンダーフィル254と、はんだレジスト層264とを含む。いくつかの実装形態では、第1の誘電体層220、第2の誘電体層260、および第3の誘電体層262は1つの誘電体層である。第1の誘電体層220、第2の誘電体層260、および第3の誘電体層262はポリイミド（PI）層を含んでもよい。いくつかの実装形態では、第4のダイ244は、ダイパッケージ（たとえば、ウエハレベルパッケージ）である。

【0048】

20

第4のダイ244は表面実装ダイである。第4のダイ244は、はんだレジスト層264に結合される（たとえば、取り付けられる）。第4のダイ244は、複数の相互接続部245を介して複数の第1の相互接続部247に結合される。複数の相互接続部245はパッドおよび／またはバンプ（たとえば、銅ピラー）を含む。いくつかの実装形態では、複数の相互接続部245を複数の第1の相互接続部247に結合するために1つまたは複数のはんだ相互接続部（たとえば、はんだボール）が使用されてもよい。アンダーフィル254は、複数の相互接続部245を少なくとも部分的に取り囲む。

【0049】

いくつかの実装形態では、第1のパッケージ202、第2のパッケージ404、およびフレキシブルコネクタ206は、第1の誘電体層220、第2の誘電体層260、第3の誘電体層262、はんだレジスト層264、および相互接続部265を共有する。いくつかの実装形態では、第1の誘電体層220、第2の誘電体層260、第3の誘電体層262、および／またははんだレジスト層264は、第1のパッケージ202とフレキシブルコネクタ206と第2のパッケージ404との機械的および／または構造的結合を可能にするように構成される。いくつかの実装形態では、相互接続部265は、第1のパッケージ202とフレキシブルコネクタ206と第2のパッケージ404との電氣的結合を可能にするように構成される。

30

【0050】

いくつかの実装形態では、第1の集積回路（IC）パッケージ、第2の集積回路（IC）パッケージ、およびフレキシブルコネクタによって共有される誘電体層（たとえば、第1の誘電体層220、第2の誘電体層260、第3の誘電体層262）の1つまたは複数の部分は、誘電体層の連続部分である。誘電体層の連続部分は、第1のパッケージ202および／または第2のパッケージ404の一部（たとえば、実質的な部分）または全体を横切ってもよい。

40

【0051】

いくつかの実装形態では、第2のパッケージ404における第1の誘電体層220および／または第2の誘電体層260は（破線によって示されているように）省略可能であってもよいことに留意されたい。

【0052】

パッケージ間にフレキシブルコネクタを含む例示的な集積デバイス

50

図5は、第1のパッケージ502（たとえば、第1の集積回路（IC）パッケージ）と、第2のパッケージ504（たとえば、第2の集積回路（IC）パッケージ）と、フレキシブルコネクタ206とを含む集積デバイス500（たとえば、集積回路（IC）デバイス）を示す。第1のパッケージ202は、フレキシブルコネクタ206（たとえば、2つのパッケージ同士を電氣的に接続するための手段）を介して第2のパッケージ504に結合される。フレキシブルコネクタ206は、第1のパッケージ502を第2のパッケージ504に電氣的に結合するように構成される。

【0053】

図5は、（i）第1のパッケージ502が第1のパッケージ202とは異なり、（ii）第2のパッケージ504が図2の第2のパッケージ204とは異なることを除いて図2と同様である。特に、図5の第1のパッケージ502および第2のパッケージ504は表面実装ダイを含まない。

【0054】

いくつかの実装形態では、第1のパッケージ502、第2のパッケージ504、およびフレキシブルコネクタ206は、第1の誘電体層220、第2の誘電体層260、第3の誘電体層262、はんだレジスト層264、および相互接続部265を共有する。いくつかの実装形態では、第1の誘電体層220、第2の誘電体層260、第3の誘電体層262、および／またははんだレジスト層264は、第1のパッケージ502とフレキシブルコネクタ206と第2のパッケージ504との機械的および／または構造的結合を可能にするように構成される。いくつかの実装形態では、相互接続部265は、第1のパッケージ502とフレキシブルコネクタ206と第2のパッケージ504との電氣的結合を可能にするように構成される。

【0055】

いくつかの実装形態では、第1の集積回路（IC）パッケージ、第2の集積回路（IC）パッケージ、およびフレキシブルコネクタによって共有される誘電体層（たとえば、第1の誘電体層220、第2の誘電体層260、第3の誘電体層262）の1つまたは複数の部分は、誘電体層の連続部分である。誘電体層の連続部分は、第1のパッケージ502および／または第2のパッケージ504の一部（たとえば、実質的な部分）または全体を横切ってもよい。

【0056】

図2～図5は、2つのパッケージを含む集積デバイスを示す。しかしながら、いくつかの実装形態では、集積デバイスは、3つ以上のパッケージを含んでもよい。図6は、3つのパッケージ、すなわち、第1のパッケージ502、第2のパッケージ504、および第2のパッケージ204を含む集積デバイス600を示す。第2のパッケージ204は、パッケージオンパッケージ（POP）デバイスであってもよい。

【0057】

第1のパッケージ502は、フレキシブルコネクタ206を介して第2のパッケージ504に結合される（たとえば、電氣的に結合されならびに／あるいは機械的に結合される）。第2のパッケージ504は、フレキシブルコネクタ606を介して第2のパッケージ204に結合される（たとえば、電氣的に結合されならびに／あるいは機械的に結合される）。フレキシブルコネクタ606（たとえば、2つのパッケージ同士を電氣的に接続するための手段）はフレキシブルコネクタ206と同様であってもよい。集積デバイス600は、本開示において説明するパッケージのいずれかによって形成されてもよいことに留意されたい。

【0058】

パッケージ間にフレキシブルコネクタを含む集積デバイスを製作するための例示的なシーケンス

いくつかの実装形態では、埋込み型フレキシブルコネクタを含む集積回路（IC）デバイスを設ける／製作することは、いくつかのプロセスを含む。図7（図7A～図7Fを含む）は、埋込み型フレキシブルコネクタを含む集積回路（IC）デバイスを設ける／製作

10

20

30

40

50

するための例示的なシーケンスを示す。いくつかの実装形態では、図 7 A ~ 図 7 F のシーケンスは、図 2 の埋込み型フレキシブルコネクタを含む集積回路 (IC) デバイスおよび / または本開示において説明する他の集積回路 (IC) デバイスを製作するために使用される場合がある。次に、図 7 A ~ 図 7 F について、図 2 の集積回路 (IC) デバイスを設ける / 製作する状況において説明する。

【 0 0 5 9 】

図 7 A ~ 図 7 F のシーケンスでは、埋込み型フレキシブルコネクタを含む集積回路 (IC) デバイスを設けるためのシーケンスを単純化しならびに / あるいは明確にするために、1 つまたは複数のステージを組み合わせてもよいことに留意されたい。いくつかの実装形態では、プロセスの順序は変更または修正されてよい。

10

【 0 0 6 0 】

図 7 A の段階 1 は、設けられたキャリア 7 0 0 を示す。キャリア 7 0 0 は、供給元によって設けられてもよく、あるいは製作されてもよい。キャリア 7 0 0 は、接着剤層であってよい。

【 0 0 6 1 】

段階 2 は、キャリア 7 0 0 上に第 2 の誘電体層 2 6 0 が形成された状態を示す。第 2 の誘電体層 2 6 0 はポリイミド (PI) 層を含んでもよい。いくつかの実装形態では、第 2 の誘電体層 2 6 0 は、キャリア 7 0 0 上に液体誘電体を設けることによって形成され、次いで硬化される。

20

【 0 0 6 2 】

段階 3 は、第 2 の誘電体層 2 6 0 内にキャビティ 7 0 2 およびキャビティ 7 0 4 が形成された状態を示す。様々な実装形態は、それぞれに異なるようにキャビティ (たとえば、キャビティ 7 0 2、キャビティ 7 0 4) を形成する場合がある。いくつかの実装形態では、キャビティは、レーザプロセスおよび / またはフォトエッチングプロセス (たとえば、第 2 の誘電体層 2 6 0 がフォトエッチング可能であるとき) を使用して形成される。

【 0 0 6 3 】

段階 4 は、第 2 の誘電体層 2 6 0 およびキャリア 7 0 0 の上方にシード層 7 1 0 が形成された状態を示す。いくつかの実装形態では、シード層 7 1 0 は、第 2 の誘電体層 2 6 0 の形状および / または外形に従ってもよい。シード層 7 1 0 は、金属層 (たとえば、銅層) を含んでもよい。

30

【 0 0 6 4 】

段階 5 は、シード層 7 1 0 の上方に積層 7 2 0 が形成された状態を示す。積層 7 2 0 はフォトレジスト (PR) 層であってもよい。

【 0 0 6 5 】

図 7 B の段階 6 は、第 2 の誘電体層 2 6 0 内および / または第 2 の誘電体層 2 6 0 上に複数の相互接続部 7 0 3 および複数の相互接続部 7 0 7 が形成された状態を示す。いくつかの実装形態では、複数の相互接続部 7 0 3 および複数の相互接続部 7 0 7 は積層 7 2 0 の開口部に形成される。段階 6 は、複数の相互接続部 7 0 3 および複数の相互接続部 7 0 7 が形成された後積層 7 2 0 が除去された状態を示す。

【 0 0 6 6 】

40

段階 7 は、第 2 の誘電体層 2 6 0、複数の相互接続部 7 0 3、および複数の相互接続部 7 0 7 からキャリア 7 0 0 が分離された (たとえば、切り離されるかまたは取り外された) 状態を示す。

【 0 0 6 7 】

段階 8 は、第 1 のダイ 2 2 2 が複数の第 1 の相互接続部 2 2 3 を介して複数の相互接続部 7 0 3 に結合された状態を示す。段階 8 は、第 3 のダイ 2 4 2 が、複数の第 1 の相互接続部 2 4 3 を介して複数の相互接続部 7 0 7 に結合された状態も示す。いくつかの実装形態では、複数の相互接続部 7 0 3 を複数の第 1 の相互接続部 2 2 3 に結合するために、図示されていないはんだ相互接続部 (たとえば、はんだボール) が使用されてもよい。同様に、いくつかの実装形態では、複数の相互接続部 7 0 7 を複数の第 1 の相互接続部 2 4 3

50

に結合するために、図示されていないはんだ相互接続部（たとえば、はんだボール）が使用されてもよい。

【0068】

段階9は、第1のダイ222と第2の誘電体層260との間にアンダーフィル232が形成された状態を示す。アンダーフィル232は、複数の相互接続部703および複数の第1の相互接続部223を少なくとも部分的に取り囲む。段階9は、第3のダイ242と第2の誘電体層260との間にアンダーフィル252が形成された状態も示す。アンダーフィル252は、複数の相互接続部707および複数の第1の相互接続部243を少なくとも部分的に取り囲む。アンダーフィルが省略可能であることに留意されたい。

【0069】

段階10は、第1のダイ222、第3のダイ242、および第2の誘電体層260の上方に第1の誘電体層220が形成された状態を示す。第1の誘電体層220は、第1のダイ222および第3のダイ242を少なくとも部分的に封入してもよい。第1の誘電体層220はポリイミド（PI）層を含んでもよい。第1の誘電体層220は、第2の誘電体層260と同じであってもよい（たとえば、第1の誘電体層220と第2の誘電体層260の両方が1つの誘電体層であってもよい）。

【0070】

図7Cの段階11は、第2の誘電体層260の上方に積層730が形成された状態を示す。積層720はフォトレジスト（PR）層であってもよい。

【0071】

段階12は、積層730に複数のキャビティ731および複数のキャビティ735が形成された状態を示す。様々な実装形態は、キャビティをそれぞれに異なるように形成する場合がある。いくつかの実装形態では、キャビティは、レーザプロセスおよび/またはフォトリソグラフィングプロセスを使用して形成される。

【0072】

段階13は、第2の誘電体層260上に複数の相互接続部733および複数の相互接続部737が形成された状態を示す。段階13は、第2の誘電体層260の上方にダミー金属層269が形成された状態も示す。いくつかの実装形態では、複数の相互接続部733、複数の相互接続部737およびダミー金属層269は、積層730のキャビティ/開口部に形成される。段階13は、複数の相互接続部733、複数の相互接続部737、およびダミー金属層269が形成された後積層730が除去された状態を示す。

【0073】

段階14は、第2の誘電体層260の上方に第3の誘電体層262が形成された状態を示す。いくつかの実装形態では、第3の誘電体層262はポリイミド（PI）層を含む。いくつかの実装形態では、第3の誘電体層262、第2の誘電体層260、および第1の誘電体層220は1つの誘電体層である。

【0074】

図7Dの段階15は、第3の誘電体層262に複数のキャビティ743および複数のキャビティ745が形成された状態を示す。様々な実装形態はキャビティをそれぞれに異なるように形成する場合がある。いくつかの実装形態では、キャビティは、レーザプロセスおよび/またはフォトリソグラフィングプロセスを使用して形成される。

【0075】

段階16は、シード層710の上方に積層750が形成された状態を示す。積層750はフォトレジスト（PR）層であってもよい。積層750はキャビティおよび/または開口部を含んでもよい。様々な実装形態はキャビティをそれぞれに異なるように形成する場合がある。いくつかの実装形態では、キャビティは、レーザプロセスおよび/またはフォトリソグラフィングプロセスを使用して形成される。

【0076】

段階17は、第3の誘電体層262内および/または第3の誘電体層262上に複数の相互接続部753および複数の相互接続部757が形成された状態を示す。段階17は、

10

20

30

40

50

第3の誘電体層262の上方に相互接続部265が形成された状態も示す。いくつかの実装形態では、複数の相互接続部753、複数の相互接続部757、および相互接続部265は、積層750のキャビティ/開口部に形成される。段階17は、複数の相互接続部753、複数の相互接続部757、および相互接続部265が形成された後積層750が除去された状態を示す。

【0077】

図7Eの段階18は、第3の誘電体層262および相互接続部265の上方にはんだレジスト層264が形成された状態を示す。

【0078】

段階19は、はんだレジスト層264内および/またははんだレジスト層264上に複数の相互接続部763および複数の相互接続部767が形成された状態を示す。いくつかの実装形態では、複数の相互接続部703、733、753、および/または763は複数の第1の相互接続部227であってもよい。同様に、いくつかの実装形態では、複数の相互接続部707、737、757、および/または767は複数の第1の相互接続部247であってもよい。

【0079】

段階20は、第2のダイ224が複数の第1の相互接続部225を介して複数の相互接続部763に結合された状態を示す。段階20は、第4のダイ244が、複数の相互接続部245を介して複数の相互接続部767に結合された状態も示す。いくつかの実装形態では、複数の第1の相互接続部225を複数の相互接続部763に結合するためにはんだ相互接続部(たとえば、はんだボール)が使用されてもよい。いくつかの実装形態では、複数の相互接続部245を複数の相互接続部767に結合するためにはんだ相互接続部(たとえば、はんだボール)が使用されてもよい。

【0080】

図7Fの段階21は、第2のダイ224とはんだレジスト層264との間にアンダーフィル234が形成された状態を示す。段階21は、第4のダイ244とはんだレジスト層264との間にアンダーフィル254が形成された状態も示す。

【0081】

段階22は、少なくとも第1の誘電体層220内にキャビティ209およびキャビティ709が形成された状態を示す。いくつかの実装形態では、キャビティ209およびキャビティ709を形成するためにレーザプロセスが使用される。いくつかの実装形態では、キャビティ209は第1の誘電体層220においてダミー金属層269まで形成され、ダミー金属層269は、バックストップとして働き、レーザが誘電体層をさらに穿孔するのを妨げる。いくつかの実装形態では、キャビティ209を形成すると、第1のパッケージと第2のパッケージとの間の可撓性および/または屈曲可能接続を可能にするフレキシブルコネクタ206(たとえば、2つのパッケージ同士を電氣的に接続するための手段)が作製される。いくつかの実装形態では、フレキシブルコネクタ206は、第1の誘電体層220と、第2の誘電体層260と、第3の誘電体層262と、はんだレジスト層264と、相互接続部265と、ダミー金属層269とを含む。

【0082】

段階23は、図2に示すように、第1のパッケージ202がフレキシブルコネクタ206を介して第2のパッケージ204に結合された状態を示す。段階23は、第3の誘電体層262およびはんだレジスト層264を切断しならびに/あるいはスライスしてパッケージをダイシングする状態を示す。いくつかの実装形態では、第3の誘電体層262およびはんだレジスト層264をさらに切断するためにレーザプロセスおよび/または機械的プロセス(たとえば、鋸)が使用されてもよい。

【0083】

パッケージ間にフレキシブルコネクタを含む集積デバイスを製作するための例示的な方法

いくつかの実装形態では、埋込み型フレキシブルコネクタを含む集積回路(IC)デバイスを設ける/製作することは、いくつかのプロセスを含む。図8は、埋込み型フレキシ

10

20

30

40

50

ブルコネクタを含む集積回路（ＩＣ）デバイスを設ける／製作するための方法８００の例示的な流れ図を示す。いくつかの実装形態では、図８の方法は、図２～図６の埋込み型フレキシブルコネクタを含む集積回路（ＩＣ）デバイスおよび／または本開示において説明する他の集積回路（ＩＣ）デバイスを製作するために使用される場合がある。図８について、図２の集積回路（ＩＣ）デバイスを製作する状況において説明する。

【００８４】

図８の流れ図は、集積回路（ＩＣ）デバイスを設けるための方法を単純化しならびに／あるいは明確にするために、１つまたは複数のプロセスを組み合わせてもよいことに留意されたい。いくつかの実装形態では、プロセスの順序は変更または修正されてもよい。

【００８５】

この方法では、（８０５において）キャリア（たとえば、キャリア７００）上に誘電体層（たとえば、誘電体層２６０）を形成する。キャリアは、接着剤層であってもよい。誘電体層はポリイミド（ＰＩ）層を含んでもよい。

【００８６】

この方法では、（８１０において）誘電体層内および／または誘電体層上に複数の相互接続部を形成する。複数の相互接続部は複数の相互接続部７０３および７０５であってもよい。いくつかの実装形態では、複数の相互接続部は、シード層を形成することを含むリソグラフィプロセス、積層プロセス、露光プロセス、現像プロセス、めっきプロセス、剥離プロセス、およびエッチングプロセス（たとえば、シードエッチングプロセス）を使用して形成されてもよい。

【００８７】

この方法では、（８１５において）誘電体層（たとえば、２６０）および複数の相互接続部（たとえば、７０３）からキャリア（たとえば、７００）を分離する。いくつかの実装形態では、キャリアを分離することは、キャリアを切り離しならびに／あるいは取り外すことを含む。

【００８８】

この方法では、（８２０において）複数の相互接続部（たとえば、７０３）に第１のダイ（たとえば、２２２）を結合する。いくつかの実装形態では、複数の相互接続部に第１のダイを結合するためにはんだ相互接続部が使用されてもよい。

【００８９】

この方法では、（８２５において）第１のダイ（たとえば、第１のダイ２２２）を少なくとも部分的に封入する少なくとも１つの誘電体層（たとえば、第１の誘電体層２２０）を形成する。誘電体層はポリイミド（ＰＩ）層を含んでもよい。

【００９０】

この方法では、（８３０において）レーザが誘電体層をさらに穿孔するのを妨げるためのバックストップとして動作するように構成されたダミー金属層（たとえば、ダミー金属層２６９）を形成する。ダミー金属層はフレキシブルコネクタ内に形成されてもよい。

【００９１】

いくつかの実装形態では、ダミー金属層を形成することは、相互接続部２６５を形成することなど、誘電体層内に複数の相互接続部を形成することをさらに含んでもよい。いくつかの実装形態では、複数の相互接続部は、シード層を形成することを含むリソグラフィプロセス、積層プロセス、露光プロセス、現像プロセス、めっきプロセス、剥離プロセス、およびエッチングプロセス（たとえば、シードエッチングプロセス）を使用して形成されてもよい。

【００９２】

この方法では、（８３５において）誘電体層（たとえば、第３の誘電体層２６２）の上方にはんだレジスト層（たとえば、はんだレジスト層２６４）を形成する。

【００９３】

次いで、この方法では、（８４０において）はんだレジスト層（たとえば、２６４）に第２のダイ（たとえば、第２のダイ２２４）を結合する。いくつかの実装形態では、複数

10

20

30

40

50



の相互接続部（たとえば、７６３）に第２のダイを結合するためにはんだ相互接続部が使用されてもよい。いくつかの実装形態では、１つまたは複数のダイを結合することは、表面実装技術（ＳＭＴ）プロセスを使用してダイを取り付けることを含む。

#### 【００９４】

この方法では、（８４５において）誘電体層（たとえば、第１の誘電体層２２０）内にキャビティ（たとえば、キャビティ２０９）を形成して、第１のパッケージ（たとえば、第１のパッケージ２０２）を電氣的、機械的、および構造的に第２のパッケージ（たとえば、第２のパッケージ２０４）に結合するように構成されたフレキシブルコネクタ２０６を形成する。

#### 【００９５】

例示的な電子デバイス

図９は、上述の集積デバイス、半導体デバイス、集積回路、ダイ、インターポーザ、パッケージ、またはパッケージオンパッケージ（ＰｏＰ）のいずれかと統合されることがある様々な電子デバイスを示す。たとえば、モバイル電話デバイス９０２、ラップトップコンピュータデバイス９０４、固定ロケーション端末デバイス９０６、ウェアラブルデバイス９０８が、本明細書で説明するような集積デバイス９００を含んでよい。集積デバイス９００は、たとえば、本明細書で説明する集積回路、ダイ、集積デバイス、集積デバイスパッケージ、集積回路デバイス、デバイスパッケージ、集積回路（ＩＣ）パッケージ、パッケージオンパッケージデバイスのいずれかであってよい。図９に示すデバイス９０２、９０４、９０６、９０８は、例にすぎない。他の電子デバイスも、限定はしないが、モバイルデバイス、ハンドヘルドパーソナル通信システム（ＰＣＳ）ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム（ＧＰＳ）対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メーター読み取り機器などの固定ロケーションデータユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス（たとえば、時計、眼鏡）、モノのインターネット（ＩｏＴ）デバイス、サーバ、ルータ、自動車車両（たとえば、自律車両）に実装された電子デバイス、またはデータもしくはコンピュータ命令を記憶しもしくは取り出す任意の他のデバイス、あるいはそれらの任意の組合せを含むデバイス（たとえば、電子デバイス）のグループを含む、集積デバイス９００を特徴として備えてもよい。

#### 【００９６】

図２、図３、図４、図５、図６、図７Ａ～図７Ｆ、図８、および／または図９に示す構成要素、プロセス、特徴、および／または機能のうちの１つまたは複数は、単一の構成要素、プロセス、特徴、または機能として再構成されならびに／あるいは組み合わせられてもよく、あるいはいくつかの構成要素、プロセス、または機能として具現化されてもよい。本開示から逸脱することなく、追加の要素、構成要素、プロセス、および／または機能が追加されてもよい。本開示における図２、図３、図４、図５、図６、図７Ａ～図７Ｆ、図８、および／または図９、ならびにそれに対応する説明は、ダイおよび／またはＩＣに限定されないことに留意されたい。いくつかの実装態様では、図２、図３、図４、図５、図６、図７Ａ～図７Ｆ、図８、および／または図９、ならびにそれに対応する説明は、集積デバイスを製造し、作製し、設け、ならびに／あるいは生産するために用いられてもよい。いくつかの実装形態では、デバイスは、ダイ、集積デバイス、ダイパッケージ、集積回路（ＩＣ）、デバイスパッケージ、集積回路（ＩＣ）パッケージ、ウエハ、半導体デバイス、パッケージオンパッケージ（ＰｏＰ）デバイス、および／またはインターポーザを含んでもよい。

#### 【００９７】

「例示的」という語は、本明細書において「一例、事例、または例示としての働きをすること」を意味するために使用される。本明細書で「例示的」として記載されている任意の実装形態または態様は、必ずしも本開示の他の態様よりも好ましいまたは有利であると解釈されるべきではない。同様に、「態様」という用語は、本開示のすべての態様が、説

10

20

30

40

50

明した特徴、利点、または動作モードを含むことを必要としない。「結合される」という用語は、2つの物体間の直接的または間接的な結合を指すために本明細書において使用される。たとえば、物体Aが物体Bに物理的に接触し、物体Bが物体Cに接触する場合、物体AとCはやはり、直接的に物理的に互いに接触しない場合であっても、互いに結合されると見なされることがある。

#### 【0098】

また、本明細書に含まれる様々な開示が、フローチャート、流れ図、構造図、またはブロック図として示されるプロセスとして説明される場合があることに留意されたい。フローチャートは動作を逐次プロセスとして説明することがあるが、動作の多くは並行してまたは同時に実行することができる。加えて、動作の順序は並べ替えられてよい。プロセスは、その動作が完了するときに終了される。

10

#### 【0099】

本明細書で説明した本開示の様々な特徴は、本開示から逸脱することなく様々なシステムにおいて実施することができる。本開示の上記の態様が例にすぎず、本開示を限定するものとして解釈すべきでないことに留意されたい。本開示の態様の説明は、例示的であることを意図しており、特許請求の範囲を限定することを意図していない。したがって、本教示は、他のタイプの装置に容易に適用することができ、多くの代替、修正、および変形が当業者には明らかであろう。

#### 【符号の説明】

#### 【0100】

20

- 100 集積デバイス
- 102 第1の集積回路(IC)パッケージ
- 104 第2の集積回路(IC)パッケージ
- 106 フレキシブルコネクタ
- 120 プリント回路板(PCB)
- 122 第1のチップ
- 140 プリント回路板(PCB)
- 160 配線
- 162 第1のPCBインターフェース
- 164 第2のPCBインターフェース
- 166 カバー
- 200 集積デバイス
- 202 第1のパッケージ
- 204 第2のパッケージ
- 206 フレキシブルコネクタ
- 209 キャビティ
- 220 第1の誘電体層
- 222 第1のダイ
- 223 第1の相互接続部
- 224 第2のダイ
- 225 第1の相互接続部
- 227 第1の相互接続部
- 232 アンダーフィル
- 234 アンダーフィル
- 240 第2のパッケージ
- 242 第3のダイ
- 243 第1の相互接続部
- 244 第4のダイ
- 245 相互接続部
- 247 第1の相互接続部

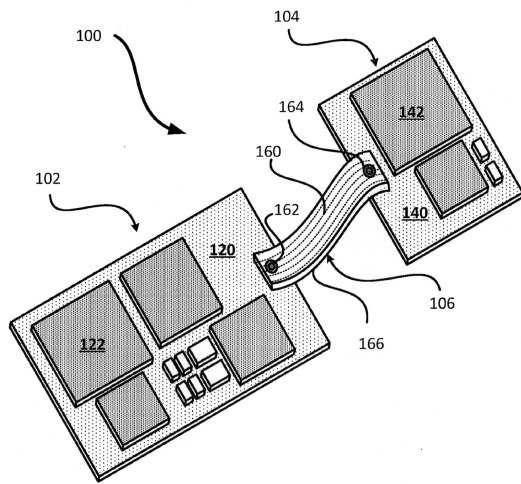
30

40

50

2 5 2	アンダーフィル	
2 5 4	アンダーフィル	
2 6 0	第 2 の誘電体層	
2 6 2	第 3 の誘電体層	
2 6 4	はんだレジスト層	
2 6 5	相互接続部	
2 6 9	ダミー金属層	
3 0 0	集積デバイス	
3 0 4	第 2 のパッケージ	
4 0 0	集積デバイス	10
4 0 4	第 2 のパッケージ	
5 0 0	集積デバイス	
5 0 2	第 1 のパッケージ	
5 0 4	第 2 のパッケージ	
6 0 0	集積デバイス	
6 0 6	フレキシブルコネクタ	
7 0 0	キャリア	
7 0 2	キャビティ	
7 0 3	相互接続部	
7 0 4	キャビティ	20
7 0 7	相互接続部	
7 0 9	キャビティ	
7 1 0	シード層	
7 2 0	積層	
7 3 0	積層	
7 3 1	キャビティ	
7 3 3	相互接続部	
7 3 5	キャビティ	
7 3 7	相互接続部	
7 4 3	キャビティ	30
7 4 5	キャビティ	
7 5 0	積層	
7 5 3	相互接続部	
7 5 7	相互接続部	
7 6 3	相互接続部	
7 6 7	相互接続部	
9 0 0	集積デバイス	
9 0 2	モバイル電話デバイス	
9 0 4	ラップトップコンピュータデバイス	
9 0 6	固定ロケーション端末デバイス	40
9 0 8	ウェアラブルデバイス	

【図 1】



(従来技術)  
FIG. 1

【図 2】

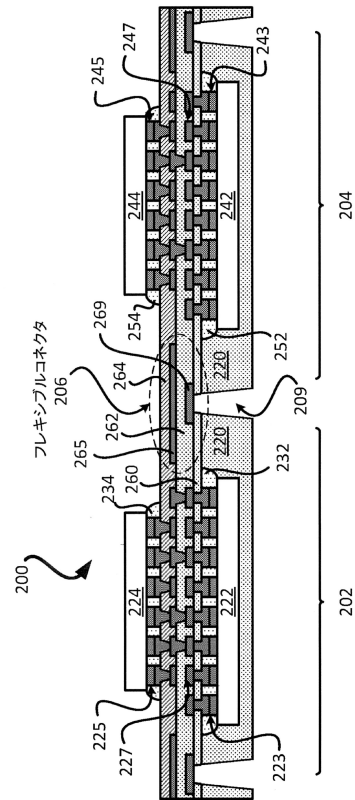


FIG. 2

【図 3】

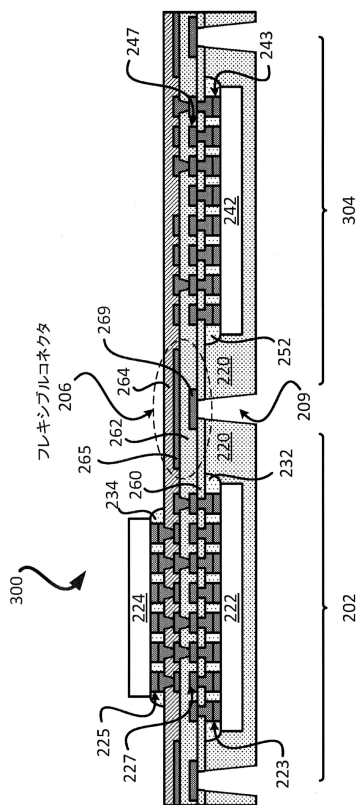


FIG. 3

【図 4】

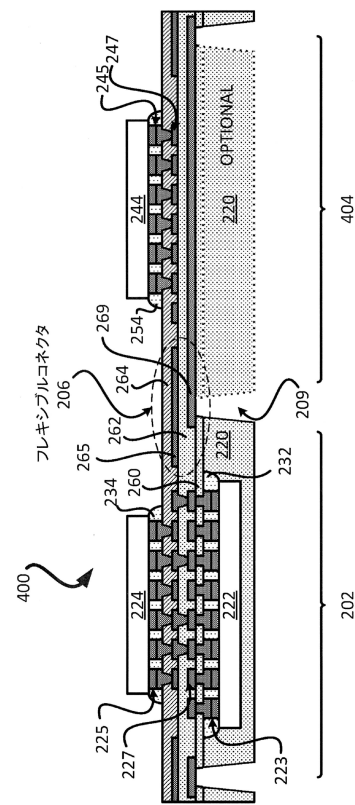


FIG. 4

【図 5】

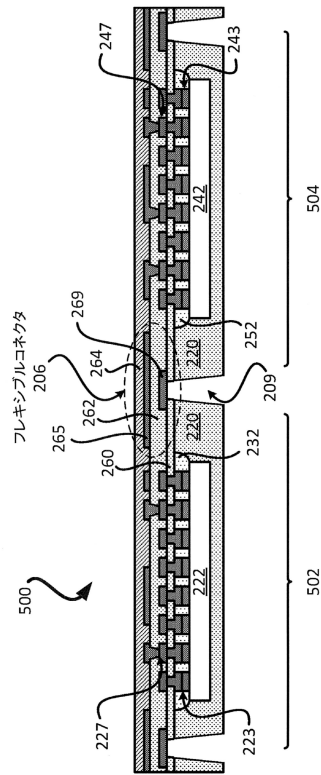


FIG. 5

【図 6】

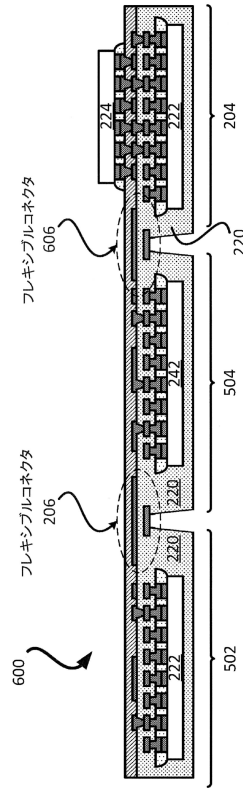


FIG. 6

【図 7 A】

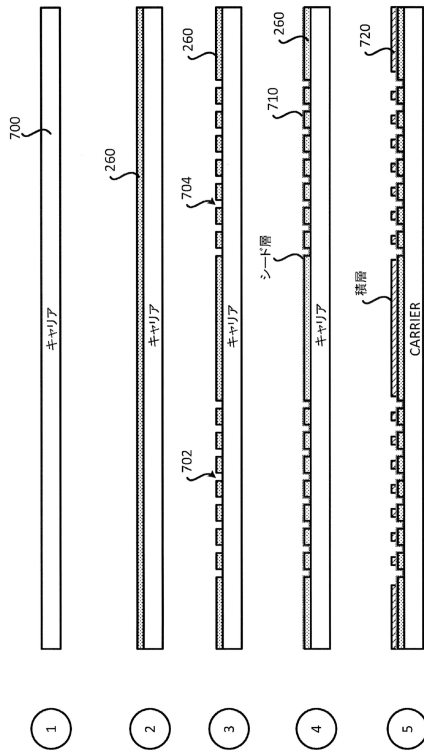


FIG. 7A

【図 7 B】

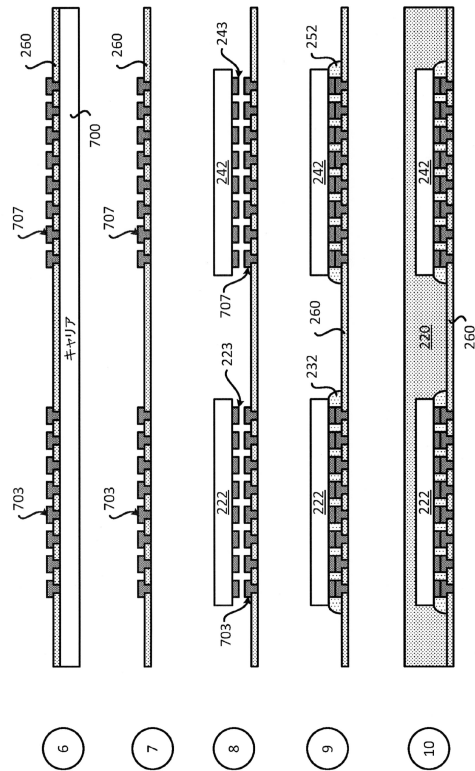


FIG. 7B

【図 7 C】

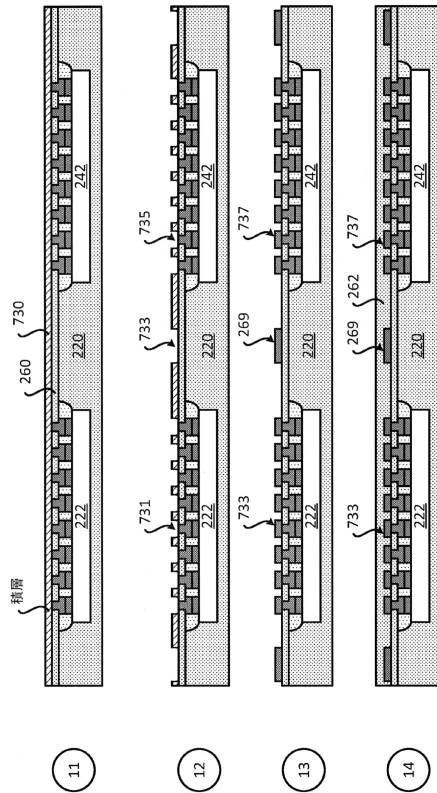


FIG. 7C

【図 7 D】

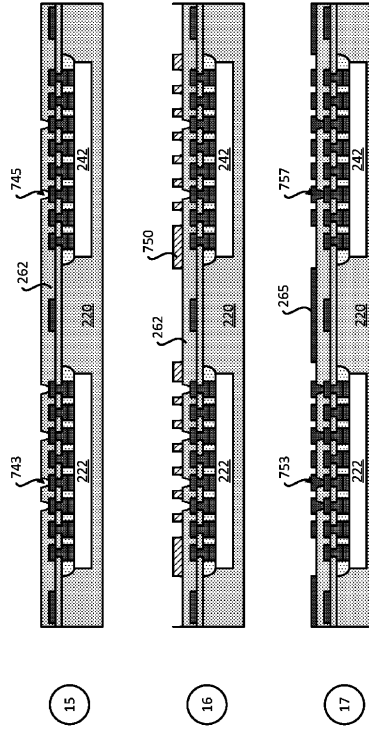


FIG. 7D

【図 7 E】

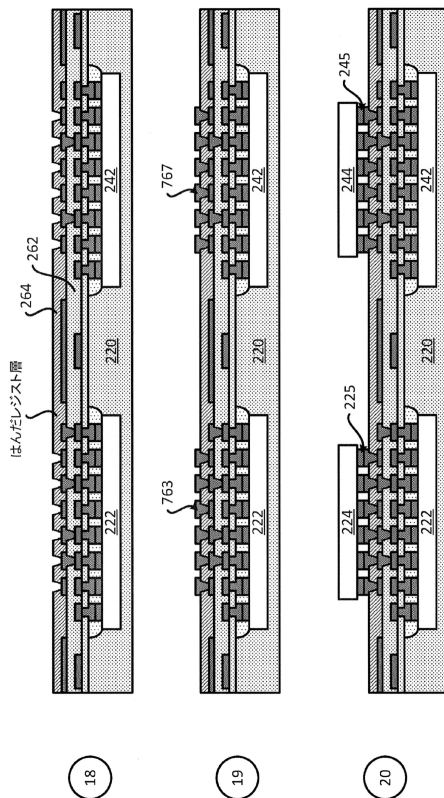


FIG. 7E

【図 7 F】

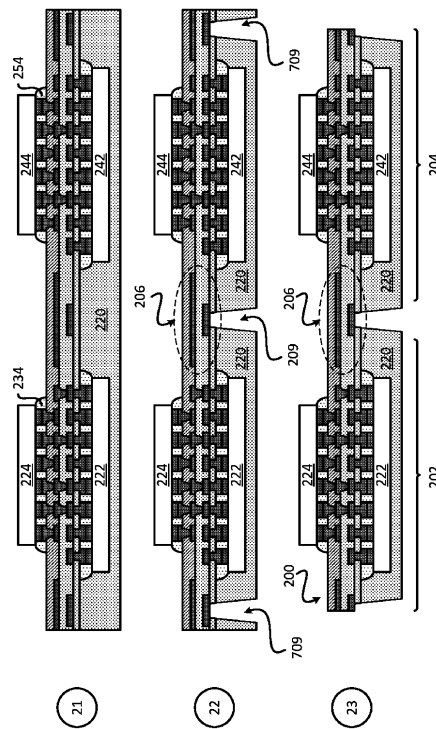


FIG. 7F

【図 8】

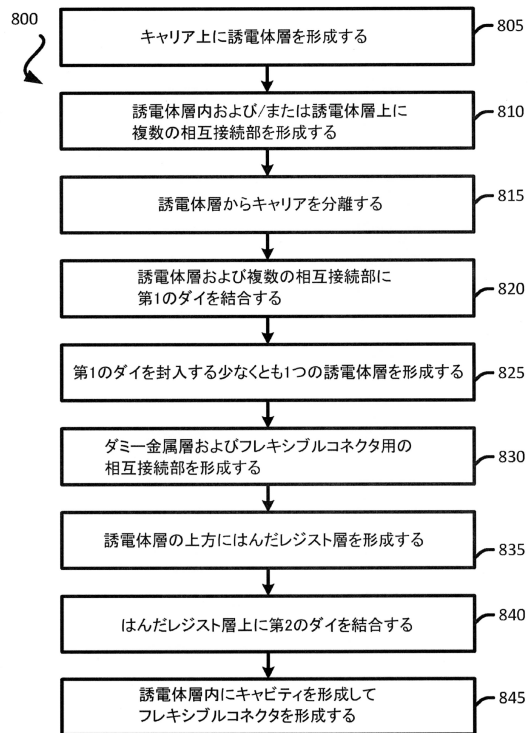


FIG. 8

【図 9】

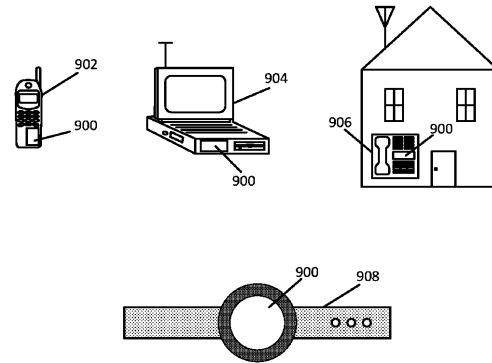


FIG. 9

## フロントページの続き

(51)Int.Cl.		F I		
H 0 5 K	3/00	(2006.01)	H 0 5 K	3/46 L
H 0 1 L	25/04	(2014.01)	H 0 5 K	3/00 N
			H 0 1 L	25/04 Z

(72)発明者 ジェ・シク・イ  
 アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライ  
 ヴ・5 7 7 5

(72)発明者 ドン・ウク・キム  
 アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライ  
 ヴ・5 7 7 5

審査官 庄司 一隆

(56)参考文献 特開2 0 0 8 - 0 3 4 4 3 3 ( J P , A )  
 国際公開第2 0 1 5 / 1 6 6 5 8 8 ( WO , A 1 )

(58)調査した分野(Int.Cl. , D B名)  
 H 0 1 L 2 3 / 1 2  
 H 0 1 L 2 5 / 0 6 5  
 H 0 5 K 3 / 4 6  
 H 0 5 K 3 / 0 0  
 H 0 1 L 2 5 / 1 8