

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6789653号
(P6789653)

(45) 発行日 令和2年11月25日 (2020. 11. 25)

(24) 登録日 令和2年11月6日 (2020. 11. 6)

| | | | |
|---------------|---------------|-------------------|------------------------|
| (51) Int. Cl. | | F I | |
| HO 1 L | 27/146 | (2006. 01) | HO 1 L 27/146 A |
| HO 4 N | 5/369 | (2011. 01) | HO 4 N 5/369 |
| HO 4 N | 5/374 | (2011. 01) | HO 4 N 5/374 |

請求項の数 12 (全 18 頁)

| | | | |
|-----------|-------------------------------|-----------|----------------------------|
| (21) 出願番号 | 特願2016-72989 (P2016-72989) | (73) 特許権者 | 000001007 |
| (22) 出願日 | 平成28年3月31日 (2016. 3. 31) | | キヤノン株式会社 |
| (65) 公開番号 | 特開2017-183661 (P2017-183661A) | | 東京都大田区下丸子3丁目30番2号 |
| (43) 公開日 | 平成29年10月5日 (2017. 10. 5) | (74) 代理人 | 100126240 |
| 審査請求日 | 平成31年3月23日 (2019. 3. 23) | | 弁理士 阿部 琢磨 |
| | | (74) 代理人 | 100124442 |
| | | | 弁理士 黒岩 創吾 |
| | | (72) 発明者 | 浮ヶ谷 信貴 |
| | | | 東京都大田区下丸子3丁目30番2号キヤノン株式会社内 |
| | | (72) 発明者 | 桑原 英司 |
| | | | 東京都大田区下丸子3丁目30番2号キヤノン株式会社内 |
| | | 審査官 | 田邊 顕人 |
| | | | 最終頁に続く |

(54) 【発明の名称】 光電変換装置およびカメラ

(57) 【特許請求の範囲】

【請求項 1】

第1面と前記第1面とは反対の第2面とを有する半導体層を有する光電変換装置であって、

前記半導体層は、

少なくとも4つの光電変換素子が配された第1領域と、

前記第2面に沿って設けられ、且つ前記第1面よりも前記第2面の近くに位置する仮想面をとったときに、

前記半導体層内に設けられ、且つ仮想面を通る溝によって構成された第1分離部と、

前記半導体層内に設けられ、且つ前記仮想面を通る溝によって構成された第2分離部と

10

、
前記半導体層内に設けられ、第1絶縁体を含み、前記第1面側に配された第3分離部と

、
前記第1面の上に配されたゲート電極を有し、前記少なくとも4つの光電変換素子からの信号を読み出すための第1トランジスタと、を有し、

前記第1面における平面視において、前記第1分離部と、前記第1領域と、前記第3分離部と、前記第1トランジスタと、前記第2分離部とがこの順に設けられ、

前記仮想面の前記第1分離部の前記溝と前記第2分離部の溝との間の部分において、前記第1分離部と、前記第1領域と、前記第3分離部と、前記第1トランジスタと、前記第2分離部がこの順に配された方向に沿って、前記半導体層は連続した半導体領域を有する

20

ことを特徴とする光電変換装置。

【請求項 2】

前記少なくとも 4 つの光電変換素子は第 1 素子領域に配され、前記第 1 トランジスタは第 2 素子領域に配され、

前記第 1 素子領域と前記第 2 素子領域は、前記第 3 分離部によって画定されていることを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

前記半導体層は、更に別の光電変換素子と、第 2 絶縁体を含み前記第 1 面側に配された第 4 分離部と、を有し、

前記第 1 分離部と、前記第 1 領域と、前記第 3 分離部と、前記第 1 トランジスタと、前記第 2 分離部と、前記別の光電変換素子とがこの順に配され、

前記第 1 面に対する平面視において、前記第 2 分離部は前記第 4 分離部に重畳することを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 4】

前記半導体層は、更に第 2 トランジスタと、絶縁体を含み前記第 1 面側に配された第 5 分離部と、を有し、

前記第 2 トランジスタと、前記第 1 分離部と、前記第 1 領域と、前記第 3 分離部と、前記第 1 トランジスタと、前記第 2 分離部と、前記別の光電変換素子とがこの順に配され、前記第 1 面に対する平面視において、前記第 2 分離部は前記第 4 分離部に重畳し、前記第 1 分離部は前記第 5 分離部に重畳することを特徴とする請求項 3 に記載の光電変換装置。

【請求項 5】

前記少なくとも 4 つの光電変換素子のそれぞれは、信号電荷が多数キャリアである第 1 導電型の不純物領域を有し、

前記半導体層は、信号電荷が少数キャリアである第 2 導電型の第 2 不純物領域を有し、前記第 2 不純物領域は、2 つの前記第 1 導電型の半導体領域の間に設けられていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の光電変換装置。

【請求項 6】

前記少なくとも 4 つの光電変換素子は、第 1 光電変換素子と、第 2 光電変換素子と、第 3 光電変換素子と、第 4 光電変換素子と、を含み、

前記第 1 面に対する平面視において、前記第 1 光電変換素子と前記第 4 光電変換素子は第 1 方向に沿って配され、前記第 2 光電変換素子と前記第 3 光電変換素子は、前記第 1 方向と交わる第 2 方向に沿って配されていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の光電変換装置。

【請求項 7】

前記半導体層は、前記少なくとも 4 つの光電変換素子にて生じた電荷が転送されるフローティングディフュージョン領域と、前記第 1 光電変換素子と前記フローティングディフュージョン領域との間の導通を制御する第 1 転送トランジスタと、前記第 2 光電変換素子と前記フローティングディフュージョン領域との間の導通を制御する第 2 転送トランジスタと、前記第 3 光電変換素子と前記フローティングディフュージョン領域との間の導通を制御する第 3 転送トランジスタと、前記第 4 光電変換素子と前記フローティングディフュージョン領域との間の導通を制御する第 4 転送トランジスタと、を有し、

前記第 1 面に対する平面視において、前記フローティングディフュージョン領域は、前記第 1 光電変換素子と前記第 4 光電変換素子との間に位置し、前記第 2 光電変換素子と前記第 3 光電変換素子との間に位置することを特徴とする請求項 6 に記載の光電変換装置。

【請求項 8】

前記半導体層は、前記第 1 面の上に配されたゲート電極を有し、前記少なくとも 4 つの光電変換素子からの信号を読み出すための第 1 トランジスタを有し、

前記第 1 面に対する平面視において、前記第 1 トランジスタのソースとドレインを結ぶ第 1 仮想線は、前記第 2 光電変換素子と前記第 4 光電変換素子とを結ぶ第 2 仮想線と平行になることを特徴とする請求項 7 に記載の光電変換装置。

【請求項 9】

前記第 1 分離部は、前記第 1 仮想線と平行な方向に延在することを特徴とする請求項 8 に記載の光電変換装置。

【請求項 10】

前記第 1 分離部の前記溝には、固定電荷膜が配されていることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置。

【請求項 11】

前記第 1 分離部の前記溝は少なくとも一部が空洞であることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の光電変換装置。

【請求項 12】

請求項 1 乃至 11 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置から得られた信号を処理する信号処理装置、前記光電変換装置から得られた信号を記憶する記憶装置、および、前記光電変換装置で得られた情報を表示する表示装置の少なくともいずれかを備えるカメラ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、光電変換装置に関する。

【背景技術】**【0002】**

カメラに用いられる CMOS イメージセンサーなどの光電変換装置において半導体層に溝を設けることが検討されている。溝によって構成された分離部が光や電荷に対する隔壁として作用することで、感度が向上したり、混色が抑制されたりして、光電変換の性能を向上することができる。

【0003】

特許文献 1 には、空間および絶縁体で構成された素子分離が開示されている。空間および絶縁体は溝の中に配されている。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2014 - 204047 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

特許文献 1 の溝について検討したところ、溝の配置によっては光電変換部の感度が低下してしまう場合があることが分かった。

【0006】

本発明は、光電変換の性能を向上した光電変換装置を提供することを目的とする。

【課題を解決するための手段】**【0007】**

上記課題を解決するための手段は、第 1 面と、前記第 1 面とは反対側の第 2 面とを有する半導体層と、前記第 1 面の側に配され、絶縁体によって構成された第 1 分離部と、前記第 1 分離部よりも前記第 2 面の側に位置する前記第 2 面に沿った平面を通して配され、前記半導体層に設けられた溝によって構成された第 2 分離部と、を備える光電変換装置であって、前記半導体層は、前記第 1 分離部によって画定された素子領域として、第 1 光電変換素子が設けられた第 1 素子領域と、第 2 光電変換素子が設けられた第 2 素子領域と、前記第 1 素子領域と前記第 2 素子領域との間に配され、前記第 1 素子領域および前記第 2 素子領域とは異なる形状を有する第 3 素子領域と、を含み、前記第 1 分離部は、前記第 1 素子領域と前記第 3 素子領域との間に位置する第 1 分離領域と、前記第 2 素子領域と前記第 3 素子領域との間に位置する第 2 分離領域と、を含み、前記半導体層は、前記第 1 面に対

10

20

30

40

50

する法線方向において前記第 1 素子領域と前記第 2 面との間に位置する第 1 半導体領域と、前記法線方向において前記第 2 素子領域と前記第 2 面との間に位置する第 2 半導体領域と、前記法線方向において前記第 3 素子領域と前記第 2 面との間に位置する第 3 半導体領域と、前記法線方向において前記第 1 分離領域と前記第 2 面との間に位置する第 4 半導体領域と、を含み、前記第 2 分離部は、前記法線方向において前記第 2 分離領域に重なる部分を有し、前記平面では、前記第 1 半導体領域と前記第 3 半導体領域が前記第 4 半導体領域を介して連続しており、かつ、前記部分が前記第 2 半導体領域と前記第 3 半導体領域との間に位置することを特徴とする。

【発明の効果】

【0008】

本発明によれば、光電変換の性能を向上した光電変換装置を提供することができる。

【図面の簡単な説明】

【0009】

【図 1】光電変換装置を説明するための模式図。

【図 2】光電変換装置を説明するための模式図。

【図 3】光電変換装置を説明するための模式図。

【図 4】光電変換装置を説明するための模式図。

【図 5】光電変換装置を説明するための模式図。

【図 6】光電変換装置を説明するための模式図。

【図 7】光電変換装置を説明するための模式図。

【図 8】光電変換装置の製造方法を説明するための模式図。

【発明を実施するための形態】

【0010】

以下、図面を参照して、本発明を実施するための形態を説明する。なお、以下の説明および図面において、複数の図面に渡って共通の構成については共通の符号を付している。そのため、複数の図面を相互に参照して共通する構成を説明し、共通の符号を付した構成については適宜説明を省略する。

【0011】

図 1 (a) は光電変換装置の一例として、裏面照射型の撮像装置の実施形態を示す断面図である。図 1 (b) は光電変換装置の一例として、表面照射型の撮像装置の実施形態を示す断面図である。まず、裏面照射型と裏面照射型に共通の事項を説明する。

【0012】

光電変換装置 1000 は表面 1 と、表面 1 とは反対側の裏面 2 とを有する半導体層 100 を備える。半導体層 100 は例えば単結晶シリコン層であるが、光電変換が可能な半導体層であれば単結晶シリコン層に限らない。また、光電変換装置 1000 は、表面 1 の側に配され、半導体層 100 の溝 11 と溝 11 の中の絶縁体 12 によって構成された素子分離部 10 を備える。素子分離部 10 は STI 構造あるいは LOCOS 構造を有し得る。素子分離部 10 を構成する絶縁体 12 は例えば酸化シリコンからなる。また、光電変換装置 1000 は、半導体層 100 に設けられた溝 21 によって構成された画素分離部 20 を備える。画素分離部 20 は、中間面 3 を通って配されている。中間面 3 は素子分離部 10 よりも裏面 2 の側に位置し、表面 1 および / または裏面 2 に沿った仮想的な平面である。中間面 3 は裏面 2 に平行でありうる。中間面 3 に垂直な方向を法線方向 N と称し、中間面 3 に平行な方向を面内方向 P と称する。法線方向 N においては、画素分離部 20 は中間面 3 に対して表面 1 側と裏面 2 側に両方に渡って延在している。中間面 3 の面内においては、画素分離部 20 を挟んで半導体層 100 が不連続になっている。画素分離部 20 の溝 21 の中には、固体 22 が存在していてもよいし、真空の空間あるいは気体が存在していてもよいし、気体と固体 22 の両方が配置されていてもよい。溝 21 の中に存在する固体 22 としては、絶縁体、導電体、半導体のいずれでもよい。溝 21 の中に存在する固体 22 としての絶縁体は酸化シリコンが典型的であるが、窒化シリコン、酸窒化シリコン、酸化タンタル、酸化ハフニウム、酸化チタンなどを用いることもできる。溝 21 の中に存在する

10

20

30

40

50

固体 2 2 としての導電体は金属やポリシリコンが典型的であるが、アルミニウム、銅、タングステン、チタン、窒化チタン、タンタル、窒化タンタル、金属シリサイド等を用いることもできる。溝 2 1 の中に存在する固体 2 2 としての半導体は単結晶シリコンが典型的であるが、アモルファスシリコンであってもよい。溝 2 1 の中に存在する固体 2 2 としての半導体の導電型は、後述する光電変換素子で蓄積される信号電荷とは反対の導電型であることが好ましい。

【 0 0 1 3 】

半導体層 1 0 0 の表面 1 と裏面 2 との間には光電変換素子 3 0 が設けられている。光電変換素子 3 0 はフォトダイオードである。フォトダイオードとしての光電変換素子 3 0 は信号電荷（電子）を蓄積するための蓄積領域として機能する n 型の不純物領域 4 0 と、不純物領域 4 0 と p n 接合を成す p 型の不純物領域 5 0 とを含む。p 型の不純物領域 5 0 で光電変換により発生した電子は不純物領域 4 0 に蓄積される。中間面 3 内には不純物領域 4 0 が位置していることが好ましい。中間面 3 と裏面 2 との間には不純物領域 5 0 が位置している。ここでは電子蓄積型のフォトダイオードを例示したが、正孔蓄積型のフォトダイオードを採用することもできる。その場合には、不純物領域の導電型を電子蓄積型の場合の逆にすればよい。信号電荷が多数キャリアである導電型を第 1 導電型、信号電荷が少数キャリアである導電型を第 2 導電型とする。信号電荷が電子であれば、電子が多数キャリアである n 型が第 1 導電型である。なお、半導体層 1 0 0 内において光電変換素子 3 0 としてみなされる部分は、信号電荷として読み出される電荷を光電変換によって生じる部分である。厳密には、光電変換素子 3 0 としてみなされる部分は、半導体層 1 0 0 内の不純物濃度分布と印加される電圧に基づくポテンシャルプロファイルによって定まる。

【 0 0 1 4 】

半導体層 1 0 0 の表面 1 側には画素トランジスタ 9 0 が設けられている。図 1 では画素トランジスタ 9 0 のチャネル領域 7 0 とゲート電極 8 0 を記載している。画素トランジスタ 9 0 には、転送トランジスタや増幅トランジスタ、リセットトランジスタや選択トランジスタが含まれる。転送トランジスタは光電変換素子 3 0 の信号電荷を電荷検出領域に転送する。電荷検出領域は浮遊拡散領域（フローティングディフュージョン）で構成される。増幅トランジスタは電荷に基づく信号をソースフォロワ回路によって生成するもので、電荷検出領域に接続されたゲートを有する。リセットトランジスタは電荷検出領域に接続されたドレインを有し、光電変換素子 3 0 の電荷をリセットする。選択トランジスタは増幅トランジスタと出力線との接続 / 非接続を選択する。

【 0 0 1 5 】

半導体層 1 0 0 のうち、光電変換素子 3 0 の外側は p 型の不純物領域 6 0 で構成される。この p 型の不純物領域 6 0 は、同じく p 型の不純物領域 5 0 に比べて不純物濃度が高くなっている。不純物領域 6 0 の一部は、画素間の電荷の混合を抑制するポテンシャル障壁として機能し得る。また、不純物領域 6 0 の一部は、半導体層 1 0 0 と絶縁体との界面で生じたノイズ電荷が光電変換素子 3 0 に取り込まれることを抑制するポテンシャル障壁として機能し得る。また、不純物領域 6 0 は接地電位などの固定電位を供給する導電部材が接続された、濃い p 型のウェルコンタクトを含む。ウェルコンタクトから、不純物領域 6 0 を介して、光電変換素子 3 0 の不純物領域 4 0 に電位が供給される。

【 0 0 1 6 】

画素分離部 2 0 は光電変換素子 3 0 の周囲に配置される。画素分離部 2 0 は隣接する画素間での混色を抑制することが可能な構成を有する。光電変換素子 3 0 の周囲に配置された画素分離部 2 0 で囲まれた半導体領域上には、不純物領域 4 0 以外に、素子分離部 1 0 にて分離して配置される画素トランジスタが含まれるようにする。すなわち、中間面 3 内において隣接して向かい合う画素分離部 2 0 の間には光電変換素子 3 0 だけでなく、素子分離部 1 0 の下の半導体領域が含まれている。また、中間面 3 内において隣接して向かい合う画素分離部 2 0 の間には素子分離部 1 0 によって光電変換素子 3 0 から分離された画素トランジスタ 9 0 の下の半導体領域も含まれている。図 1 の例では、これら素子分離部 1 0 や画素トランジスタ 9 0 の下の半導体領域にまで光電変換素子 3 0 が配されている。

【 0 0 1 7 】

表面 1 側には複数の配線層 3 1 0、3 2 0、3 3 0 とそれらの周囲の複数の層間絶縁層からなる絶縁膜 3 0 0 が設けられている。なお、配線層で構成された出力線は光電変換素子 3 0 で生成された信号電荷を画素トランジスタ 9 0 を介して電気信号として後段に出力するように設けられている。

【 0 0 1 8 】

図 1 (a) に示した裏面照射型の撮像装置では、裏面 2 側に誘電体膜 4 1 0、遮光部材 4 2 0、カラーフィルタアレイ 4 3 0、マイクロレンズアレイ 4 4 0 が設けられている。誘電体膜 4 1 0 は保護膜 (パッシベーション膜)、平坦化膜および / または反射防止膜として機能する。表面 1 側であって絶縁膜 3 0 0 の上には支持基板 4 0 0 が設けられている。支持基板 4 0 0 には信号処理回路等の集積回路を設けることもできる。半導体層 1 0 0 の厚さは 1 ~ 1 0 μ m 程度である。支持基板の厚さは 5 0 ~ 8 0 0 μ m 程度である。

10

【 0 0 1 9 】

図 1 (b) に示した表面照射型の撮像装置では、表面 1 側であって絶縁膜 2 0 0 の上に、誘電体膜 4 1 0、カラーフィルタアレイ 4 3 0、マイクロレンズアレイ 4 4 0 が設けられている。誘電体膜 4 1 0 は保護膜 (パッシベーション膜)、平坦化膜および / または反射防止膜として機能する。半導体層 1 0 0 の厚さは 5 0 ~ 8 0 0 μ m 程度である。

【 0 0 2 0 】

カラーフィルタアレイ 4 3 0 は特定の波長の光のみを選択的に透過させるように設けられる。たとえば赤、緑、青の波長を透過するカラーフィルターを配列させても良い。また、白色光を透過させる画素を混在させても良い。なお各画素に対応して配置されたマイクロレンズアレイ 4 4 0 の各マイクロレンズは、入射光を光電変換素子 3 0 に集光させるように設けられている。

20

【 0 0 2 1 】

次に、図 2 を用いて、半導体層 1 0 0 およびその近傍の構造について詳細に説明する。

【 0 0 2 2 】

半導体層 1 0 0 は、素子分離部 1 0 によって画定された素子領域を有する。素子領域は素子分離部 1 0 に対する位置によって区分される。素子領域の深さ方向の下端は素子分離部 1 0 の底面の深さに一致する。図 2 には半導体層 1 0 0 に含まれる素子領域として素子領域 1 1 1、1 1 2、1 1 3、1 1 4 を示している。素子領域 1 1 1 には光電変換素子 4 1 が設けられており、素子領域 1 1 2 には光電変換素子 4 2 が設けられている。素子領域 1 1 3 は、素子領域 1 1 1 と素子領域 1 1 2 との間に配されており、素子領域 1 1 3 にはトランジスタや容量素子、抵抗素子などの半導体素子が設けられている。素子領域 1 1 3 の形状は素子領域 1 1 1 や素子領域 1 1 2 の形状とは異なっている。素子領域 1 1 3 には光電変換素子 3 0 以外のトランジスタなどの半導体素子が設けられるからである。典型的には、素子領域 1 1 3 の面積は素子領域 1 1 1 や素子領域 1 1 2 の面積よりも小さくなっている。

30

【 0 0 2 3 】

本例では上述した素子領域 1 1 3 の半導体素子として画素トランジスタが設けられている。図 2 には画素トランジスタの不純物領域としてチャネル領域 7 1 を記載しているが、素子領域 1 1 3 にはソース領域やドレイン領域 (不図示) も設けられている。チャネル領域 7 1 の上には画素トランジスタのゲート電極 8 1 が設けられている。素子領域 1 1 4 には光電変換素子 4 3 が設けられている。なお、図 2 において光電変換素子 4 1、4 2、4 3 とした示した範囲は、図 1 において光電変換素子 3 0 の蓄積領域である n 型の不純物領域 4 0 に対応する。図 2 において光電変換素子 4 1、4 2、4 3 とした示した範囲の外には光電変換素子 4 1、4 2、4 3 を成す p 型の不純物領域 5 0 に対応する不純物領域が存在している。

40

【 0 0 2 4 】

素子分離部 1 0 は、分離領域 1 0 1、1 0 2、1 0 3 を含む。分離領域 1 0 1 は素子領域 1 1 1 と素子領域 1 1 3 との間に位置する。分離領域 1 0 2 は素子領域 1 1 2 と素子領域

50

域 1 1 3 との間に位置する。分離領域 1 0 3 は素子領域 1 1 1 と素子領域 1 1 4 との間に位置する。

【 0 0 2 5 】

半導体層 1 0 0 は表面 1 側における素子領域と分離領域の分布に対応した半導体領域を素子分離部 1 0 よりも裏面 2 側に有する。裏面 2 側の半導体領域は、素子分離部 1 0 の分離領域あるいは素子領域に対する位置によって区分される。各半導体領域は、法線方向 N において素子分離部 1 0 のいずれかの分離領域あるいは半導体層 1 0 0 のいずれかの素子領域と、裏面 2 との間に位置することになる。このような半導体領域として、半導体層 1 0 0 は、半導体領域 1 2 1、1 2 2、1 2 3、1 2 4、1 2 5、1 2 6、1 2 7 を含む。半導体領域 1 2 1 は素子領域 1 1 1 と裏面 2 との間に位置し、半導体領域 1 2 2 は素子領域 1 1 2 と裏面 2 との間に位置し、半導体領域 1 2 3 は素子領域 1 1 3 と裏面 2 との間に位置する。半導体領域 1 2 7 は素子領域 1 1 4 と裏面 2 との間に位置する。半導体領域 1 2 4 は分離領域 1 0 1 と裏面 2 との間に位置し、半導体領域 1 2 5 は分離領域 1 0 2 と裏面 2 との間に位置し、半導体領域 1 2 6 は分離領域 1 0 3 と裏面 2 との間に位置する。

【 0 0 2 6 】

画素分離部 2 0 は法線方向 N において分離領域 1 0 2 に重なる第 1 部分 2 0 1 を有する。第 1 部分 2 0 1 は溝 2 1 1 により構成されている。面内方向 P において、第 1 部分 2 0 1 は半導体領域 1 2 2 と半導体領域 1 2 3 との間に位置する。第 1 部分 2 0 1 によって半導体領域 1 2 5 は複数の部分に分割されている。その結果、半導体領域 1 2 5 は、第 1 部分 2 0 1 と半導体領域 1 2 3 との間に位置する部分 1 2 5 1 と、第 1 部分 2 0 1 と半導体領域 1 2 2 との間に位置する部分 1 2 5 2 と、を含んでいる。本例では、第 1 部分 2 0 1 が分離領域 1 0 2 に接続している。また、本例では、第 1 部分 2 0 1 が裏面 2 に達している。つまり、第 1 部分 2 0 1 を構成する溝 2 1 が裏面 2 に連続している。第 1 部分 2 0 1 と分離領域 1 0 2 とを離間させる場合には、第 1 部分 2 0 1 と分離領域 1 0 2 との間に半導体領域 1 2 5 の一部が位置することになる。第 1 部分 2 0 1 と裏面 2 とを離間させる場合には、第 1 部分 2 0 1 と裏面 2 との間に半導体領域 1 2 5 の一部が位置することになる。

【 0 0 2 7 】

画素分離部 2 0 は法線方向 N において分離領域 1 0 3 に重なる第 2 部分 2 0 2 を有する。第 2 部分 2 0 2 は溝 2 1 2 により構成されている。面内方向 P において、第 2 部分 2 0 2 は半導体領域 1 2 1 と半導体領域 1 2 7 との間に位置する。第 2 部分 2 0 2 によって半導体領域 1 2 6 は複数の部分に分割されている。その結果、第 2 部分 2 0 2 と半導体領域 1 2 1 との間に位置する部分 1 2 6 1 と、第 2 部分 2 0 2 と半導体領域 1 2 7 との間に位置する部分 1 2 6 2 と、を含んでいる。本例では、第 2 部分 2 0 2 が分離領域 1 0 3 に接続している。また、本例では、第 2 部分 2 0 2 が裏面 2 に達している。つまり、第 2 部分 2 0 2 を構成する溝 2 1 2 が裏面 2 に連続している。第 2 部分 2 0 2 と分離領域 1 0 3 とを離間させる場合には、第 2 部分 2 0 2 と分離領域 1 0 3 との間に半導体領域 1 2 6 の一部が位置することになる。第 2 部分 2 0 2 と裏面 2 とを離間させる場合には、第 2 部分 2 0 2 と裏面 2 との間に半導体領域 1 2 6 の一部が位置することになる。

【 0 0 2 8 】

このように、半導体領域 1 2 2 と半導体領域 1 2 3 は第 1 部分 2 0 1 によって不連続になっている。また、半導体領域 1 2 1 と半導体領域 1 2 7 は第 2 部分 2 0 2 によって不連続になっている。これにより、画素間の光の混合が低減され、光電変換装置の光学的特性が向上する。また、画素間の電荷の混合が低減され、光電変換装置の電気的特性が向上する。

【 0 0 2 9 】

一方、分離領域 1 0 1 と裏面 2 との間には画素分離部 2 0 が設けられていない。そのため、中間面 3 内において半導体領域 1 2 1 と半導体領域 1 2 3 が半導体領域 1 2 4 を介して連続している。つまり、中間面 3 において、素子領域 1 1 1 と素子領域 1 1 3 と分離領域 1 0 1 の下では半導体層 1 0 0 が連続している。このように、分離領域 1 0 1 の下で画

10

20

30

40

50

素分離部 20 が設けられずに半導体層 100 が連続しているため、画素分離部 20 の溝 21 による光の散乱が抑制される。このため、光電変換素子 30 に入射する光の量を増加させることができ、感度が向上する。また、ノイズ源となる画素分離部 20 を、光電変換素子 30 の蓄積領域としての不純物領域 40 から遠ざけることにより、画素分離部 20 の近傍で発生したノイズが光電変換素子 30 に取り込まれることを抑制できる。さらに、素子領域 111 や半導体領域 121 だけでなく、半導体領域 124 を光電変換素子 30 として利用することも可能となる。仮に半導体領域 124 に画素分離部 20 が配されていると、画素分離部 20 の分だけ光電変換素子 30 の体積が小さくなり、感度が低下する。

【0030】

さらに、半導体領域 124 に隣接する半導体領域 123 をも光電変換素子として利用することが可能となる。仮に半導体領域 124 に画素分離部 20 が配されていると画素分離部 20 が半導体領域 123 と半導体領域 121 との間の電荷の移動を妨げてしまう。そのため、半導体領域 123 を光電変換素子として有効に利用することが困難になる。このように画素分離部 20 を設けないことで、光電変換素子を半導体領域 121 から半導体領域 124、さらに半導体領域 123 まで延在させることで、感度を向上することができる。

【0031】

図 1 に示した例では、光電変換素子 30 を図 2 における半導体領域 123、124 に相当する領域まで配置している。これにより、光電変換素子 30 の中心とマイクロレンズの集光位置（典型的にはマイクロレンズの光軸）を一致させるあるいは近づけることが容易になる。マイクロレンズの集光位置とフォトダイオードの中心を近づけるには、マイクロレンズの光軸と分離領域 101 との距離を、マイクロレンズの光軸と分離領域 103 との距離よりも小さくすればよい。そうすれば、第 1 部分 125 と第 2 部分 126 から概ね等しい距離の位置にマイクロレンズで集光することができる。

【0032】

以上説明したように、画素分離部 20 を、半導体領域 124 から離して配置することで、光学的や電氣的な面から光電変換性能を向上することができる。

【0033】

図 3 (a) ~ (d) は、素子分離部 10 と画素分離部 20 の形状および / または位置関係に関する変形例である。図 3 (a) に示すように、素子分離部 10 は裏面 2 側に向かって幅が狭くなるテーパ形状を有していてもよい。また、図 3 (a) に示すように、画素分離部 20 は表面 1 側に向かって幅が狭くなるテーパ形状を有していてもよい。なお素子分離部 10 の周囲にはチャンネルストップとして機能する、光電変換素子 30 の p 型の不純物領域 50 よりも濃い p 型の不純物領域を配置することができる。画素分離部 20 の底部（表面 1 側）はチャンネルストップ用の不純物領域に接するように設けるのが望ましい。これにより画素分離部 20 の底部と同様に暗電流を抑制することができる。

【0034】

図 3 (b) に示す例では、画素分離部 20 は素子分離部 10 の離間した複数の分離領域に跨って配されている。複数の分離領域の間は素子領域である。このように、画素分離部 20 は素子領域に対向する部分を有していてもよい。

【0035】

図 3 (c) に示すように、画素分離部 20 の一部は素子分離部 10 の最下面（裏面 2 側）よりも表面 1 側に位置していてもよい。図 3 (c) では、画素分離部 20 の側面が素子分離部 10 の側面よりも内側に位置していて、画素分離部 20 の表面 1 側の端部は素子分離部 10 に挟まれるようになっている。換言すると、画素分離部 20 が素子分離部 10 に食い込むように設けられているとも云える。このようにすることで画素分離部 20 の底部の周囲で発生するノイズを低減することが可能となる。素子分離部 10 の側面が画素分離部 20 に重なるように配置されていてもよい。

【0036】

図 3 (d) に示すように、画素分離部 20 は裏面 2 側に向かって幅が狭くなるテーパ形状を有していてもよい。また、画素分離部 20 は表面 1 側に露出していてもよい。また

10

20

30

40

50

、図 3 (d) に示すように、素子分離部 1 0 の側面が画素分離部 2 0 の側面よりも内側に位置していて、素子分離部 1 0 が画素分離部 2 0 の表面 1 側の端部に挟まれるようになっていてもよい。

【 0 0 3 7 】

図 3 (e) ~ (g) は不純物領域 4 0、5 0、6 0 の構成に関する変形例である。

【 0 0 3 8 】

図 3 (e) の例では、不純物領域 6 0 は画素トランジスタ 9 0 のウェル 6 1 を含む。ウェル 6 1 を画素トランジスタの中心に対して非対称にしている。具体的には、ウェル 6 1 のうち、素子分離部 1 0 の分離領域 1 0 1 に重なる領域を、素子分離部 1 0 の分離領域 1 0 2 に重なる領域よりも小さくしている。これにより、分離領域 1 0 1 の下に配置する光電変換素子 3 0 の体積を増大して、感度を向上できる。

10

【 0 0 3 9 】

図 3 (f) の例では、ポテンシャル障壁として機能する濃い p 型領域である不純物領域 6 2、6 3 の表面 1 に対する深さを異ならせている。不純物領域 6 2 は図 2 にて説明した、画素分離部 2 0 の周囲の半導体領域 1 2 4 に相当する半導体領域に配されている。不純物領域 6 3 は図 2 にて説明した、半導体領域 1 2 5 に相当する半導体領域に配されている。不純物領域 6 3 は不純物領域 6 2 よりも表面 1 に対して深くまで配されている。不純物領域 6 3 を深く配することで、画素分離部 2 0 と半導体層 1 0 0 との界面で発生するノイズが光電変換素子 3 0 に取り込まれ難くなっている。図 2 で説明した半導体領域 1 2 5 に配された不純物領域 6 3 を表面 1 に対して深く形成することで、画素分離部 2 0 からのノイズの発生を抑制することができる。

20

【 0 0 4 0 】

図 3 (g) の例では、光電変換素子 3 0 の n 型の不純物領域 4 0 を図 2 で説明した半導体領域 1 2 4、さらには半導体領域 1 2 3 にまで延在して設けている。このように、半導体領域 1 2 4、1 2 3 を有効に活用して不純物領域 4 0 の体積を大きくすることで、光電変換素子 3 0 の感度や飽和を向上することができる。

【 0 0 4 1 】

以下、図 4 ~ 7 を用いて、画素のレイアウトの例を示す。なお、以下の例では上述した面内方向 P を互いに交差する (直交する) X 方向と Y 方向に分けて記載する。また、法線方向 P については、X 方向および Y 方向に交差する (直交する) Z 方向として記載する。

30

【 0 0 4 2 】

図 4 を用いて、画素のレイアウトの第 1 例を示す。図 4 の例では、中間面 3 において、画素分離部 2 0 によって複数の半導体領域群に分離されている。画素分離部 2 0 で囲まれた半導体領域群の各々は、画素分離部 2 0 で分離されることなく連続した複数の半導体領域を含む。互いに分離された複数の半導体領域群は第 1 種類の半導体領域群 G s と第 2 種類の半導体領域群 G t に分類される。

【 0 0 4 3 】

第 1 種類の 1 つの半導体領域群 G s の上には 3 つの素子領域が配されている。

【 0 0 4 4 】

半導体領域群 G s の上の 3 つの素子領域のうち、1 つ目の素子領域には光電変換素子であるフォトダイオード P D m およびフローティングディフュージョン F D m が配されている。

40

【 0 0 4 5 】

半導体領域群 G s の上の 3 つの素子領域のうち、2 つ目の素子領域にはリセットトランジスタ R S m が配されている。

【 0 0 4 6 】

半導体領域群 G s の上の 3 つの素子領域のうち、3 つ目の素子領域にはウェルコンタクト W C m が配されている。ここで、m は半導体領域群毎に定められる 1 または 3 の数字であり、図 4 では半導体領域群ごとに P D 1、P D 3、R S 1、R S 3 のように付して示している。なお、フォトダイオード P D 3 が配された素子領域が図 2 で説明した素子領域 1

50

14に対応する。

【0047】

第2種類の1つの半導体領域群G_tの上には3つの素子領域が配されている。半導体領域群G_tの上の3つの素子領域のうち、1つ目の素子領域には光電変換素子であるフォトダイオードPD_nおよびフローティングディフュージョンFD_nが配されている。半導体領域群G_tの上の3つの素子領域のうち、2つ目の素子領域には増幅トランジスタSF_mおよび選択トランジスタSL_mが配されている。半導体領域群G_sの上の3つの素子領域のうち、3つ目の素子領域にはウェルコンタクトWC_nが配されている。ここで、nは半導体領域群毎に定められる2または4の数字であり、図4では、半導体領域群ごとにPD₂、PD₄、SF₂、RS₄のように付して示している。なお、フォトダイオードPD₂が配された素子領域が図2で説明した素子領域112に対応し、フォトダイオードPD₄が配された素子領域が図2で説明した素子領域111に対応する。また、増幅トランジスタSF₂が配された素子領域が図2で説明した素子領域113に対応する。ウェルコンタクトWC_n、WC_mが配された素子領域の下の半導体領域も、図2で説明した素子領域113と同様に、フォトダイオードPD₁が配された素子領域の下の半導体領域と連続している。

10

【0048】

ウェルコンタクトWC_m、WC_nは光電変換素子30の不純物領域40に不純物領域60を介して電位を供給するための導電部材が接続されている。本例のように、半導体領域群G_s、G_t毎にウェルコンタクトWC_n、WC_mを配置することにより半導体領域群G_s、G_tに含まれる半導体領域やその上の素子領域の電位の制御性を高めることができ、安定した画像を得ることができる。

20

【0049】

次に、図5を用いて、画素のレイアウトの第2例を示す。図5の例では、中間面3において、画素分離部20によって複数の半導体領域群に分離されている。画素分離部20で囲まれた半導体領域群の各々は、画素分離部20で分離されることなく連続した複数の半導体領域を含む。半導体領域群G_rの上には4つの素子領域が配されている。

【0050】

半導体領域群G_rの上の4つの素子領域のうち、1つ目の素子領域には光電変換素子であるフォトダイオードPD_Ap、PD_Bp、転送ゲートTX_Ap、TX_BpおよびフローティングディフュージョンFD_Ap、FD_Bpが配されている。フォトダイオードPD_Apの信号電荷は転送ゲートTX_Apを介してフローティングディフュージョンFD_Apに転送される。フォトダイオードPD_Bpの信号電荷は転送ゲートTX_Bpを介してフローティングディフュージョンFD_Bpに転送される。フォトダイオードPD_Ap、PD_Bpにはそれぞれ共通のマイクロレンズが設けられる。つまり、1つのマイクロレンズに対してフォトダイオードPD_Ap、PD_Bpを別々に設けている。フォトダイオードPD_Ap、PD_Bpによって瞳分割された光線を別々に検出し、位相差検出方式による測距あるいは焦点検出が可能となる。また、フォトダイオードPD_ApとフォトダイオードPD_Bpの感度を異ならせて信号を合成することで、ダイナミックレンジの拡大を図ることもできる。本例ではフォトダイオードPD_Bpを画素トランジスタの下にまで延在させることで、フォトダイオードPD_Bpの感度をフォトダイオードPD_Apの感度よりも高めることもできる。

30

40

【0051】

半導体領域群G_rの上の4つの素子領域のうち、2つ目の素子領域には光電変換素子であるフォトダイオードPD_Aq、PD_Bq、転送ゲートTX_Aq、TX_BqおよびフローティングディフュージョンFD_Aq、FD_Bqが配されている。フォトダイオードPD_Aqの信号電荷は転送ゲートTX_Aqを介してフローティングディフュージョンFD_Aqに転送される。フォトダイオードPD_Bqの信号電荷は転送ゲートTX_Bqを介してフローティングディフュージョンFD_Bqに転送される。フォトダイオードPD_Ap、PD_Bpにはそれぞれ共通のマイクロレンズが設けられる。1つのマイクロレンズに対してフォト

50

ダイオード $PDAq$ 、 $PDBq$ を別々に設けている。フォトダイオード $PDAp$ 、 $PDBp$ によって瞳分割された光線を別々に検出し、位相差検出方式による測距あるいは焦点検出が可能となる。また、フォトダイオード $PDAq$ とフォトダイオード $PDBq$ の感度を異ならせて信号を合成することで、ダイナミックレンジの拡大を図ることもできる。本例ではフォトダイオード $PDBq$ を画素トランジスタの下にまで延在させることで、フォトダイオード $PDBq$ の感度をフォトダイオード $PDAq$ の感度よりも高めることもできる。

【0052】

ここで、 p は半導体領域群 Gr 毎に定められる 1、3、5 および 7 から選ばれた数字である。図 4 では半導体領域 Gr 群ごとに $PDA1$ 、 $PDB3$ 、 $FDA1$ 、 $FDB3$ のように付して示している。なお、フォトダイオード $PDA3$ 、 $PDB3$ が配された素子領域が図 2 で説明した素子領域 114 に対応する。

10

【0053】

ここで、 q は半導体領域群 Gr 毎に定められる 2、4、6 および 8 から選ばれた数字である。図 4 では半導体領域群 Gr ごとに $PDA2$ 、 $PDB4$ 、 $FDA2$ 、 $FDB4$ のように付して示している。なお、フォトダイオード $PDA2$ 、 $PDB2$ が配された素子領域が図 2 で説明した素子領域 111 に対応する。また、フォトダイオード $PDA6$ 、 $PDB6$ が配された素子領域が図 2 で説明した素子領域 112 に対応する。

【0054】

半導体領域群 Gr の上の 4 つの素子領域のうち、3 つ目の素子領域にはリセットトランジスタ RSm 、増幅トランジスタ SFm 、選択トランジスタ SLm が配されている。半導体領域群 Gr の上の 4 つの素子領域のうち、4 つ目の素子領域にはウェルコンタクト WCm が配されている。

20

【0055】

ここで、 m は半導体領域群 Gr 毎に定められる 1、2、3、4 から選ばれた数字である。図 4 では半導体領域 Gr 群ごとに $RS1$ 、 $RS3$ 、 $WC2$ 、 $WC4$ のように付して示している。ここで、 $p = 2 \times m - 1$ および $q = 2 \times m$ の関係になっている。なお、選択トランジスタ $SL1$ が配された素子領域が図 2 で説明した素子領域 113 に対応する。

【0056】

本例でも第 1 例と同様に、半導体領域群 Gr 毎にウェルコンタクト WCn 、 WCm を配置することにより半導体領域群 Gr に含まれる半導体領域その上の素子領域の電位の制御性を高めることができ、安定した画像を得ることができる。

30

【0057】

また、本例では、1 つ目の素子領域に配されたフォトダイオード $PDAp$ 、 $PDBp$ と、2 つ目の素子領域に配されたフォトダイオード $PDAq$ 、 $PDBq$ とが 3 つ目の素子領域に配されたトランジスタ RSm 、 SFm 、 SLm を共有している。このようにトランジスタを共有するフォトダイオードが配された素子領域の下の半導体領域を、画素分離部 20 で分離せずに 1 つの半導体領域群に含めている。このようにすることで、1 つ目の素子領域に配されたフォトダイオード $PDAp$ 、 $PDBp$ と、2 つ目の素子領域に配されたフォトダイオード $PDAq$ 、 $PDBq$ と、の信号の差を低減できる。

40

【0058】

また、隣接する複数のフォトダイオードを画素分離部 20 が囲むように配置されている。また、各画素を区画する領域の交差部には画素トランジスタが設けられている。そのような交差部に画素分離部 20 を設けていない。そして、リセットトランジスタ RS 、増幅トランジスタ SF 、選択トランジスタ SL 、あるいはウェルコンタクト WC を互いに共有するフォトダイオードを画素分離部 20 が囲んでいる。本例によれば、混色を抑制するとともに、画素分離部 20 によるトランジスタへの影響を低減することが可能となる。

【0059】

次に、図 6 を用いて、画素のレイアウトの第 3 例を示す。図 6 の例では、中間面 3 の X 方向において画素分離部 20 の第 1 部分 201 と第 2 部分 202 によって複数の半導体領

50

域群に分離されている。X方向において画素分離部20に挟まれた半導体領域群の各々は、X方向において画素分離部20で分離されことなく連続した複数の半導体領域を含む。この点については第2例と同様である。なお、画素分離部20の同一の部分であっても、注目する光電変換素子に対する位置関係により図2で説明した第1部分201となるか第2部分202となるかは変わるので、図2では画素分離部20のある部分を部分201/202として示している。

【0060】

一方、本例では、X方向において画素分離部20で挟まれた半導体領域群の各々は、Y方向において画素分離部20の第3部分203で分離されている。このようにすることでY方向における画素間での分離性能を高めることができる。ただし、第3部分203は第1部分201や第2部分202からは不連続である。そのため、X方向において画素分離部20に挟まれた半導体領域群の各々は、Y方向において半導体領域群間で連続した半導体領域を含む。

10

【0061】

半導体領域群の1つ目の半導体領域の上の素子領域にはフォトダイオードPDAp、PDBpが配されている。別の半導体領域群の1つ目の半導体領域の上の素子領域にはフォトダイオードPDAq、PDBqが配されている。トランジスタRSm、SFm、SLmはフォトダイオードPDAp、PDBpとフォトダイオードPDAq、PDBqとで共有されている。

【0062】

20

そして、トランジスタRSm、SFm、SLmの下半導体領域は画素分離部20で分離されずに、半導体領域群間で半導体領域が連続している。他にも半導体領域群の交差部など、画素分離部20で分離されずに、半導体領域群間で半導体領域が連続している部分を設けている。これは、画素分離部20のうち、隣接するフォトダイオードの間に配置された第3部分203が、第1部分201および第2部分202とは不連続になっているためである。

【0063】

半導体領域群の間において、画素分離部20が設けられていない部分を設けることで、1つのウェルコタクトによる電位供給の範囲が広がる。つまり、画素分離部20を不連続にすることにより隣接する画素のウェルを連通することでウェルの電位を揃えることができる。また、第1例や第2例に比べてウェルコンタクトの数を減らすことができる。その結果、ウェルコンタクトに起因するノイズの発生を抑制できる。

30

【0064】

図7を用いて、画素のレイアウトの第4例を示す。図6の例では、素子分離部10はフォトダイオードのその周囲に設けられているトランジスタとの間に配されている。一方、隣接するフォトダイオード間には設けられていない。図示はしないが隣接するフォトダイオード間にはpn接合分離による拡散分離部が成されている。このために拡散分離部を挟んで配列されたフォトダイオードに沿って延在する素子分離部10に対応して画素分離部20が形成されている。

【0065】

40

本例によれば、画素領域において列、あるいは行方向の混色を抑制するとともに、画素分離部20によるフォトダイオードへの影響を低減することが可能となる。

【0066】

次に図8を用いて、本実施例に係る固体撮像装置の製造方法を説明する。

【0067】

まず図8(a)に示す工程aでは、半導体基板SUBの表面F側に素子分離部10用の溝11が形成される。溝11の周囲にはイオン注入によりチャネルストップ層(不図示)が形成される。

【0068】

次に、図8(b)に示す工程bでは、溝11に素子分離部10のための絶縁体12を埋

50

める。絶縁体 12 は酸化シリコンが好適である。溝 11 の外の余分な絶縁体は CMP 法等により除去される。これにより、STI (Shallow Trench Isolation) 構造を有する、素子分離部 10 が形成される。

【0069】

次に、図 8 (c) に示す工程 c では、半導体基板 SUB の表面 F 上にゲート絶縁膜 (不図示) 及びゲート電極 80 が積層されて画素トランジスタが形成 (不図示) される。さらに、半導体基板 SUB の表面 F 側から行われるイオン注入によって光電変換素子 30 や画素トランジスタのソース・ドレイン領域を形成する。

【0070】

次に、図 8 (d) に示す工程 d では、ゲート電極 80 を覆う絶縁層が積層された後に、絶縁層にコンタクトホールが形成される。さらにコンタクトホールが形成された絶縁層上に配線層および層間絶縁層を積層することで多層配線構造が形成される。本例では 3 層の配線層 310、320、330 を形成している。配線構造には、例えば銅配線やアルミニウム配線を用いることが可能である。

【0071】

次に、図 8 (e) に示す工程 e では、絶縁膜 300 の上方から支持基板 400 が貼り合わされる。貼り合わせは接着剤による接合でも良いし、その他公知の方法を適宜用いることができる。ただし配線構造などに影響を与えないように 400 以下のプロセスで処理するのが好ましい。

【0072】

次に、図 8 (f) に示す工程 f では、半導体基板 SUB が所望の厚さになるまで、半導体基板 SUB の裏面 B1 側から薄化处理が施される。この半導体基板 SUB の薄化は裏面 B1 に代わって新たな裏面 B2 が現れる。裏面 B2 には光電変換素子 30 が臨むように行われてもよい。例えば、化学機械研磨法 (CMP) や、ドライエッチング、ウェットエッチングなどを用いることができる。またこれら手法を組合せることも可能である。例えば薄化された半導体基板 SUB の膜厚は 1 ~ 10 μm の範囲とし、またフォトダイオードの受光感度の向上、あるいは半導体基板の機械的な強度の観点から、2 ~ 5 μm の範囲とすることが好ましい。

【0073】

次に図 8 (g) に示す工程 g では、半導体基板の表面 F 側に形成された素子分離部 10 に対向する位置において、半導体基板の裏面 B2 側から画素分離部 20 の溝 21 が形成される。このとき画素分離部 20 の溝 21 の裏面 B2 に対する深さは、画素分離部 20 の底部が素子分離部 10 に達する深さとするのがよい。例えば薄化处理された半導体基板 SUB の厚さが約 2 μm の場合に素子分離部 10 の深さが約 0.3 μm とすると、対向して配置される溝 21 の深さが約 1.7 μm となるように形成される。このような画素分離部 20 は以下の手順で形成される。なお画素分離部 20 の底部の幅は、素子分離部 10 の底部の幅に対して相対的に狭くすると良い。これによりアライメントズレが生じた場合においても、画素分離部 20 の底部を素子分離部 10 の底部に接することが容易になる。

【0074】

画素分離部 20 の溝 21 は光電変換素子 30 に隣接する素子分離部 10 の一部の分離領域 101 の下には設けない。これにより、上述した光電変換性能の向上が可能となる。

【0075】

画素分離部 20 の形成方法について、より詳細に説明する。まず画素分離部 20 の溝 21 を半導体基板 SUB に形成するため、例えば異方性のドライエッチング法を用いることで、所望の幅を有する溝 21 を形成する。なお画素分離部 20 の溝 21 をドライエッチングにより加工する際には、半導体基板 SUB のエッチングの終端検出として素子分離部 10 を利用しても良い。あるいは半導体基板 SUB の膜厚に応じてエッチング時間を指定してエッチングしても良い。また素子分離膜 10 の底部の一部をエッチングするようにしても良い。

【0076】

次に、次に図 8 (g) に示す工程 g では、溝 2 1 の中に固体 2 2 を形成する。まず、半導体層 1 0 0 の裏面 2 で発生する暗電流を抑制するための固定電荷膜 (不図示) を形成する。このために半導体基板 S U B の裏面 B 2 の形状に沿って固定電荷膜 (不図示) が形成される。この固定電荷膜は、少なくとも半導体基板 S U B の裏面 B 2 上に形成され、さらに画素分離部 2 0 の溝 2 1 の側壁や底面を被覆するように形成しても良い。このように画素分離部 2 0 の側壁や底面を固定電荷膜で被覆することで、例えば溝 2 1 の表面で発生する暗電流も抑制することが可能となる。なお固定電荷膜としては、たとえば原子層堆積法 (A L D) により酸化ハフニウム膜を用いることができる。

【 0 0 7 7 】

次に、半導体基板 S U B の画素分離部 2 0 の内部に誘電体、金属材料、その他の遮光性を備えた材料、あるいはそれらを組み合わせた材料からなる固体 2 2 を形成する。例えば、酸化シリコン膜や酸化チタン膜などの半導体基板 S U B を成すシリコンよりも低い屈折率を有する材料を固定電荷膜上に形成する。続いて化学気相成長法 (C V D) や原子層堆積法 (A L D) を用いて導電材料を埋設させて画素分離部 2 0 を形成することができる。あるいは原子層堆積法 (A L D) を用いて酸化シリコン膜を固定電荷膜上に形成した後に、HDP (H i g h D e n s i t y P l a s m a) C V D 法を用いて酸化シリコン膜を堆積する。このように 2 層構造の絶縁膜で埋設させて画素分離部 2 0 を形成しても良い。特に 4 0 0 以下の低温で形成できる材料が好ましく、例えば P 型不純物をドーブしたアモルファスシリコン、銅、タングステンなどを化学気相成長法 (C V D) や原子層堆積法 (A L D) などで形成するのが望ましい。なお、上述した固定電荷膜を固体 2 2 として用いてもよい。

【 0 0 7 8 】

なお上記で画素分離部 2 0 の内部に固体 2 2 を埋設する事例について説明しているが、溝 2 1 内の構成はこれらに限定されるものではなく、混色を抑制可能な構造であれば良く、公知の構成及び製法を適用することが可能である。また例えば画素分離部 2 0 は溝 2 1 の一部または全部が空洞であっても構わない。

【 0 0 7 9 】

なお本例では、画素分離部 2 0 を半導体基板の裏面 B 2 側から形成する場合について説明したが、画素分離部 2 0 の形成方法はここで説明する方法に限定されるものではない。例えば、工程 a、b で説明した素子分離部 1 0 を形成する前に、半導体基板 S U B の表面 F 側から溝 2 1 を形成しても良い。

【 0 0 8 0 】

この後は図 1 (a) に示す構造を形成する。半導体基板 S U B の裏面 B 2 側に誘電体膜 4 1 0 が形成され、誘電体膜 4 1 0 上の画素間に遮光部材 4 2 0 がパターンニングされる。遮光部材 4 2 0 はスパッタ法や化学気相成長法 (C V D) により成膜された後、画素間を含む遮光構造を必要とする部分以外を除去するように加工が行われることにより形成される。遮光部材 4 2 0 の材料としては、例えば、チタンとタングステンの積層膜、あるいは窒化チタンとタングステンの積層膜などを用いることができる。

【 0 0 8 1 】

次に平坦化膜 (不図示) を形成し、平坦化膜上に各画素に対応して例えば赤、緑、青のカラーフィルタアレイ 4 1 0 を形成し、その上にマイクロレンズアレイ 4 4 0 を形成する。各カラーフィルタ及びマイクロレンズは、画素アレイの各単位画素に対応して形成される。以上により、光電変換装置を完成させる。半導体基板 S U B は上述した半導体層 1 0 0 として用いられる。

【 0 0 8 2 】

上述した例によれば、また画素分離部 2 0 を素子分離部 1 0 にまで深さ方向に伸ばすことで、隣接する画素間での混色を効果的に抑制することが可能である。画素分離部 2 0 を光電変換素子だけでなく、トランジスタ等が設けられた素子領域の下の半導体領域をも囲むように配置することができる。これにより、光電変換素子によって光電変換を行う範囲を広くすることが可能となる。

10

20

30

40

50

【 0 0 8 3 】

以上説明した光電変換装置はカメラの撮像装置（イメージセンサ）に適用できる。カメラは撮像装置以外に、撮像装置から得られた信号を処理する信号処理装置、撮像装置から得られた信号を記憶する記憶装置、および、撮像装置で得られた情報を表示する表示装置の少なくとも１つを備えることができる。ここでいうカメラとはスチルカメラやビデオカメラ、監視カメラ等のカメラ専用機器以外に、撮影機能を有する情報端末や撮影機能を有する移動体（車両や飛行体）も包含する。

【 0 0 8 4 】

また、本明細書に明確な記載がなくとも、添付の図面や技術常識から把握できる事項も本開示の一部を構成する。本発明は、本開示の技術思想の範囲を逸脱しない限り、適宜な

10

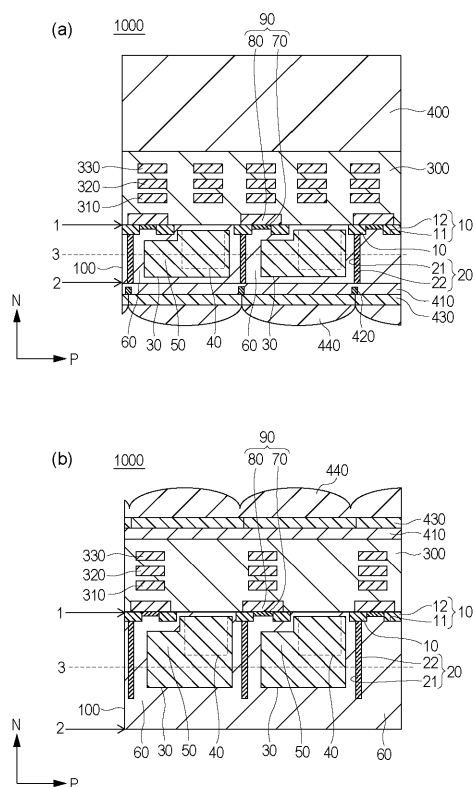
【符号の説明】

【 0 0 8 5 】

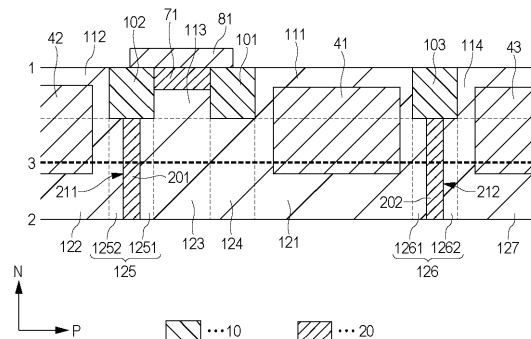
- 1 表面
- 2 裏面
- 3 中間面
- 1 0 0 半導体層
- 1 0 素子分離部
- 1 2 絶縁体
- 2 0 画素分離部
- 2 1 溝
- 1 1 1、1 1 2、1 1 3 素子領域
- 1 0 1、1 0 2、1 0 3 分離領域
- 1 2 1、1 2 2、1 2 3、1 2 4 半導体領域

20

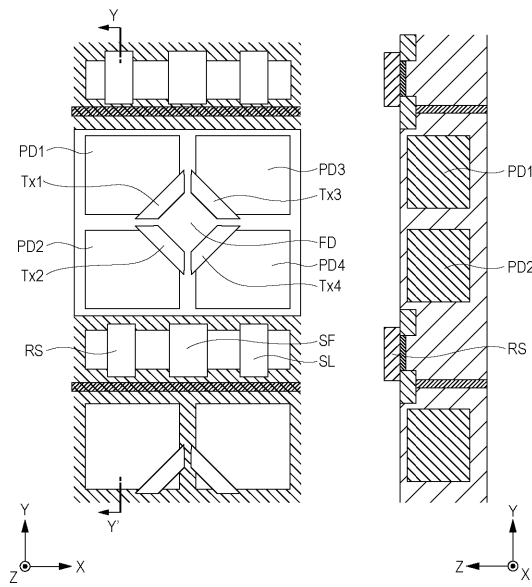
【 図 1 】



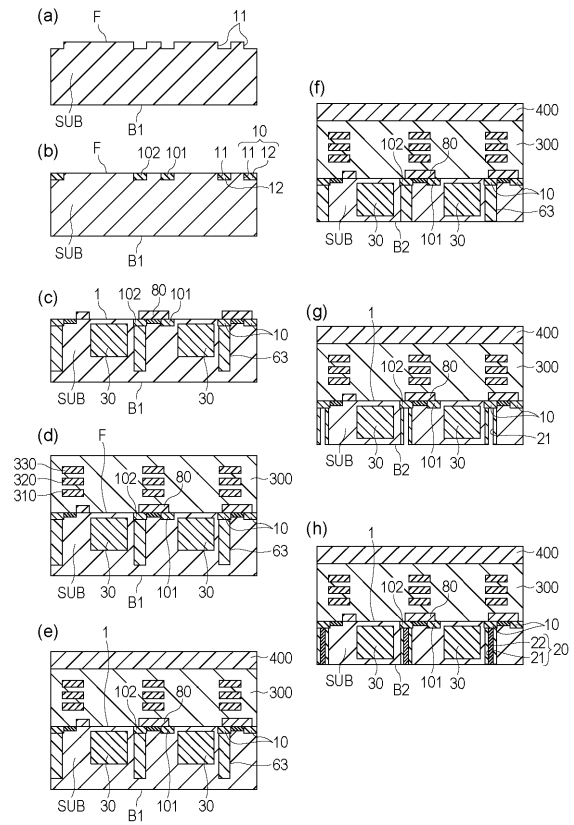
【 図 2 】



【図 7】



【図 8】



フロントページの続き

- (56)参考文献 特開2013-041915(JP,A)
米国特許出願公開第2011/0180689(US,A1)
米国特許出願公開第2014/0008705(US,A1)
特開2013-175494(JP,A)
特開2014-204047(JP,A)
特開2014-086514(JP,A)
特開2010-239117(JP,A)
特開2015-126114(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 27/146
H04N 5/369
H04N 5/374