

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6789653号
(P6789653)

(45) 発行日 令和2年11月25日(2020.11.25)

(24) 登録日 令和2年11月6日(2020.11.6)

(51) Int.Cl.

F 1

H01L 27/146 (2006.01)

H01L 27/146

A

H04N 5/369 (2011.01)

H04N 5/369

H04N 5/374 (2011.01)

H04N 5/374

請求項の数 12 (全 18 頁)

(21) 出願番号

特願2016-72989 (P2016-72989)

(22) 出願日

平成28年3月31日(2016.3.31)

(65) 公開番号

特開2017-183661 (P2017-183661A)

(43) 公開日

平成29年10月5日(2017.10.5)

審査請求日

平成31年3月23日(2019.3.23)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100126240

弁理士 阿部 琢磨

(74) 代理人 100124442

弁理士 黒岩 創吾

(72) 発明者 浮ヶ谷 信貴

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 桑原 英司

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 田邊 順人

最終頁に続く

(54) 【発明の名称】光電変換装置およびカメラ

(57) 【特許請求の範囲】

【請求項 1】

第1面と前記第1面とは反対の第2面とを有する半導体層を有する光電変換装置であつて、

前記半導体層は、

少なくとも4つの光電変換素子が配された第1領域と、

前記第2面に沿って設けられ、且つ前記第1面よりも前記第2面の近くに位置する仮想面をとったときに、

前記半導体層内に設けられ、且つ仮想面を通る溝によって構成された第1分離部と、

前記半導体層内に設けられ、且つ前記仮想面を通る溝によって構成された第2分離部と

、
前記半導体層内に設けられ、第1絶縁体を含み、前記第1面側に配された第3分離部と

、
前記第1面上に配されたゲート電極を有し、前記少なくとも4つの光電変換素子からの信号を読み出すための第1トランジスタと、を有し、

前記第1面における平面視において、前記第1分離部と、前記第1領域と、前記第3分離部と、前記第1トランジスタと、前記第2分離部とがこの順に設けられ、

前記仮想面の前記第1分離部の前記溝と前記第2分離部の溝との間の部分において、前記第1分離部と、前記第1領域と、前記第3分離部と、前記第1トランジスタと、前記第2分離部がこの順に配された方向に沿って、前記半導体層は連続した半導体領域を有する

ことを特徴とする光電変換装置。

【請求項 2】

前記少なくとも 4 つの光電変換素子は第 1 素子領域に配され、前記第 1 ドラインは第 2 素子領域に配され、

前記第 1 素子領域と前記第 2 素子領域は、前記第 3 分離部によって画定されていることを特徴とする請求項1に記載の光電変換装置。

【請求項 3】

前記半導体層は、更に別の光電変換素子と、第 2 絶縁体を含み前記第 1 面側に配された第 4 分離部と、を有し、

前記第 1 分離部と、前記第 1 領域と、前記第 3 分離部と、前記第 1 ドラインと、前記第 2 分離部と、前記別の光電変換素子とがこの順に配され、

前記第 1 面に対する平面視において、前記第 2 分離部は前記第 4 分離部に重畳することを特徴とする請求項1 または 2に記載の光電変換装置。

【請求項 4】

前記半導体層は、更に第 2 ドラインと、絶縁体を含み前記第 1 面側に配された第 5 分離部と、を有し、

前記第 2 ドラインと、前記第 1 分離部と、前記第 1 領域と、前記第 3 分離部と、前記第 1 ドラインと、前記第 2 分離部と、前記別の光電変換素子とがこの順に配され、前記第 1 面に対する平面視において、前記第 2 分離部は前記第 4 分離部に重畳し、前記第 1 分離部は前記第 5 分離部に重畳することを特徴とする請求項3に記載の光電変換装置。

【請求項 5】

前記少なくとも 4 つの光電変換素子のそれぞれは、信号電荷が多数キャリアである第 1 導電型の不純物領域を有し、

前記半導体層は、信号電荷が少数キャリアである第 2 導電型の第 2 不純物領域を有し、前記第 2 不純物領域は、2 つの前記第 1 導電型の半導体領域の間に設けかれていることを特徴とする請求項1 乃至 4のいずれか 1 項に記載の光電変換装置。

【請求項 6】

前記少なくとも 4 つの光電変換素子は、第 1 光電変換素子と、第 2 光電変換素子と、第 3 光電変換素子と、第 4 光電変換素子と、を含み、

前記第 1 面に対する平面視において、前記第 1 光電変換素子と前記第 4 光電変換素子は第 1 方向に沿って配され、前記第 2 光電変換素子と前記第 3 光電変換素子は、前記第 1 方向と交わる第 2 方向に沿って配されていることを特徴とする請求項1 乃至 5のいずれか 1 項に記載の光電変換装置。

【請求項 7】

前記半導体層は、前記少なくとも 4 つの光電変換素子にて生じた電荷が転送されるフローティングディフュージョン領域と、前記第 1 光電変換素子と前記フローティングディフュージョン領域との間の導通を制御する第 1 転送ドラインと、前記第 2 光電変換素子と前記フローティングディフュージョン領域との間の導通を制御する第 2 転送ドラインと、前記第 3 光電変換素子と前記フローティングディフュージョン領域との間の導通を制御する第 3 転送ドラインと、前記第 4 光電変換素子と前記フローティングディフュージョン領域との間の導通を制御する第 4 転送ドラインと、を有し、

前記第 1 面に対する平面視において、前記フローティングディフュージョン領域は、前記第 1 光電変換素子と前記第 4 光電変換素子との間に位置し、前記第 2 光電変換素子と前記第 3 光電変換素子との間に位置することを特徴とする請求項6に記載の光電変換装置。

【請求項 8】

前記半導体層は、前記第 1 面の上に配されたゲート電極を有し、前記少なくとも 4 つの光電変換素子からの信号を読み出すための第 1 ドラインを有し、

前記第 1 面に対する平面視において、前記第 1 ドラインのソースとドレインを結ぶ第 1 仮想線は、前記第 2 光電変換素子と前記第 4 光電変換素子とを結ぶ第 2 仮想線と平行になることを特徴とする請求項7に記載の光電変換装置。

10

20

30

40

50

【請求項 9】

前記第1分離部は、前記第1仮想線と平行な方向に延在することを特徴とする請求項8に記載の光電変換装置。

【請求項 10】

前記第1分離部の前記溝には、固定電荷膜が配されていることを特徴とする請求項1乃至9のいずれか1項に記載の光電変換装置。

【請求項 11】

前記第1分離部の前記溝は少なくとも一部が空洞であることを特徴とする請求項1乃至10のいずれか1項に記載の光電変換装置。

【請求項 12】

請求項1乃至11のいずれか1項に記載の光電変換装置と、

前記光電変換装置から得られた信号を処理する信号処理装置、前記光電変換装置から得られた信号を記憶する記憶装置、および、前記光電変換装置で得られた情報を表示する表示装置の少なくともいずれかを備えるカメラ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、光電変換装置に関する。

【背景技術】**【0002】**

カメラに用いられるCMOSイメージセンサーなどの光電変換装置において半導体層に溝を設けることが検討されている。溝によって構成された分離部が光や電荷に対する隔壁として作用することで、感度が向上したり、混色が抑制されたりして、光電変換の性能を向上することができる。

【0003】

特許文献1には、空間および絶縁体で構成された素子分離が開示されている。空間および絶縁体は溝の中に配されている。

【先行技術文献】**【特許文献】****【0004】**

【特許文献1】特開2014-204047号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

特許文献1の溝について検討したところ、溝の配置によっては光電変換部の感度が低下してしまう場合があることが分かった。

【0006】

本発明は、光電変換の性能を向上した光電変換装置を提供することを目的とする。

【課題を解決するための手段】**【0007】**

上記課題を解決するための手段は、第1面と、前記第1面とは反対側の第2面とを有する半導体層と、前記第1面の側に配され、絶縁体によって構成された第1分離部と、前記第1分離部よりも前記第2面の側に位置する前記第2面に沿った平面を通って配され、前記半導体層に設けられた溝によって構成された第2分離部と、を備える光電変換装置であつて、前記半導体層は、前記第1分離部によって画定された素子領域として、第1光電変換素子が設けられた第1素子領域と、第2光電変換素子が設けられた第2素子領域と、前記第1素子領域と前記第2素子領域との間に配され、前記第1素子領域および前記第2素子領域とは異なる形状を有する第3素子領域と、を含み、前記第1分離部は、前記第1素子領域と前記第3素子領域との間に位置する第1分離領域と、前記第2素子領域と前記第3素子領域との間に位置する第2分離領域と、を含み、前記半導体層は、前記第1面に対

10

20

30

40

50

する法線方向において前記第1素子領域と前記第2面との間に位置する第1半導体領域と、前記法線方向において前記第2素子領域と前記第2面との間に位置する第2半導体領域と、前記法線方向において前記第3素子領域と前記第2面との間に位置する第3半導体領域と、前記法線方向において前記第1分離領域と前記第2面との間に位置する第4半導体領域と、を含み、前記第2分離部は、前記法線方向において前記第2分離領域に重なる部分を有し、前記平面では、前記第1半導体領域と前記第3半導体領域が前記第4半導体領域を介して連続しており、かつ、前記部分が前記第2半導体領域と前記第3半導体領域との間に位置することを特徴とする。

【発明の効果】

【0008】

10

本発明によれば、光電変換の性能を向上した光電変換装置を提供することができる。

【図面の簡単な説明】

【0009】

【図1】光電変換装置を説明するための模式図。

【図2】光電変換装置を説明するための模式図。

【図3】光電変換装置を説明するための模式図。

【図4】光電変換装置を説明するための模式図。

【図5】光電変換装置を説明するための模式図。

【図6】光電変換装置を説明するための模式図。

【図7】光電変換装置を説明するための模式図。

20

【図8】光電変換装置の製造方法を説明するための模式図。

【発明を実施するための形態】

【0010】

以下、図面を参照して、本発明を実施するための形態を説明する。なお、以下の説明および図面において、複数の図面に渡って共通の構成については共通の符号を付している。そのため、複数の図面を相互に参照して共通する構成を説明し、共通の符号を付した構成については適宜説明を省略する。

【0011】

図1(a)は光電変換装置の一例として、裏面照射型の撮像装置の実施形態を示す断面図である。図1(b)は光電変換装置の一例として、表面照射型の撮像装置の実施形態を示す断面図である。まず、裏面照射型と裏面照射型に共通の事項を説明する。

30

【0012】

光電変換装置1000は表面1と、表面1とは反対側の裏面2とを有する半導体層100を備える。半導体層100は例えば単結晶シリコン層であるが、光電変換が可能な半導体層であれば単結晶シリコン層に限らない。また、光電変換装置1000は、表面1の側に配され、半導体層100の溝11と溝11の中の絶縁体12によって構成された素子分離部10を備える。素子分離部10はSTI構造あるいはLOCOS構造を有し得る。素子分離部10を構成する絶縁体12は例えば酸化シリコンからなる。また、光電変換装置1000は、半導体層100に設けられた溝21によって構成された画素分離部20を備える。画素分離部20は、中間面3を通って配されている。中間面3は素子分離部10よりも裏面2の側に位置し、表面1および/または裏面2に沿った仮想的な平面である。中間面3は裏面2に平行でありうる。中間面3に垂直な方向を法線方向Nと称し、中間面3に平行な方向を面内方向Pと称する。法線方向Nにおいては、画素分離部20は中間面3に対して表面1側と裏面2側に両方に渡って延在している。中間面3の面内においては、画素分離部20を挟んで半導体層100が不連続になっている。画素分離部20の溝21の中には、固体22が存在していてもよいし、真空の空間あるいは気体が存在していてもよいし、気体と固体22の両方が配置されていてもよい。溝21の中に存在する固体22としては、絶縁体、導電体、半導体のいずれでもよい。溝21の中に存在する固体22としての絶縁体は酸化シリコンが典型的であるが、窒化シリコン、酸窒化シリコン、酸化タンタル、酸化ハフニウム、酸化チタンなどを用いることもできる。溝21の中に存在する

40

50

固体 2 2 としての導電体は金属やポリシリコンが典型的であるが、アルミニウム、銅、タンゲステン、チタン、窒化チタン、タンタル、窒化タンタル、金属シリサイド等を用いることもできる。溝 2 1 の中に存在する固体 2 2 としての半導体は単結晶シリコンが典型的であるが、アモルファスシリコンであってもよい。溝 2 1 の中に存在する固体 2 2 としての半導体の導電型は、後述する光電変換素子で蓄積される信号電荷とは反対の導電型であることが好ましい。

【 0 0 1 3 】

半導体層 1 0 0 の表面 1 と裏面 2 との間には光電変換素子 3 0 が設けられている。光電変換素子 3 0 はフォトダイオードである。フォトダイオードとしての光電変換素子 3 0 は信号電荷（電子）を蓄積するための蓄積領域として機能する n 型の不純物領域 4 0 と、不純物領域 4 0 と p n 接合を成す p 型の不純物領域 5 0 とを含む。p 型の不純物領域 5 0 で光電変換により発生した電子は不純物領域 4 0 に蓄積される。中間面 3 内には不純物領域 4 0 が位置していることが好ましい。中間面 3 と裏面 2 との間には不純物領域 5 0 が位置している。ここでは電子蓄積型のフォトダイオードを例示したが、正孔蓄積型のフォトダイオードを採用することもできる。その場合には、不純物領域の導電型を電子蓄積型の場合の逆にすればよい。信号電荷が多数キャリアである導電型を第 1 導電型、信号電荷が少数キャリアである導電型を第 2 導電型とする。信号電荷が電子であれば、電子が多数キャリアである n 型が第 1 導電型である。なお、半導体層 1 0 0 内において光電変換素子 3 0 としてみなされる部分は、信号電荷として読み出される電荷を光電変換によって生じる部分である。厳密には、光電変換素子 3 0 としてみなされる部分は、半導体層 1 0 0 内の不純物濃度分布と印加される電圧に基づくポテンシャルプロファイルによって定まる。

【 0 0 1 4 】

半導体層 1 0 0 の表面 1 側には画素トランジスタ 9 0 が設けられている。図 1 では画素トランジスタ 9 0 のチャネル領域 7 0 とゲート電極 8 0 を記載している。画素トランジスタ 9 0 には、転送トランジスタや増幅トランジスタ、リセットトランジスタや選択トランジスタが含まれる。転送トランジスタは光電変換素子 3 0 の信号電荷を電荷検出領域に転送する。電荷検出領域は浮遊拡散領域（フローティングディフュージョン）で構成される。増幅トランジスタは電荷に基づく信号をソースフォロワ回路によって生成するもので、電荷検出領域に接続されたゲートを有する。リセットトランジスタは電荷検出領域に接続されたドレインを有し、光電変換素子 3 0 の電荷をリセットする。選択トランジスタは増幅トランジスタと出力線との接続 / 非接続を選択する。

【 0 0 1 5 】

半導体層 1 0 0 のうち、光電変換素子 3 0 の外側は p 型の不純物領域 6 0 で構成される。この p 型の不純物領域 6 0 は、同じく p 型の不純物領域 5 0 に比べて不純物濃度が高くなっている。不純物領域 6 0 の一部は、画素間の電荷の混合を抑制するポテンシャル障壁として機能し得る。また、不純物領域 6 0 の一部は、半導体層 1 0 0 と絶縁体との界面で生じたノイズ電荷が光電変換素子 3 0 に取り込まれることを抑制するポテンシャル障壁として機能し得る。また、不純物領域 6 0 は接地電位などの固定電位を供給する導電部材が接続された、濃い p 型のウェルコンタクトを含む。ウェルコンタクトから、不純物領域 6 0 を介して、光電変換素子 3 0 の不純物領域 4 0 に電位が供給される。

【 0 0 1 6 】

画素分離部 2 0 は光電変換素子 3 0 の周囲に配置される。画素分離部 2 0 は隣接する画素間での混色を抑制することが可能な構成を有する。光電変換素子 3 0 の周囲に配置された画素分離部 2 0 で囲まれた半導体領域上には、不純物領域 4 0 以外に、素子分離部 1 0 にて分離して配置される画素トランジスタが含まれるようにする。すなわち、中間面 3 内において隣接して向かい合う画素分離部 2 0 の間には光電変換素子 3 0 だけでなく、素子分離部 1 0 の下の半導体領域が含まれている。また、中間面 3 内において隣接して向かい合う画素分離部 2 0 の間には素子分離部 1 0 によって光電変換素子 3 0 から分離された画素トランジスタ 9 0 の下の半導体領域も含まれている。図 1 の例では、これら素子分離部 1 0 や画素トランジスタ 9 0 の下の半導体領域にまで光電変換素子 3 0 が配されている。

10

20

30

40

50

【0017】

表面1側には複数の配線層310、320、330とそれらの周囲の複数の層間絶縁層からなる絶縁膜300が設けられている。なお、配線層で構成された出力線は光電変換素子30で生成された信号電荷を画素トランジスタ90を介して電気信号として後段に出力するように設けられている。

【0018】

図1(a)に示した裏面照射型の撮像装置では、裏面2側に誘電体膜410、遮光部材420、カラーフィルタアレイ430、マイクロレンズアレイ440が設けられている。誘電体膜410は保護膜(パッシベーション膜)、平坦化膜および/または反射防止膜として機能する。表面1側であって絶縁膜300の上には支持基板400が設けられている。
10 支持基板400には信号処理回路等の集積回路を設けることもできる。半導体層100の厚さは1~10μm程度である。支持基板の厚さは50~800μm程度である。

【0019】

図1(b)に示した表面照射型の撮像装置では、表面1側であって絶縁膜200の上に、誘電体膜410、カラーフィルタアレイ430、マイクロレンズアレイ440が設けられている。誘電体膜410は保護膜(パッシベーション膜)、平坦化膜および/または反射防止膜として機能する。半導体層100の厚さは50~800μm程度である。

【0020】

カラーフィルタアレイ430は特定の波長の光のみを選択的に透過させるように設けられる。たとえば赤、緑、青の波長を透過するカラーフィルターを配列させても良い。また、白色光を透過させる画素を混在させても良い。なお各画素に対応して配置されたマイクロレンズアレイ440の各マイクロレンズは、入射光を光電変換素子30に集光させるよう設けられている。
20

【0021】

次に、図2を用いて、半導体層100およびその近傍の構造について詳細に説明する。

【0022】

半導体層100は、素子分離部10によって画定された素子領域を有する。素子領域は素子分離部10に対する位置によって区分される。素子領域の深さ方向の下端は素子分離部10の底面の深さに一致する。図2には半導体層100に含まれる素子領域として素子領域111、112、113、114を示している。素子領域111には光電変換素子41が設けられており、素子領域112には光電変換素子42が設けられている。素子領域113は、素子領域111と素子領域112との間に配されており、素子領域113にはトランジスタや容量素子、抵抗素子などの半導体素子が設けられている。素子領域113の形状は素子領域111や素子領域112の形状とは異なっている。素子領域113には光電変換素子30以外のトランジスタなどの半導体素子が設けられるからである。典型的には、素子領域113の面積は素子領域111や素子領域112の面積よりも小さくなっている。
30

【0023】

本例では上述した素子領域113の半導体素子として画素トランジスタが設けられている。図2には画素トランジスタの不純物領域としてチャネル領域71を記載しているが、素子領域113にはソース領域やドレイン領域(不図示)も設けられている。チャネル領域71の上には画素トランジスタのゲート電極81が設けられている。素子領域114には光電変換素子43が設けられている。なお、図2において光電変換素子41、42、43として示した範囲は、図1において光電変換素子30の蓄積領域であるn型の不純物領域40に対応する。図2において光電変換素子41、42、43として示した範囲の外には光電変換素子41、42、43を成すp型の不純物領域50に対応する不純物領域が存在している。
40

【0024】

素子分離部10は、分離領域101、102、103を含む。分離領域101は素子領域111と素子領域113との間に位置する。分離領域102は素子領域112と素子領
50

域 113との間に位置する。分離領域 103は素子領域 111と素子領域 114との間に位置する。

【0025】

半導体層 100は表面 1 側における素子領域と分離領域の分布に対応した半導体領域を素子分離部 10よりも裏面 2 側に有する。裏面 2 側の半導体領域は、素子分離部 10の分離領域あるいは素子領域に対する位置によって区分される。各半導体領域は、法線方向 Nにおいて素子分離部 10のいずれかの分離領域あるいは半導体層 100のいずれかの素子領域と、裏面 2との間に位置することになる。このような半導体領域として、半導体層 100は、半導体領域 121、122、123、124、125、126、127を含む。
半導体領域 121は素子領域 111と裏面 2との間に位置し、半導体領域 122は素子領域 112と裏面 2との間に位置し、半導体領域 123は素子領域 113と裏面 2との間に位置する。半導体領域 127は素子領域 114と裏面 2との間に位置する。半導体領域 124は分離領域 101と裏面 2との間に位置し、半導体領域 125は分離領域 102と裏面 2との間に位置し、半導体領域 126は分離領域 103と裏面 2との間に位置する。

【0026】

画素分離部 20は法線方向 Nにおいて分離領域 102に重なる第 1 部分 201を有する。第 1 部分 201は溝 211により構成されている。面内方向 Pにおいて、第 1 部分 201は半導体領域 122と半導体領域 123との間に位置する。第 1 部分 201によって半導体領域 125は複数の部分に分割されている。その結果、半導体領域 125は、第 1 部分 201と半導体領域 123との間に位置する部分 1251と、第 1 部分 201と半導体領域 122との間に位置する部分 1252と、を含んでいる。本例では、第 1 部分 201が分離領域 102に接続している。また、本例では、第 1 部分 201が裏面 2に達している。つまり、第 1 部分 201を構成する溝 21が裏面 2に連続している。第 1 部分 201と分離領域 102とを離間させる場合には、第 1 部分 201と分離領域 102との間に半導体領域 125の一部が位置することになる。第 1 部分 201と裏面 2とを離間させる場合には、第 1 部分 201と裏面 2との間に半導体領域 125の一部が位置することになる。

【0027】

画素分離部 20は法線方向 Nにおいて分離領域 103に重なる第 2 部分 202を有する。第 2 部分 202は溝 212により構成されている。面内方向 Pにおいて、第 2 部分 202は半導体領域 121と半導体領域 127との間に位置する。第 2 部分 202によって半導体領域 126は複数の部分に分割されている。その結果、第 2 部分 202と半導体領域 121との間に位置する部分 1261と、第 2 部分 202と半導体領域 127との間に位置する部分 1262と、を含んでいる。本例では、第 2 部分 202が分離領域 103に接続している。また、本例では、第 2 部分 202が裏面 2に達している。つまり、第 2 部分 202を構成する溝 212が裏面 2に連続している。第 2 部分 202と分離領域 103とを離間させる場合には、第 2 部分 202と分離領域 103との間に半導体領域 126の一部が位置することになる。第 2 部分 202と裏面 2とを離間させる場合には、第 2 部分 202と裏面 2との間に半導体領域 126の一部が位置することになる。

【0028】

このように、半導体領域 122と半導体領域 123は第 1 部分 201によって不連続になっている。また、半導体領域 121と半導体領域 127は第 2 部分 202によって不連続になっている。これにより、画素間の光の混合が低減され、光電変換装置の光学的特性が向上する。また、画素間の電荷の混合が低減され、光電変換装置の電気的特性が向上する。

【0029】

一方、分離領域 101と裏面 2との間には画素分離部 20が設けられていない。そのため、中間面 3内において半導体領域 121と半導体領域 123が半導体領域 124を介して連続している。つまり、中間面 3において、素子領域 111と素子領域 113と分離領域 101の下では半導体層 100が連続している。このように、分離領域 101の下で画

10

20

30

40

50

素分離部20が設けられずに半導体層100が連続しているため、画素分離部20の溝21による光の散乱が抑制される。このため、光電変換素子30に入射する光の量を増加させることができ、感度が向上する。また、ノイズ源となる画素分離部20を、光電変換素子30の蓄積領域としての不純物領域40から遠ざけることにより、画素分離部20の近傍で発生したノイズが光電変換素子30に取り込まれることを抑制できる。さらに、素子領域111や半導体領域121だけでなく、半導体領域124を光電変換素子30として利用することも可能となる。仮に半導体領域124に画素分離部20が配されていると、画素分離部20の分だけ光電変換素子30の体積が小さくなり、感度が低下する。

【0030】

さらに、半導体領域124に隣接する半導体領域123をも光電変換素子として利用することができる。仮に半導体領域124に画素分離部20が配されていると画素分離部20が半導体領域123と半導体領域121との間の電荷の移動を妨げてしまう。そのため、半導体領域123を光電変換素子として有効に利用することが困難になる。このように画素分離部20を設けないことで、光電変換素子を半導体領域121から半導体領域124、さらに半導体領域123まで延在させることで、感度を向上することができる。

10

【0031】

図1に示した例では、光電変換素子30を図2における半導体領域123、124に相当する領域まで配置している。これにより、光電変換素子30の中心とマイクロレンズの集光位置（典型的にはマイクロレンズの光軸）を一致させるあるいは近づけることが容易になる。マイクロレンズの集光位置とフォトダイオードの中心を近づけるには、マイクロレンズの光軸と分離領域101との距離を、マイクロレンズの光軸と分離領域103との距離よりも小さくすればよい。そうすれば、第1部分125と第2部分126から概ね等しい距離の位置にマイクロレンズで集光することができる。

20

【0032】

以上説明したように、画素分離部20を、半導体領域124から離して配置することで、光学的や電気的な面から光電変換性能を向上することができる。

【0033】

図3(a)～(d)は、素子分離部10と画素分離部20の形状および／または位置関係に関する変形例である。図3(a)に示すように、素子分離部10は裏面2側に向かって幅が狭くなるテーパー形状を有していてもよい。また、図3(a)に示すように、画素分離部20は表面1側に向かって幅が狭くなるテーパー形状を有していてもよい。なお素子分離部10の周囲にはチャネルトップとして機能する、光電変換素子30のp型の不純物領域50よりも濃いp型の不純物領域を配置することができる。画素分離部20の底部（表面1側）はチャネルトップ用の不純物領域に接するように設けるのが望ましい。これにより画素分離部20の底部と同様に暗電流を抑制することができる。

30

【0034】

図3(b)に示す例では、画素分離部20は素子分離部10の離間した複数の分離領域に跨って配されている。複数の分離領域の間は素子領域である。このように、画素分離部20は素子領域に対向する部分を有していてもよい。

40

【0035】

図3(c)に示すように、画素分離部20の一部は素子分離部10の最下面（裏面2側）よりも表面1側に位置していてもよい。図3(c)では、画素分離部20の側面が素子分離部10の側面よりも内側に位置していて、画素分離部20の表面1側の端部は素子分離部10に挟まれるようになっている。換言すると、画素分離部20が素子分離部10に食い込むように設けられているとも云える。このようにすることで画素分離部20の底部の周囲で発生するノイズを低減することができる。素子分離部10の側面が画素分離部20に重なるように配置されていてもよい。

【0036】

図3(d)に示すように、画素分離部20は裏面2側に向かって幅が狭くなるテーパー形状を有していてもよい。また、画素分離部20は表面1側に露出していてもよい。また

50

、図3(d)に示すように、素子分離部10の側面が画素分離部20の側面よりも内側に位置していて、素子分離部10が画素分離部20の表面1側の端部に挟まれるようになっていてもよい。

【0037】

図3(e)～(g)は不純物領域40、50、60の構成に関する変形例である。

【0038】

図3(e)の例では、不純物領域60は画素トランジスタ90のウェル61を含む。ウェル61を画素トランジスタの中心に対して非対称にしている。具体的には、ウェル61のうち、素子分離部10の分離領域101に重なる領域を、素子分離部10の分離領域102に重なる領域よりも小さくしている。これにより、分離領域101の下に配置する光電変換素子30の体積を増大して、感度を向上できる。
10

【0039】

図3(f)の例では、ポテンシャル障壁として機能する濃いp型領域である不純物領域62、63の表面1に対する深さを異ならせている。不純物領域62は図2にて説明した、画素分離部20の周囲の半導体領域124に相当する半導体領域に配されている。不純物領域63は図2にて説明した、半導体領域125に相当する半導体領域に配されている。不純物領域63は不純物領域62よりも表面1に対して深くまで配されている。不純物領域63を深く配することで、画素分離部20と半導体層100との界面で発生するノイズが光電変換素子30に取り込まれ難くなっている。図2で説明した半導体領域125に配された不純物領域63を表面1に対して深く形成することで、画素分離部20からのノイズの発生を抑制することができる。
20

【0040】

図3(g)の例では、光電変換素子30のn型の不純物領域40を図2で説明した半導体領域124、さらには半導体領域123にまで延在して設けている。このように、半導体領域124、123を有効に活用して不純物領域40の体積を大きくすることで、光電変換素子30の感度や飽和を向上することができる。

【0041】

以下、図4～7を用いて、画素のレイアウトの例を示す。なお、以下の例では上述した面内方向Pを互いに交差する（直交する）X方向とY方向に分けて記載する。また、法線方向Pについては、X方向およびY方向に交差する（直交する）Z方向として記載する。
30

【0042】

図4を用いて、画素のレイアウトの第1例を示す。図4の例では、中間面3において、画素分離部20によって複数の半導体領域群に分離されている。画素分離部20で囲まれた半導体領域群の各々は、画素分離部20で分離されることなく連続した複数の半導体領域を含む。互いに分離された複数の半導体領域群は第1種類の半導体領域群Gsと第2種類の半導体領域群Gtに分類される。

【0043】

第1種類の1つの半導体領域群Gsの上には3つの素子領域が配されている。

【0044】

半導体領域群Gsの上の3つの素子領域のうち、1つ目の素子領域には光電変換素子であるフォトダイオードPDMおよびフローティングディフュージョンFDMが配されている。
40

【0045】

半導体領域群Gsの上の3つの素子領域のうち、2つ目の素子領域にはリセットトランジスタRSmが配されている。

【0046】

半導体領域群Gsの上の3つの素子領域のうち、3つ目の素子領域にはウェルコンタクトWCMが配されている。ここで、mは半導体領域群毎に定められる1または3の数字であり、図4では半導体領域群ごとにP D 1、P D 3、R S 1、R S 3のように付して示している。なお、フォトダイオードP D 3が配された素子領域が図2で説明した素子領域1
50

14に対応する。

【0047】

第2種類の1つの半導体領域群G_tの上には3つの素子領域が配されている。半導体領域群G_tの上の3つの素子領域のうち、1つ目の素子領域には光電変換素子であるフォトダイオードP D nおよびフローティングディフュージョンF D nが配されている。半導体領域群G_tの上の3つの素子領域のうち、2つ目の素子領域には増幅トランジスタS F mおよび選択トランジスタS L mが配されている。半導体領域群G_sの上の3つの素子領域のうち、3つ目の素子領域にはウェルコンタクトW C nが配されている。ここで、nは半導体領域群毎に定められる2または4の数字であり、図4では、半導体領域群ごとにP D 2、P D 4、S F 2、R S 4のように付して示している。なお、フォトダイオードP D 2が配された素子領域が図2で説明した素子領域112に対応し、フォトダイオードP D 4が配された素子領域が図2で説明した素子領域111に対応する。また、増幅トランジスタS F 2が配された素子領域が図2で説明した素子領域113に対応する。ウェルコンタクトW C n、W C mが配された素子領域の下の半導体領域も、図2で説明した素子領域113と同様に、フォトダイオードP D 1が配された素子領域の下の半導体領域と連続している。10

【0048】

ウェルコンタクトW C m、W C nは光電変換素子30の不純物領域40に不純物領域60を介して電位を供給するための導電部材が接続されている。本例のように、半導体領域群G_s、G_t毎にウェルコンタクトW C n、W C mを配置することにより半導体領域群G_s、G_tに含まれる半導体領域やその上の素子領域の電位の制御性を高めることができ、安定した画像を得ることができる。20

【0049】

次に、図5を用いて、画素のレイアウトの第2例を示す。図5の例では、中間面3において、画素分離部20によって複数の半導体領域群に分離されている。画素分離部20で囲まれた半導体領域群の各々は、画素分離部20で分離されることなく連続した複数の半導体領域を含む。半導体領域群G_rの上には4つの素子領域が配されている。

【0050】

半導体領域群G_rの上の4つの素子領域のうち、1つ目の素子領域には光電変換素子であるフォトダイオードP D A p、P D B p、転送ゲートT X A p、T X B pおよびフローティングディフュージョンF D A p、F D B pが配されている。フォトダイオードP D A pの信号電荷は転送ゲートT X A pを介してフローティングディフュージョンF D A pに転送される。フォトダイオードP D B pの信号電荷は転送ゲートT X B pを介してフローティングディフュージョンF D B pに転送される。フォトダイオードP D A p、P D B pにはそれぞれ共通のマイクロレンズが設けられる。つまり、1つのマイクロレンズに対してフォトダイオードP D A p、P D B pを別々に設けている。フォトダイオードP D A p、P D B pによって瞳分割された光線を別々に検出し、位相差検出方式による測距あるいは焦点検出が可能となる。また、フォトダイオードP D A pとフォトダイオードP D B pの感度を異ならせて信号を合成することで、ダイナミックレンジの拡大を図ることもできる。本例ではフォトダイオードP D B pを画素トランジスタの下にまで延在させることで、フォトダイオードP D B pの感度をフォトダイオードP D A pの感度よりも高めることもできる。3040

【0051】

半導体領域群G_rの上の4つの素子領域のうち、2つ目の素子領域には光電変換素子であるフォトダイオードP D A q、P D B q、転送ゲートT X A q、T X B qおよびフローティングディフュージョンF D A q、F D B qが配されている。フォトダイオードP D A qの信号電荷は転送ゲートT X A qを介してフローティングディフュージョンF D A qに転送される。フォトダイオードP D B qの信号電荷は転送ゲートT X B qを介してフローティングディフュージョンF D B qに転送される。フォトダイオードP D A p、P D B pにはそれぞれ共通のマイクロレンズが設けられる。1つのマイクロレンズに対してフォト

ダイオード P D A q、P D B q を別々に設けている。フォトダイオード P D A p、P D B p によって瞳分割された光線を別々に検出し、位相差検出方式による測距あるいは焦点検出が可能となる。また、フォトダイオード P D A q とフォトダイオード P D B q の感度を異なさせて信号を合成することで、ダイナミックレンジの拡大を図ることもできる。本例ではフォトダイオード P D B q を画素トランジスタの下にまで延在させることで、フォトダイオード P D B q の感度をフォトダイオード P D A q の感度よりも高めることもできる。

【 0 0 5 2 】

ここで、p は半導体領域群 G r 毎に定められる 1、3、5 および 7 から選ばれた数字である。図 4 では半導体領域 G r 群ごとに P D A 1、P D B 3、F D A 1、F D B 3 のよう付して示している。なお、フォトダイオード P D A 3、P D B 3 が配された素子領域が図 2 で説明した素子領域 1 1 4 に対応する。

10

【 0 0 5 3 】

ここで、q は半導体領域群 G r 毎に定められる 2、4、6 および 8 から選ばれた数字である。図 4 では半導体領域群 G r 群ごとに P D A 2、P D B 4、F D A 2、F D B 4 のよう付して示している。なお、フォトダイオード P D A 2、P D B 2 が配された素子領域が図 2 で説明した素子領域 1 1 1 に対応する。また、フォトダイオード P D A 6、P D B 6 が配された素子領域が図 2 で説明した素子領域 1 1 2 に対応する。

【 0 0 5 4 】

半導体領域群 G r の上の 4 つの素子領域のうち、3 つ目の素子領域にはリセットトランジスタ R S m、増幅トランジスタ S F m、選択トランジスタ S L m が配されている。半導体領域群 G r の上の 4 つの素子領域のうち、4 つ目の素子領域にはウェルコンタクト W C m が配されている。

20

【 0 0 5 5 】

ここで、m は半導体領域群 G r 毎に定められる 1、2、3、4 から選ばれた数字である。図 4 では半導体領域 G r 群ごとに R S 1、R S 3、W C 2、W C 4 のよう付して示している。ここで、 $p = 2 \times m - 1$ および $q = 2 \times m$ の関係になっている。なお、選択トランジスタ S L 1 が配された素子領域が図 2 で説明した素子領域 1 1 3 に対応する。

【 0 0 5 6 】

本例でも第 1 例と同様に、半導体領域群 G r 毎にウェルコンタクト W C n、W C m を配置することにより半導体領域群 G r に含まれる半導体領域その上の素子領域の電位の制御性を高めることができ、安定した画像を得ることができる。

30

【 0 0 5 7 】

また、本例では、1 つ目の素子領域に配されたフォトダイオード P D A p、P D B p と、2 つ目の素子領域に配されたフォトダイオード P D A q、P D B q とが 3 つ目の素子領域に配されたトランジスタ R S m、S F m、S L m を共有している。このようにトランジスタを共有するフォトダイオードが配された素子領域の下の半導体領域を、画素分離部 2 0 で分離せずに 1 つの半導体領域群に含めている。このようにすることで、1 つ目の素子領域に配されたフォトダイオード P D A p、P D B p と、2 つ目の素子領域に配されたフォトダイオード P D A q、P D B q との信号の差を低減できる。

40

【 0 0 5 8 】

また、隣接する複数のフォトダイオードを画素分離部 2 0 が囲むように配置されている。また、各画素を区画する領域の交差部には画素トランジスタが設けられている。そのような交差部に画素分離部 2 0 を設けていない。そして、リセットトランジスタ R S、増幅トランジスタ S F、選択トランジスタ S L、あるいはウェルコンタクト W C を互いに共有するフォトダイオードを画素分離部 2 0 が囲んでいる。本例によれば、混色を抑制するとともに、画素分離部 2 0 によるトランジスタへの影響を低減することが可能となる。

【 0 0 5 9 】

次に、図 6 を用いて、画素のレイアウトの第 3 例を示す。図 6 の例では、中間面 3 の X 方向において画素分離部 2 0 の第 1 部分 2 0 1 と第 2 部分 2 0 2 によって複数の半導体領

50

域群に分離されている。X方向において画素分離部20に挟まれた半導体領域群の各々は、X方向において画素分離部20で分離されることなく連続した複数の半導体領域を含む。この点については第2例と同様である。なお、画素分離部20の同一の部分であっても、注目する光電変換素子に対する位置関係により図2で説明した第1部分201となるか第2部分202となるかは変わるので、図2では画素分離部20のある部分を部分201/202として示している。

【0060】

一方、本例では、X方向において画素分離部20で挟まれた半導体領域群の各々は、Y方向において画素分離部20の第3部分203で分離されている。このようにすることによってY方向における画素間での分離性能を高めることができる。ただし、第3部分203は第1部分201や第2部分202からは不連続である。そのため、X方向において画素分離部20に挟まれた半導体領域群の各々は、Y方向において半導体領域群間で連続した半導体領域を含む。10

【0061】

半導体領域群の1つ目の半導体領域の上の素子領域にはフォトダイオードPDAp、PD B pが配されている。別の半導体領域群の1つ目の半導体領域の上の素子領域にはフォトダイオードPDAq、PD B qが配されている。トランジスタRSm、S F m、S L mはフォトダイオードPDAp、PD B pとフォトダイオードPDAq、PD B qとで共有されている。20

【0062】

そして、トランジスタRSm、S F m、S L mの下の半導体領域は画素分離部20で分離されずに、半導体領域群間で半導体領域が連続している。他にも半導体領域群の交差部など、画素分離部20で分離されずに、半導体領域群間で半導体領域が連続している部分を設けている。これは、画素分離部20のうち、隣接するフォトダイオードの間に配置された第3部分203が、第1部分201および第2部分202とは不連続になっているためである。20

【0063】

半導体領域群の間において、画素分離部20が設けられていない部分を設けることで、1つのウェルコタクトによる電位供給の範囲が広くなる。つまり、画素分離部20を不連続にすることにより隣接する画素のウェルを連通することでウェルの電位を揃えることができる。また、第1例や第2例に比べてウェルコンタクトの数を減らすことができる。その結果、ウェルコンタクトに起因するノイズの発生を抑制できる。30

【0064】

図7を用いて、画素のレイアウトの第4例を示す。図6の例では、素子分離部10はフォトダイオードのその周囲に設けられているトランジスタとの間に配されている。一方、隣接するフォトダイオード間には設けられていない。図示はしないが隣接するフォトダイオード間にはpn接合分離による拡散分離部が成されている。このために拡散分離部を挟んで配列されたフォトダイオードに沿って延在する素子分離部10に対応して画素分離部20が形成されている。40

【0065】

本例によれば、画素領域において列、あるいは行方向の混色を抑制するとともに、画素分離部20によるフォトダイオードへの影響を低減することが可能となる。

【0066】

次に図8を用いて、本実施例に係る固体撮像装置の製造方法を説明する。

【0067】

まず図8(a)に示す工程aでは、半導体基板SUBの表面F側に素子分離部10用の溝11が形成される。溝11の周囲にはイオン注入によりチャネルトップ層(不図示)が形成される。

【0068】

次に、図8(b)に示す工程bでは、溝11に素子分離部10のための絶縁体12を埋

50

める。絶縁体 12 は酸化シリコンが好適である。溝 11 の外の余分な絶縁体は C M P 法等により除去される。これにより、S T I (S h a l l o w T r e n c h I s o l a t i o n) 構造を有する、素子分離部 10 が形成される。

【 0 0 6 9 】

次に、図 8 (c) に示す工程 c では、半導体基板 S U B の表面 F 上にゲート絶縁膜（不図示）及びゲート電極 80 が積層されて画素トランジスタが形成（不図示）される。さらに、半導体基板 S U B の表面 F 側から行われるイオン注入によって光電変換素子 30 や画素トランジスタのソース・ドレイン領域を形成する。

【 0 0 7 0 】

次に、図 8 (d) に示す工程 d では、ゲート電極 80 を覆う絶縁層が積層された後に、絶縁層にコンタクトホールが形成される。さらにコンタクトホールが形成された絶縁層上に配線層および層間絶縁層を積層することで多層配線構造が形成される。本例では 3 層の配線層 310、320、330 を形成している。配線構造には、例えば銅配線やアルミニウム配線を用いることが可能である。

【 0 0 7 1 】

次に、図 8 (e) に示す工程 e では、絶縁膜 300 の上方から支持基板 400 が貼り合わされる。貼り合わせは接着剤による接合でも良いし、その他公知の方法を適宜用いることができる。ただし配線構造などに影響を与えないように 400 以下のプロセスで処理するのが好ましい。

【 0 0 7 2 】

次に、図 8 (f) に示す工程 f では、半導体基板 S U B が所望の厚さになるまで、半導体基板 S U B の裏面 B 1 側から薄化処理が施される。この半導体基板 S U B の薄化は裏面 B 1 に代わって新たな裏面 B 2 が現れる。裏面 B 2 には光電変換素子 30 が臨むように行われてもよい。例えば、化学機械研磨法（C M P）や、ドライエッティング、ウェットエッティングなどを用いることができる。またこれら手法を組合せることも可能である。例えば薄化された半導体基板 S U B の膜厚は 1 ~ 10 μm の範囲とし、またフォトダイオードの受光感度の向上、あるいは半導体基板の機械的な強度の観点から、2 ~ 5 μm の範囲とすることが好ましい。

【 0 0 7 3 】

次に図 8 (g) に示す工程 g では、半導体基板の表面 F 側に形成された素子分離部 10 に対向する位置において、半導体基板の裏面 B 2 側から画素分離部 20 の溝 21 が形成される。このとき画素分離部 20 の溝 21 の裏面 B 2 に対する深さは、画素分離部 20 の底部が素子分離部 10 に達する深さとするのがよい。例えば薄化処理された半導体基板 S U B の厚さが約 2 μm の場合に素子分離部 10 の深さが約 0.3 μm とすると、対向して配置される溝 21 の深さが約 1.7 μm となるように形成される。このような画素分離部 20 は以下の手順で形成される。なお画素分離部 20 の底部の幅は、素子分離部 10 の底部の幅に対して相対的に狭くすると良い。これによりアライメントズレが生じた場合においても、画素分離部 20 の底部を素子分離部 10 の底部に接することが容易になる。

【 0 0 7 4 】

画素分離部 20 の溝 21 は光電変換素子 30 に隣接する素子分離部 10 の一部の分離領域 101 の下には設けない。これにより、上述した光電変換性能の向上が可能となる。

【 0 0 7 5 】

画素分離部 20 の形成方法について、より詳細に説明する。まず画素分離部 20 の溝 21 を半導体基板 S U B に形成するため、例えば異方性のドライエッティング法を用いることで、所望の幅を有する溝 21 を形成する。なお画素分離部 20 の溝 21 をドライエッティングにより加工する際には、半導体基板 S U B のエッティングの終端検出として素子分離部 10 を利用しても良い。あるいは半導体基板 S U B の膜厚に応じてエッティング時間を指定してエッティングしても良い。また素子分離膜 10 の底部の一部をエッティングするようにしても良い。

【 0 0 7 6 】

10

20

30

40

50

次に、次に図 8 (g) に示す工程 g では、溝 2 1 の中に固体 2 2 を形成する。まず、半導体層 1 0 0 の裏面 2 で発生する暗電流を抑制するための固定電荷膜（不図示）を形成する。このために半導体基板 S U B の裏面 B 2 の形状に沿って固定電荷膜（不図示）が形成される。この固定電荷膜は、少なくとも半導体基板 S U B の裏面 B 2 上に形成され、さらに画素分離部 2 0 の溝 2 1 の側壁や底面を被覆するように形成しても良い。このように画素分離部 2 0 の側壁や底面を固定電荷膜で被覆することで、例えば溝 2 1 の表面で発生しうる暗電流も抑制することが可能となる。なお固定電荷膜としては、たとえば原子層堆積法 (A L D) により酸化ハフニウム膜を用いることができる。

【 0 0 7 7 】

次に、半導体基板 S U B の画素分離部 2 0 の内部に誘電体、金属材料、その他の遮光性を備えた材料、あるいはそれらを組み合わせた材料からなる固体 2 2 を形成する。例えば、酸化シリコン膜や酸化チタン膜などの半導体基板 S U B を成すシリコンよりも低い屈折率を有する材料を固定電荷膜上に形成する。続いて化学気相成長法 (C V D) や原子層堆積法 (A L D) を用いて導電材料を埋設させて画素分離部 2 0 を形成することができる。あるいは原子層堆積法 (A L D) を用いて酸化シリコン膜を固定電荷膜上に形成した後に、H D P (H i g h D e n s i t y P l a s m a) C V D 法を用いて酸化シリコン膜を堆積する。このように 2 層構造の絶縁膜で埋設させて画素分離部 2 0 を形成しても良い。特に 4 0 0 以下の低温で形成できる材料が好ましく、例えば P 型不純物をドープしたアモルファスシリコン、銅、タンゲステンなどを化学気相成長法 (C V D) や原子層堆積法 (A L D) などで形成するのが望ましい。なお、上述した固定電荷膜を固体 2 2 として用いてもよい。

【 0 0 7 8 】

なお上記で画素分離部 2 0 の内部に固体 2 2 を埋設する事例について説明しているが、溝 2 1 内の構成はこれらに限定されるものではなく、混色を抑制可能な構造であれば良く、公知の構成及び製法を適用することが可能である。また例えば画素分離部 2 0 は溝 2 1 の一部または全部が空洞であっても構わない。

【 0 0 7 9 】

なお本例では、画素分離部 2 0 を半導体基板の裏面 B 2 側から形成する場合について説明したが、画素分離部 2 0 の形成方法はここで説明する方法に限定されるものではない。例えば、工程 a、b で説明した素子分離部 1 0 を形成する前に、半導体基板 S U B の表面 F 側から溝 2 1 を形成しても良い。

【 0 0 8 0 】

この後は図 1 (a) に示す構造を形成する。半導体基板 S U B の裏面 B 2 側に誘電体膜 4 1 0 が形成され、誘電体膜 4 1 0 上の画素間に遮光部材 4 2 0 がパターニングされる。遮光部材 4 2 0 はスパッタ法や化学気相成長法 (C V D) により成膜された後、画素間を含む遮光構造を必要とする部分以外を除去するように加工が行われることにより形成される。遮光部材 4 2 0 の材料としては、例えば、チタンとタンゲステンの積層膜、あるいは窒化チタンとタンゲステンの積層膜などを用いることができる。

【 0 0 8 1 】

次に平坦化膜（不図示）を形成し、平坦化膜上に各画素に対応して例えば赤、緑、青のカラーフィルタアレイ 4 1 0 を形成し、その上にマイクロレンズアレイ 4 4 0 を形成する。各カラーフィルター及びマイクロレンズは、画素アレイの各単位画素に対応して形成される。以上により、光電変換装置を完成させる。半導体基板 S U B は上述した半導体層 1 0 0 として用いられる。

【 0 0 8 2 】

上述した例によれば、また画素分離部 2 0 を素子分離部 1 0 にまで深さ方向に伸ばすことで、隣接する画素間での混色を効果的に抑制することが可能である。画素分離部 2 0 を光電変換素子だけでなく、トランジスタ等が設けられた素子領域の下の半導体領域をも囲むように配置することができる。これにより、光電変換素子によって光電変換を行う範囲を広くすることが可能となる。

10

20

30

40

50

【0083】

以上説明した光電変換装置はカメラの撮像装置（イメージセンサ）に適用できる。カメラは撮像装置以外に、撮像装置から得られた信号を処理する信号処理装置、撮像装置から得られた信号を記憶する記憶装置、および、撮像装置で得られた情報を表示する表示装置の少なくとも1つを備えることができる。ここでいうカメラとはスチルカメラやビデオカメラ、監視カメラ等のカメラ専用機器以外に、撮影機能を有する情報端末や撮影機能を有する移動体（車両や飛行体）も包含する。

【0084】

また、本明細書に明確な記載がなくとも、添付の図面や技術常識から把握できる事項も本開示の一部を構成する。本発明は、本開示の技術思想の範囲を逸脱しない限り、適宜な変更が可能である。

10

【符号の説明】

【0085】

1 表面

2 裏面

3 中間面

100 半導体層

10 素子分離部

12 絶縁体

20 画素分離部

21 溝

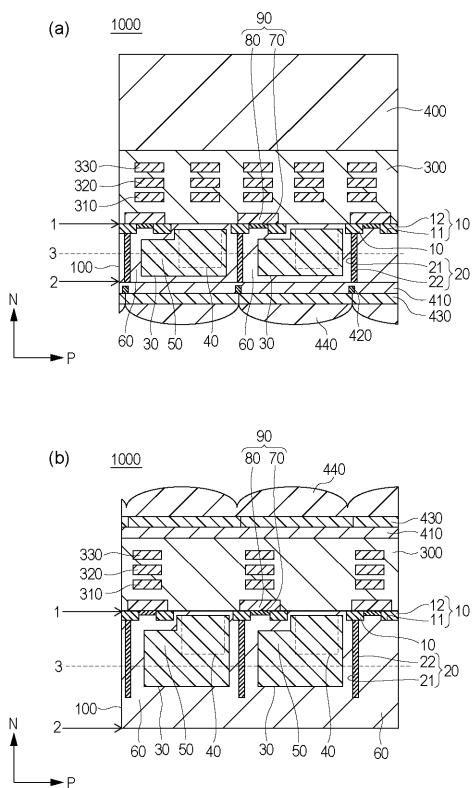
111、112、113 素子領域

101、102、103 分離領域

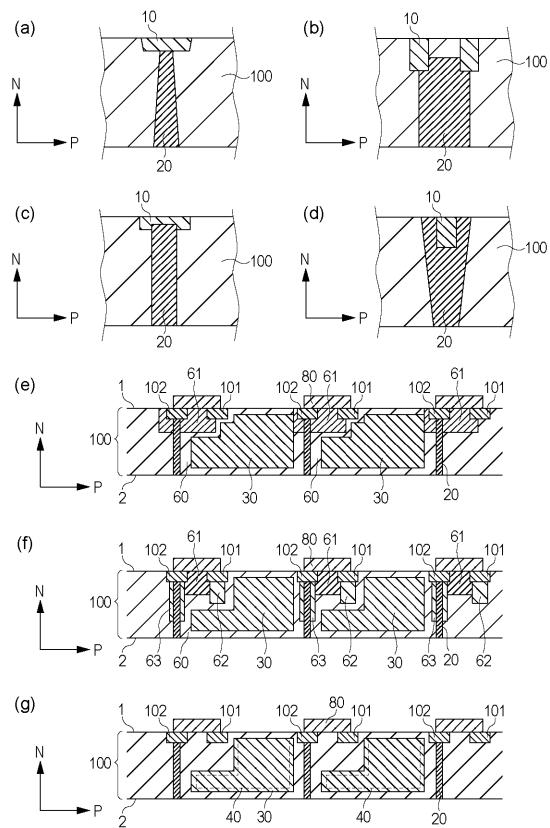
121、122、123、124 半導体領域

20

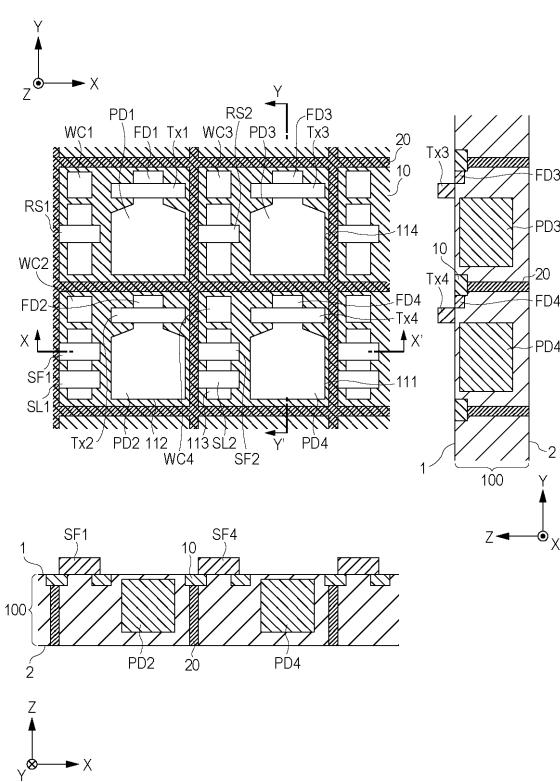
【図1】



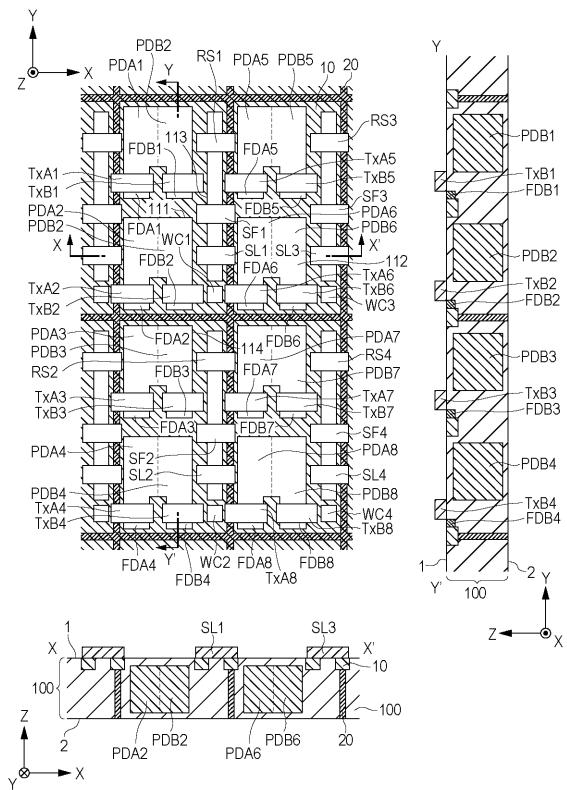
【図3】



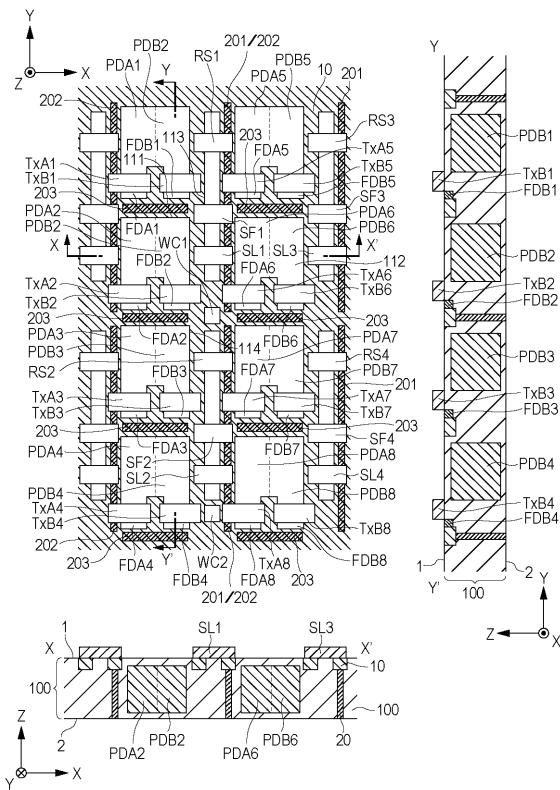
【 四 4 】



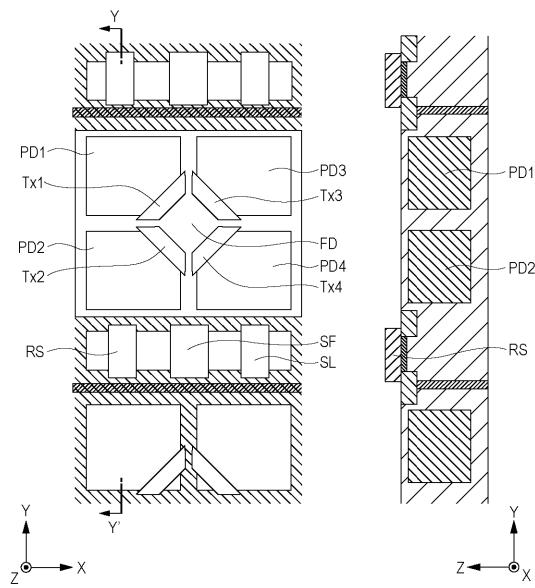
【図5】



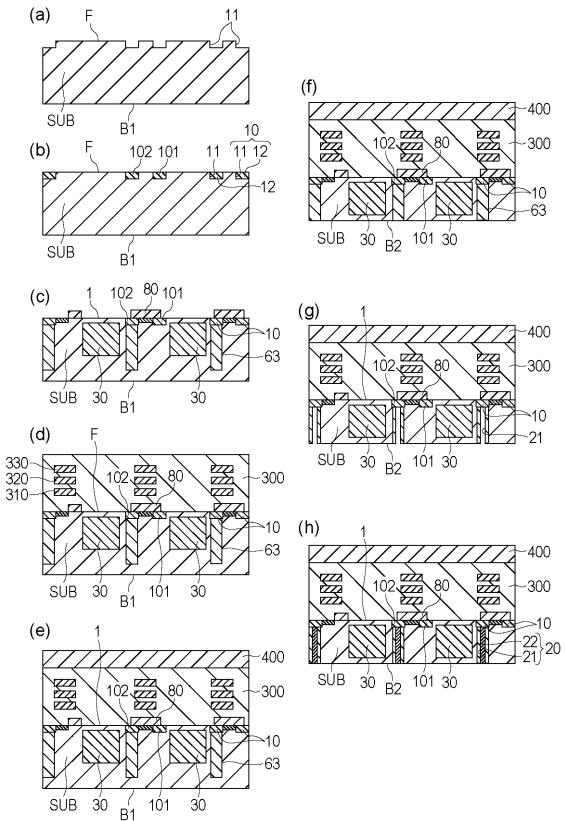
【 四 6 】



【図7】



【図8】



フロントページの続き

(56)参考文献 特開2013-041915(JP,A)

米国特許出願公開第2011/0180689(US,A1)

米国特許出願公開第2014/0008705(US,A1)

特開2013-175494(JP,A)

特開2014-204047(JP,A)

特開2014-086514(JP,A)

特開2010-239117(JP,A)

特開2015-126114(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146

H04N 5/369

H04N 5/374