



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년04월17일
(11) 등록번호 10-1727752
(24) 등록일자 2017년04월11일

(51) 국제특허분류(Int. Cl.)
H03K 17/687 (2006.01) *H03K 19/0952* (2006.01)
(21) 출원번호 10-2011-0010961
(22) 출원일자 2011년02월08일
 심사청구일자 2015년10월19일
(65) 공개번호 10-2011-0093661
(43) 공개일자 2011년08월18일
(30) 우선권주장
 JP-P-2010-026931 2010년02월09일 일본(JP)
(56) 선행기술조사문현
 US4874971 A

(73) 특허권자
 에스아이아이 세미컨덕터 가부시키가이샤
 일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반
 지
(72) 발명자
 오노 다카시
 일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반
 지 세이코 인스트루 가부시키가이샤 내
(74) 대리인
 한양특허법인

전체 청구항 수 : 총 3 항

심사관 : 이승민

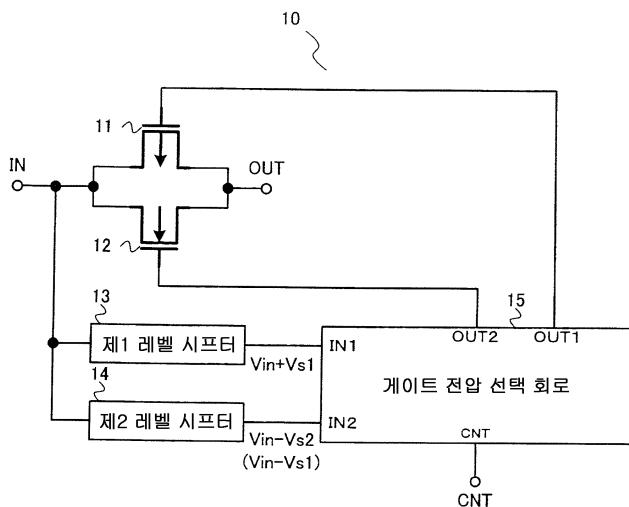
(54) 발명의 명칭 트랜스미션 게이트 및 반도체 장치

(57) 요약

(과제) 여러 가지 입력 전압에 대응해서 고 S/N특성을 실현할 수 있는 트랜스미션
게이트를 제공한다.

(해결 수단) 입력 전압(V_{in})이 드레인으로부터 입력되고, 전압($V_{in}-V_{s1}$)이 게이트에 입력되면 온이 되고, 입력
전압(V_{in})을 출력 전압(V_{out})으로서 소스로부터 출력하는 PMOS 트랜지스터(11)와, PMOS 트랜지스터(11)와 동일한
게이트 길이와 게이트 폭과 게이트 산화막 두께와 임계치 전압의 절대치를 가지고, 입력 전압(V_{in})이 드레인으로
부터 입력되고, 전압($V_{in}+V_{s1}$)이 게이트에 입력되면 온이 되고, 입력 전압(V_{in})을 출력 전압(V_{out})으로서 소스
로부터 출력하는 NMOS 트랜지스터(12)를 구비한다.

대 표 도 - 도1



명세서

청구범위

청구항 1

입력 단자로부터 입력된 입력 전압을 출력 단자로부터 출력하는 트랜스미션 게이트로서,
 상기 입력 전압에 소정 전압이 가산된 제1 전압을 출력하는 제1 레벨 시프터와,
 상기 입력 전압으로부터 상기 소정 전압이 감산된 제2 전압을 출력하는 제2 레벨 시프터와,
 상기 제1 전압과 상기 제2 전압이 입력되고, 상기 제1 전압과 상기 제2 전압을 서로 전환하여 상보적으로 출력하는 제1 출력 단자와 제2 출력 단자를 갖는 게이트 전압 선택 회로와,
 상기 제1 출력 단자가 게이트에 접속된 PMOS 트랜지스터와,
 상기 제2 출력 단자가 게이트에 접속된 NMOS 트랜지스터를 구비하고,
 상기 PMOS 트랜지스터와 상기 NMOS 트랜지스터는, 게이트 길이와 게이트 폭과 게이트 산화막 두께와 임계치 전압의 절대치가 동일한 것을 특징으로 하는 트랜스미션 게이트.

청구항 2

청구항 1에 있어서,
 상기 제1 레벨 시프터는, 상기 입력 전압이 게이트에 입력된 제2 PMOS 트랜지스터를 갖고,
 상기 제2 레벨 시프터는, 상기 입력 전압이 게이트에 입력된 제2 NMOS 트랜지스터를 갖고,
 상기 제2 PMOS 트랜지스터와 상기 제2 NMOS 트랜지스터는, 임계치 전압의 절대치와 오버드라이브 전압이 동일하며,
 상기 소정 전압은, 상기 제2 PMOS 트랜지스터 또는 상기 제2 NMOS 트랜지스터의 임계치 전압의 절대치와 상기 오버드라이브 전압의 합인 것을 특징으로 하는 트랜스미션 게이트.

청구항 3

청구항 1 또는 청구항 2에 기재된 트랜스미션 게이트를 구비한 반도체 장치.

청구항 4

삭제

발명의 설명

기술 분야

[0001]

본 발명은, 트랜스미션 게이트 및 반도체 장치에 관한 것이다.

배경 기술

[0002]

종래의 트랜스미션 게이트에 대해서 설명한다. 도 8은, 종래의 트랜스미션 게이트를 나타낸 회로도이다.

[0003]

트랜스미션 게이트는, PMOS 트랜지스터(91) 및 NMOS 트랜지스터(92)에 의해 구성된다. 이들 트랜지스터는, 게이트가 상보적인 신호로 제어됨으로써, 동시에 온·오프된다. PMOS 트랜지스터(91)의 게이트에 로우 레벨이 입력되고, NMOS 트랜지스터(92)의 게이트에 하이 레벨이 입력됨으로써, 트랜스미션 게이트는 도통하게 된다. 그리고 트랜스미션 게이트는 입력 전압(Vin)을 출력 전압(Vout)으로서 출력한다.

[0004]

여기서, PMOS 트랜지스터(91)의 게이트·소스간 용량을 C_{gsp} , NMOS 트랜지스터(92)의 게이트·소스간 용량을 C_{gsn} , 출력 단자 기생 용량을 Ch , PMOS 트랜지스터(91)의 임계치 전압을 $-V_{tp}$, NMOS 트랜지스터(92)의 임계치

전압을 V_{tn} 로 한다. 또, PMOS 트랜지스터(91)의 게이트에 인가하는 전압진폭을 V_5 , NMOS 트랜지스터(92)의 게이트에 인가하는 전압 진폭을 V_4 로 한다. 트랜스미션 게이트는, 다음의 식(11)이 성립하도록 설정했을 때에, 클럭 피드스루의 영향이 저감되고, 고 S/N특성을 실현할 수 있다(예를 들면, 특히 문헌 1 참조).

[0005] $(V_5 - V_{out} - V_{tp}) \cdot C_{gsp} / (C_{gsp} + C_h)$

[0006] $= (V_4 - V_{out} - V_{tn}) \cdot C_{gsn} / (C_{gsn} + C_h) \dots (11)$

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본국 특허 공개 평 07-169292호 공보

발명의 내용

해결하려는 과제

[0008] 그러나 종래의 기술에서는, 식 11을 만족하기 위한 전제는, 입력 전압(V_{in})이 일정한 전압(예를 들면, $(VDD + VSS)/2$)이어서, 변화하지 않는 것이다. 즉, 입력 전압(V_{in})이 변화하고 출력 전압(V_{out})이 변화하면, 식(11)이 성립하지 않게 된다. 따라서, 클럭 피드스루의 영향으로 S/N특성이 나빠진다.

[0009] 본 발명은, 상기 과제를 감안하여 이루어지고, 여러 가지 입력 전압에 대응해서 고 S/N특성을 실현할 수 있는 트랜스미션 게이트를 제공한다.

과제의 해결 수단

[0010] 본 발명은, 상기 과제를 해결하기 위해, 본 실시형태의 트랜스미션 게이트는, 입력 전압이 드레인으로부터 입력되고, 상기 입력 전압으로부터 소정 전압이 감산된 제1 전압이 게이트에 입력되면, 온이 되고, 상기 입력 전압을 출력 전압으로서 소스로부터 출력하는 PMOS 트랜지스터와, 상기 PMOS 트랜지스터와 동일한 게이트 길이와 게이트 폭과 게이트 산화막 두께와 임계치 전압의 절대치를 가지고, 상기 입력 전압이 드레인으로부터 입력되고, 상기 입력 전압에 상기 소정 전압이 가산된 제2 전압이 게이트에 입력되면, 온이 되고, 상기 입력 전압을 상기 출력 전압으로서 소스로부터 출력하는 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 트랜스미션 게이트를 제공한다.

발명의 효과

[0011] 본 발명의 트랜스미션 게이트는, 트랜스미션 게이트를 구성하는 MOS 트랜지스터의 게이트 전압이 입력 전압에 의거한 전압에 의해 제어되므로, 클럭 피드스루의 영향이 저감될 수 있고, 여러 가지 입력 전압에 대응해서 고 S/N특성을 실현할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 실시형태의 트랜스미션 게이트를 나타낸 회로도이다.

도 2는 제1 레벨 시프터를 나타낸 회로도이다.

도 3은 제2 레벨 시프터를 나타낸 회로도이다.

도 4는 게이트 전압 선택 회로의 일례를 나타낸 회로도이다.

도 5는 게이트 전압 선택 회로의 다른 예를 나타낸 회로도이다.

도 6은 게이트 전압 선택 회로의 다른 예를 나타낸 회로도이다.

도 7은 레벨 시프터의 다른 예를 나타낸 회로도이다.

도 8은 종래의 트랜스미션 게이트를 나타낸 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 본 발명의 실시형태를, 도면을 참조하여 설명한다.
- [0014] 우선, 트랜스미션 게이트의 구성에 대해서 설명한다. 도 1은, 본 실시형태의 트랜스미션 게이트를 나타낸 회로도이다.
- [0015] 트랜스미션 게이트(10)는, PMOS 트랜지스터(11), NMOS 트랜지스터(12), 제1 레벨 시프터(13), 제2 레벨 시프터(14), 및, 게이트 전압 선택 회로(15)를 구비한다. 또, 트랜스미션 게이트(10)는, 입력 단자(IN), 출력 단자(OUT), 및, 제어 단자(CNT)를 구비한다.
- [0016] 게이트 전압 선택 회로(15)의 입력 단자(IN1)는 제1 레벨 시프터(13)의 출력 단자에 접속되고, 제2 입력 단자(IN2)는 제2 레벨 시프터(14)의 출력 단자에 접속되고, 제어 단자(CNT)는 트랜스미션 게이트(10)의 제어 단자(CNT)에 접속되고, 제1 출력 단자(OUT1)는 PMOS 트랜지스터(11)의 게이트에 접속되고, 제2 출력 단자(OUT2)는 NMOS 트랜지스터(12)의 게이트에 접속된다. PMOS 트랜지스터(11) 및 NMOS 트랜지스터(12)의 소스는 트랜스미션 게이트(10)의 출력 단자(OUT)에 각각 접속되고, 드레인은 트랜스미션 게이트(10)의 입력 단자(IN)에 각각 접속된다. 제1 레벨 시프터(13) 및 제2 레벨 시프터(14)의 입력 단자는 트랜스미션 게이트(10)의 입력 단자(IN)에 각각 접속된다.
- [0017] 다음에, 제1 레벨 시프터(13)의 구성에 대해서 설명한다. 도 2는, 제1 레벨 시프터를 나타낸 회로도이다.
- [0018] 제1 레벨 시프터(13)는, 전류원(21), 및, PMOS 트랜지스터(22)를 구비한다. PMOS 트랜지스터(22)의 게이트는 제1 레벨 시프터(13)의 입력 단자에 접속되고, 소스는 제1 레벨 시프터(13)의 출력 단자에 접속되고, 드레인은 접지 단자에 접속된다. 전류원(21)은, 전원 단자와 제1 레벨 시프터(13)의 출력 단자의 사이에 설치된다.
- [0019] 다음에, 제2 레벨 시프터(14)의 구성에 대해서 설명한다. 도 3은, 제2 레벨 시프터를 나타낸 회로도이다.
- [0020] 제2 레벨 시프터(14)는, 전류원(31), 및, NMOS 트랜지스터(32)를 구비한다. NMOS 트랜지스터(32)의 게이트는 제2 레벨 시프터(14)의 입력 단자에 접속되고, 소스는 제2 레벨 시프터(14)의 출력 단자에 접속되고, 드레인은 전원 단자에 접속된다. 전류원(31)은, 제2 레벨 시프터(14)의 출력 단자와 접지 단자의 사이에 설치된다.
- [0021] 다음에, 게이트 전압 선택 회로(15)의 구성에 대해서 설명한다. 도 4는, 게이트 전압 선택 회로를 나타낸 회로도이다.
- [0022] 게이트 전압 선택 회로(15)는, 스위치(41~44), 및, 인버터(45)를 구비한다. 또, 게이트 전압 선택 회로(15)는, 제1 입력 단자(IN1), 제2 입력 단자(IN2), 제어 단자(CNT), 및, 제1 출력 단자(OUT1), 제2 출력 단자(OUT2)를 구비한다.
- [0023] 스위치(41)는, 게이트 전압 선택 회로(15)의 제1 입력 단자(IN1)와 제1 출력 단자(OUT1)의 사이에 설치되고, 전압(/Vc)에 의해 제어된다. 스위치(42)는, 게이트 전압 선택 회로(15)의 제2 입력 단자(IN2)와 제1 출력 단자(OUT1)의 사이에 설치되고, 전압(Vc)에 의해 제어된다. 스위치(43)는, 게이트 전압 선택 회로(15)의 제1 입력 단자(IN1)와 제2 출력 단자(OUT2)의 사이에 설치되고, 전압(Vc)에 의해 제어된다. 스위치(44)는, 게이트 전압 선택 회로(15)의 제2 입력 단자(IN2)와 제2 출력 단자(OUT2)의 사이에 설치되고, 전압(Vc)에 의해 제어된다. 인버터(45)의 입력 단자는 게이트 전압 선택 회로(15)의 제어 단자(CNT)에 접속된다. 인버터(45)는, 전압(Vc)이 입력되고, 전압(/Vc)을 출력한다. 스위치(41~44)는, 예를 들면 도 6과 같이 MOS 트랜지스터(61~64)로 구성된다.
- [0024] 다음에, 트랜스미션 게이트(10)의 동작에 대해서 설명한다.
- [0025] 입력 단자(IN)의 입력 전압(Vin)은, 제1 레벨 시프터(13)의 입력 단자와 제2 레벨 시프터(14)의 입력 단자에 입력된다.
- [0026] 제1 레벨 시프터(13)는 소스 팔로워이므로, PMOS 트랜지스터(22)의 소스 전압은 전압(Vin + Vs1)이 된다. 전압(Vs1)은, PMOS 트랜지스터(22)의 임계 전압(-Vtp)의 절대치와 오버드라이브 전압(Vo1)의 합계 전압이다. 제1 레벨 시프터(13)는, 이 전압(Vin + Vs1)을 출력 단자로부터 출력한다.
- [0027] 제2 레벨 시프터(14)는 소스 팔로워이므로, NMOS 트랜지스터(32)의 소스 전압은 전압(Vin - Vs2)이 된다. 전압(Vs2)은, NMOS 트랜지스터(32)의 임계 전압(Vtn)과 오버드라이브 전압(Vo2)의 합계 전압이다. 제2 레벨 시프터(14)는, 이 전압(Vin - Vs2)을 출력 단자로부터 출력한다.

- [0028] 제1 레벨 시프터(13) 및 제2 레벨 시프터(14)는, 식(1)~(3)이 성립하도록 각각 설계된다.
- [0029] $V_{tp}=V_{tn} \cdots (1)$
- [0030] $V_{o1}=V_{o2} \cdots (2)$
- [0031] $V_{s1}=V_{tp}+V_{o1}=V_{s2}=V_{tn}+V_{o2} \cdots (3)$
- [0032] 여기서, 제어 단자(CNT)에 하이 레벨의 전압(V_c)이 입력되어 있다고 하면, 전압($/V_c$)은 로우 레벨이 된다. 그러면, 스위치(42 및 43)가 온이 되고, 스위치(41) 및 스위치(44)가 오프가 된다. 따라서, 게이트 전압 선택 회로(15)는, 제2 입력 단자(IN2)의 전압($V_{in}-V_{s2}$) 즉 전압($V_{in}-V_{s1}$)을 제1 출력 단자(OUT1)로부터 출력한다. 또, 게이트 전압 선택 회로(15)는, 제1 입력 단자(IN1)의 전압($V_{in}+V_{s1}$)을 제2 출력 단자(OUT2)로부터 출력한다.
- [0033] 따라서, PMOS 트랜지스터(11)는 게이트 전압이 전압($V_{in}-V_{s1}$)이 되고, PMOS 트랜지스터(11)의 게이트 · 소스간 전압(V_{gsp})은 다음의 식(4)으로 표시된다.
- [0034] $V_{gsp} = -V_{s1} = -(V_{tp} + V_{o1}) \cdots (4)$
- [0035] PMOS 트랜지스터(11)의 게이트 · 소스간 전압(V_{gsp})은 임계치 전압($-V_{tp}$)보다도 낮아지므로, PMOS 트랜지스터(11)는 온이 된다.
- [0036] 또, NMOS 트랜지스터(12)는 게이트 전압이 전압($V_{in}+V_{s1}$)이 되고, NMOS 트랜지스터(12)의 게이트 · 소스간 전압(V_{gsn})은 다음의 식(5)으로 표시된다.
- [0037] $V_{gsn} = V_{s2} = V_{tn} + V_{o2} = V_{s1} = V_{tp} + V_{o1} \cdots (5)$
- [0038] NMOS 트랜지스터(12)의 게이트 · 소스간 전압(V_{gsn})은 임계치 전압(V_{tn})보다도 높아지므로, NMOS 트랜지스터(12)는 온이 된다.
- [0039] 따라서, 트랜스미션 게이트(10)는 도통 상태가 되고, 출력 단자(OUT)에 입력 전압(V_{in})을 출력 전압(V_{out})으로서 출력한다.
- [0040] 다음에, 제어 단자(CNT)에 로우 레벨의 전압(V_c)이 입력되어 있다고 하면, 전압($/V_c$)은 하이 레벨이 된다. 그러면, 스위치(42~43)가 오프가 되고, 스위치(41) 및 스위치(44)가 온이 된다. 따라서, 게이트 전압 선택 회로(15)는, 제1 입력 단자(IN1)의 전압($V_{in}+V_{s1}$)을 제1 출력 단자(OUT1)로부터 출력한다. 또, 게이트 전압 선택 회로(15)는, 제2 입력 단자(IN2)의 전압($V_{in}-V_{s2}$) 즉 전압($V_{in}-V_{s1}$)을 제2 출력 단자(OUT2)로부터 출력한다.
- [0041] 따라서, PMOS 트랜지스터(11)는, 게이트 전압이 전압($V_{in}+V_{s1}$)이 되고, PMOS 트랜지스터(11)의 게이트 · 소스간 전압(V_{gsp})은 다음의 식(6)으로 표시된다.
- [0042] $V_{gsp} = V_{s1} = V_{tp} + V_{o1} \cdots (6)$
- [0043] PMOS 트랜지스터(11)의 게이트 · 소스간 전압(V_{gsp})은 임계치 전압($-V_{tp}$)보다도 높아지므로, PMOS 트랜지스터(11)는 오프가 된다.
- [0044] 또, NMOS 트랜지스터(12)는 게이트 전압이 전압($V_{in}-V_{s1}$)이 되고, NMOS 트랜지스터(12)의 게이트 · 소스간 전압(V_{gsn})은 다음의 식(7)으로 표시된다.
- [0045] $V_{gsn} = -V_{s2} = -(V_{tn} + V_{o2}) = -V_{s1} = -(V_{tp} + V_{o1}) \cdots (7)$
- [0046] NMOS 트랜지스터(12)의 게이트 · 소스간 전압(V_{gsn})은 임계치 전압(V_{tn})보다도 낮아지므로, NMOS 트랜지스터(12)는 오프 된다.
- [0047] 따라서, 트랜스미션 게이트(10)는 비도통이 되고, 출력 단자(OUT)에 입력 전압(V_{in})을 출력 전압(V_{out})으로서 출력하지 않는다.
- [0048] 여기서, 트랜스미션 게이트(10)는, PMOS 트랜지스터(11)와 NMOS 트랜지스터(12)의 게이트 길이와 게이트 폭과 게이트 산화막 두께를 각각 동일하게 되도록 한다. 그러면, PMOS 트랜지스터(11)의 게이트 · 소스간 용량($C_{gs,p}$)과 NMOS 트랜지스터(12)의 게이트 · 소스간 용량($C_{gs,n}$)은 동일해진다. 또, 식(1)으로부터, PMOS 트랜지스터(11)의 임계치 전압(V_{tp})과 NMOS 트랜지스터(12)의 임계치 전압(V_{tn})은 동일하다. 또, 전압(V_c)이 하이 레벨일 때는, 식(4)~(5)으로부터 PMOS 트랜지스터(11)의 게이트 · 소스간 전압(V_{gsp})의 절대치와 NMOS 트랜지스터(12)의

케이트 · 소스간 전압(V_{gsn})은 동일하다.

[0049] 상술한 바와 같이 구성한 트랜스미션 케이트(10)는, 종래의 기술로 표시된 식(11)에 의거하는 식(8)이 성립하므로, 클럭 피드스루의 영향이 저감하고, 고 S/N특성이 실현된다.

$$(|V_{gsp}| - |V_{tp}|) \cdot C_{gsp} / (C_{gsp} + Ch)$$

$$= (V_{gsn} - V_{tn}) \cdot C_{gsn} / (C_{gsn} + Ch) \cdots (8)$$

[0052] C_{gsp} 는 PMOS 트랜지스터(11)의 케이트 · 소스간 용량, C_{gsn} 는 NMOS 트랜지스터(12)의 케이트 · 소스간 용량, Ch 는 출력 단자 기생 용량이다.

[0053] 또, 식(2)과 식(4)~(5)과 식(8)으로부터, 다음의 식(9)이 성립한다.

$$C_{gsp} / (C_{gsp} + Ch) = C_{gsn} / (C_{gsn} + Ch) \cdots (9)$$

[0055] 이 식(9)은 입력 전압(V_{in})에 의존하지 않는다. 즉, 트랜스미션 케이트(10)는, 입력 전압(V_{in})의 전압차에 관계없이 클럭 피드스루의 영향이 저감해, 고 S/N특성이 실현된다.

[0056] 이와 같이 하면, 트랜스미션 케이트(10)를 구성하는 MOS 트랜지스터의 케이트 전압은 입력 전압(V_{in})에 의거한 전압이 됨으로써, 입력 전압(V_{in})이 변동해도 클럭 피드스루의 영향을 저감할 수 있고, 고 S/N특성을 실현할 수 있다.

[0057] 또한, 케이트 전압 선택 회로(15)는 도 4의 회로에 한정되는 것은 아니고, 예를 들면 도 5와 같이 구성한 회로여도 된다.

[0058] 도 5의 케이트 전압 선택 회로는, PMOS 트랜지스터(51 및 52), NMOS 트랜지스터(53 및 54)를 구비한다. 또, 이 회로는, 제1 입력 단자(IN1), 제2 입력 단자(IN2), 제어 단자(CNT), 및, 제1 출력 단자(OUT1), 제2 출력 단자(OUT2)를 구비한다.

[0059] PMOS 트랜지스터(51) 및 NMOS 트랜지스터(53)는, 전압($V_{in} + V_{s1}$)을 전원 전압으로서 전압($V_{in} - V_{s2}$)을 접지 전압으로 한 제1의 인버터를 구성한다. PMOS 트랜지스터(52) 및 NMOS 트랜지스터(54)는, 전압($V_{in} + V_{s1}$)을 전원 전압으로서 전압($V_{in} - V_{s2}$)을 접지 전압으로 한 제2의 인버터를 구성하고, 제1의 인버터의 후단에 설치된다. 제1의 인버터는, 입력 단자가 케이트 전압 선택 회로(15)의 제어 단자(CNT)에 접속되고, 출력 단자가 케이트 전압 선택 회로(15)의 제1 출력 단자(OUT1)에 접속된다. 제2의 인버터는, 입력 단자가 케이트 전압 선택 회로(15)의 제1 출력 단자(OUT1)에 접속되고, 출력 단자가 케이트 전압 선택 회로(15)의 제2 출력 단자(OUT2)에 접속된다.

[0060] 또, 제1 레벨 시프터(13) 및 제2 레벨 시프터(14)는, 전류원(21) 및 전류원(31)을 이용했는데, 도시하지 않았으나, 저항을 이용해도 된다.

[0061] 또, 제1 레벨 시프터(13) 및 제2 레벨 시프터(14)는, 일례로서 도 2 및 도 3에 나타낸 회로로 했으나, 입력 전압(V_{in})을 입력하여 출력 전압($V_{in} \pm V_{s1}$)을 출력하는 회로이면 된다. 예를 들면, 도 7에 나타낸 바와 같이 베퍼 앰프로 구성해도 된다.

부호의 설명

[0062] 10 : 트랜스미션 케이트

11 : PMOS 트랜지스터

12 : NMOS 트랜지스터

13 : 제1 레벨 시프터

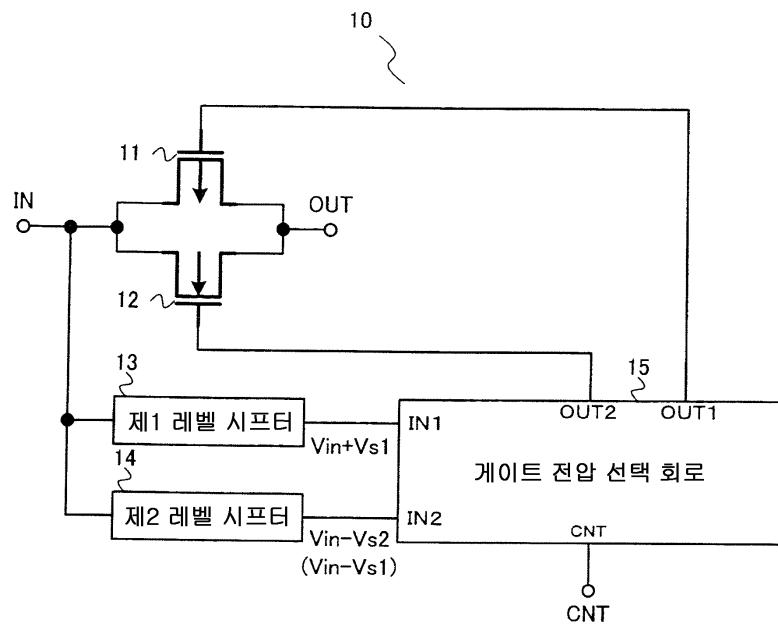
14 : 제2 레벨 시프터

15 : 케이트 전압 선택 회로

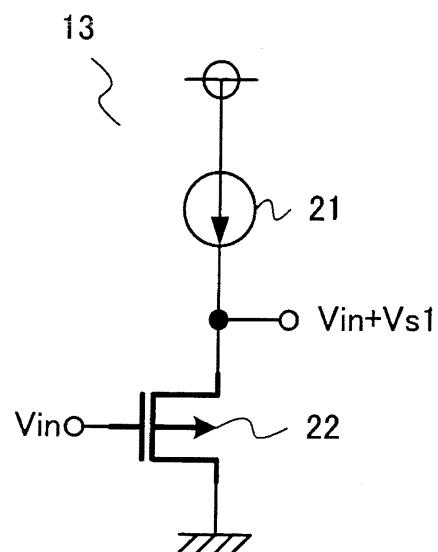
71 : 앰프

도면

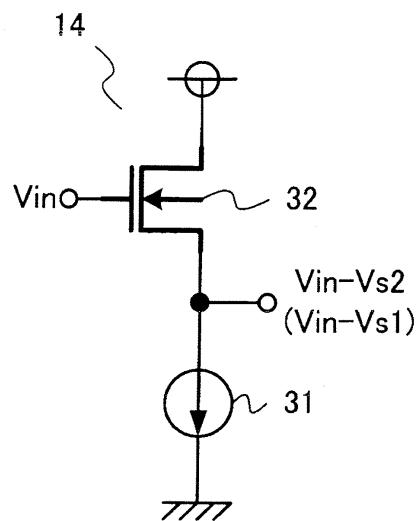
도면1



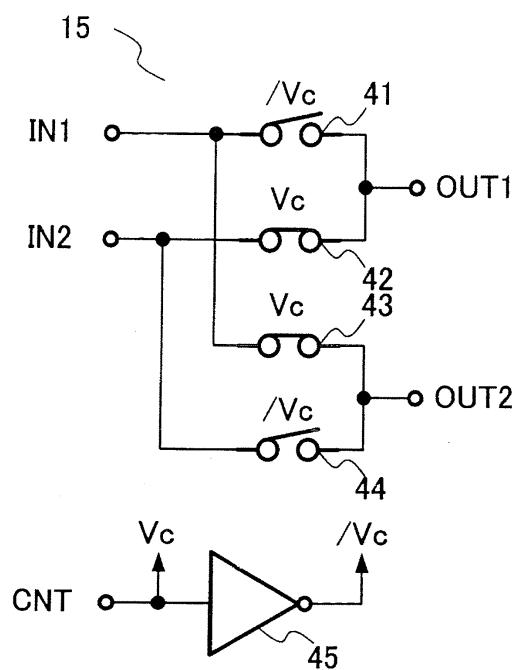
도면2



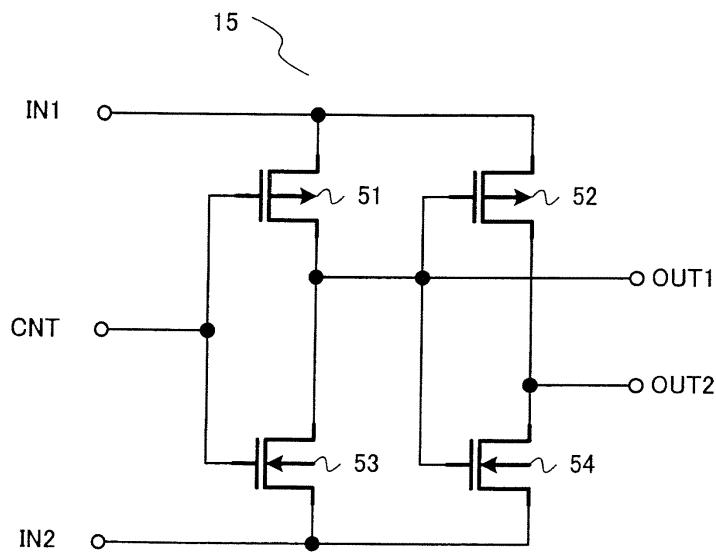
도면3



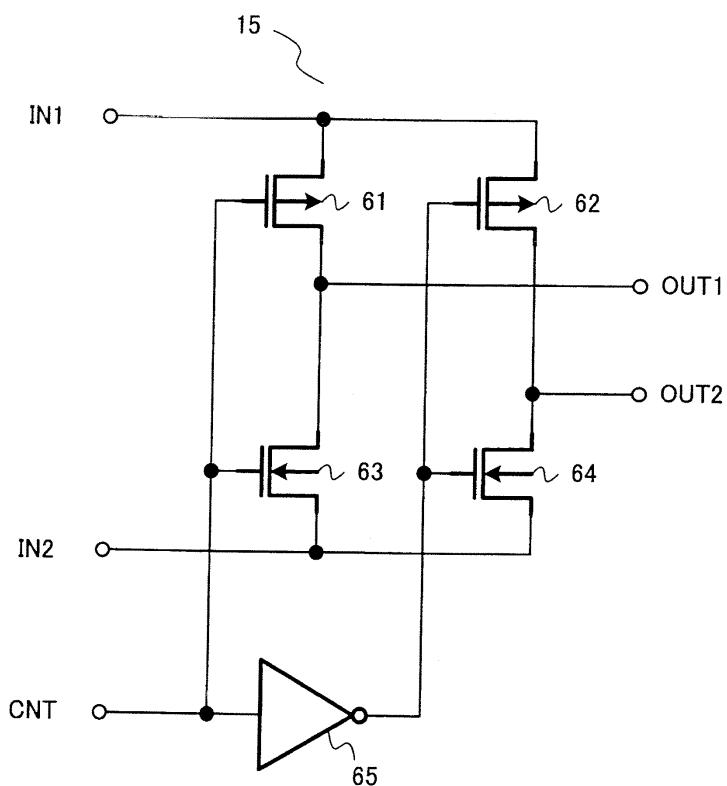
도면4



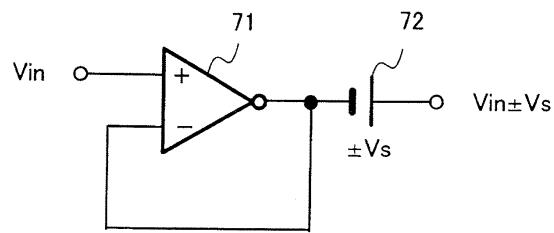
도면5



도면6



도면7



도면8

