

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2025年1月2日(02.01.2025)



(10) 国際公開番号

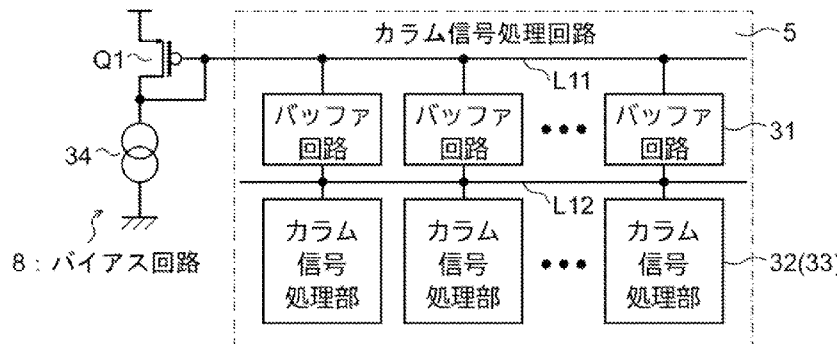
WO 2025/004801 A1

- (51) 国際特許分類:  
H04N 25/76 (2023.01) H04N 25/78 (2023.01)
- (21) 国際出願番号: PCT/JP2024/021275
- (22) 国際出願日: 2024年6月12日(12.06.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-105435 2023年6月27日(27.06.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 朝倉 ルオンフォン (ASAKURA Luonghung); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 宮嶋 学 (MIYAJIMA Manabu); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH,

(54) Title: LIGHT DETECTION DEVICE

(54) 発明の名称: 光検出装置

[図5]



5 Column signal processing circuit  
8 Bias circuit  
31 Buffer circuit  
32 Column signal processing unit

(57) Abstract: [Problem] To quickly switch currents on a signal line. [Solution] This light detection device comprises: a plurality of pixels each having a photoelectric conversion element; a plurality of signal lines for transmitting a plurality of pixel signals obtained by photoelectric conversion by the plurality of pixels; a plurality of first current sources provided corresponding to the plurality of signal lines; a bias circuit for generating a bias current; a first wire set to a voltage level corresponding to the bias current; a second wire connected to the plurality of first current sources; and one or more buffer circuits connected to the first wire and the second wire to set a voltage level of the second wire according to the voltage level of the first wire.

(57) 要約: [課題] 信号線上の電流を迅速に切り替える。[解決手段] 光検出装置は、それぞれが光電変換素子を有する複数の画素と、前記複数の画素で光電変換された複数の画素信号を送送する複数の信号線と、前記複数の信号線に対応して設けられる複数の第1電流源と、バイアス電流を生成するバイアス回路と、前記バイアス電流に応じた電圧レベルに設定される第1配線と、前記複数の第1電流源に接続される第2配線と、前記第1配線及び前記第2配線に接続され、前記第1配線の電圧レベルに応じて前記第2配線の電圧レベルを設定する1以上のバッファ回路と、を備える。

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：光検出装置

技術分野

[0001] 本開示は、光検出装置に関する。

背景技術

[0002] 既存の固体撮像装置（イメージセンサ）では、列（カラム）方向に配列される複数の画素で光電変換された画素信号を、共通の信号線（垂直信号線とも呼ばれる）で伝送して、列単位でアナログーデジタル変換処理を行う。列方向に延びる信号線が行方向に複数配列されている。

[0003] 1本の信号線には、複数の画素が接続されるため、負荷容量が大きくなり、信号線上の画素信号の信号レベルが安定するのに時間がかかる。このため、特許文献1では、行方向に配列される複数の信号線のそれぞれに、複数の電流源を設けて、信号線を通る電流を高速に接地ノードに引き抜いている。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-207973号公報

発明の概要

発明が解決しようとする課題

[0005] 固体撮像装置では、1水平走査期間の間に、フローティングディフュージョンのリセット、リセットレベルの読出、露光開始、信号転送、信号レベルの読出などの種々の動作を行わなければならない、動作ごとに信号線に流すべき電流も異なる。

[0006] しかしながら、既存の固体撮像装置では、各信号線に接続される各電流源に対して、共通のバイアス回路からバイアス電流を与えるのが一般的である。バイアス回路に多数の電流源が接続される場合には、バイアス電流を与えるバイアス線の負荷容量が大きくなってバイアス電流の応答が遅くなり、1

水平走査期間の間にバイアス電流を迅速に切り替えることが困難になる。

[0007] そこで、本開示では、信号線上の電流を迅速に切り替えることができる光検出装置を提供するものである。

### 課題を解決するための手段

[0008] 上記の課題を解決するために、本開示によれば、それぞれが光電変換素子を有する複数の画素と、

前記複数の画素で光電変換された複数の画素信号を伝送する複数の信号線と、

前記複数の信号線に対応して設けられる複数の第 1 電流源と、

バイアス電流を生成するバイアス回路と、

前記バイアス電流に応じた電圧レベルに設定される第 1 配線と、

前記複数の第 1 電流源に接続される第 2 配線と、

前記第 1 配線及び前記第 2 配線に接続され、前記第 1 配線の電圧レベルに応じて前記第 2 配線の電圧レベルを設定する 1 以上のバッファ回路と、を備える、

光検出装置が提供される。

[0009] 1 個の前記バッファ回路に対して 1 個の前記第 1 電流源が設けられるか、又は、1 個の前記バッファ回路に対して 2 以上の前記第 1 電流源が設けられてもよい。

[0010] 2 以上の前記バッファ回路が共通の前記第 2 配線に接続されてもよい。

[0011] 前記バイアス回路は、

第 1 トランジスタと、

前記第 1 トランジスタに流れる電流を生成する第 2 電流源と、を有し、

前記バッファ回路は、

前記第 1 トランジスタとカレントミラー回路を構成する第 2 トランジスタと、

前記第 2 トランジスタに流れる電流を生成する第 3 電流源と、を有してもよい。

- [0012] 前記第3電流源は、前記第2トランジスタのドレインソース間に流れる電流と同じ電流をドレインソース間に流す第3トランジスタを有し、  
前記複数の第1電流源のそれぞれは、前記第3トランジスタとカレントミラー回路を構成する第4トランジスタを有してもよい。
- [0013] 前記第2電流源は、一定の電流を流す定電流源であり、  
前記バイアス電流は一定であってもよい。
- [0014] 前記1以上のバッファ回路は、前記複数の第1電流源に流れる電流を動的に切り替えてもよい。
- [0015] 前記バイアス回路は、可変制御可能な前記バイアス電流を生成する可変電流源を有してもよい。
- [0016] 前記バッファ回路は、  
前記第1トランジスタとカレントミラー回路を構成する複数の前記第2トランジスタと、  
前記複数の第2トランジスタのそれぞれのドレインソース間に電流を流すか否かを切り替える複数の切替器と、を有し、  
前記第3電流源は、前記複数の第2トランジスタのうち、ドレインソース間に電流を流す第2トランジスタの数に応じた電流を流してもよい。
- [0017] 前記第3電流源は、前記複数の第2トランジスタのうち、ドレインソース間に電流を流す第2トランジスタの数が多いほど、より大きな電流を流してもよい。
- [0018] 2以上の前記バッファ回路が設けられ、  
前記2以上のバッファ回路のそれぞれは、前記第2トランジスタのドレインソース間に電流を流すか否かを切り替える切替器を有してもよい。
- [0019] 前記第1配線は、前記バイアス回路による前記バイアス電流の可変制御、又は前記バッファ回路による前記第1配線に流す電流の可変制御に応じた電圧レベルに制御され、  
前記1以上のバッファ回路は、前記第2配線を前記第1配線の電圧レベルに応じた電圧レベルに制御してもよい。

- [0020] 前記複数の第1電流源のそれぞれは、前記複数の信号線のうち対応する信号線に接続されてもよい。
- [0021] 前記複数の信号線で伝送される前記複数の画素信号をデジタル信号に変換する複数のアナログーデジタル変換器と、を備え、  
前記複数のアナログーデジタル変換器のそれぞれは、参照信号と前記画素信号とを比較する比較器を有し、  
前記比較器は、前記第1電流源を有してもよい。
- [0022] 前記複数の信号線で伝送される前記複数の画素信号をデジタル信号に変換する複数のアナログーデジタル変換器と、  
前記参照信号をバッファリングして前記比較器に入力するランプバッファと、を有し、  
前記ランプバッファは、前記第1電流源を有してもよい。
- [0023] 第1方向及び第2方向に配列される前記複数の画素を有する画素アレイ部と、  
前記第1方向に配列される2以上の前記画素を含む画素群を単位として、  
前記第2方向に配列される複数の前記画素群を順次に駆動する駆動部と、を備え、  
前記1以上のバッファ回路は、前記第2方向に配列される複数の前記画素群のそれぞれを駆動する期間内に、前記複数の第1電流源に流れる電流を動的に切り替えてもよい。
- [0024] 前記複数の第1電流源が前記複数の信号線に接続される場合には、前記期間内に前記複数の画素をリセットする場合と、前記光電変換素子の蓄積電荷をフローティングディフュージョンに転送する場合とには、それ以外の場合よりも前記複数の第1電流源に流れる電流を多くしてもよい。
- [0025] 前記複数の信号線で伝送される前記複数の画素信号をデジタル信号に変換する複数のアナログーデジタル変換器を備え、  
前記複数のアナログーデジタル変換器のそれぞれは、  
参照信号と前記画素信号とを比較する比較器と、

前記比較器の比較結果に基づいて、前記参照信号が前記画素信号に一致するまでの間、カウント動作を行うカウンタと、

前記参照信号をバッファリングして前記比較器に入力するランプバッファと、を有し、

前記比較器が前記第 1 電流源を有する場合には、前記期間内に前記カウンタがカウント動作を行っている最中は、対応する前記第 1 電流源に流れる電流をより多くしてもよい。

[0026] 前記参照信号をバッファリングして前記比較器に入力するランプバッファと、を有し、

前記ランプバッファが前記第 1 電流源を有する場合には、前記期間内に前記カウンタがカウント動作を行っている最中は、対応する前記第 1 電流源に流れる電流をより多くしてもよい。

[0027] 前記バッファ回路は、

前記第 1 配線の電圧レベルに応じた電荷を保持する信号保持部と、

前記信号保持部に前記電荷を保持するか否かを切り替える切替器と、を有してもよい。

## 図面の簡単な説明

[0028] [図1]本開示に係る光検出装置の概略構成を示すブロック図。

[図2]画素アレイ部内の一つの画素の回路図。

[図3A]本開示に係る光検出装置を二層構造にする例を示す模式的な斜視図。

[図3B]本開示に係る光検出装置を三層構造にする例を示す模式的な斜視図。

[図4]図 1 に示す負荷 MOS 回路とカラム信号処理回路の内部構成を示すブロック図。

[図5]第 1 の実施形態に係る光検出装置の要部を示すブロック図。

[図6]バッファ回路 31 の具体的な構成を示す回路図。

[図7]図 6 のバッファ回路の一変形例を示す回路図。

[図8]第 1 の実施形態の一変形例に係る光検出装置の要部を示すブロック図。

[図9]第 1 の実施形態の一変形例に係るバッファ回路の具体的な構成を示す回

路図。

[図10]図7の一変形例に係るバッファ回路の回路図。

[図11]第2の実施形態に係る光検出装置の要部を示すブロック図。

[図12]第2の実施形態に係るバッファ回路の具体的な構成を示す回路図。

[図13]第3の実施形態に係る光検出装置の要部を示すブロック図。

[図14]1水平走査期間内にバイアス回路が第2電流源を流れる電流を可変制御する例を示すタイミング図。

[図15]第3の実施形態の第1変形例に係るバッファ回路の具体的な構成を示す回路図。

[図16]第3の実施形態の第2変形例に係る光検出装置のブロック図。

[図17A]バッファ回路の出力ノードとローカルバイアス線との間に配置される切替器39をオンする例を示す図。

[図17B]バッファ回路の出力ノードとローカルバイアス線との間に配置される切替器39をオフする例を示す図。

[図18]第4の実施形態に係る光検出装置の要部を示すブロック図。

[図19]1水平走査期間内に負荷MOS回路の電流源、コンパレータの電流源、及びランプバッファの電流源に流れる電流の変化を示すタイミング図。

[図20]第5の実施形態に係る光検出装置のブロック図。

[図21]車両制御システムの概略的な構成の一例を示すブロック図。

[図22]車外情報検出部及び撮像部の設置位置の一例を示す説明図。

### 発明を実施するための形態

[0029] 以下、図面を参照して、光検出装置の実施形態について説明する。以下では、光検出装置の主要な構成部分を中心に説明するが、光検出装置には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0030] 図1は本開示に係る光検出装置1の概略構成を示すブロック図である。本開示に係る光検出装置1は、図1に示すように、画素アレイ部2と、垂直走査回路3と、負荷MOS (Metal Oxide Semiconductor) 回路4と、カラム信

号処理回路5と、タイミング制御回路6と、デジタルーアナログ変換器(DAC)7と、バイアス回路8とを備えている。

[0031] 画素アレイ部2は、第1方向X及び第2方向Yに配置された複数の画素10を有する。本明細書では、第1方向Xを行方向、第2方向Yを列方向と呼ぶこともある。また、本明細書では、1行分の画素群を画素行と呼び、1列分の画素群を画素列と呼ぶ。

[0032] タイミング制御回路6は、不図示の制御部から供給される垂直同期信号XVSに同期して、垂直走査回路3、DAC7、及びカラム信号処理回路5の動作タイミングを制御する。DAC7は、カラム信号処理回路5でアナログーデジタル変換(以下、AD変換)を行う際に使用する参照信号(ランプ信号)Rampを生成する。参照信号Rampは、例えば鋸波状の信号である。

[0033] 垂直走査回路3は、複数の行走査線L1を順に駆動する。行走査線L1は、第2方向Yに並ぶ画素行ごとに設けられており、垂直走査回路3がいずれかの行走査線L1を駆動すると、対応する画素行内の各画素10からの画素信号が複数の垂直信号線VSLに送られる。複数の垂直信号線VSL上の複数の画素信号は、負荷MOS回路4を介して、カラム信号処理回路5に入力される。

[0034] 負荷MOS回路4は、後述するように、各垂直信号線VSLに定電流を供給する定電流源を有する。

[0035] カラム信号処理回路5は、垂直信号線VSLごとに、各垂直信号線VSL上の画素信号をAD変換するとともに、AD変換後のデジタル画素信号に対してCDS(Correlated Double Sampling)処理を行う。本明細書では、カラム信号処理回路5の出力を画像データと呼ぶ。画像データとは、画素アレイ部2の一部又は全域で撮像されたフレーム単位の画像データである。

[0036] バイアス回路8は、垂直信号線VSLに直接又は間接に接続される電流源(第1電流源)に流れる電流を制御するためのバイアス電流を生成する。バイアス回路8は、タイミング制御回路6等に内蔵してもよい。バイアス回路

8は、負荷MOS回路4に設けられる電流源に流れる電流を制御してもよい。また、バイアス回路8は、カラム信号処理回路5に設けられるアナログーデジタル変換用のコンパレータの電流源に流れる電流を制御してもよい。また、バイアス回路8は、上述したコンパレータに入力される参照信号をバッファリングするランプバッファの電流源に流れる電流を制御してもよい。

[0037] 図2は、画素アレイ部内の一つの画素10の回路図である。画素10は、光電変換素子11と、転送トランジスタ12と、リセットトランジスタ13と、増幅トランジスタ14と、選択トランジスタ15とを有する。

[0038] 光電変換素子11は、入射光の光量に応じた電荷を蓄積する。光電変換素子11は、例えばフォトダイオードである。転送トランジスタ12は、光電変換素子11の蓄積電荷をフローティングディフュージョンFDに転送するか否かを切り替える。リセットトランジスタ13は、フローティングディフュージョンFDの電荷を電源電圧ノードに排出して、フローティングディフュージョンFDをリセット信号レベルにするか否かを切り替える。増幅トランジスタ14は、選択トランジスタ15とともにソースフォロワ回路を構成しており、フローティングディフュージョンFDの蓄積電荷に応じた画素信号を生成して、信号線（以下、垂直信号線VSLと呼ぶこともある）に出力する。選択トランジスタ15は、選択信号SELがハイレベルのときに、画素信号を垂直信号線VSLに出力する。

[0039] 図2では、省略しているが、画素10に排出トランジスタ又は変換効率切替トランジスタの少なくとも一方を設けてもよい。

[0040] 本開示に係る光検出装置1は、積層構造のチップで実現することができる。図3Aは、本開示に係る光検出装置1を二層構造にする例を示す模式的な斜視図である。図3Aの光検出装置1は、光入射面側に配置される第1基板16と、第1基板16に積層される第2基板17を備える。第1基板16には、例えば、各画素10の光電変換素子11と、転送トランジスタ12と、リセットトランジスタ13と、増幅トランジスタ14と、選択トランジスタ15とが配置される。第2基板17には、例えば、垂直走査回路3と、負荷

MOS回路4と、カラム信号処理回路5と、タイミング制御回路6と、デジタルーアナログ変換器(DAC7)16と、バイアス回路8とが配置される。第1基板16と第2基板17は、例えばCCC(Copper-Copper Connection)で接合及び信号伝送を行う。あるいは、第1基板16と第2基板17は、CCC以外のビア又はバンプなどで接合されてもよい。

[0041] 図3Bは、本開示に係る光検出装置1を三層構造にする例を示す模式的な斜視図である。図3Bの光検出装置1は、光入射面側に配置される第1基板16と、第1基板16に積層される第2基板17と、第2基板17に積層される第3基板18とを備える。第1基板16には、例えば、各画素10の光電変換素子11と転送トランジスタ12が配置される。第2基板17には、各画素10の転送トランジスタ12以外の画素トランジスタ(リセットトランジスタ13と、増幅トランジスタ14と、選択トランジスタ15など)が配置される。この他、第2基板17には、垂直走査回路3と、負荷MOS回路4と、カラム信号処理回路5と、タイミング制御回路6と、デジタルーアナログ変換器(DAC7)16と、バイアス回路8のうち一部の回路が配置され、残りの回路は、第3基板18に配置される。第1基板16と第2基板17は、例えばTSV(Through Silicon Via)で接合及び信号伝送を行い、第2基板17と第3基板18は、例えばCCCで接合及び信号伝送を行う。

[0042] 図4は図1に示す負荷MOS回路4とカラム信号処理回路5の内部構成を示すブロック図である。負荷MOS回路4は、それぞれが第1方向Xに配置されて第2方向Yに延びる複数の垂直信号線VSLに接続される複数の電流源20を有する。各垂直信号線VSLは、第2方向Yに延びる画素列ごとに設けられている。各電流源20は、対応する垂直信号線VSLに定電流を供給する。電流源20は、後述する第1電流源になりえる。

[0043] カラム信号処理回路5は、複数のアナログーデジタル変換器(以下、ADC)21と、デジタル信号処理部22とを有する。複数のADC21のそれぞれは、いずれかの垂直信号線VSLに対応して設けられている。ADC21は、図1に示すタイミング制御回路6からの制御信号L2に同期させて、

図3に示すDAC7からの参照信号（ランプ信号）Rampを用いて、対応する垂直信号線VSL上の画素信号をデジタル画素信号に変換する。ADC21から出力されたデジタル画素信号は、デジタル信号処理部22に供給される。ADC21は、例えば、コンパレータとカウンタを有するシングルスロープ型のADCである。

[0044] デジタル信号処理部22は、垂直信号線VSLごとに、リセットレベルの画素信号と信号電荷の画素信号との間でCDS処理などの信号処理を行って画像データを出力する。デジタル信号処理部22は、フレーム単位で画像データを出力する。

[0045] 以下に説明する本開示に係る光検出装置1の各実施形態は、垂直信号線VSLに直接又は間接に接続される電流源（以下、第1電流源と呼ぶことがある）を流れる電流を制御することに特徴がある。垂直信号線VSLごとに第1電流源が設けられるため、複数の垂直信号線VSLに対して複数の第1電流源が設けられる。

[0046] （第1の実施形態）

図5は第1の実施形態に係る光検出装置1の要部を示すブロック図である。図5は、バイアス回路8とカラム信号処理回路5のブロック構成を示す。カラム信号処理回路5は、複数のバッファ回路31と複数のカラム信号処理部32を有する。以下では、カラム信号処理回路5が複数の垂直信号線VSLと複数のバッファ回路31を有する例を主に説明するが、最小限の構成では、1本の垂直信号線VSLと1つのバッファ回路31を備えていればよい。各カラム信号処理部32は、対応する第1電流源33を有する。この他、各カラム信号処理部32は、例えばADC21とを有する。ADC21は、例えばコンパレータとランプバッファを有する。

[0047] バイアス回路8はバイアス電流を生成する。バイアス回路8にはバイアス線（第1配線）L11が接続される。バイアス線L11は、バイアス回路8が生成するバイアス電流に応じた電圧レベルに設定される。バイアス線L11には、カラム信号処理回路5内の複数のバッファ回路31が接続される。

[0048] 図5では、カラム信号処理部32の内部に第1電流源33が設けられる例を示す。カラム信号処理部32は、後述するように、アナログーデジタル変換用のコンパレータと、コンパレータに入力される参照信号を生成するランプバッファとを有する。第1電流源33は、コンパレータの電流源でもよいし、ランプバッファの電流源でもよい。また、第1電流源33は、負荷MOS回路4に設けられる電流源でもよい。この場合、バッファ回路31は負荷MOS回路4の内部に設けてもよい。

[0049] バイアス回路8は、第1トランジスタQ1と第2電流源34とを有する。第1トランジスタQ1は、例えばPMOSトランジスタであり、そのソースは電源電圧ノードに接続され、ドレインは第2電流源34に接続される。第1トランジスタQ1のゲートとドレインは短絡されている。第1トランジスタQ1のゲートには、バイアス線L11（第1配線）が接続される。バイアス線L11には、複数のバッファ回路31が接続される。複数のバッファ回路31の各出力ノードは、共通のローカルバイアス線L12（第2配線）に接続される。

[0050] このように、複数のバッファ回路31の出力ノードを共通のローカルバイアス線L12に接続することで、複数のバッファ回路31の出力信号の信号レベルを平均化することができ、個々のバッファ回路31の出力信号がノイズを含んでいても、ローカルバイアス線L12がそのノイズの影響を受けにくくなる。

[0051] 図6はバッファ回路31の具体的な構成を示す回路図である。バッファ回路31は、第2トランジスタQ2と第3電流源35を有する。第2トランジスタQ2は、例えばPMOSトランジスタである。第2トランジスタQ2は、バイアス回路8内の第1トランジスタQ1とカレントミラー回路を構成する。

[0052] より詳細には、第1トランジスタQ1のゲートと第2トランジスタQ2のゲートは互いに接続される。第1トランジスタQ1のソースードレイン間の電流に比例した電流が第2トランジスタQ2のソースードレイン間に流れる

。

[0053] 第3電流源35は、例えば第3トランジスタQ3を有する。第3トランジスタQ3は、例えばNMOSトランジスタである。第3トランジスタQ3のゲート及びドレインはローカルバイアス線L12に接続され、ソースは接地ノードに接続される。

[0054] ローカルバイアス線L12には、カラム信号処理部32内の第1電流源33が接続される。第1電流源33は、第4トランジスタQ4を有する。第4トランジスタQ4は、例えばNMOSトランジスタである。第4トランジスタQ4のゲートはローカルバイアス線L12に接続される。例えば、第1電流源33が負荷MOS回路4の場合、第4トランジスタQ4のドレインは垂直信号線VSLに接続され、ソースは接地ノードに接続される。

[0055] 図5及び図6において、バイアス回路8に接続されるバイアス線L11は、バイアス回路8内の第2電流源34に流れる電流に応じた電圧レベルになる。バイアス線L11に接続された各バッファ回路31内の第2トランジスタQ2のドレインーソース間と第3電流源35には、バイアス回路8内の第2電流源34に流れる電流に比例した電流が流れる。第3電流源35を構成する第3トランジスタQ3と、第1電流源33を構成する第4トランジスタQ4とはカレントミラー回路を構成するため、第1電流源33は、第3電流源35に流れる電流に比例した電流を流すことができる。

[0056] 本実施形態では、バイアス回路8に接続されるバイアス線L11とは別個に、複数のバッファ回路31が接続されるローカルバイアス線L12を備えており、複数のカラム信号処理部32は、バイアス線L11には接続されずにローカルバイアス線L12に接続される。よって、バイアス線L11の負荷が大きくなることなく、バイアス線L11の電圧レベルのセトリング時間を短縮できる。

[0057] バッファ回路31の回路構成は、必ずしも図6に示したものに限定されない。図7は、図6のバッファ回路31の一変形例を示す回路図である。図7のバッファ回路31は、図6のバッファ回路31に、サンプルホールド用の

キャパシタ 36 と切替器 37 を追加したものである。キャパシタ 36 は、第 2 トランジスタ Q2 のゲートとソースの間に接続される。切替器 37 は、バイアス線 L11 と第 2 トランジスタ Q2 のゲートの間に接続される。第 2 トランジスタ Q2 のソースは電源電圧ノードに接続される。切替器 37 がオンすると、第 2 トランジスタ Q2 のゲートはバイアス線 L11 と同電位になり、電源電圧とバイアス線 L11 の電圧との電圧差に応じた電荷がキャパシタ 36 に保持される。切替器 37 がオフすると、キャパシタ 36 は切替器 37 がオフする直前の電荷を保持する。切替器 37 は、各画素 10 のリセットレベルの画素信号が垂直信号線 VSL で伝送されるタイミングに合わせてオンし、その後オフする。キャパシタ 36 は、切替器 37 がオフする直前のリセットレベルの電荷を保持する。切替器 37 がオンからオフに変化する際に kTC ノイズが発生するため、キャパシタ 36 の蓄積電荷には kTC ノイズによる電荷が含まれるが、kTC ノイズは、リセットレベルと信号レベルで変わらないため、バイアス線 L11 の電位は、kTC ノイズを相殺した CDS 処理済みの電位レベルになる。

[0058] 図 5 ～図 7 では、バイアス回路 8 内に PMOS トランジスタからなる第 1 トランジスタ Q1 を設ける例を示したが、第 1 トランジスタ Q1 を NMOS トランジスタで構成することも可能である。

[0059] 図 8 は第 1 の実施形態の一変形例に係る光検出装置 1 の要部を示すブロック図、図 9 は第 1 の実施形態の一変形例に係るバッファ回路 31 の具体的な構成を示す回路図である。一変形例に係る光検出装置 1 は、バイアス回路 8 とバッファ回路 31 の構成が図 5 及び図 6 とは異なる。

[0060] 一変形例に係るバイアス回路 8 は、図 8 に示すように、NMOS トランジスタからなる第 1 トランジスタ Q1 と、第 2 電流源 34 とを有する。第 1 トランジスタ Q1 のソースは接地ノードに接続され、第 1 トランジスタ Q1 のゲートとドレインは短絡される。第 2 電流源 34 の一端は、第 1 トランジスタ Q1 のゲート及びドレインに接続され、第 2 電流源 34 の他端は電源電圧ノードに接続される。

- [0061] 一変形例に係るバッファ回路31は、図9に示すように、NMOSトランジスタからなる第2トランジスタQ2と、PMOSトランジスタからなる第3トランジスタQ3を有する第3電流源35とを備える。第2トランジスタQ2のドレインは、第3トランジスタQ3のゲート及びドレインに接続される。第2トランジスタQ2のソースは接地ノードに接続される。第2トランジスタQ2のゲートはバイアス線L11に接続される。第3トランジスタQ3のソースは電源電圧ノードに接続され、第3トランジスタQ3のゲートはローカルバイアス線L12に接続される。
- [0062] 第1電流源33は、NMOSトランジスタからなる第4トランジスタQ4を有する。第4トランジスタQ4のゲートはローカルバイアス線L12に接続される。
- [0063] 図10は図7の一変形例に係るバッファ回路31の回路図である。図10は、図9のバッファ回路31にキャパシタ36と切替器37を追加したものである。図10のキャパシタ36は、第2トランジスタQ2のゲートと接地ノードの間に接続される。切替器37は、第2トランジスタQ2のゲートとバイアス線L11の間に接続される。
- [0064] このように、第1の実施形態では、バイアス回路8に接続されるバイアス線L11に複数のバッファ回路31を共通に接続し、複数のバッファ回路31の出力ノードにローカルバイアス線L12を共通に接続する。ローカルバイアス線L12には、複数の第1電流源33が接続される。これにより、複数の第1電流源33がバイアス線L11に接続されなくなり、バイアス線L11の負荷容量を低減できる。よって、バイアス線L11のセトリング時間を短縮できる。
- [0065] また、各バッファ回路31の出力ノードを共通のローカルバイアス線L12に接続するため、各バッファ回路31の出力信号のノイズ及び信号ばらつきを低減できる。
- [0066] さらに、各バッファ回路31にキャパシタ36と切替器37を設けてバイアス線L11の電圧をサンプルホールドすることで、各バッファ回路31に

てリセットレベルと信号レベルとの差分を検出するCDS (Correlated Double Sampling) 処理を行うことができ、横筋ノイズを抑制できる。

[0067] (第2の実施形態)

第1の実施形態では、1個のバッファ回路31が1個の第1電流源33に対応づけられる例を説明したが、以下に説明する第2の実施形態では、1個のバッファ回路31が2以上の第1電流源33に対応づけられることを特徴とする。

[0068] 図11は第2の実施形態に係る光検出装置1の要部を示すブロック図である。図11は、バイアス回路8とカラム信号処理回路5のブロック構成を示す。図11のバイアス回路8は、図6のバイアス回路8と同様の回路構成を備える。図11のカラム信号処理回路5は、1個のバッファ回路31に複数のカラム信号処理部32が接続される点で、図6のカラム信号処理回路5とは異なる。これにより、第2の実施形態では、バッファ回路31の総数を第1の実施形態よりも減らすことができ、カラム信号処理回路5の回路規模を縮小できる。なお、第1電流源33は、負荷MOS回路4に設けられる場合もあるため、図11のカラム信号処理部32は、負荷MOS回路4内の電流源20を含む回路であってもよい。

[0069] 各バッファ回路31は、バイアス線L11とローカルバイアス線L12に接続される。すべてのバッファ回路31が共通のバイアス線L11と共通のローカルバイアス線L12に接続される。これにより、各バッファ回路31の出力信号のばらつきを平均化することができる。

[0070] 図12は第2の実施形態に係るバッファ回路31の具体的な構成を示す回路図である。図12に示す第2の実施形態に係るバッファ回路31は、図6と同様に、PMOSトランジスタからなる第2トランジスタQ2と、NMOSトランジスタからなる第3電流源35とを有する。ローカルバイアス線L12には、複数の第1電流源33を含む複数のカラム信号処理部32が接続される。

[0071] 各カラム信号処理部32に設けられる第1電流源33は、第4トランジス

タQ4を有する。1個のバッファ回路31に対して、ローカルバイアス線L12に接続される複数の第4トランジスタQ4が設けられる。複数の第4トランジスタQ4は、バッファ回路31内の第3電流源35を構成するNMOSトランジスタQ3とカレントミラー回路を構成する。バイアス回路8を流れるバイアス電流に応じてバイアス線L11の電圧レベルが変化し、バイアス線L11の電圧レベルに応じてローカルバイアス線L12の電圧レベルが変化し、ローカルバイアス線L12の電圧レベルに応じて第3電流源35を流れる電流が変化し、第3電流源35を流れる電流に応じて、第1電流源33を流れる電流が変化する。

[0072] 第2の実施形態では、第1の実施形態と同様に、バイアス線L11に複数のカラム信号処理部32が接続されないことから、バイアス線L11の負荷容量を低減でき、バイアス線L11のセtring時間を短縮できる。

[0073] また、第2の実施形態では、1個のバッファ回路31に対して複数のカラム信号処理部32を設けるため、バッファ回路31の総数を第1の実施形態よりも減らすことができ、カラム信号処理回路5の面積を削減できる。

[0074] さらに、第2の実施形態では、個々のバッファ回路31ごとに設けられる複数のカラム信号処理部32は、いずれも共通のローカルバイアス線L12に接続されるため、バッファ回路31の出力信号を平均化することができ、複数のカラム信号処理部32の信号処理が個々のバッファ回路31のばらつきの影響を受けなくなる。

[0075] (第3の実施形態)

第1及び第2の実施形態では、バイアス回路8が生成するバイアス電流が一定である例を説明したが、バイアス回路8がバイアス電流を可変制御することにより、バイアス線L11の電圧レベルを可変させることができる。また、バイアス回路8がバイアス電流を一定にした場合でも、バッファ回路31がバイアス線L11に流れる電流を可変させてバイアス線L11の電圧レベルを可変制御することも可能である。バイアス線L11の電圧レベルを可変制御することで、カラム信号処理部32に設けられる第1電流源33に流

れる電流を可変させることができる。

[0076] 図13は第3の実施形態に係る光検出装置1の要部を示すブロック図である。第3の実施形態に係る光検出装置1は、バイアス回路8の回路構成が図6とは異なる。第3の実施形態に係るバッファ回路31は、複数の第1電流源33に流れる電流を動的に切り替えることができる。第3の実施形態に係るバイアス回路8は、PMOSトランジスタからなる第1トランジスタQ1と、可変電流源からなる第2電流源34とを有する。バイアス回路8は、第2電流源34を流れる電流（バイアス電流）を制御することで、第1トランジスタQ1のゲートに接続されるバイアス線L11の電圧レベルを可変制御できる。

[0077] バイアス線L11には、複数のバッファ回路31が接続される。複数のバッファ回路31の出力ノードは共通のローカルバイアス線L12に接続される。バイアス回路8が第2電流源34を流れるバイアス電流を制御することで、バイアス線L11の電圧レベルが可変制御される。複数のバッファ回路31は、バイアス線L11の電圧レベルに応じてローカルバイアス線L12の電圧レベルを制御する。これにより、第3の実施形態では、ローカルバイアス線L12の電圧レベルを可変制御することができる。第1及び第2の実施形態と同様に、ローカルバイアス線L12には複数のカラム信号処理部32が接続される。

[0078] 複数のカラム信号処理部32は、バイアス線L11には接続されないため、バイアス線L11の負荷容量を低減できる。よって、バイアス回路8が第2電流源34を流れるバイアス電流を可変制御すると、バイアス線L11の電圧レベルを迅速に可変制御することができる。バイアス線L11の電圧レベルが変化すると、ローカルバイアス線L12の電圧レベルも変化する。これにより、バイアス回路8がバイアス電流を可変制御することで、ローカルバイアス線L12の電圧レベルを可変制御することができる。

[0079] 第3の実施形態では、バイアス回路8が第2電流源34を流れるバイアス電流を可変制御することで、カラム信号処理部32の第1電流源33を流れ

る電流を迅速に切り替えることができるため、例えば、1 水平走査期間の間に第1 電流源3 3を流れる電流を可変制御することも可能となる。

[0080] 図1 4は1 水平走査期間内にバイアス回路8が第2 電流源3 4を流れる電流を可変制御する例を示すタイミング図である。図1 4は、バイアス回路8が1 水平走査期間内の時刻 $t_1 \sim t_2$ の間は第2 電流源3 4を流れるバイアス電流を増やし、時刻 $t_2$ 以降は第2 電流源3 4を流れるバイアス電流を減らす例を示す。第3の実施形態に係る光検出装置1では、バイアス線L 1 1には複数のカラム信号処理部3 2が接続されないため、バイアス回路8が第2 電流源3 4を流れる電流を可変制御すると、迅速にバイアス線L 1 1の電圧レベルを変化させることができる。バイアス線L 1 1の電圧レベルが変化すると、ローカルバイアス線L 1 2の電圧レベルも迅速に変化するため、複数のカラム信号処理部3 2に設けられる各第1 電流源3 3に流れる電流を迅速に可変制御できる。

[0081] 図1 3では、バイアス回路8を流れるバイアス電流を可変制御することで、バイアス線L 1 1の電圧レベルを可変させる例を示したが、バイアス電流の可変制御以外の手法でバイアス線L 1 1の電圧レベルを可変させることも可能である。

[0082] 図1 5は第3の実施形態の第1 変形例に係るバッファ回路3 1の具体的な構成を示す回路図である。第1 変形例に係る光検出装置1は、図1 3と同様のブロック構成を備える。第1 変形例に係る光検出装置1が有するバッファ回路3 1は、複数の第2 トランジスタQ 2を有する。複数の第2 トランジスタQ 2はいずれも、例えばPMOSトランジスタである。複数の第2 トランジスタQ 2のゲートはいずれもバイアス線L 1 1に接続される。よって、複数の第2 トランジスタQ 2は、バイアス回路8の第1 トランジスタQ 1とカレントミラー回路を構成する。複数の第2 トランジスタQ 2のソースは電源電圧ノードに接続され、ドレインは対応する切替器3 8を介してローカルバイアス線L 1 2に接続される。

[0083] 複数の第2 トランジスタQ 2のドレインに接続される複数の切替器3 8は

、個別にオン又はオフさせることができる。本明細書では、切替器 38 がオンのときに対応する第 2 トランジスタ Q2 のドレインがローカルバイアス線 L12 に接続され、切替器 38 がオフのときに対応する第 2 トランジスタ Q2 のドレインとローカルバイアス線 L12 との接続が遮断されるものとする。

[0084] 複数の切替器 38 のオン又はオフを個別に制御することで、ローカルバイアス線 L12 の電圧レベルを段階的に可変制御できる。より具体的には、オン状態の切替器 38 の数が多いほど、ローカルバイアス線 L12 の電圧レベルを高くすることができる。

[0085] 第 1 変形例に係る光検出装置 1 では、バイアス回路 8 を流れるバイアス電流とバイアス線 L11 の電圧レベルを一定に維持したままで、複数の切替器 38 のオン又はオフを切り替えることで、ローカルバイアス線 L12 の電圧レベルを可変制御するため、バッファ回路 31 を流れるバイアス電流を可変制御してバイアス線 L11 の電圧レベルを変化させるよりも高速にローカルバイアス線 L12 の電圧レベルを可変制御できる。

[0086] 図 16 は第 3 の実施形態の第 2 変形例に係る光検出装置 1 のブロック図である。第 2 変形例に係る光検出装置 1 は、第 1 変形例とは異なる構成のカラム信号処理回路 5 を備える。第 2 変形例に係るカラム信号処理回路 5 は、バイアス線 L11 に接続される複数のバッファ回路 31 と、複数のバッファ回路 31 に接続される複数のカラム信号処理部 32 とを有する。複数のバッファ回路 31 のそれぞれは、対応するバッファ回路 31 の出力ノードをローカルバイアス線 L12 に接続するか否かを個別に切り替えることができる。例えば、各バッファ回路 31 の出力ノードとローカルバイアス線 L12 の間に切替器 39（後述する図 17A 参照）を設けることで、バッファ回路 31 の出力ノードをローカルバイアス線 L12 に接続するか否かを個別に切替可能となる。

[0087] 図 16 は、一例として、実線で示すバッファ回路 31 の出力ノードをローカルバイアス線 L12 に接続し、破線で示すバッファ回路 31 の出力ノード

とローカルバイアス線L 1 2との接続を遮断する例を示す。出力ノードがローカルバイアス線L 1 2に接続されるバッファ回路3 1の数が多いほど、ローカルバイアス線L 1 2の電圧レベルを高くすることができ、第1変形例に係る複数の切替器3 8の切替制御と同様の効果が得られる。

[0088] 図1 7 Aはバッファ回路3 1の出力ノードとローカルバイアス線L 1 2との間に配置される切替器3 9をオンする例を示す図、図1 7 Bはバッファ回路3 1の出力ノードとローカルバイアス線L 1 2との間に配置される切替器3 9をオフする例を示す図である。切替器3 9をオンすると、バッファ回路3 1内の第2トランジスタQ 2を流れる電流は切替器3 9を介してローカルバイアス線L 1 2に流れ、ローカルバイアス線L 1 2の電圧レベルが上昇する。一方、切替器3 9をオフすると、第2トランジスタQ 2からローカルバイアス線L 1 2に電流が流れなくなり、ローカルバイアス線L 1 2の電圧が低下する。

[0089] 図1 7 Aと図1 7 Bには、1個の第2トランジスタQ 2と1個の切替器3 9だけが図示されているが、実際には、複数の第2トランジスタQ 2と複数の切替器3 9が設けられている。オンにする切替器3 9の数が多いほど、第2トランジスタQ 2からローカルバイアス線L 1 2に流れる電流が増えて、ローカルバイアス線L 1 2の電圧レベルが上昇する。

[0090] 図1 5に示す第1変形例では、バッファ回路3 1に複数の第2トランジスタQ 2と複数の切替器3 8を設ける必要があったが、第2変形例では、バッファ回路3 1に設ける第2トランジスタQ 2と切替器3 9の数を第1変形例よりも少なくでき、カラム信号処理回路5の回路規模を縮小できる。

[0091] このように、第3の実施形態では、バイアス回路8を流れるバイアス電流を可変制御するか、又は複数のバッファ回路3 1の切替制御により、ローカルバイアス線L 1 2の電圧レベルを可変制御するため、複数のカラム信号処理部3 2の第1電流源3 3を流れる電流を迅速に切り替えることができる。第3の実施形態によれば、1水平走査期間内に第1電流源3 3を流れる電流を迅速に切り替えることができ、撮像画像の画質を向上できる。

[0092] (第4の実施形態)

第4の実施形態は、1水平走査期間内に第1電流源33に流れる電流を複数回にわたって切り替えるものである。

[0093] 図18は第4の実施形態に係る光検出装置1の要部を示すブロック図である。図18には、垂直信号線VSLに接続される画素10、負荷MOS回路4、及びカラム信号処理回路5が図示されている。

[0094] 負荷MOS回路4は、電流源20を構成するトランジスタを有する。このトランジスタのゲート電圧を制御することで、垂直信号線VSLに流れる電流をトランジスタを介して接地ノードに引き込むことができる。

[0095] カラム信号処理回路5は、垂直信号線VSLごとにカラム信号処理部32を有する。カラム信号処理部32は、コンパレータ41とランプバッファ42を有する。ランプバッファ42は、DAC7で生成された参照信号（ランプ信号）をバッファリングして出力する。ランプバッファ42は、PMOSトランジスタ43と電流源44とを有する。

[0096] コンパレータ41は、垂直信号線VSL上の画素信号とランプバッファ42から出力された参照信号とを比較する。コンパレータ41の比較結果を示す信号は、不図示のカウンタに入力されて、画素信号に応じたデジタル信号が生成される。コンパレータ41は、電流源45を有する。

[0097] 図19は1水平走査期間内に負荷MOS回路4の電流源20、コンパレータ41の電流源45、及びランプバッファ42の電流源44に流れる電流の変化を示すタイミング図である。第4の実施形態に係る光検出装置1では、1水平走査期間内に、リセット期間T1、コンパレータ41のオートゼロ（AZ）期間T2、垂直信号線VSLのセトリング期間T3、リセットレベルのカウント期間T4、光電変換素子11からフローティングディフュージョンFDへの信号転送期間T5、垂直信号線VSLのセトリング期間T6、信号レベルのカウント期間T7とが設けられる。

[0098] 負荷MOS回路4の電流源20に流れる電流は、リセット期間T1からセトリング期間T3の途中までと、信号転送期間T5からセトリング期間T6

の途中までは増大し、それ以外は減少する。

[0099] コンパレータ41の電流源45に流れる電流は、セトリング期間T3の途中からリセットレベルのカウント期間T4までと、セトリング期間T6の途中から信号レベルのカウント期間T7までは増大し、それ以外は減少する。

[0100] ランプバッファ42の電流源44に流れる電流は、リセットレベルのカウント期間T4と、セトリング期間T6の途中から信号レベルのカウント期間T7までは増大し、それ以外は減少する。

[0101] このように、電流源の種類によって、1水平走査期間の中で、電流が増大する期間と減少する期間とが異なる。このため、個々の電流源ごとに、電流源に流れる電流を細かく制御するのが望ましい。

[0102] 第1～第3の実施形態で説明した第1電流源33は、図18の負荷MOS回路4内の電流源20、コンパレータ41の電流源45、又はランプバッファ42の電流源44の少なくとも一つである。第1～第3の実施形態で説明したバイアス回路8を流れるバイアス電流を制御することにより、又はバッファ回路31の切替制御により、図19のタイミングに基づいて、ローカルバイアス線L12から第1電流源33に流れる電流を迅速に可変制御することができる。

[0103] より具体的には、図18の負荷MOS回路4内の電流源20、コンパレータ41の電流源45、又はランプバッファ42の電流源44のそれぞれごとに、電流が増大又は減少するタイミングが異なるため、各電流源ごとに第1～第3の実施形態で説明したバイアス回路8とバッファ回路31を設けて、各電流源を流れる電流を1水平走査期間内に制御してもよい。

[0104] このように、第4の実施形態では、垂直信号線VSLに直接又は間接に接続される複数の電流源が、1水平走査期間の中で、電流を増大させるべき期間と電流を減少させるべき期間とがそれぞれ異なるため、第1～第3の実施形態で説明したバイアス回路8又はバッファ回路31を切替制御することで、1水平走査期間に各電流源を流れる電流を迅速に切り替えることができる。これにより、光検出装置1のフレームレートを高速化できるとともに、無

駄な電流をバイアス線L 1 1 に流さなくて済むため、消費電力の削減を図れる。

[0105] (第5の実施形態)

第4の実施形態で説明したように、各垂直信号線V S Lには、電流を切替制御する必要のある複数の電流源が接続される。例えば、1本の垂直信号線V S Lに、それぞれが電流源を有する複数の回路が接続される場合、複数の回路の各電流源に流れる電流を個別に制御するには、バイアス回路8とバッファ回路31を個々の電流源ごとに設ける必要があり、回路規模が大きくなる。第5の実施形態に係る光検出装置1は、回路規模を大きくすることなく、1本の垂直信号線V S Lに接続される複数の電流源を制御するものである。

[0106] 図20は第5の実施形態に係る光検出装置1のブロック図である。各垂直信号線V S Lには、複数のカラム処理部46が接続されており、各カラム処理部46には電流源(第1電流源)が設けられる。第5の実施形態に係る光検出装置1は、複数の垂直信号線V S Lと交差する方向に配置されるバイアス線L 1 1及びローカルバイアス線L 1 2を有する。ローカルバイアス線L 1 2から各垂直信号線V S Lに略平行に制御線L 1 3が延びている。この制御線L 1 3は、例えば、各カラム処理部46の電流源を構成するトランジスタのゲートに接続される。

[0107] これにより、垂直信号線V S Lごとに、対応する制御線L 1 3を介して、複数のカラム処理部46が有する複数の電流源を流れる電流を同期して制御することができる。

[0108] <移動体への応用例> 本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0109] 図21は、本開示に係る技術が適用され得る移動体制御システムの一例で

ある車両制御システムの概略的な構成例を示すブロック図である。

- [0110] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図21に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (Interface) 12053が図示されている。
- [0111] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0112] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0113] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像

を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0114] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0115] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0116] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0117] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0118] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12030 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0119] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 21 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0120] 図 22 は、撮像部 12031 の設置位置の例を示す図である。

[0121] 図 22 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0122] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0123] なお、図 22 には、撮像部 12101 ないし 12104 の撮影範囲の一例

が示されている。撮像範囲 1 2 1 1 1 は、フロントノーズに設けられた撮像部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2, 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2, 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0124] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0125] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0126] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイク

ロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0127] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0128] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 12031 等）に適用され得る。具体的には、各実施形態に係る光検出装置 1 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0129] なお、本技術は以下のような構成を取ることができる。

[0130] (1) それぞれが光電変換素子を有する複数の画素と、  
前記複数の画素で光電変換された複数の画素信号を伝送する複数の信号線と、

前記複数の信号線に対応して設けられる複数の第 1 電流源と、  
バイアス電流を生成するバイアス回路と、  
前記バイアス電流に応じた電圧レベルに設定される第 1 配線と、  
前記複数の第 1 電流源に接続される第 2 配線と、  
前記第 1 配線及び前記第 2 配線に接続され、前記第 1 配線の電圧レベルに応じて前記第 2 配線の電圧レベルを設定する 1 以上のバッファ回路と、を備える、  
光検出装置。

(2) 1 個の前記バッファ回路に対して 1 個の前記第 1 電流源が設けられるか、又は、1 個の前記バッファ回路に対して 2 以上の前記第 1 電流源が設けられる、

(1) に記載の光検出装置。

(3) 2 以上の前記バッファ回路が共通の前記第 2 配線に接続される、

(1) 又は (2) に記載の光検出装置。

(4) 前記バイアス回路は、

第 1 トランジスタと、

前記第 1 トランジスタに流れる電流を生成する第 2 電流源と、を有し、

前記バッファ回路は、

前記第 1 トランジスタとカレントミラー回路を構成する第 2 トランジスタと、

前記第 2 トランジスタに流れる電流を生成する第 3 電流源と、を有する、

(1) 乃至 (3) のいずれか一項に記載の光検出装置。

(5) 前記第 3 電流源は、前記第 2 トランジスタのドレインソース間に流れる電流と同じ電流をドレインソース間に流す第 3 トランジスタを有し、

前記複数の第 1 電流源のそれぞれは、前記第 3 トランジスタとカレントミラー回路を構成する第 4 トランジスタを有する、

(4) に記載の光検出装置。

(6) 前記第2電流源は、一定の電流を流す定電流源であり、  
前記バイアス電流は一定である、

(4) 又は(5)に記載の光検出装置。

(7) 前記1以上のバッファ回路は、前記複数の第1電流源に流れる電流を動的に切り替える、

(4) 又は(5)に記載の光検出装置。

(8) 前記バイアス回路は、可変制御可能な前記バイアス電流を生成する可変電流源を有する、

(7)に記載の光検出装置。

(9) 前記バッファ回路は、

前記第1トランジスタとカレントミラー回路を構成する複数の前記第2トランジスタと、

前記複数の第2トランジスタのそれぞれのドレインソース間に電流を流すか否かを切り替える複数の切替器と、を有し、

前記第3電流源は、前記複数の第2トランジスタのうち、ドレインソース間に電流を流す第2トランジスタの数に応じた電流を流す、

(7)に記載の光検出装置。

(10) 前記第3電流源は、前記複数の第2トランジスタのうち、ドレインソース間に電流を流す第2トランジスタの数が多いほど、より大きな電流を流す、

(9)に記載の光検出装置。

(11) 2以上の前記バッファ回路が設けられ、

前記2以上のバッファ回路のそれぞれは、前記第2トランジスタのドレインソース間に電流を流すか否かを切り替える切替器を有する、

(7)に記載の光検出装置。

(12) 前記第1配線は、前記バイアス回路による前記バイアス電流の可変制御、) 又は(前記バッファ回路による前記第1配線に流す電流の可変制御に応じた電圧レベルに制御され、

前記 1 以上のバッファ回路は、前記第 2 配線を前記第 1 配線の電圧レベルに応じた電圧レベルに制御する、

(1) 乃至 (1 1) のいずれか一項に記載の光検出装置。

(1 3) 前記複数の第 1 電流源のそれぞれは、前記複数の信号線のうち対応する信号線に接続される、

(1) 乃至 (1 2) のいずれか一項に記載の光検出装置。

(1 4) 前記複数の信号線で伝送される前記複数の画素信号をデジタル信号に変換する複数のアナログーデジタル変換器と、を備え、

前記複数のアナログーデジタル変換器のそれぞれは、参照信号と前記画素信号とを比較する比較器を有し、

前記比較器は、前記第 1 電流源を有する、

(1) 乃至 (1 2) のいずれか一項に記載の光検出装置。

(1 5) 前記複数の信号線で伝送される前記複数の画素信号をデジタル信号に変換する複数のアナログーデジタル変換器と、

前記参照信号をバッファリングして前記比較器に入力するランプバッファと、を有し、

前記ランプバッファは、前記第 1 電流源を有する、

(1 4) に記載の光検出装置。

(1 6) 第 1 方向及び第 2 方向に配列される前記複数の画素を有する画素アレイ部と、

前記第 1 方向に配列される 2 以上の前記画素を含む画素群を単位として、前記第 2 方向に配列される複数の前記画素群を順次に駆動する駆動部と、を備え、

前記 1 以上のバッファ回路は、前記第 2 方向に配列される複数の前記画素群のそれぞれを駆動する期間内に、前記複数の第 1 電流源に流れる電流を動的に切り替える、

(1) 乃至 (1 2) のいずれか一項に記載の光検出装置。

(1 7) 前記複数の第 1 電流源が前記複数の信号線に接続される場合には

、前記期間内に前記複数の画素をリセットする場合と、前記光電変換素子の蓄積電荷をフローティングディフュージョンに転送する場合とには、それ以外の場合よりも前記複数の第 1 電流源に流れる電流を多くする、

(16) に記載の光検出装置。

(18) 前記複数の信号線で伝送される前記複数の画素信号をデジタル信号に変換する複数のアナログーデジタル変換器を備え、

前記複数のアナログーデジタル変換器のそれぞれは、

参照信号と前記画素信号とを比較する比較器と、

前記比較器の比較結果に基づいて、前記参照信号が前記画素信号に一致するまでの間、カウント動作を行うカウンタと、

前記参照信号をバッファリングして前記比較器に入力するランプバッファと、を有し、

前記比較器が前記第 1 電流源を有する場合には、前記期間内に前記カウンタがカウント動作を行っている最中は、対応する前記第 1 電流源に流れる電流をより多くする、

(16) に記載の光検出装置。

(19) 前記参照信号をバッファリングして前記比較器に入力するランプバッファと、を有し、

前記ランプバッファが前記第 1 電流源を有する場合には、前記期間内に前記カウンタがカウント動作を行っている最中は、対応する前記第 1 電流源に流れる電流をより多くする、

(18) に記載の光検出装置。

(20) 前記バッファ回路は、

前記第 1 配線の電圧レベルに応じた電荷を保持する信号保持部と、

前記信号保持部に前記電荷を保持するか否かを切り替える切替器と、を有する、

(1) 乃至 (19) のいずれか一項に記載の光検出装置。

[0131] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当

業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

### 符号の説明

[0132] 1 光検出装置、2 画素アレイ部、3 垂直走査回路、4 負荷MOS回路、5 カラム信号処理回路、6 タイミング制御回路、7 デジタルーアナログ変換器（DAC）、8 バイアス回路、10 画素、11 光電変換素子、12 転送トランジスタ、13 リセットトランジスタ、14 増幅トランジスタ、15 選択トランジスタ、16 第1基板、17 第2基板、18 第3基板、20 電流源、21 アナログーデジタル変換器（以下、ADC）、22 デジタル信号処理部、31 バッファ回路、32 カラム信号処理部、33 第1電流源、34 第2電流源、35 第3電流源、36 キャパシタ、37 切替器、38 切替器、39 切替器、41 コンパレータ、42 ランプバッファ、43 トランジスタ、44 電流源、45 電流源、46 カラム処理部

## 請求の範囲

- [請求項1]           それぞれが光電変換素子を有する複数の画素と、  
前記複数の画素で光電変換された複数の画素信号を伝送する複数の信号線と、  
前記複数の信号線に対応して設けられる複数の第1電流源と、  
バイアス電流を生成するバイアス回路と、  
前記バイアス電流に応じた電圧レベルに設定される第1配線と、  
前記複数の第1電流源に接続される第2配線と、  
前記第1配線及び前記第2配線に接続され、前記第1配線の電圧レベルに応じて前記第2配線の電圧レベルを設定する1以上のバッファ回路と、を備える、  
光検出装置。
- [請求項2]           1個の前記バッファ回路に対して1個の前記第1電流源が設けられるか、又は、1個の前記バッファ回路に対して2以上の前記第1電流源が設けられる、  
請求項1に記載の光検出装置。
- [請求項3]           2以上の前記バッファ回路が共通の前記第2配線に接続される、  
請求項1に記載の光検出装置。
- [請求項4]           前記バイアス回路は、  
第1トランジスタと、  
前記第1トランジスタに流れる電流を生成する第2電流源と、を有し、  
前記バッファ回路は、  
前記第1トランジスタとカレントミラー回路を構成する第2トランジスタと、  
前記第2トランジスタに流れる電流を生成する第3電流源と、を有する、  
請求項1に記載の光検出装置。

- [請求項5] 前記第3電流源は、前記第2トランジスタのドレインソース間に流れる電流と同じ電流をドレインソース間に流す第3トランジスタを有し、  
前記複数の第1電流源のそれぞれは、前記第3トランジスタとカレントミラー回路を構成する第4トランジスタを有する、  
請求項4に記載の光検出装置。
- [請求項6] 前記第2電流源は、一定の電流を流す定電流源であり、  
前記バイアス電流は一定である、  
請求項4に記載の光検出装置。
- [請求項7] 前記1以上のバッファ回路は、前記複数の第1電流源に流れる電流を動的に切り替える、  
請求項4に記載の光検出装置。
- [請求項8] 前記バイアス回路は、可変制御可能な前記バイアス電流を生成する可変電流源を有する、  
請求項7に記載の光検出装置。
- [請求項9] 前記バッファ回路は、  
前記第1トランジスタとカレントミラー回路を構成する複数の前記第2トランジスタと、  
前記複数の第2トランジスタのそれぞれのドレインソース間に電流を流すか否かを切り替える複数の切替器と、を有し、  
前記第3電流源は、前記複数の第2トランジスタのうち、ドレインソース間に電流を流す第2トランジスタの数に応じた電流を流す、  
請求項7に記載の光検出装置。
- [請求項10] 前記第3電流源は、前記複数の第2トランジスタのうち、ドレインソース間に電流を流す第2トランジスタの数が多いほど、より大きな電流を流す、  
請求項9に記載の光検出装置。
- [請求項11] 2以上の前記バッファ回路が設けられ、

前記 2 以上のバッファ回路のそれぞれは、前記第 2 トランジスタのドレインソース間に電流を流すか否かを切り替える切替器を有する、

請求項 7 に記載の光検出装置。

[請求項 12] 前記第 1 配線は、前記バイアス回路による前記バイアス電流の可変制御、又は前記バッファ回路による前記第 1 配線に流す電流の可変制御に応じた電圧レベルに制御され、

前記 1 以上のバッファ回路は、前記第 2 配線を前記第 1 配線の電圧レベルに応じた電圧レベルに制御する、

請求項 1 に記載の光検出装置。

[請求項 13] 前記複数の第 1 電流源のそれぞれは、前記複数の信号線のうち対応する信号線に接続される、

請求項 1 に記載の光検出装置。

[請求項 14] 前記複数の信号線で伝送される前記複数の画素信号をデジタル信号に変換する複数のアナログーデジタル変換器と、を備え、

前記複数のアナログーデジタル変換器のそれぞれは、参照信号と前記画素信号とを比較する比較器を有し、

前記比較器は、前記第 1 電流源を有する、

請求項 1 に記載の光検出装置。

[請求項 15] 前記複数の信号線で伝送される前記複数の画素信号をデジタル信号に変換する複数のアナログーデジタル変換器と、

前記参照信号をバッファリングして前記比較器に入力するランプバッファと、を有し、

前記ランプバッファは、前記第 1 電流源を有する、

請求項 14 に記載の光検出装置。

[請求項 16] 第 1 方向及び第 2 方向に配列される前記複数の画素を有する画素アレイ部と、

前記第 1 方向に配列される 2 以上の前記画素を含む画素群を単位と

して、前記第2方向に配列される複数の前記画素群を順次に駆動する駆動部と、を備え、

前記1以上のバッファ回路は、前記第2方向に配列される複数の前記画素群のそれぞれを駆動する期間内に、前記複数の第1電流源に流れる電流を動的に切り替える、

請求項1に記載の光検出装置。

[請求項17]

前記複数の第1電流源が前記複数の信号線に接続される場合には、前記期間内に前記複数の画素をリセットする場合と、前記光電変換素子の蓄積電荷をフローティングディフュージョンに転送する場合とには、それ以外の場合よりも前記複数の第1電流源に流れる電流を多くする、

請求項16に記載の光検出装置。

[請求項18]

前記複数の信号線で伝送される前記複数の画素信号をデジタル信号に変換する複数のアナログーデジタル変換器を備え、

前記複数のアナログーデジタル変換器のそれぞれは、

参照信号と前記画素信号とを比較する比較器と、

前記比較器の比較結果に基づいて、前記参照信号が前記画素信号に一致するまでの間、カウント動作を行うカウンタと、

前記参照信号をバッファリングして前記比較器に入力するランプバッファと、を有し、

前記比較器が前記第1電流源を有する場合には、前記期間内に前記カウンタがカウント動作を行っている最中は、対応する前記第1電流源に流れる電流をより多くする、

請求項16に記載の光検出装置。

[請求項19]

前記参照信号をバッファリングして前記比較器に入力するランプバッファと、を有し、

前記ランプバッファが前記第1電流源を有する場合には、前記期間内に前記カウンタがカウント動作を行っている最中は、対応する前記

第 1 電流源に流れる電流をより多くする、

請求項 18 に記載の光検出装置。

[請求項20]

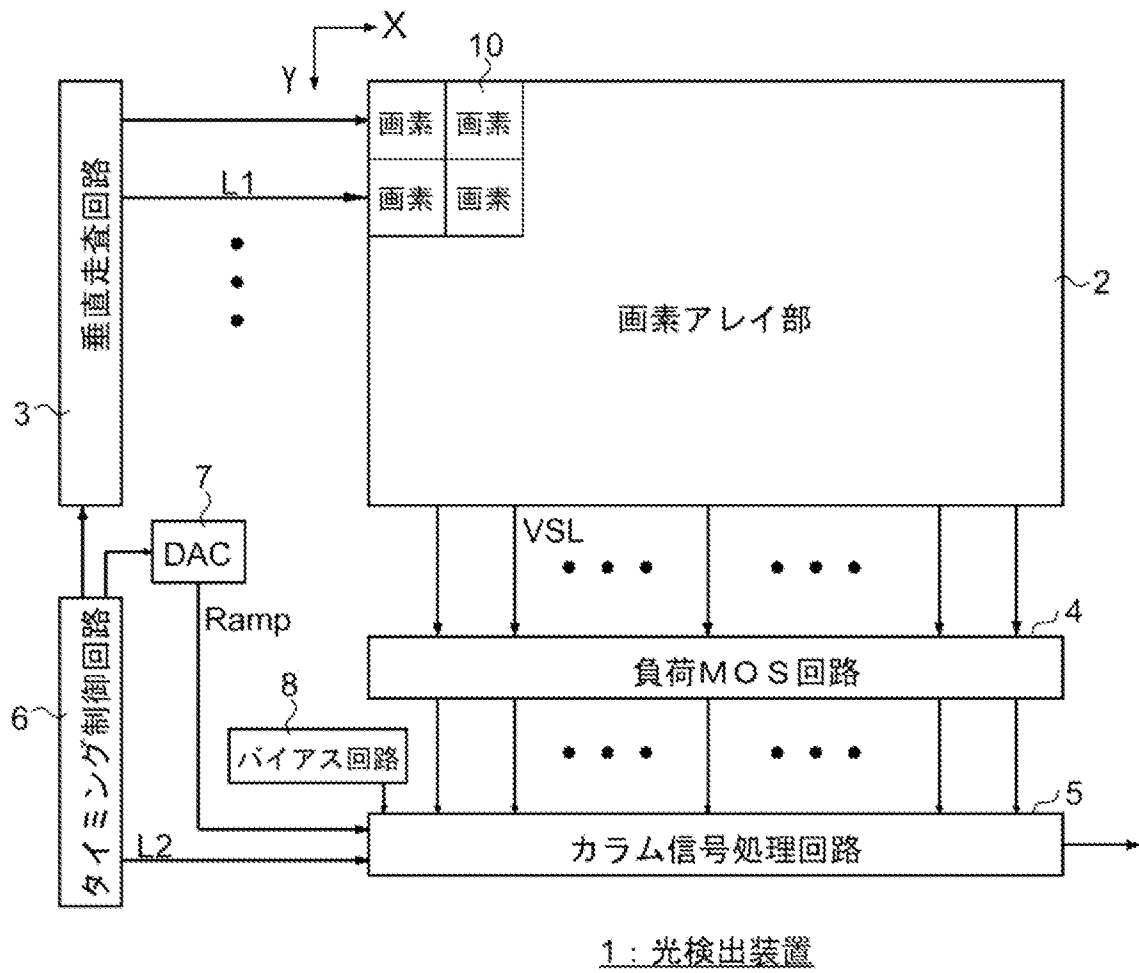
前記バッファ回路は、

前記第 1 配線の電圧レベルに応じた電荷を保持する信号保持部と、

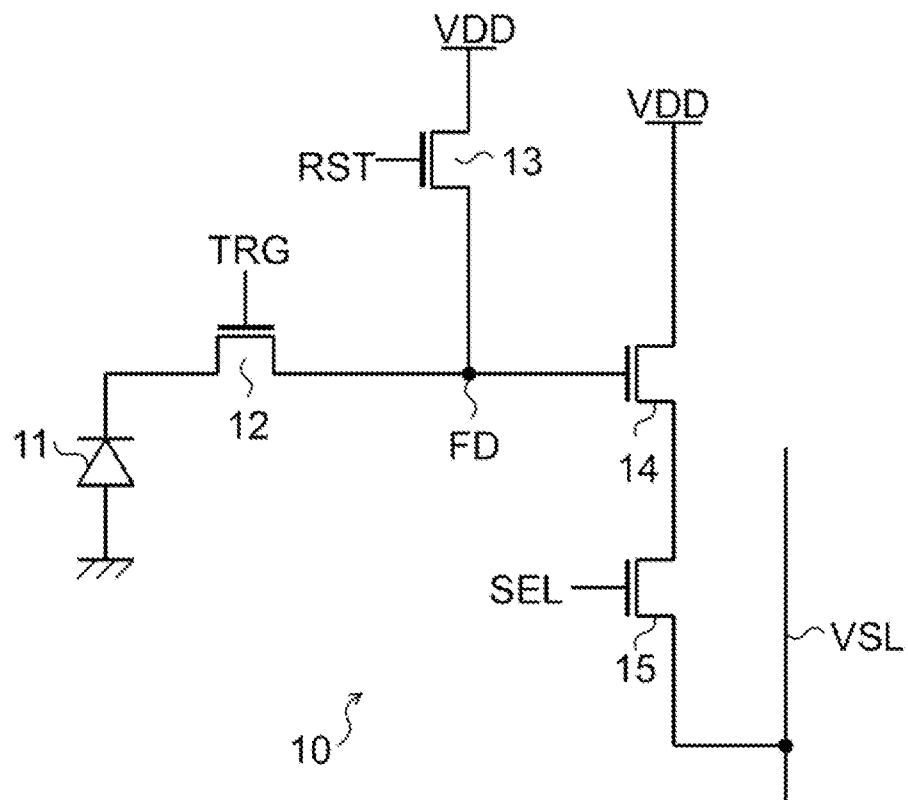
前記信号保持部に前記電荷を保持するか否かを切り替える切替器と、  
を有する、

請求項 1 に記載の光検出装置。

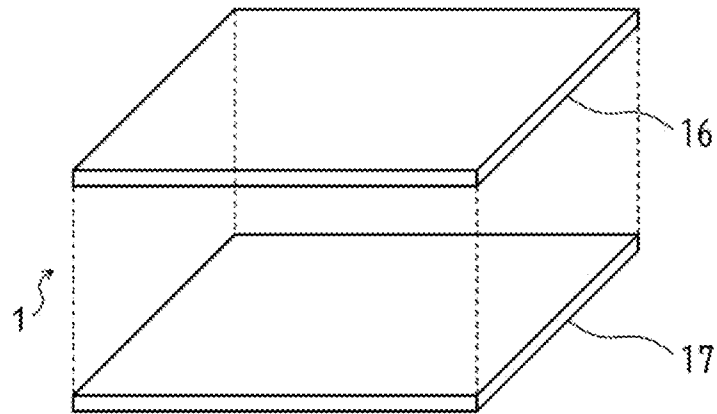
[図1]



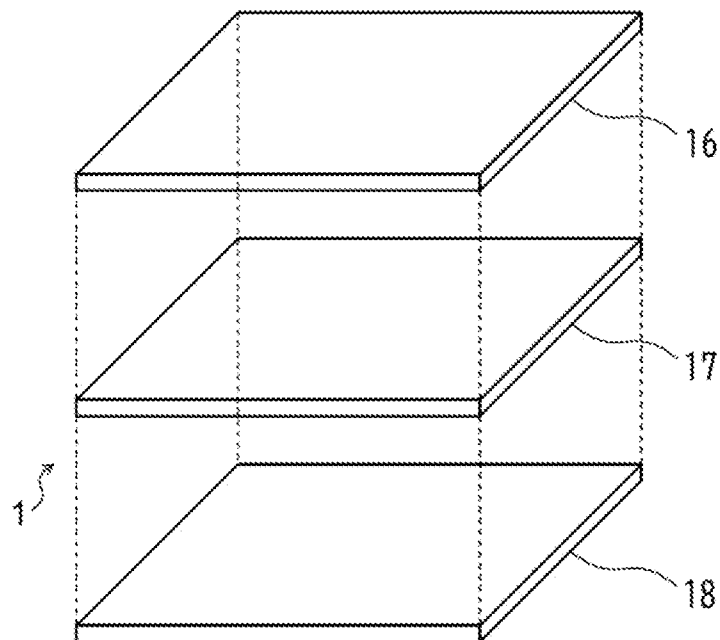
[図2]



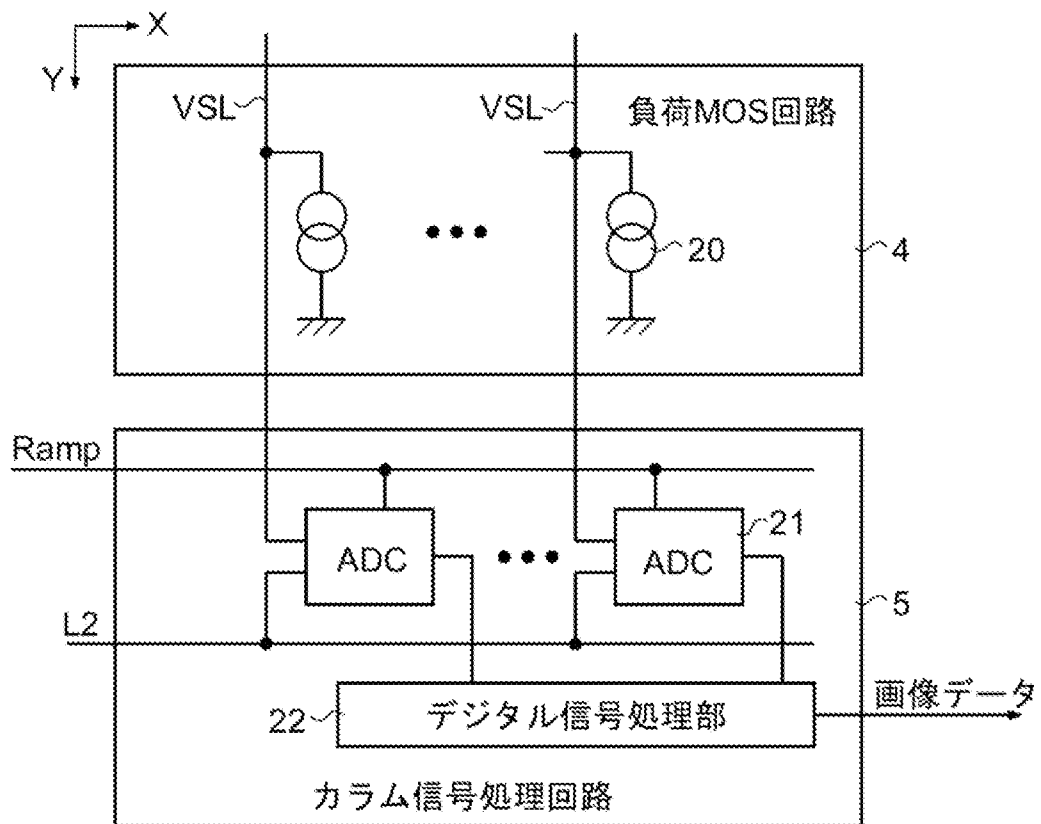
[図3A]



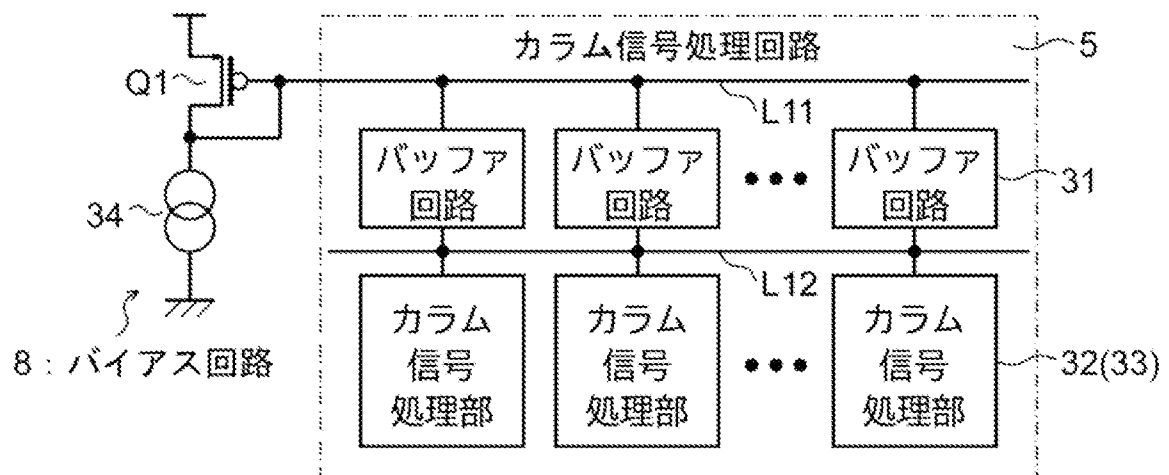
[図3B]



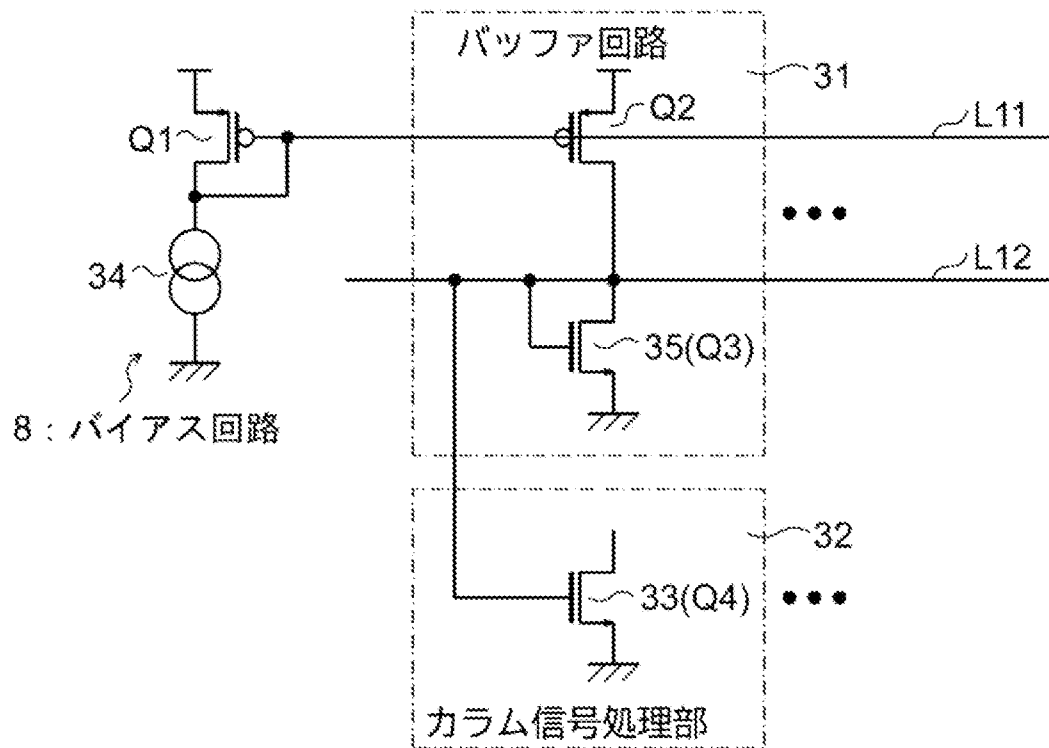
[図4]



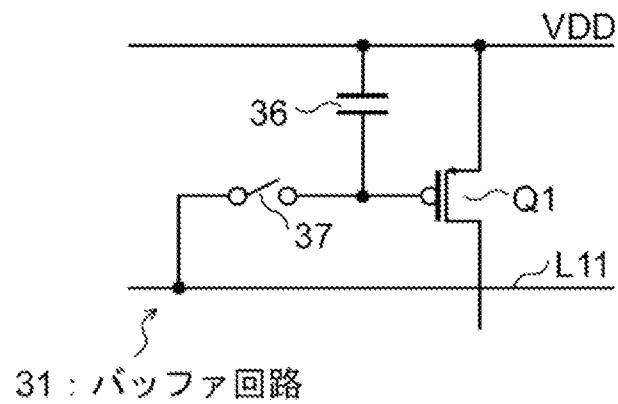
[図5]



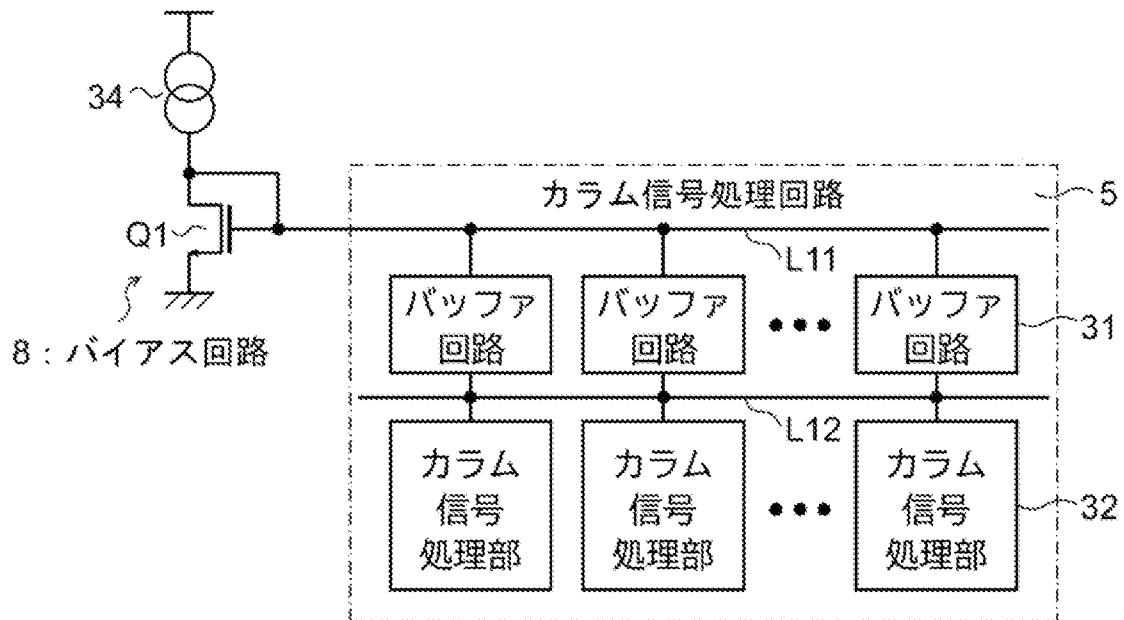
[図6]



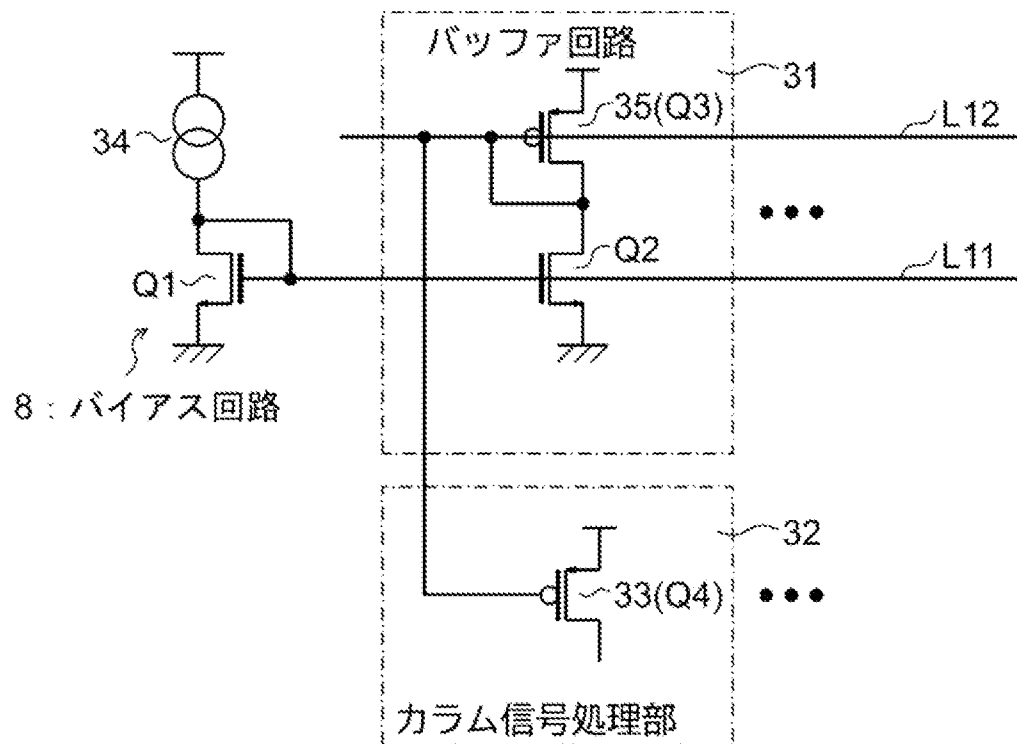
[図7]



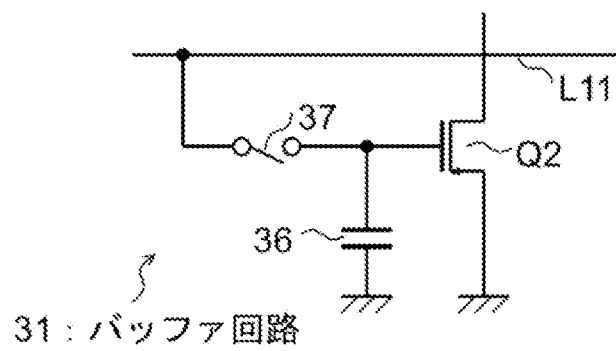
[図8]



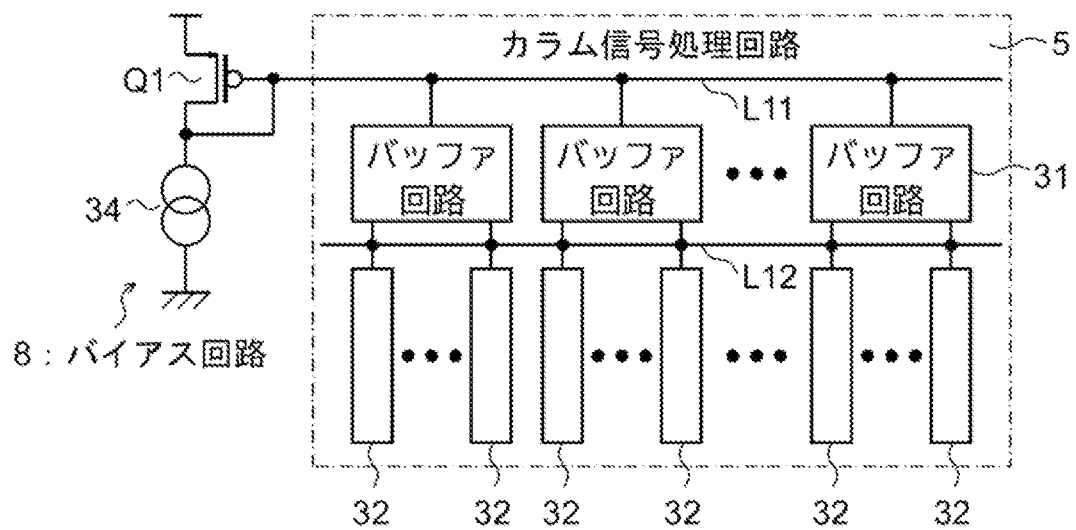
[図9]



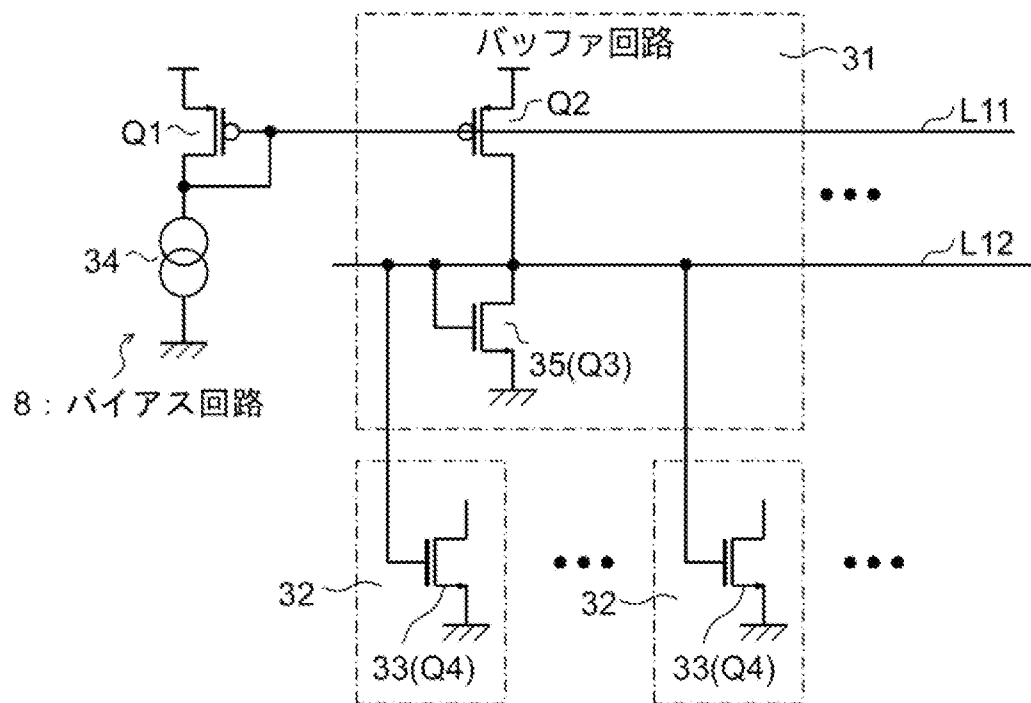
[図10]



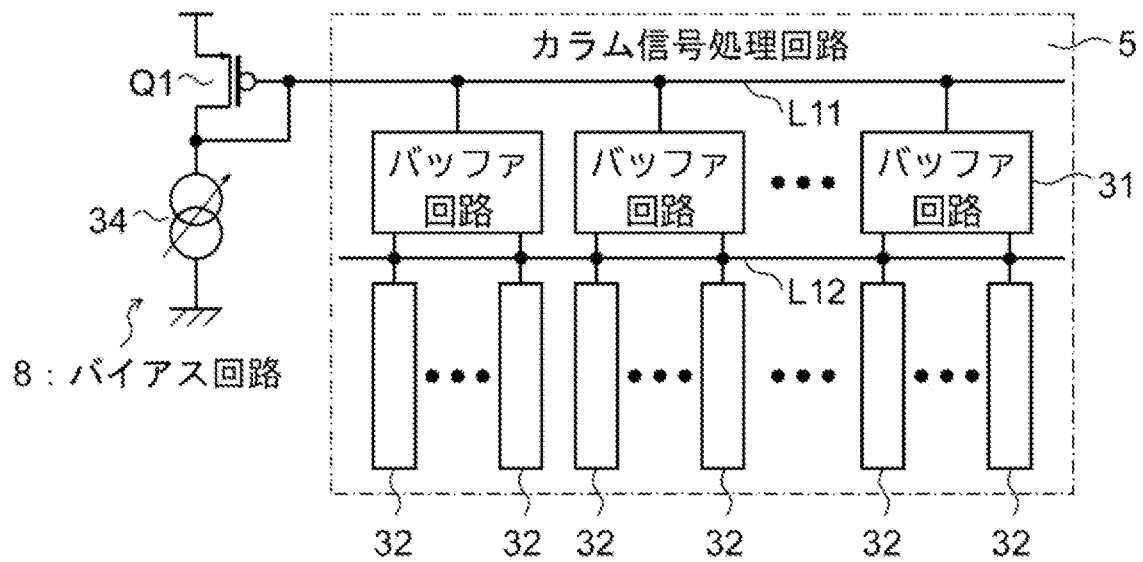
[図11]



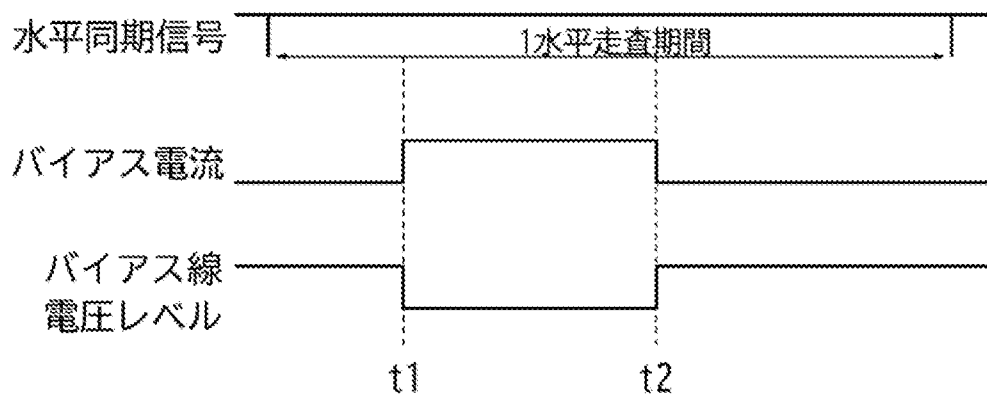
[図12]



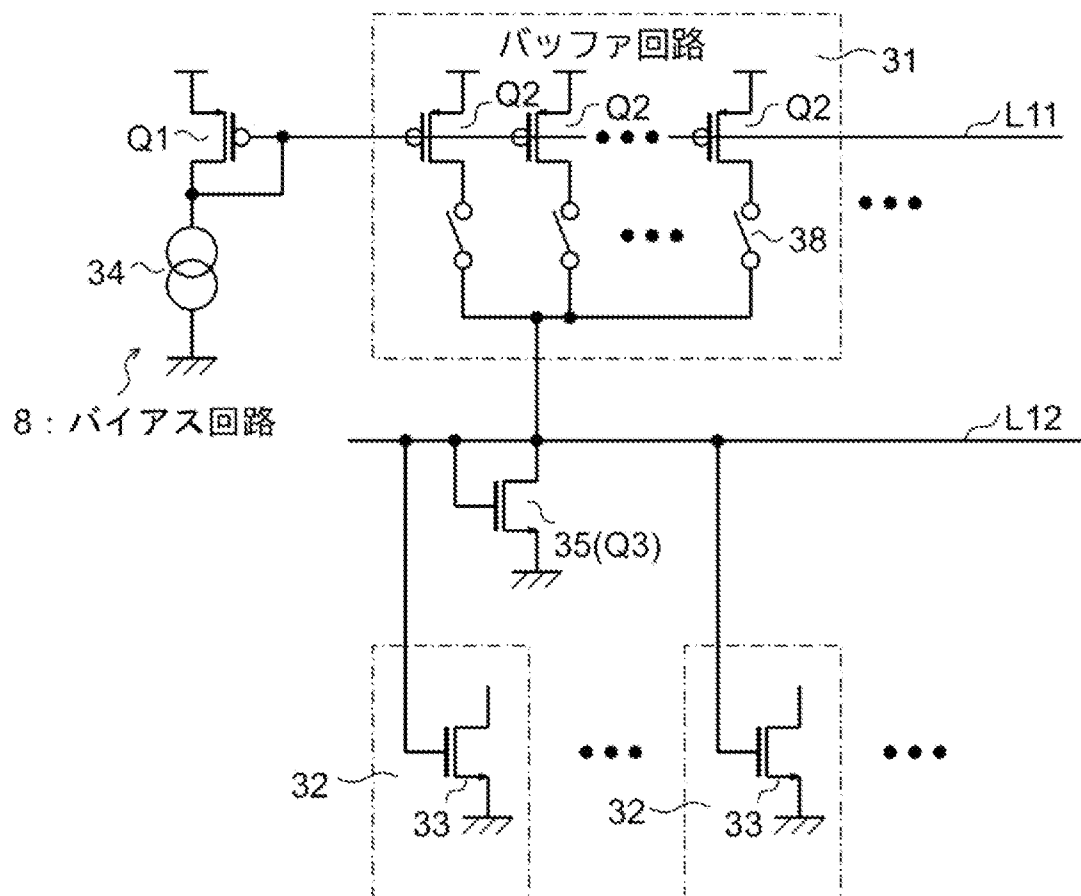
[図13]



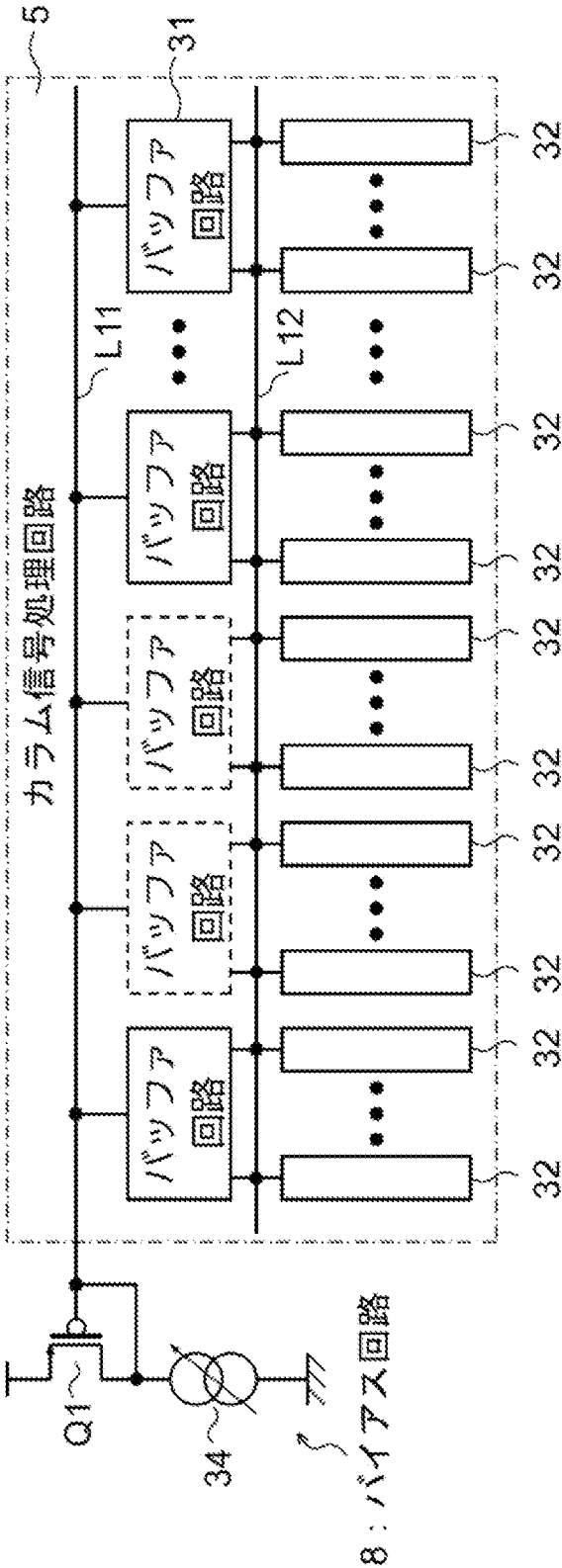
[図14]



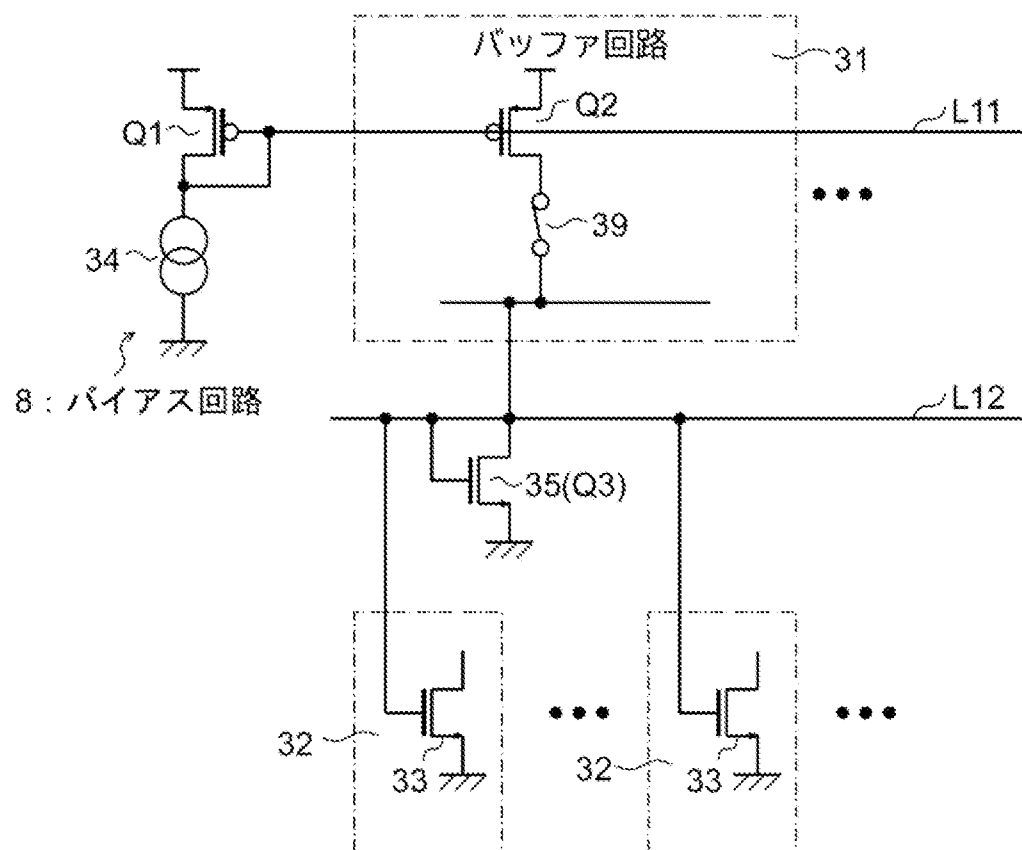
[図15]



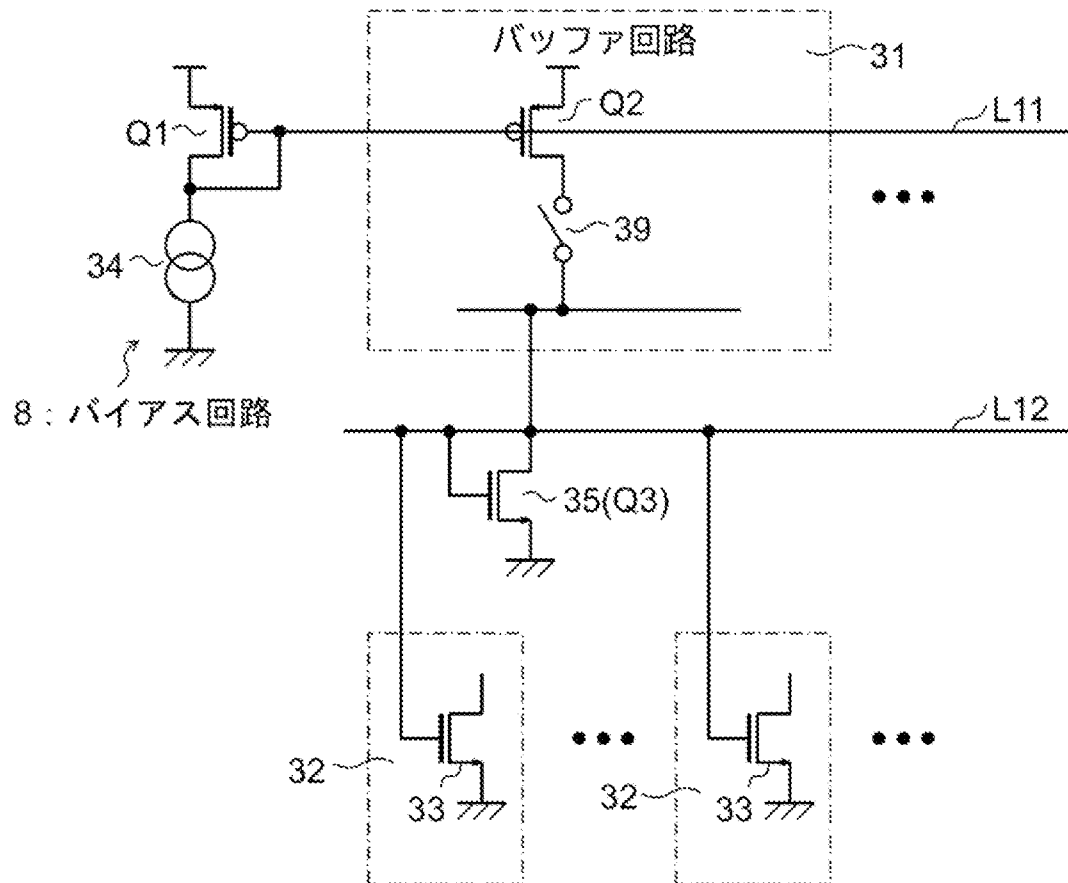
[図16]



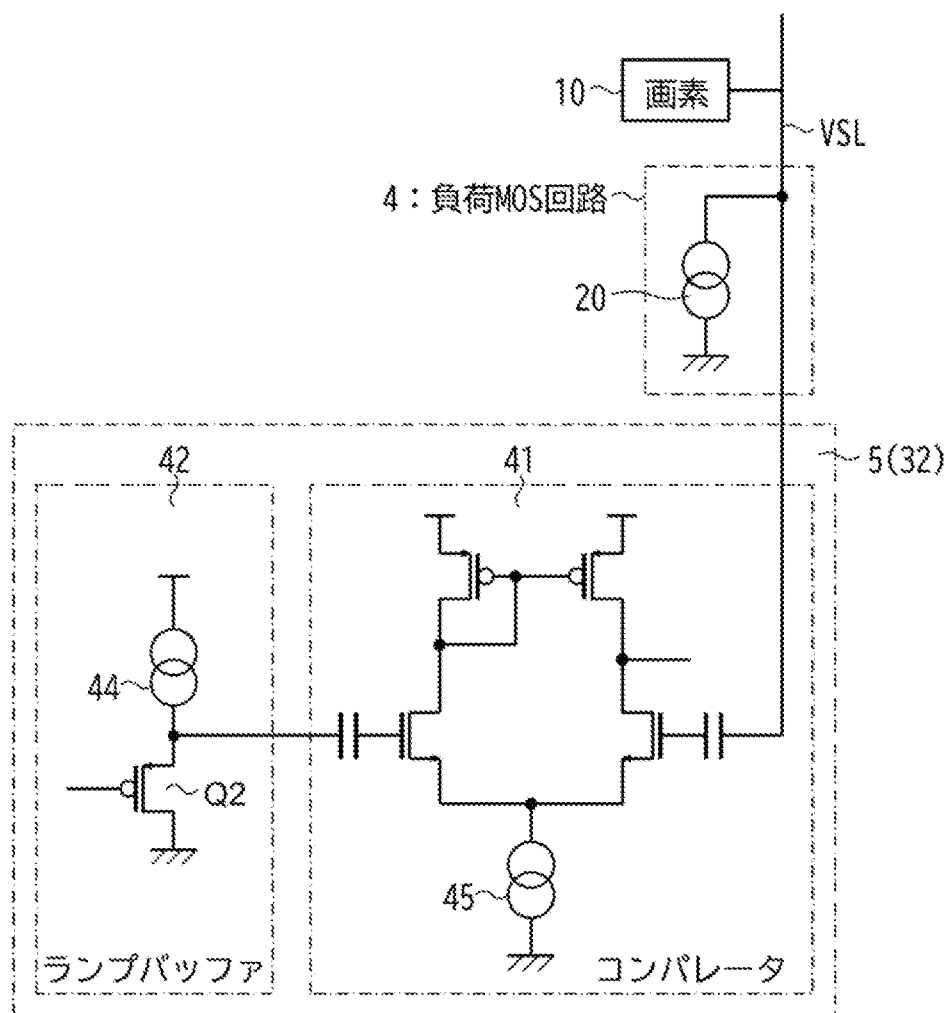
[図17A]



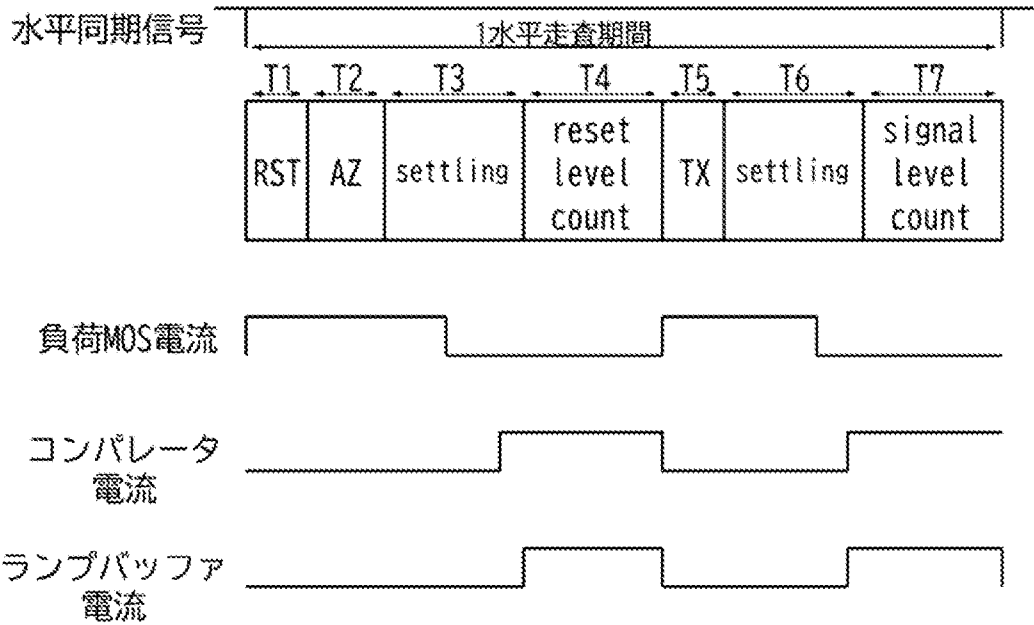
[図17B]



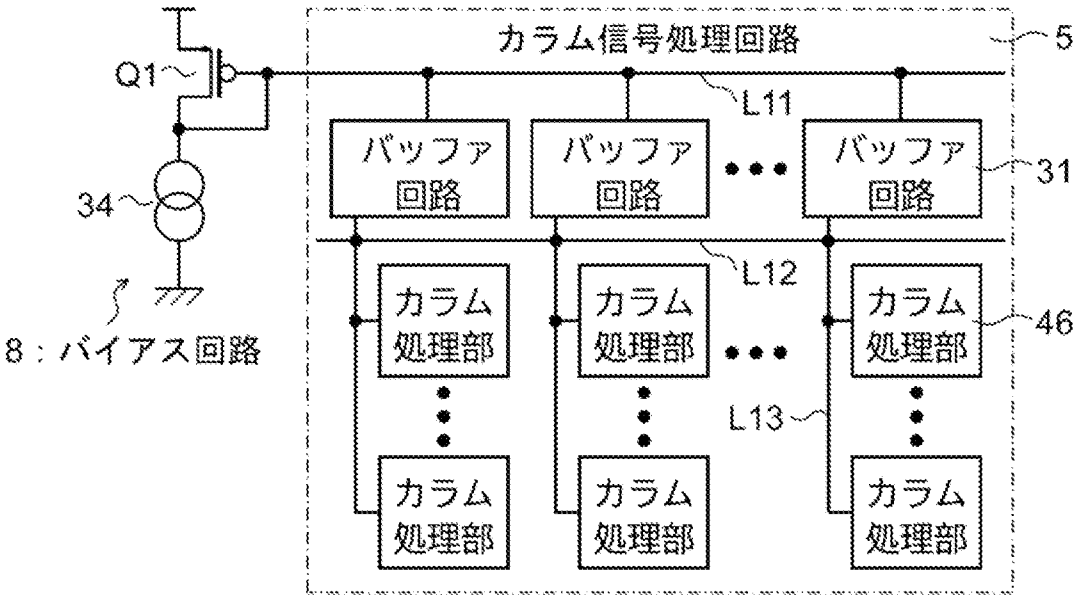
[図18]



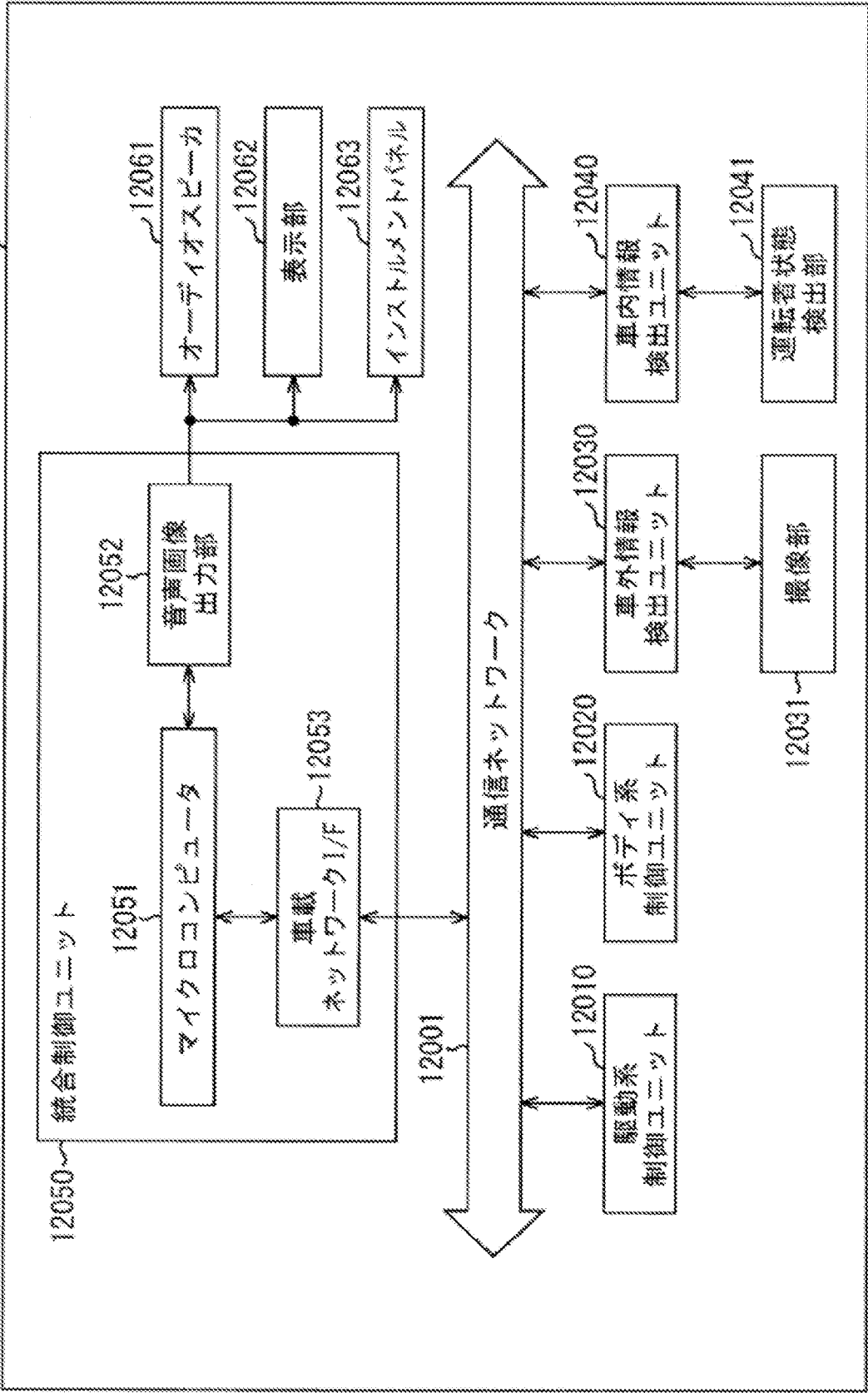
[図19]



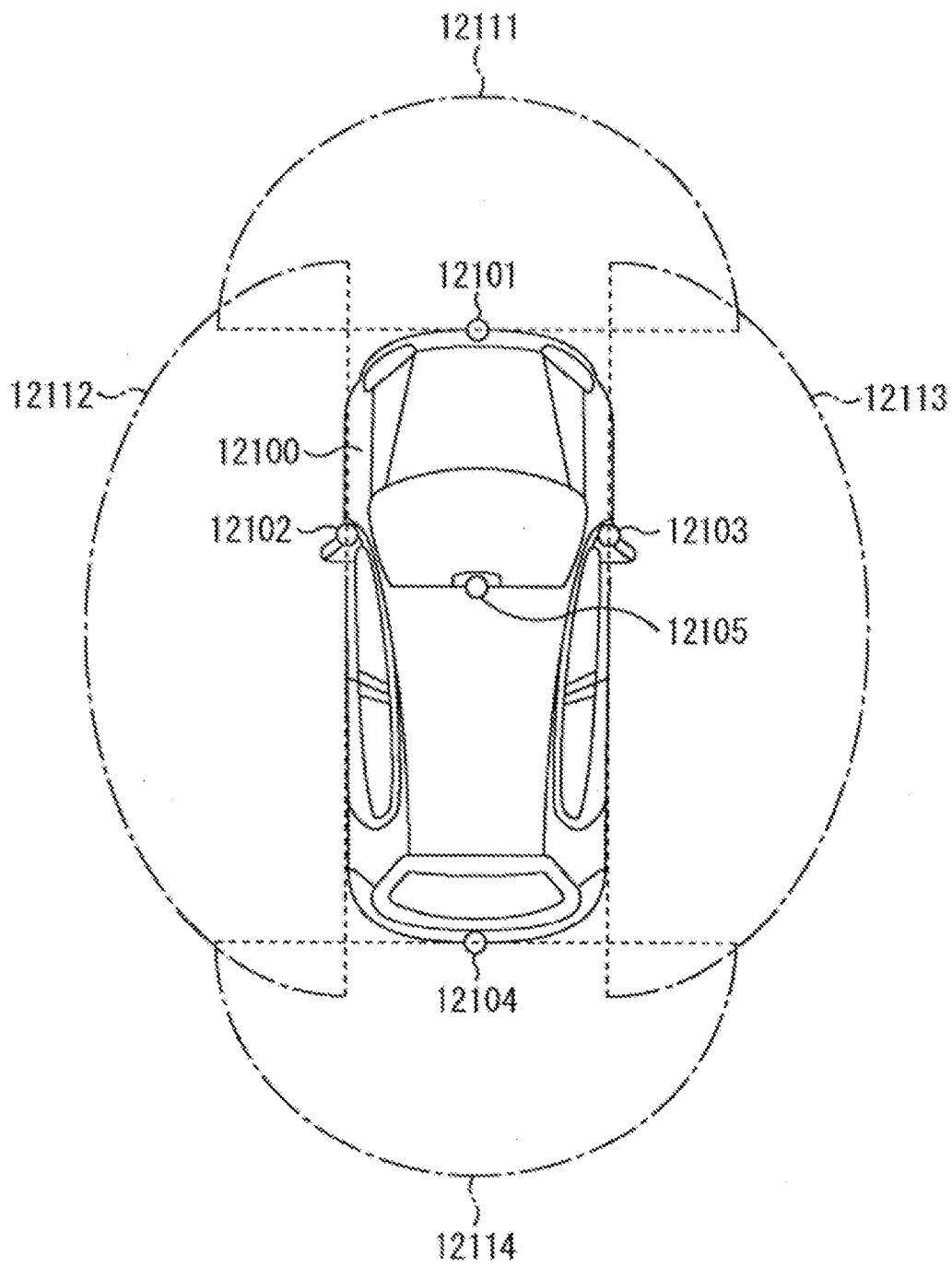
[図20]



[図21]



[図22]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/021275

|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                           |                                                                           |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------|
| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br><b>H04N 25/76</b> (2023.01)i; <b>H04N 25/78</b> (2023.01)i<br>FI: H04N25/76; H04N25/78<br><br>According to International Patent Classification (IPC) or to both national classification and IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                                                           |                                                                           |
| <b>B. FIELDS SEARCHED</b><br><br>Minimum documentation searched (classification system followed by classification symbols)<br>H04N25/76; H04N25/78<br><br>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2024<br>Registered utility model specifications of Japan 1996-2024<br>Published registered utility model applications of Japan 1994-2024<br><br>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)<br>H04N5/30-H04N5/33;H04N23/11;H04N23/20-H04N23/30;H04N25/00;H04N25/20-H04N25/61;H04N25/615-H04N25/79;<br>H01L27/14-27/148; H10K39/30-39/38; H01L29/762-29/768                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                                           |                                                                           |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                                                           |                                                                           |
| Category*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | Citation of document, with indication, where appropriate, of the relevant passages                                        | Relevant to claim No.                                                     |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | JP 2013-51527 A (PANASONIC CORPORATION) 14 March 2013 (2013-03-14)<br>abstract, paragraphs [0067], [0104]-[0105], fig. 14 | 1-2, 4-7, 12, 20                                                          |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                                                           | 1-2, 4-6, 8-11, 13-19                                                     |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                                                           | 3                                                                         |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | JP 2022-100946 A (CANON KABUSHIKI KAISHA) 06 July 2022 (2022-07-06)<br>paragraphs [0032], [0042], [0047], [0079]          | 8-11, 14-15                                                               |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | WO 2022/038903 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 24 February 2022 (2022-02-24)<br>fig. 25                     | 8-11, 14-19                                                               |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | WO 2015/159730 A1 (SONY CORPORATION) 22 October 2015 (2015-10-22)<br>fig. 5-6                                             | 9-11, 15-19                                                               |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                           |                                                                           |
| <p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p> |                                                                                                                           |                                                                           |
| Date of the actual completion of the international search<br><b>03 July 2024</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |                                                                                                                           | Date of mailing of the international search report<br><b>16 July 2024</b> |
| Name and mailing address of the ISA/JP<br><b>Japan Patent Office (ISA/JP)</b><br><b>3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915</b><br><b>Japan</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                                                                           | Authorized officer<br><br>Telephone No.                                   |

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                   | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | WO 2020/003646 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 02 January 2020 (2020-01-02)<br>fig. 30 | 9-11, 15-19           |
| Y         | JP 2014-120860 A (SONY CORPORATION) 30 June 2014 (2014-06-30)<br>fig. 2                              | 9-11, 15-19           |
| Y         | JP 2011-61270 A (PANASONIC CORPORATION) 24 March 2011 (2011-03-24)<br>fig. 1                         | 1-2, 4-6, 13          |

INTERNATIONAL SEARCH REPORT  
Information on patent family members

International application No.  
**PCT/JP2024/021275**

| Patent document cited in search report |             |    | Publication date (day/month/year) | Patent family member(s) | Publication date (day/month/year)         |
|----------------------------------------|-------------|----|-----------------------------------|-------------------------|-------------------------------------------|
| JP                                     | 2013-51527  | A  | 14 March 2013                     | (Family: none)          |                                           |
| JP                                     | 2022-100946 | A  | 06 July 2022                      | US 2022/0210355 A1      | paragraphs [0041], [0049], [0054], [0087] |
| WO                                     | 2022/038903 | A1 | 24 February 2022                  | US 2023/0345144 A1      | fig. 25                                   |
|                                        |             |    |                                   | CN 116034588 A          |                                           |
| WO                                     | 2015/159730 | A1 | 22 October 2015                   | US 2017/0034467 A1      | fig. 5-6                                  |
|                                        |             |    |                                   | CN 106165401 A          |                                           |
| WO                                     | 2020/003646 | A1 | 02 January 2020                   | US 2021/0092311 A1      | fig. 30                                   |
| JP                                     | 2014-120860 | A  | 30 June 2014                      | US 2014/0166856 A1      | fig. 2                                    |
|                                        |             |    |                                   | US 2016/0100117 A1      |                                           |
|                                        |             |    |                                   | CN 103873789 A          |                                           |
| JP                                     | 2011-61270  | A  | 24 March 2011                     | US 2012/0153131 A1      | fig. 1                                    |
|                                        |             |    |                                   | WO 2011/027508 A1       |                                           |

A. 発明の属する分野の分類（国際特許分類（IPC））

H04N 25/76(2023.01)i; H04N 25/78(2023.01)i

FI: H04N25/76; H04N25/78

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H04N25/76; H04N25/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

H04N5/30-H04N5/33;H04N23/11;H04N23/20-H04N23/30;H04N25/00;H04N25/20-H04N25/61;H04N25/615-H04N25/79;

H01L27/14-27/148; H10K39/30-39/38; H01L29/762-29/768

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                    | 関連する<br>請求項の番号        |
|-----------------|--------------------------------------------------------------------------------------|-----------------------|
| X               | JP 2013-51527 A（パナソニック株式会社）14.03.2013（2013-03-14）<br>[要約]、段落[0067]、[0104]－[0105]、図14 | 1-2, 4-7, 12, 20      |
| Y               |                                                                                      | 1-2, 4-6, 8-11, 13-19 |
| A               |                                                                                      | 3                     |
| Y               | JP 2022-100946 A（キヤノン株式会社）06.07.2022（2022-07-06）<br>段落[0032]、[0042]、[0047]、[0079]    | 8-11, 14-15           |
| Y               | WO 2022/038903 A1（ソニーセミコンダクタソリューションズ株式会社）24.02.2022（2022-02-24）<br>図25               | 8-11, 14-19           |
| Y               | WO 2015/159730 A1（ソニー株式会社）22.10.2015（2015-10-22）<br>図5-6                             | 9-11, 15-19           |

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日03.07.2024

国際調査報告の発送日16.07.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

櫃本 研太郎 2V 4411

電話番号 03-3581-1101 内線 3271

| C. 関連すると認められる文献 |                                                                                    |                        |
|-----------------|------------------------------------------------------------------------------------|------------------------|
| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                  | 関連する<br>請求項の番号         |
| Y               | WO 2020/003646 A1 (ソニーセミコンダクタソリューションズ株式会社) 02.01.2020<br>(2020 - 01 - 02)<br>図 3 0 | 9 - 1 1 ,<br>1 5 - 1 9 |
| Y               | JP 2014-120860 A (ソニー株式会社) 30.06.2014 (2014 - 06 - 30)<br>図 2                      | 9 - 1 1 ,<br>1 5 - 1 9 |
| Y               | JP 2011-61270 A (パナソニック株式会社) 24.03.2011 (2011 - 03 - 24)<br>図 1                    | 1 - 2 , 4<br>- 6 , 1 3 |

国際調査報告  
パテントファミリーに関する情報

国際出願番号  
PCT/JP2024/021275

| 引用文献 |             |    | 公表日        | パテントファミリー文献                                        | 公表日 |
|------|-------------|----|------------|----------------------------------------------------|-----|
| JP   | 2013-51527  | A  | 14.03.2013 | (ファミリーなし)                                          |     |
| JP   | 2022-100946 | A  | 06.07.2022 | US 2022/0210355 A1                                 |     |
|      |             |    |            | 段落 [ 0 0 4 1 ]、[ 0 0 4 9 ]、[ 0 0 5 4 ]、[ 0 0 8 7 ] |     |
| WO   | 2022/038903 | A1 | 24.02.2022 | US 2023/0345144 A1                                 |     |
|      |             |    |            | 図 2 5                                              |     |
|      |             |    |            | CN 116034588 A                                     |     |
| WO   | 2015/159730 | A1 | 22.10.2015 | US 2017/0034467 A1                                 |     |
|      |             |    |            | 図 5 - 6                                            |     |
|      |             |    |            | CN 106165401 A                                     |     |
| WO   | 2020/003646 | A1 | 02.01.2020 | US 2021/0092311 A1                                 |     |
|      |             |    |            | 図 3 0                                              |     |
| JP   | 2014-120860 | A  | 30.06.2014 | US 2014/0166856 A1                                 |     |
|      |             |    |            | 図 2                                                |     |
|      |             |    |            | US 2016/0100117 A1                                 |     |
|      |             |    |            | CN 103873789 A                                     |     |
| JP   | 2011-61270  | A  | 24.03.2011 | US 2012/0153131 A1                                 |     |
|      |             |    |            | 図 1                                                |     |
|      |             |    |            | WO 2011/027508 A1                                  |     |