

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷

G06T 1/00

(45) 공고일자 2001년05월02일

(11) 등록번호 10-0288662

(24) 등록일자 2001년02월09일

(21) 출원번호 10-1997-0003951

(65) 공개번호 특 1997-0071364

(22) 출원일자 1997년02월11일

(43) 공개일자 1997년11월07일

(30) 우선권주장 8/636,092 1996년04월22일 미국(US)

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘
미국 10504 뉴욕주 아몬크(72) 발명자 존스 찰스 레이
미국 텍사스주 78759 오스틴 카씨아 드라이브 10703
닐 개리 알렌
미국 텍사스주 78726 오스틴 와터톤 파케 코브 12402
로버슨 존 토마스(74) 대리인 미국 텍사스주 78759 오스틴 애로우포인트 코브 6809
김창세, 장성구**심사관 : 정재훈****(54) VGA영상데이터를원도우화하는방법및그래픽디스플레이어댑터****요약**

본 발명은 디스플레이 화면상에 VGA 이미지를 원도우화하는 장치 및 방법을 제공한다. 이 장치는 VGA 제어기와, 래스터라이저 엔진(rasterizer engine)과, 디스플레이용 메모리(displayable memory) 및 비디오 플레이용 메모리(non-displayable memory)를 갖는 프레임 버퍼를 포함하는 그래픽 어댑터이다. VGA 제어기는 프레임 버퍼의 비디오 플레이용 메모리로부터 VGA 데이터를 저장, 처리, 검색하고 디스플레이 화면상에 VGA 이미지를 원도우화하는 등의 처리를 행하기 위해 이 데이터를 래스터라이저 엔진에 제공한다. 처리를 거친 후, 래스터라이저 엔진의 가속화 그래픽 프로세서는 나중에 디스플레이될 수 있도록 프레임 버퍼의 디스플레이용 메모리내에 있는 다른 그래픽 데이터 뿐 아니라 VGA 데이터도 저장한다.

대표도**도1****명세서****도면의 간단한 설명**

도 1은 VGA 기능을 갖는 가속화 그래픽 어댑터를 도시한 도면,

도 2는 본 발명의 바람직한 실시예에 의해 이용되는 디지털 컴퓨터의 블록도,

도 3은 그래픽 어댑터의 각 부분에 대한 블록도,

도 4는 디스플레이 모니터상에 다수의 원도우들을 디스플레이하는데 사용되는 장치의 상세한 블록도.

도면의 주요 부분에 대한 부호의 설명

100 : 그래픽 어댑터 110 : 가속화 그래픽 제어기

120 : VGA 제어기 130 : 디스플레이 메모리

140 : 동적 랜덤 액세스 메모리(DRAM)

150 : 랜덤-액세스 메모리 디지털 대 아날로그 변환장치(RAMDAC)

160 : 디스플레이

발명의 상세한 설명**발명의 목적****발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 그래픽 디스플레이 어댑터에 관한 것으로서, 더욱 상세히 설명하면 원도우로 비디오 그래픽 어

레이(video graphics array;VGA) 이미지를 디스플레이하는 기능을 갖는 어댑터에 관한 것이다.

보다 향상된 기능을 갖는 가속화 그래픽 디스플레이 어댑터(accelerated graphics display adapters)가 산업분야에서 널리 사용되고 있다. 결과적으로 이 어댑터들은 당 산업분야의 표준으로서 VGA 어댑터를 서서히 대체하고 있다. 가속화 그래픽 어댑터는 이미지 정보를 메모리 장치에 전달하기 위해 그들 자신의 전용 프로세서를 갖는다. 한편, VGA는 이미지 정보를 메모리 장치에 전달하기 위해 시스템의 프로세서나 호스트 컴퓨터의 프로세서를 사용한다. 이와 같이 전용 프로세스로 인하여, 가속화 그래픽 어댑터들은 VGA보다 더 빠르고 더 효율적이다.

그러나, 기존의 VGA 어플리케이션 때문에 당 산업분야에서는 VGA 어댑터를 계속해서 제공해야 할 필요성이 지속적으로 존재한다. 이러한 필요성을 충족시키기 위해, 몇몇 디스플레이 어댑터 제조자들은 VGA 기능을 갖는 가속화 그래픽 디스플레이 어댑터를 제조해 왔다. 도 1은 이러한 VGA 기능을 갖는 가속화 그래픽 어댑터를 도시한다. 그래픽 어댑터(100)는 VGA 포트와 입력 포트를 갖는 가속화 그래픽 제어기(accelerated graphic controller)(110)를 포함한다. 그래픽 제어기(110)는 프레임 버퍼(130)에 접속되며, 프레임 버퍼(130)는 다시 랜덤-액세스 메모리 디지털 대 아날로그 변환장치(random-access memory digital-to-analog converter; RAMDAC)(150)에 접속된다. RAMDAC(150)는 이미지를 디스플레이 모니터(160)에 제공하는데 사용되는 디스플레이 포트를 갖는다. RAMDAC(150)는 또한 VGA 이미지 데이터를 수신하기 위한 VGA 포트를 갖는다. 그래픽 어댑터(100)는 가속화 그래픽 제어기(110)의 VGA 포트와 RAMDAC(150)의 VGA 포트와 동적 랜덤 액세스 메모리(DRAM)에 접속된 VGA 제어기(120)를 더 포함한다.

제어기(110)의 입력 포트에서 수신된 가속화 그래픽 데이터는 가속화 그래픽 제어기(110)에 의해 처리되어 프레임 버퍼(130)내에 저장된다. 데이터가 디스플레이될 준비가 되면 RAMDAC(150)로 보내져 모니터(160)상에 디스플레이된다. 가속화 제어기(110)에 의해 수신된 VGA 데이터는 VGA 포트를 통해 VGA 제어기(120)로 전송되어 DRAM(140)내에 저장된다. 이 데이터가 디스플레이될 준비가 되면, VGA 제어기(120)에 의해 DRAM(140)으로부터 검색(retrieve)되어 RAMDAC(150)의 VGA 포트를 통해 RAMDAC(150)에 전달된다.

도 1에 도시된 바와 같이, 가속화 그래픽 어댑터들은 VGA와의 호환을 위한 두 개의 메모리 장치인 프레임 버퍼(130)와 DRAM(140)을 사용한다. 이렇게 두 개의 메모리 장치를 사용함으로써 어댑터의 총 비용이 증가한다.

종종 여려가지 이유로, 사용자는 VGA 이미지와 가속화 이미지를 동시에 화면에 디스플레이하기를 원할 수 있다. 이 경우, 각각의 이미지는 윈도우로 디스플레이된다. 그러나, 도 1의 그래픽 어댑터는 VGA 형식으로 생성된 이미지(VGA generated image)이 디스플레이될 때 가속화 제어기를 이용할 수 없다. 보다 상세히 설명하면, VGA 제어기의 사용이 RAMDAC(150)의 오퍼레이션을 지정한다. VGA 제어형 RAMDAC 오퍼레이션은 가속화 그래픽 제어형 RAMDAC 오퍼레이션과 양립될 수 없다. 따라서, 화면상에 VGA 이미지와 가속화 이미지를 동시에 디스플레이하는 것은 불가능하다.

그러므로, 당 기술분야에서는 한 개의 메모리 장치만을 사용하여 VGA 이미지를 포함한 그래픽 이미지를 저장하고 VGA 그래픽 이미지와 가속화 그래픽 이미지를 동시에 디스플레이할 수 있도록 하는, VGA 기능을 갖는 디스플레이 어댑터가 요청된다.

발명이 이루고자 하는 기술적 과제

당 기술분야의 이와 같은 필요성이 본 발명에서 중점적으로 다루어졌다. 본 발명은 디스플레이 화면상에 VGA 이미지를 윈도우화(windowing)하는 장치 및 방법을 제공한다. 이 장치는 VGA 제어기와, 래스터라이저 엔진(rasterizer engine)과, 디스플레이용 메모리(displayable memory) 및 비디스플레이용 메모리(non-displayable memory)를 갖는 프레임 버퍼를 포함하는 그래픽 어댑터이다. VGA 제어기는 프레임 버퍼의 비디스플레이용 메모리로부터의 VGA 데이터를 저장 및 검색하고, 디스플레이 화면상에 VGA 이미지를 윈도우화하는 것과 같은 처리를 행하기 위해 이 데이터를 래스터라이저 엔진에 제공한다. 처리를 거친 후, 래스터라이저 엔진의 가속화 그래픽 프로세서는 나중에 디스플레이될 수 있도록 프레임 버퍼의 디스플레이용 메모리내에 있는 다른 그래픽 데이터 뿐 아니라 VGA 데이터도 저장한다. VGA 이미지 데이터는 모니터의 전화면 디스플레이(full screen display) 후 매번 재생된다.

발명의 구성 및 작용

도 2는 본 발명의 바람직한 실시예에서 사용되는 디지털 컴퓨터(200)의 블록도이다. 컴퓨터는 입력 장치(230)와 출력 장치(240)가 부착된 컴퓨터 박스(105)내에 주기억 장치(main memory)(220)에 연결된 주 프로세서(main processor)(210)를 포함한다. 입력 장치(230)는 키보드, 마우스, 태블릿이나 다른 타입의 입력 장치를 포함할 수 있다. 출력 장치(240)는 텍스트 모니터, 플롯터나 다른 타입의 출력 장치를 포함할 수 있다. 주 프로세서(210)는 또한 그래픽 어댑터(300)를 통해 그래픽 디스플레이와 같은 그래픽 출력 장치(310)에 연결될 수 있다. 그래픽 어댑터(300)는 어댑터 슬롯(260A)에 위치될 수 있다. 그래픽 어댑터(300)는 버스(250)를 통해 주 프로세서(210)로부터 그래픽에 관계된 명령들을 수신한다. 모뎀이나 다른 통신 어댑터(350) 및 하드 디스크(355)가 슬롯(260C, 260D)에 위치되어 버스(250)를 통해 주 프로세서(210)와의 통신을 제공할 수 있다. 모뎀(350)은 통신 라인(360)을 통해 다른 데이터 처리 시스템(370)과 통신할 수 있다. 주기억 장치(220), 하드 디스크(355), 플로피 디스크는 메모리로서 칭된다.

본 발명은 그래픽 어댑터(300)내에서 구현된다. 도 3은 도 2에 관하여 상기 기술된 그래픽 어댑터(300)의 부분들에 대한 블록도이다. 이 부분들은 래스터라이저 엔진(420)과 VGA 제어기(425)에 연결된 어드레스 디코더(480)를 포함한다. VGA 제어기(425)와 래스터라이저 엔진(420)은 서로 접속되어 있다. 어드레스 디코더(480)는 래스터라이저 엔진이나 VGA 제어기로 데이터를 전송하는데 사용된다. 어드레스 디코더는 당 기술분야에 잘 알려져 있으며, 이들의 구현은 여기서 언급하지 않는다. 래스터라이저 엔진은 특정 이미지를 만들기 위해 어느 픽셀이 갱신되어야 할 지와, 시각적으로 정확한 디스플레이를 생성하

기 위해 이 픽셀을 어떻게 갱신할지를 판단한다. VGA 제어기(425)는 프로세서(210)로부터의 이미지 데이터로 VGA 메모리를 갱신한다. 또한 프레임 버퍼(430)가 그래픽 어댑터(300)의 일부로서 포함된다. 프레임 버퍼(430)는 디스플레이용 메모리(432)와 비디스플레이용 메모리(434)를 포함한다. 프레임 버퍼 메모리(430)는 래스터라이저 엔진(420)에 접속된다. VGA 제어기(425)는 VGA 데이터 저장용으로 비디스플레이용 메모리를 사용한다. 디스플레이용 메모리(432)는 RAMDAC(440)에 접속된다.

그래픽 시스템이 1024×768 혹은 768 킬로바이트의 데이터를 디스플레이하도록 설계되었다면, 대개, 1024 킬로바이트의 데이터 저장 용량을 갖는 프레임 버퍼가 제공된다. 이 저장 용량 중 768 킬로바이트는 궁극적으로 디스플레이될 데이터를 포함하는데 사용되므로 디스플레이용 메모리로 불리운다. 저장 용량의 나머지 256 킬로바이트는 디스플레이될 데이터를 보유하는데 사용되지 않으며, 따라서 비디스플레이용 메모리로 불리운다. 저장 용량 중 256 킬로바이트는 종종 어떠한 목적에도 사용되지 않기 때문에, 대개는 낭비된다. 본 발명은 이 저장 용량을 VGA 이미지 데이터를 저장하는데 이용하여 이 데이터를 저장하기 위한 별도의 저장 메모리의 필요성을 제거한다. 본 발명은 768 킬로바이트의 데이터를 디스플레이하도록 설계된 시스템을 사용하는 것으로 기술되었으나, 상이한 크기의 이미지 데이터를 디스플레이하도록 설계된 시스템이 사용될 수도 있다. 예를 들면, 1280 킬로바이트의 이미지 데이터를 디스플레이하도록 설계된 시스템은 2048 킬로바이트의 저장 용량을 갖는 프레임 버퍼를 사용한다. 따라서, 이 프레임 버퍼의 사용되지 않는 768 킬로바이트는 VGA 메모리로 이용될 수 있다.

종래의 VGA 메모리 장치나 DRAM은 보통 4 개의 맵핑으로 나뉘어 진다. 각각의 맵핑들은 이미지에 대한 상이한 정보를 보유하는데 사용된다. 예를 들면 텍스트 모드에서 제 1 맵핑은 문자 코드 정보를 보유할 수 있다. 제 2 맵핑은 속성 정보를 보유할 수 있으며, 제 3 맵핑은 자형(font) 정보를 보유할 수 있다. 제 4 맵핑은 대개 그래픽 모드에서만 사용된다. 마찬가지로, 비디스플레이용 메모리(434)는 VGA 이미지에 대한 상이한 정보 데이터를 보유하기 위해 4 개의 메모리 맵핑으로 나뉘어 진다. 프레임 버퍼의 비디스플레이용 부분이 물리적으로 4 개의 맵핑으로 나뉠 수 있지만, 이 경우는 가상적으로 맵핑들로 분할된다. 즉, VGA 제어기는 메모리를 4 개의 맵핑들로 효율적으로 사용하는 어드레싱 체계(addressing scheme)를 사용한다. 효율적인 전송을 위해, VGA 맵핑 데이터가 메모리(434)의 한 액세스에 결합될 수도 있다.

오퍼레이션 중, 호스트 프로세서(210)가 데이터를 그래픽 어댑터(300)로 전송하면, 어드레스 디코더(480)는 데이터를 래스터라이저 엔진(420)에 전송할 지 또는 VGA 제어기(425)에 전송할지를 판단하기 위해 데이터의 어드레스를 디코딩한다. VGA 제어기(425)로 전송된 데이터는 VGA 제어기에 의해 처리되어 비디스플레이용 메모리로 전송되어 저장된다. 마찬가지로, 래스터라이저 엔진(420)으로 전송된 데이터는 처리되고 디스플레이용 메모리로 전송되어 저장된다. VGA 데이터가 디스플레이될 준비가 되면, VGA 제어기(425)는 비디스플레이용 메모리(434)로부터 데이터를 검색하고, 이미지를 만들기 위해 요구되는 대로 데이터를 처리하여 이것을 래스터라이저 엔진(420)으로 전송한다. 래스터라이저 엔진(420)은 VGA 데이터를 메모리(432)로 전송하여 VGA 이미지와 래스터라이저 엔진(420)에 의해 만들어진 이미지의 합성 이미지를 만들어낸다. 래스터라이저 엔진은 도 2의 주 프로세서(210)에 의해 합성 이미지에서의 VGA 이미지 원도우의 시작을 위해 원하는 어드레스를 제공받는다. VGA 이미지 데이터는 시작 어드레스에서 개시하여 디스플레이용 메모리(432)로 맵핑되며 VGA 이미지 크기는 VGA 오퍼레이션 모드에 의해 결정된다. VGA 이미지는 또한, 필요한 경우, 디스플레이(470) 용으로 만들어진 최종 화면 해상도(the final screen resolution)에 맞도록 스케일링될 수도 있다. 이어서 처리된 데이터는 저장을 위해 디스플레이용 메모리로 전송된다. 디스플레이용 메모리(432)내의 데이터가 디스플레이될 준비가 되면, RAMDAC(440)를 통해 디스플레이(470)로 전송된다.

디스플레이용 메모리(432)내의 이미지 데이터는 래스터 주사 방식(raster scanning fation)으로 디스플레이 모니터(470)상에 디스플레이된다. 즉, 이 이미지는 디스플레이 모니터(470)의 전체 디스플레이 공간에 걸쳐 주사기에 의한 변조 전자 빔의 각각의 라인 단위의 스위프(line-by-line sweeps of a modulated electron beam)를 통해 디스플레이된다. 따라서, 모니터의 왼쪽 최상위 픽셀에 대응하는 이미지 데이터가 제일 먼저 제공되고 오른쪽 최하위 픽셀에 대응하는 데이터가 제일 나중에 제공된다. 오른쪽 최하위 픽셀에 도달하면, 빔이 수직적으로 차단(vertically blank)되거나 턴 오프(turn off)되어 모니터상의 왼쪽 최상위 픽셀 위치로 되돌아 갈 때까지 픽셀이 디스플레이되지 않도록 한다. 수직 차단이 시작될 때, VGA 제어기(425)는 비디스플레이용 메모리(434)로부터 데이터를 판독하기 시작하며, 처리를 위해 이것을 래스터라이저 엔진(420)에 제공한다. 래스터라이저 엔진(420)은 데이터를 처리하고, 이것을 디스플레이용 메모리(432)에 저장한다. 따라서, 이미지 데이터가 디스플레이(470)의 래스터 주사 처리에 필요해지기 전에 VGA 이미지가 메모리(432)에 제공된다. 이것은 VGA 이미지 생성이 디스플레이(470)의 생성과 동시에 이루어 지게 하며, 메모리내의 이미지가 디스플레이를 위해 주사될 때 부분적으로 완성되는(일부는 새로운 이미지이고 일부는 예전의 이미지인) 상황이 발생하지 않도록 한다. 디스플레이용 메모리(432)내의 가속화 데이터는 주 프로세서(210)가 가속화 그래픽 데이터를 그래픽 어댑터로 전송할 때마다 재생된다는 것에 주의해야 한다.

도 4는 다수의 원도우를 디스플레이 모니터상에 디스플레이하는데 사용되는 장치의 상세한 블록도를 도시한다. 이 장치는 프레임 버퍼(520)에 접속된 그래픽 프로세서(510), 원도우 식별장치(window identifier:wid)(530), RAMDAC(540)를 포함한다. RAMDAC(540)는 원도우 식별장치(530)와 프레임 버퍼(520)에 접속되어 있다. 도 3의 래스터라이저 엔진(420)에 포함된 그래픽 프로세서(510)는 처리될 데이터(VGA 및 가속화 그래픽 둘다)를 데이터 버스(570)를 통해 프레임 버퍼(520)로 전송한다. 그래픽 프로세서(510)는 또한 전송된 데이터의 어드레싱 정보를 어드레스 버스(580)를 통해 원도우 식별장치(530)로 전송한다. LUT(545)내의 팔레트 색상은 제어 버스(560)를 통해 그래픽 프로세서(510)에 의하여 갱신된다.

원도우 식별장치(530)와 디스플레이용 메모리(520)는 동일하게 맵핑된다. 즉, 원도우 식별장치(530)내에서의 각 위치는 메모리(520)내의 픽셀 위치에 대응한다. 원도우 식별장치(530)는 픽셀의 색 깊이 등과 같은 대응하는 픽셀의 속성들을 판단하기 위해 RAMDAC(540)에 의해 사용되는 코드를 생성한다. RAMDAC(540)는 픽셀당 비트수, 팔레트 어드레스 등과 같은 특정 원도우용 데이터의 정확한 해석(interpretation)을 선택하기 위해 이 속성들을 사용한다. 결과적으로, 가속화 이미지 데이터 뿐 아니

라 VGA 이미지 데이터도 제각기 각자의 픽셀 해석을 갖는 각자의 윈도우로, 디스플레이 모니터상에 동시에 디스플레이될 수 있다. 예를 들면, 픽셀당 8 비트인 VGA 데이터가 픽셀당 16 비트인 가속화 이미지와 함께 디스플레이 될 수 있다.

이상으로 본 발명은 특정 실시예에 대해 상세히 기술되었으나, 다른 대안적인 실시예들도 당 기술분야의 당업자에게는 명백한 것이 될 것이다. 따라서, 상기의 설명이 첨부된 특허청구범위에 의해 한정된 본 발명의 범주를 제한하는 것으로 해석되어서는 안될 것이다.

발명의 효과

따라서, 본 발명에 의해 한 개의 메모리 장치만을 사용하여 VGA 이미지를 포함한 그래픽 이미지를 저장하고 VGA 이미지와 가속화 그래픽 이미지를 동시에 디스플레이할 수 있도록 하는, VGA 기능을 갖는 디스플레이 어댑터가 제공된다.

(57) 청구의 범위

청구항 1

VGA 이미지와 가속화된 그래픽 이미지를 동시에(concurrently) 디스플레이하기 위한 장치에 있어서,

상기 VGA 이미지를 나타내는 VGA 데이터를 처리하고 상기 처리된 VGA 데이터를 VGA 메모리 디바이스(a VGA memory device)에 저장하는 수단과,

상기 가속화된 그래픽 이미지를 나타내는 가속화된 그래픽 이미지 데이터를 처리하고 상기 처리된 가속화된 그래픽 이미지 데이터를 디스플레이 메모리 디바이스(a display memory device)에 저장하는 수단과,

상기 VGA 이미지와 상기 가속화된 그래픽 이미지를 동시에 디스플레이하는 수단 — 각각의 이미지는 개개의 사용자 변경 가능한 원도우 내에 위치함 — 을 포함하며,

상기 디스플레이 수단은 상기 VGA 메모리 디바이스로부터 상기 처리된 VGA 데이터를 인출하여 상기 처리된 VGA 데이터를 상기 디스플레이 메모리 디바이스에 저장하는 수단을 포함하는

VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 VGA 메모리 디바이스는 상기 디스플레이 메모리 디바이스의 비디스플레이용 부분인 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 장치.

청구항 3

제 2 항에 있어서,

상기 비디스플레이용 메모리 부분은 각각이 VGA 이미지에 대한 정보 데이터를 저장하는 4 개의 맵핑으로 분할되는 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 장치.

청구항 4

제 3 항에 있어서,

상기 비디스플레이용 메모리 부분으로부터 VGA 이미지 데이터를 저장하고 처리하며 인출하기 위한 VGA 제어기를 더 포함하는 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 장치.

청구항 5

제 1 항에 있어서,

상기 사용자 변경 가능한 원도우는 동적으로 크기 조정이 가능하고 이동 가능한 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 장치.

청구항 6

제 4 항에 있어서,

VGA 이미지 데이터는 각각의 전체 화면 디스플레이 후 상기 VGA 제어기에 의해 상기 가속화된 그래픽 이미지 데이터 처리 수단에 제공되는 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 장치.

청구항 7

제 6 항에 있어서,

상기 VGA 이미지는 최종 화면 해상도에 맞도록 상기 가속화된 그래픽 이미지 데이터 처리 수단에 의해 스케일링되는 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 장치.

청구항 8

VGA 이미지와 가속화된 그래픽 이미지를 동시에(concurrently) 디스플레이하기 위한 방법에 있어서,

가속화된 그래픽 이미지 데이터를 획득하고 처리하는 단계와,

상기 처리된 가속화된 그래픽 이미지 데이터를 디스플레이 메모리 디바이스에 저장하는 단계와,

VGA 이미지 데이터를 획득하고 처리하는 단계와,

상기 처리된 VGA 이미지 데이터를 VGA 메모리 디바이스에 저장하는 단계와,

상기 VGA 이미지와 상기 가속화된 그래픽 이미지 데이터를 디스플레이 모니터 상에 동시에 디스플레이하는 단계 — 각각의 이미지 데이터는 개개의 사용자 변경가능한 원도우 내에 위치함 — 를 포함하며

상기 디스플레이 단계는 상기 VGA 메모리 디바이스로부터 상기 처리된 VGA 이미지 데이터를 인출하여 상기 처리된 VGA 이미지 데이터를 상기 디스플레이 메모리 디바이스에 저장하는 단계를 포함하는

VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 방법.

청구항 9

제 8 항에 있어서,

상기 VGA 메모리 디바이스는 상기 디스플레이 메모리 디바이스의 비디스플레이용 부분인 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 방법.

청구항 10

제 9 항에 있어서,

상기 비디스플레이용 메모리 부분은 각각이 VGA 이미지에 대한 정보 데이터를 저장하는 4 개의 맵핑으로 분할되는 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 방법.

청구항 11

제 10 항에 있어서,

상기 비디스플레이용 메모리 부분으로부터 VGA 제어기에 의해 VGA 이미지 데이터를 저장, 처리 및 인출하는 단계를 더 포함하는 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 방법.

청구항 12

제 11 항에 있어서,

상기 인출된 VGA 이미지 데이터는 상기 디스플레이 메모리 디바이스 내에 저장되도록 래스터라이저 엔진에 제공되는 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 방법.

청구항 13

제 12 항에 있어서,

VGA 이미지 데이터는 각각의 전체 화면 디스플레이 후 상기 VGA 제어기에 의해 상기 래스터라이저 엔진에 제공되는 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 방법.

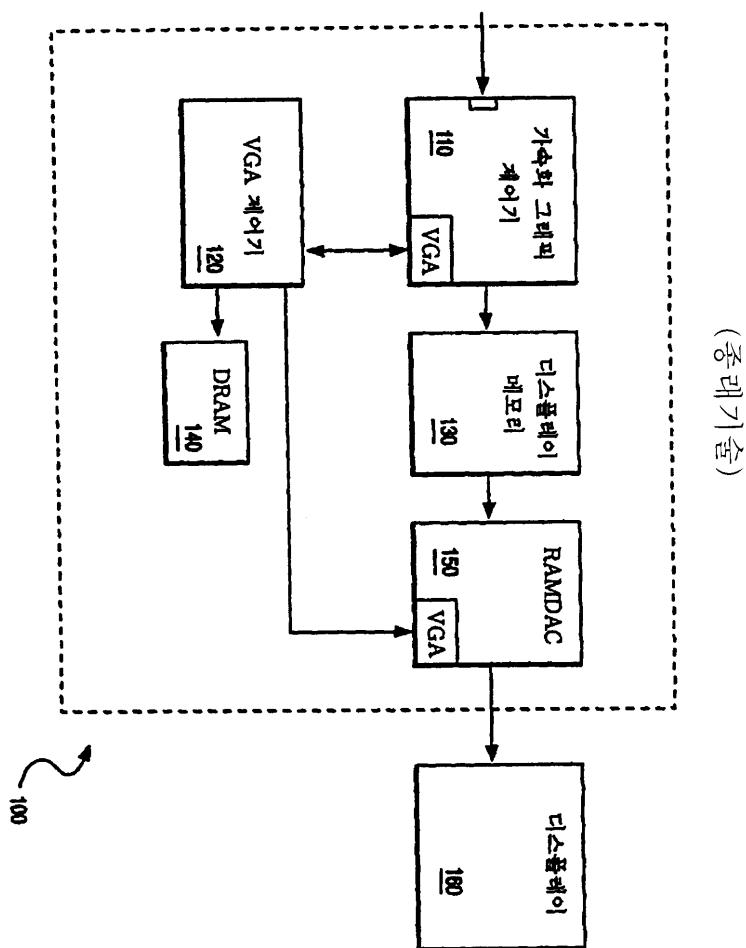
청구항 14

제 13 항에 있어서,

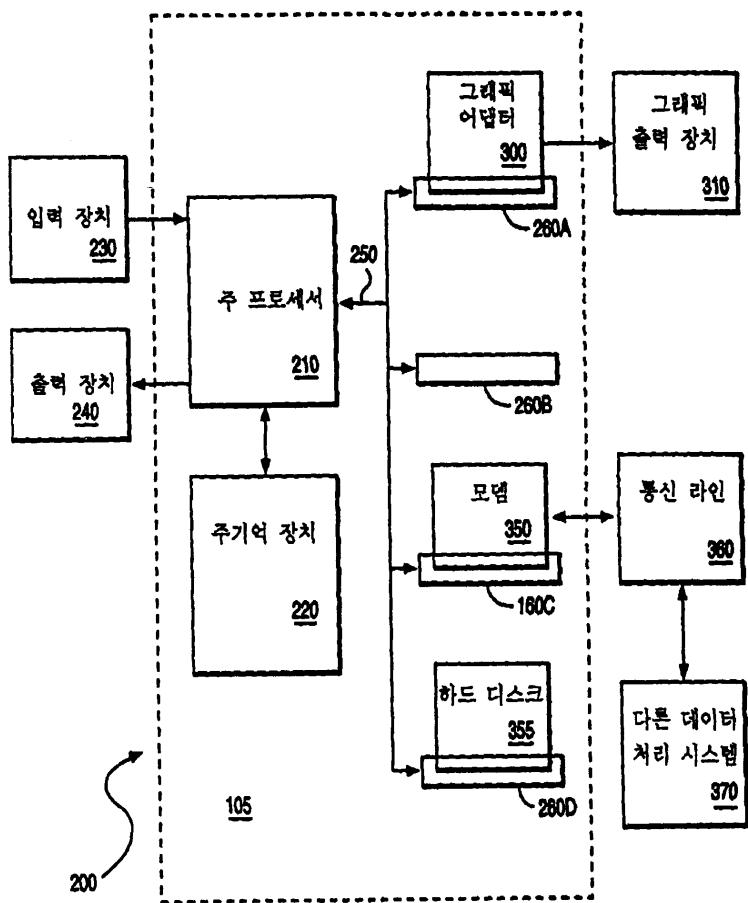
상기 VGA 이미지는 최종 화면 해상도에 맞도록 상기 래스터라이저 엔진에 의해 스케일링되는 VGA 이미지 및 가속화된 그래픽 이미지의 동시 디스플레이 방법.

도면

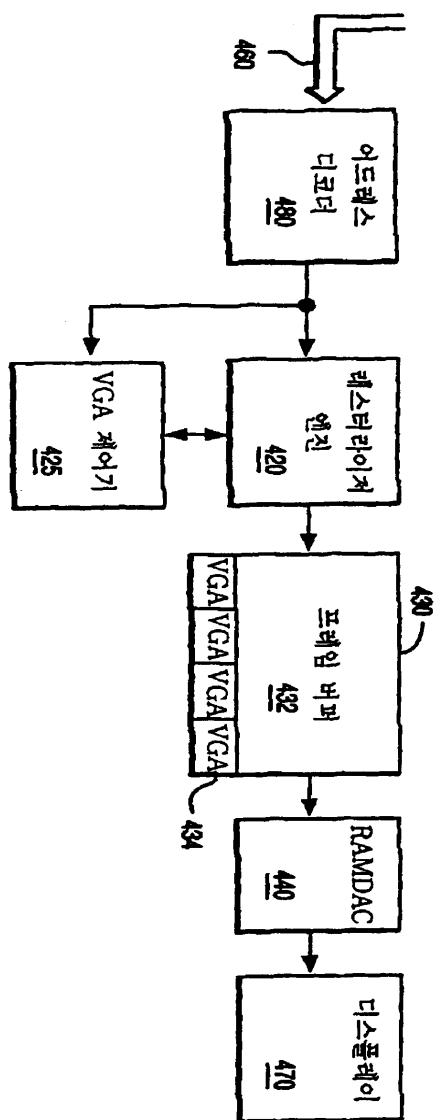
도면1



도면2



도면3



도면4

