

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-236094

(P2005-236094A)

(43) 公開日 平成17年9月2日(2005.9.2)

(51) Int. Cl.<sup>7</sup>

H01L 21/66

F I

H01L 21/66

Z

テーマコード(参考)

4M106

H01L 21/66

A

審査請求 未請求 請求項の数 15 O L (全 14 頁)

(21) 出願番号 特願2004-44353 (P2004-44353)

(22) 出願日 平成16年2月20日(2004.2.20)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 池田 修二

茨城県ひたちなか市堀口751番地 トレ

センティテクノロジーズ株式会社内

Fターム(参考) 4M106 AA01 AA02 BA01 CA01 CA39

CA41 DA15 DJ18 DJ38

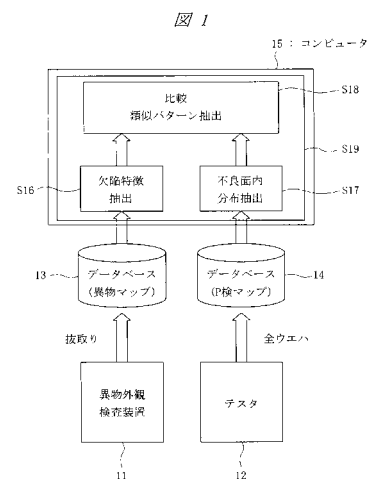
(54) 【発明の名称】 半導体装置の製造方法、不良解析方法および不良解析システム

(57) 【要約】

【課題】 複数の処理工程からなる製造ラインにおいて、検査ウエハの数が少ない場合であっても、不良発生原因となっている処理工程等を早期に発見することができる技術を提供する。

【解決手段】 ウエハ処理工程において各処理工程後に異物外観検査装置11により外観検査を行い、その結果として異物マップ(異物欠陥座標、処理工程、処理装置、異物欠陥分類などの情報を含む)をデータベース13に蓄積し、その異物マップから欠陥の特徴を抽出し、また、ウエハ処理工程後にテスト12によりプローブ検査を行い、その結果としてプローブ検査マップをデータベース14に蓄積し、そのプローブ検査マップから不良面内分布を抽出し、コンピュータ15により抽出された欠陥の特徴と不良面内分布とを比較し、一致または類似するパターン(特徴)を抽出し、不良発生原因となっている処理工程または処理装置を特定する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

ウエハ処理工程における各処理工程後の外観検査の結果として欠陥マップを蓄積する第 1 工程と、

前記欠陥マップから欠陥の特徴を抽出する第 2 工程と、

前記ウエハ処理工程後のプローブ検査におけるプローブ検査マップを蓄積する第 3 工程と、

前記プローブ検査マップから不良の特徴を抽出する第 4 工程と、

前記第 2 工程で抽出された前記欠陥の特徴と前記第 4 工程で抽出された前記不良の特徴とを比較し、一致または類似する特徴を抽出し、不良発生原因となっている処理工程または処理装置を特定する第 5 工程とを有することを特徴とする半導体装置の製造方法。

10

**【請求項 2】**

請求項 1 記載の半導体装置の製造方法において、

前記外観検査は、異物検査または外観欠陥検査であることを特徴とする半導体装置の製造方法。

**【請求項 3】**

請求項 1 記載の半導体装置の製造方法において、

前記欠陥マップは、異物欠陥座標、前記処理工程、前記処理装置、異物欠陥分類の情報を含むことを特徴とする半導体装置の製造方法。

**【請求項 4】**

ウエハ処理工程における各処理工程後の外観検査の結果として欠陥マップを蓄積する第 1 工程と、

前記欠陥マップから欠陥の特徴を抽出する第 2 工程と、

前記ウエハ処理工程後のプローブ検査におけるプローブ検査マップを蓄積する第 3 工程と、

前記プローブ検査マップから不良の特徴を抽出する第 4 工程と、

前記第 2 工程で抽出された前記欠陥の特徴と前記第 4 工程で抽出された前記不良の特徴とを比較し、一致または類似する特徴を抽出し、不良発生原因となっている処理工程または処理装置を特定する第 5 工程とを有することを特徴とする不良解析方法。

20

**【請求項 5】**

請求項 4 記載の不良解析方法において、

前記外観検査は、異物検査または外観欠陥検査であることを特徴とする不良解析方法。

**【請求項 6】**

請求項 4 記載の不良解析方法において、

前記欠陥マップは、異物欠陥座標、前記処理工程、前記処理装置、異物欠陥分類の情報を含むことを特徴とする不良解析方法。

30

**【請求項 7】**

ウエハ処理工程における各処理工程後の外観検査の結果として欠陥マップを蓄積する第 1 手段と、

前記欠陥マップから欠陥の特徴を抽出する第 2 手段と、

前記ウエハ処理工程後のプローブ検査におけるプローブ検査マップを蓄積する第 3 手段と、

前記プローブ検査マップから不良の特徴を抽出する第 4 手段と、

前記第 2 手段で抽出された前記欠陥の特徴と前記第 4 手段で抽出された前記不良の特徴とを比較し、一致または類似する特徴を抽出する第 5 手段とを有することを特徴とする不良解析システム。

40

**【請求項 8】**

請求項 7 記載の不良解析システムにおいて、

前記外観検査は、異物検査または外観欠陥検査であることを特徴とする不良解析システム。

50

**【請求項 9】**

請求項 7 記載の不良解析システムにおいて、

前記欠陥マップは、異物欠陥座標、前記処理工程、処理装置、異物欠陥分類の情報を含むことを特徴とする不良解析システム。

**【請求項 10】**

ウエハ処理工程における各処理工程後の外観検査の結果として欠陥マップを蓄積する第 1 手段と、

前記欠陥マップから欠陥の特徴を抽出する第 2 手段と、

前記ウエハ処理工程後のプローブ検査におけるプローブ検査マップを蓄積する第 3 手段と、

前記プローブ検査マップから不良の特徴を抽出する第 4 手段と、

前記第 2 手段で抽出された前記欠陥の特徴と前記第 4 手段で抽出された前記不良の特徴とを比較し、一致または類似する特徴を抽出し、コンピュータの同一画面上または同一紙面上に表示する第 6 手段とを有することを特徴とする不良解析システム。

10

**【請求項 11】**

請求項 10 記載の不良解析システムにおいて、

前記外観検査は、異物検査または外観欠陥検査であることを特徴とする不良解析システム。

**【請求項 12】**

請求項 10 記載の不良解析システムにおいて、

前記欠陥マップは、異物欠陥座標、前記処理工程、処理装置、異物欠陥分類の情報を含むことを特徴とする不良解析システム。

20

**【請求項 13】**

ウエハ処理工程における各処理工程後の外観検査の結果として欠陥マップを蓄積する第 1 工程と、

前記欠陥マップから欠陥の特徴を抽出する第 2 工程と、

前記ウエハ処理工程後のプローブ検査におけるプローブ検査マップを蓄積する第 3 工程と、

前記プローブ検査マップから不良の特徴を抽出する第 4 工程と、

前記第 2 工程で抽出された前記欠陥の特徴と前記第 4 工程で抽出された前記不良の特徴とを比較し、一致または類似する特徴を抽出し、不良発生原因となっている処理工程または処理装置を特定する第 5 工程と、

30

前記第 5 工程で特定された一致または類似する特徴を有するウエハに共通する処理工程、処理装置および / または処理室を抽出する第 7 工程とを有することを特徴とする半導体装置の製造方法。

**【請求項 14】**

請求項 13 記載の半導体装置の製造方法において、

前記外観検査は、異物検査または外観欠陥検査であることを特徴とする半導体装置の製造方法。

**【請求項 15】**

請求項 13 記載の半導体装置の製造方法において、

前記欠陥マップは、異物欠陥座標、前記処理工程、前記処理装置、異物欠陥分類の情報を含むことを特徴とする半導体装置の製造方法。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体装置の製造方法、不良解析方法および不良解析システムに関し、特に複数の処理装置による複数の処理工程からなる製造ラインで不良発生原因となっている処理工程等を特定する技術に適用して有効な技術に関するものである。

50

**【背景技術】****【0002】**

近年、半導体装置等の製造ラインでは、処理工程の複雑化、加工サイズの微細化が進み、歩留まり向上および短納期化のためには、不良発生原因となっている処理工程等を早期に発見して対策をとることが重要となってきた。

**【0003】**

例えば、本発明者が検討した技術として、不良発生原因となっている処理工程等を特定する方法については、以下の技術が考えられる。

**【0004】**

半導体装置の製造ラインに、異物検査装置、外観欠陥検査装置、異物検査装置または外観欠陥検査装置による検査直後にプローブ検査を行う簡易プローブ検査装置などからなる検査装置群管理システムを構築し、各検査終了後に結果をデータ収集系に転送し、異物検査装置の不良分布マップと簡易プローブ検査装置の不良分布マップとの相関を求める方法（例えば、特許文献1参照）。

10

**【0005】**

ウエハの層形成ごとに異物検査を行い、各検査ごとに異物が一度も検出されなかったチップ、すなわち異物無チップのみからなるウエハを想定し、すべての層形成工程を経たウエハについて電気検査を行い、良品チップと不良品チップとに区分けする良/不良判定を行い、各異物検査ごとの仮想ウエハについて異物無チップのみが存在するものとして良/不良判定結果から歩留まりを算出し、算出した歩留まりを用いて仮想ウエハごとの、すなわち層形成の製造工程ごとの歩留まり影響度を定量化する方法（例えば、特許文献2参照）。

20

**【0006】**

同じウエハを工程進行に伴い複数工程で欠陥検査を行い、それらの検出結果を重ね合わせて累積欠陥マップを作成し、すべての層形成工程を経たウエハに電気機能検査を行い、良品チップと不良品チップとに区分けする良/不良判定を行い、欠陥無チップの歩留まり算出を行い、ウエハで測定した回路寸法、膜厚寸法、層間位置合わせ寸法、電気特性などの測定値を測定項目ごとに求め、その結果と欠陥無チップの歩留まりを比較する方法（例えば、特許文献3参照）。

**【特許文献1】**特開平10-229110号公報

30

**【特許文献2】**特開2000-223385号公報

**【特許文献3】**特開2001-110867号公報

**【発明の開示】****【発明が解決しようとする課題】****【0007】**

ところで、前記のような不良発生原因となっている処理工程等を特定する技術について、本発明者が検討した結果、以下のようなことが明らかとなった。

**【0008】**

例えば、前記特許文献1～3の方法では同一ウエハで検査を行い、その検査結果を比較する必要があるが、抜き取り検査など検査ウエハの数が少ない場合、検査していないウエハとの比較ができないため、検査していないウエハに問題があった場合、不良発生原因となっている処理工程等を発見することができない場合がある。

40

**【0009】**

そこで、本発明の目的は、複数の処理工程からなる製造ラインにおいて、検査ウエハの数が少ない場合であっても、不良発生原因となっている処理工程等を早期に発見することができる技術を提供することにある。

**【0010】**

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

**【課題を解決するための手段】**

50

## 【0011】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

## 【0012】

すなわち、本発明による半導体装置の製造方法および不良解析方法は、ウエハ処理工程における各処理工程後の外観検査（異物検査、外観欠陥検査など）の結果として欠陥マップ（異物欠陥座標、処理工程、処理装置、異物欠陥分類などの情報を含む）を蓄積し、その欠陥マップから欠陥の特徴を抽出し、また、ウエハ処理工程後のプローブ検査におけるプローブ検査マップを蓄積し、そのプローブ検査マップから不良の特徴を抽出し、抽出された欠陥の特徴と不良の特徴とを比較し、一致または類似する特徴を抽出し、不良発生原因となっている処理工程または処理装置を特定するものである。

10

## 【0013】

また、本発明による不良解析システムは、ウエハ処理工程における各処理工程後の外観検査の結果として欠陥マップを蓄積する第1手段と、その欠陥マップから欠陥の特徴を抽出する第2手段と、ウエハ処理工程後のプローブ検査におけるプローブ検査マップを蓄積する第3手段と、そのプローブ検査マップから不良の特徴を抽出する第4手段と、第2手段で抽出された欠陥の特徴と第4手段で抽出された不良の特徴とを比較し、一致または類似する特徴を抽出する第5手段とを有するものである。

## 【発明の効果】

## 【0014】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

20

## 【0015】

(1) 検査結果の比較が一対対応ではないので、検査ウエハの数が少ない場合であっても、不良発生原因となっている処理工程等を早期に発見することができる。

## 【0016】

(2) 不良発生原因となっている処理工程等を早期に発見し対策をとることができるため、製品歩留まりが向上する。

## 【発明を実施するための最良の形態】

## 【0017】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

30

## 【0018】

図1は本発明の一実施の形態による不良解析システムの構成を示すブロック図、図2(a)~(c)は本発明の一実施の形態による半導体装置の製造方法および不良解析方法において、P検マップの一例を示す図、図2(d)~(g)は本発明の一実施の形態による半導体装置の製造方法および不良解析方法において、異物マップの一例を示す図、図3(a)、(b)は本発明の一実施の形態による半導体装置の製造方法および不良解析方法において、不良解析手順を示すフロー図である。

40

## 【0019】

まず、図1により、本実施の形態による不良解析システムの構成の一例を説明する。本実施の形態の不良解析システムは、例えば、不良発生原因となっている処理工程または処理装置を特定する不良解析システムとされ、異物外観検査装置11、テスト12、異物マップ等（欠陥マップ）が蓄積されるデータベース（第1手段）13、P検（プローブ検査）マップが蓄積されるデータベース（第3手段）14、コンピュータ（第2手段、第4手段、第5手段）15などからなり、異物外観検査装置11はデータベース13に回線接続され、テスト12はデータベース14に回線接続され、データベース13およびデータベース14はコンピュータ15に回線接続されている。

## 【0020】

50

異物外観検査装置 11 は、ウエハ上に付着した異物を検出する異物検査装置、または、ウエハ上に発生した傷やパターン欠陥を検出する外観欠陥検査装置などである。

【0021】

テスト 12 は、ウエハ処理工程終了後にウエハ内の各チップについて電気的特性の検査を行うプローブテスト（プローブ検査装置）である。

【0022】

データベース 13 は、異物外観検査装置 11 による異物検査または外観欠陥検査等の検査結果である異物マップを蓄積するデータベースである。異物マップは、異物や傷などの欠陥のウエハ内分布を示す。データベース 13 には、各検査ウエハの異物座標、処理工程、処理装置、ADC (Auto Defect Classification) 結果（検出した欠陥の分類）などの情報が蓄積される。ADC は、自動で欠陥を分類するものである。

10

【0023】

データベース 14 は、テスト 12 によるプローブ検査結果である P 検マップを蓄積するデータベースである。P 検マップは、プローブ検査による各チップの良 / 不良判定のウエハ内分布を示す。

【0024】

コンピュータ 15 は、データベース 13 およびデータベース 14 に蓄積された異物マップ、P 検マップ等の情報を元に不良解析を行うものであり、データベース 13 の異物マップから欠陥の特徴点を抽出し、また、データベース 14 の P 検マップから不良面内分布の特徴点を抽出し、これらの特徴点を比較し、一致または類似するパターン（特徴）を抽出するものである。

20

【0025】

次に、本実施の形態の不良解析システムを利用した半導体装置の製造方法および不良解析方法を説明する。

【0026】

本実施の形態による半導体装置は、例えば、成膜・レジスト塗布・露光・現像・エッチング・レジスト除去などのパターン形成工程や不純物導入工程、拡散工程などの複数の処理工程およびこれらの処理工程に付随する検査工程などからなるウエハ処理工程を経て製造される。異物外観検査装置 11 による異物検査または外観欠陥検査は、それぞれの処理工程後に実施される。プローブ検査は、ウエハ処理工程終了後に実施される。

30

【0027】

半導体装置の製造ラインにおいて、ウエハ処理工程を流れるロットからウエハを抜き取り、異物外観検査装置 11 で異物検査または外観欠陥検査を行う。そして、その検査結果である異物座標、処理工程、処理装置および ADC 結果などの異物マップ情報をデータベース 13 に蓄積する（第 1 工程）。検査対象ウエハは、製品ウエハに限らず、評価用のダミーウエハであってもよい。

【0028】

また、ウエハ処理工程終了後すべての製品ウエハについて、テスト 12 でプローブ検査を行い、その結果である P 検マップをデータベース 14 に蓄積する（第 3 工程）。以上のようにして、抜き取った各ウエハの異常マップ、すべての製品ウエハの P 検マップをデータベースに蓄積しておく。

40

【0029】

不良解析時に、コンピュータ 15 において、データベース 13 の異物マップから、異物・傷・パターン欠陥などの欠陥の特徴を抽出し（ステップ S16、第 2 工程）、データベース 14 の P 検マップから不良面内分布（不良の特徴）を抽出し（ステップ S17、第 4 工程）、抽出された欠陥の特徴と不良面内分布の特徴とを比較して一致または類似するパターンを抽出する（ステップ S18）。そして、抽出された一致または類似パターンから、不良発生原因となっている処理工程を特定する（ステップ S19、第 5 工程）。また、一致または類似パターンから、共通する処理装置・処理室等を割り出し、不良発生原因と

50

なっている処理装置等を特定することも可能である。

【0030】

図2(a)～(c)に、P検マップによるウエハ22内の不良面内分布の一例を示す。図2(a)～(c)において、格子状の各柵目はチップ21であり、黒い部分は不良チップ、白い部分は良品チップを示す。図2(a)、(b)では左下部分に不良が偏在しており、図2(b)では中央部分に線状の不良箇所がある。また、図2(c)では中央部分に不良が偏在している。

【0031】

図2(d)～(g)には、異物マップによるウエハ22内の欠陥分布の一例を示す。図2(d)では線状の傷のような欠陥20があり、図2(e)ではウエハ22の左下部分に欠陥20が偏在しており、図2(f)、(g)ではウエハ22の中央部分に欠陥20が偏在しており、図2(g)ではその欠陥20が円状になっている。

10

【0032】

図2(a)～(c)のP検マップの特徴と図2(d)～(g)の異物マップの特徴を抽出して、それぞれ比較すると、図2(a)、(b)と図2(e)は不良・欠陥がウエハ22の左下部分に偏在する点で共通する。また、図2(b)と図2(d)は不良・欠陥の位置こそ違いますが、線状の傷のような不良・欠陥がある点で共通する。

【0033】

次に、図3により、本実施の形態による半導体装置の製造方法および不良解析方法における不良解析手順を説明する。本実施の形態における不良解析は、異物マップからP検マップを抽出する工程(図3(a))と、P検マップから異物マップを抽出する工程(図3(b))とに分けられる。

20

【0034】

異物マップからP検マップを抽出する工程では、図3(a)に示すように、解析対象の異物マップをデータベース13から選択し(ステップS21)、該当ウエハの異物・傷・パターン欠陥などの特徴を定量化し(ステップS22)、P検不良マップを予想し(ステップS23)、予想P検マップと一致または類似のP検不良面内分布を抽出する(ステップS24)。

【0035】

また、P検マップから異物マップを抽出する工程では、図3(b)に示すように、解析対象のP検マップをデータベース14から選択し(ステップS25)、面内分布の特徴を定量化し(ステップS26)、データベース13の異物マップから予想された予想P検マップの面内分布の特徴を定量化し(ステップS27)、解析対象の面内分布の特徴と予想P検マップの特徴が一致または類似したものを抽出し(ステップS28)、該当の異物マップ、処理工程および処理装置を出力する(ステップS29)。

30

【0036】

図4は、図3におけるステップS22の該当ウエハの異物特徴を定量化する例を示す図である。異物特徴を定量化する一例として、欠陥の形状に着目し、欠陥の長さで分類する(例えば、5mm以上のもの、1cm以上、5cm以上で分類)。また、欠陥の場所で分類したり、ウエハ22を領域に分け、発生頻度の高い工程を分類したりする。例えば、図4に示すように、傷41の場合は線成分の中心座標、傷41の長さ、線の方向などで定量化する。また、異物42の場合は、欠陥密集箇所43を抽出することにより定量化する。すなわち、欠陥の面内分布を調べることにより、発生原因別に欠陥を分類する。

40

【0037】

図5は、図3におけるステップS23のP検不良マップを予想する例を示す図である。図5により、チップサイズの異なる製品Aと製品Bを一例にして、P検不良マップを予想した例を説明する。製品Aのチップサイズは製品Bのチップサイズより大きいとする。この場合、図4に示したような傷41が異物マップに存在したとき、製品Aでは、その傷がかかる4個のチップ21に不良が発生することが予想される(斜線部分)。また、製品Bでは、その傷がかかる5個のチップ21に不良が発生することが予想される(斜線部分)

50

。同様にして異物 4 2 の場合、図 4 に示したような欠陥密集箇所 4 3 がウエハ 2 2 の左下部分に存在したとき、製品 A では、その欠陥密集箇所 4 3 がかかる 4 個のチップ 2 1 に不良が発生することが予想される（斜線部分）。また、製品 B では、その傷がかかる 6 個のチップ 2 1 に不良が発生することが予想される（斜線部分）。以上のようにして、P 検予想マップを作成する。

**【 0 0 3 8 】**

図 6 は、図 3 におけるステップ S 2 4 の予想 P 検マップと類似の P 検不良面内分布を抽出する例を示す図である。図 6 において、左側の図はステップ S 2 3 で予想した製品 B についての予想 P 検マップ、右側の図は実際の製品のプローブテスト結果についての P 検マップである。図 6 に示すように、ウエハ 2 2 を複数の領域に分割して、各領域の不良率を算出する。そして、予想 P 検マップと実施の P 検マップの不良率をを比較して、予想 P 検マップと類似の P 検不良面内分布を抽出する。この抽出は、各製品ごとに行う。また、自動抽出を実現するため、面内分布の特徴をモデル化する。

10

**【 0 0 3 9 】**

例えば、図 6 では、異物マップから予想された予想 P 検マップにおいて、左下部分の 6 個のチップ 2 1 が不良と予想される（斜線部分）。また、実測の P 検マップでは、左下部分の 5 個のチップ 2 1 が不良であったとする（斜線部分）。この場合、ウエハ 2 2 を A ~ I の 9 個の領域に分割すると、不良の発生箇所は C , G , H となる。それぞれの領域について不良率を算出し、例えば、C 領域は 2 0 %、G 領域は 5 %、H 領域は 1 5 % の不良率となる。このようにして、特徴を定量化して、予想 P 検マップと類似の P 検不良面内分布を抽出する。

20

**【 0 0 4 0 】**

図 7 は、図 3 におけるステップ S 2 4 の予想 P 検マップと類似の P 検不良面内分布を抽出する他の例を示す図である。図 7 において、左側の図はステップ S 2 3 で予想した製品 B についての予想 P 検マップ、右側の図は実際の製品のプローブテスト結果についての P 検マップである。ウエハ内の不良チップの箇所は、図 6 に示した例と同じである。まず、異物 4 2、傷などの欠陥分布から不良チップを決定する。図 7 では、左下部分の 6 個のチップ 2 1 が不良と予想される。次に、任意の領域（図 7 では、領域 A ~ I）を仮定し、それぞれの領域の不良率を算出し、実際のウエハ 2 2 の不良率と比較する。そして、同一カテゴリをリストアップし表示する。同一カテゴリの見つけ方としては、例えば、以下のようにする。

30

**【 0 0 4 1 】**

（ 1 ）不良分布の隣接チップ 2 1 を不良として最大領域 7 0 を規定する。

**【 0 0 4 2 】**

（ 2 ）不良チップ 2 1 の最外周を良品として、最小領域 7 1 を規定する。

**【 0 0 4 3 】**

（ 3 ）領域（ A ~ I ）内の不良率を算出し、最大領域 7 0 の不良率を最大値、最小領域 7 1 の不良率を最小値と定義する。

**【 0 0 4 4 】**

（ 4 ）実際のウエハ 2 2 の不良率で前記（ 3 ）の最大値と最小値の範囲内にあるものを同一カテゴリとみなす。

40

**【 0 0 4 5 】**

また、同一カテゴリの他の見つけ方としては、例えば、以下のようにする。

**【 0 0 4 6 】**

（ 1 ）全体の不良率の平均と各領域の不良率の差を検出する。例えば、図 7 では、G , C , H で不良率が他の領域よりも高い。

**【 0 0 4 7 】**

（ 2 ）実際のウエハの不良率で、G , C , H とともに、あるいは少なくとも 2 つの領域の不良率が平均より高い場合、同一カテゴリとみなす。

**【 0 0 4 8 】**

50

図8は、図3におけるステップS24の予想P検マップと類似のP検不良面内分布を抽出する他の例を示す図である。図8において、左側の図はステップS23で予想した予想P検マップ、右側の図は実際の製品のプローブテスト結果についてのP検マップである。図8の例では、一つの欠陥で不良となるチップの不良率で分類する。例えば、10%以上、20%以上、30%以上などで分類する。そして、実際のP検不良の同一カテゴリで不良率の高いものとマップを比較する。例えば、図7の右側のP検マップは、左側の予想P検マップの不良率と近いのでヒットする。

【0049】

また、前記不良解析手順を実現する手段として、以下のような方法も考えられる。

【0050】

10

(1) P検マップを見る。このとき、プローブテスト12から測定データを取り込み、マップとして表示する。

【0051】

(2) 特徴的な不良を選ぶ。

【0052】

(3) この選ばれたウエハ22に共通する処理装置を表示する。

【0053】

(4) 選ばれた処理装置の欠陥のアドレスを処理装置ごとに表示する。

【0054】

(5) P検マップと同一画面に表示する。

20

【0055】

(6) パターンの近い処理装置を抽出し、ハイライトする。

【0056】

(7) 別の機能として、自動的に欠陥パターンとP検不良との比較を行い、近いものをP検マップと同一画面上に表示する。

【0057】

したがって、以上述べてきたように、本実施の形態による半導体装置の製造方法、不良解析方法および不良解析システムによれば、外観解析をしなくても、同一パターンから、不良発生原因となっている処理工程および処理装置を早期に発見することができる。また、パターンの特徴の一致をみるものであり、一対一対応ではないので、検査していないウエハに現れた欠陥のパターンも検出できる。別の製品間においても検出が可能である。例えば、A製品のウエハ処理工程の検査で検出された欠陥パターンとB製品のプローブ検査結果との照合が可能であり、製品Aの欠陥データから製品Bの不良工程を検出することができる。

30

【0058】

P検不良をいくつかの種類に分類し、各不良毎、あるいはいくつかの種類不良の和を取った分布と外観解析の結果を比較することもできる。

【0059】

また、逆にいくつかの外観解析の和を取って、不良の分布を抽出することもできる。

【0060】

40

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0061】

例えば、前記実施の形態においては、ウエハ処理工程における検査として異物検査、外観欠陥検査について説明したが、これに限定されるものではなく、ライフタイム検査、エッチング装置の温度分布、プラズマ密度分布など面内分布が得られるものについても適用可能である。

【0062】

以上の説明では、主として本発明者によってなされた発明をその属する技術分野である

50

半導体装置の製造分野に適用した場合について説明したが、これに限定されるものではなく、例えば液晶パネルやマスクなど、他の工業製品の製造分野に適用することも可能である。

【産業上の利用可能性】

【0063】

以上に述べたように、本願において開示される発明は、半導体装置などの工業製品の製造ラインについて適用可能であり、特に、FBM(Fail Bit Map)解析の難しい製品、少量多品種の製品などに対しては効果が大きい。

【図面の簡単な説明】

【0064】

10

【図1】本発明の一実施の形態による不良解析システムの構成を示すブロック図である。

【図2】(a)~(c)は本発明の一実施の形態による半導体装置の製造方法および不良解析方法において、P検マップの一例を示す図、(d)~(g)は本発明の一実施の形態による半導体装置の製造方法および不良解析方法において、異物マップの一例を示す図である。

【図3】(a)、(b)は本発明の一実施の形態による半導体装置の製造方法および不良解析方法において、不良解析手順を示すフロー図である。

【図4】図3におけるステップS22の該当ウエハの異物特徴を定量化する例を示す図である。

【図5】図3におけるステップS23のP検不良マップを予想する例を示す図である。

20

【図6】図3におけるステップS24の予想P検マップと類似のP検不良面内分布を抽出する例を示す図である。

【図7】図3におけるステップS24の予想P検マップと類似のP検不良面内分布を抽出する他の例を示す図である。

【図8】図3におけるステップS24の予想P検マップと類似のP検不良面内分布を抽出する他の例を示す図である。

【符号の説明】

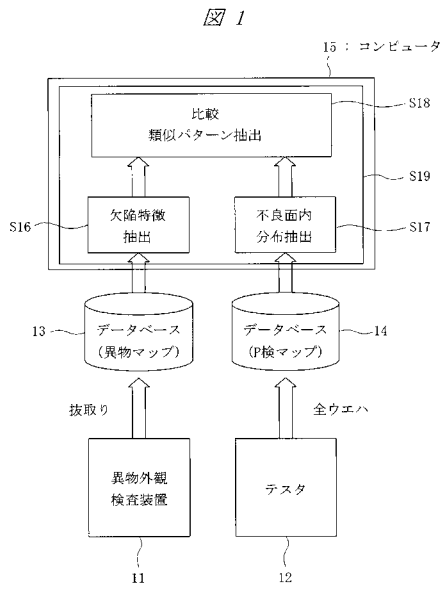
【0065】

- 11 異物外観検査装置
- 12 テスタ
- 13, 14 データベース(第1手段、第3手段)
- 15 コンピュータ(第2手段、第4手段、第5手段)
- 20 欠陥
- 21 チップ
- 22 ウエハ
- 41 傷
- 42 異物
- 43 欠陥密集箇所
- 70 最大領域
- 71 最小領域

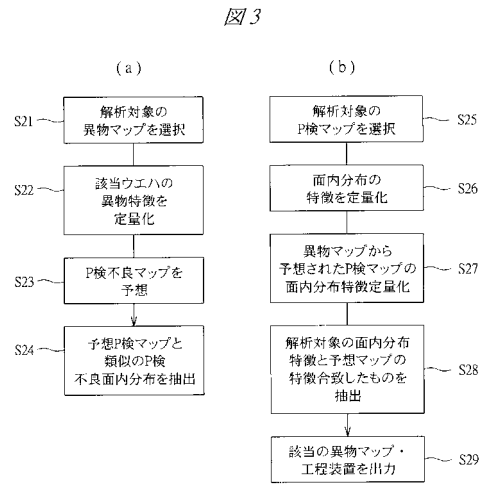
30

40

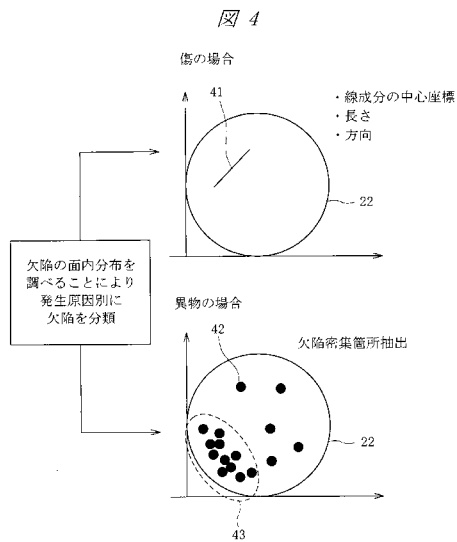
【 図 1 】



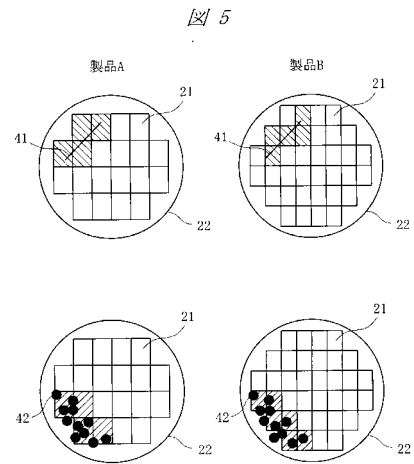
【 図 3 】



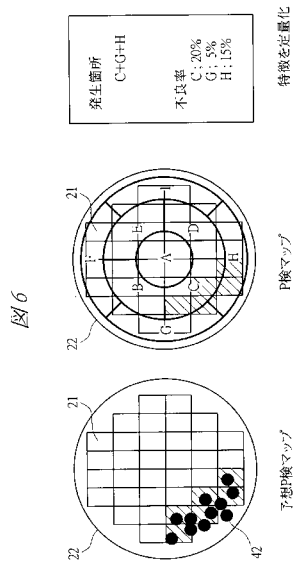
【 図 4 】



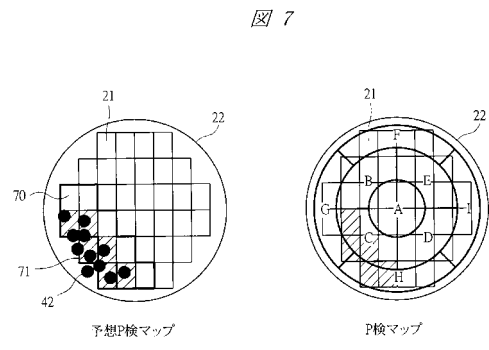
【 図 5 】



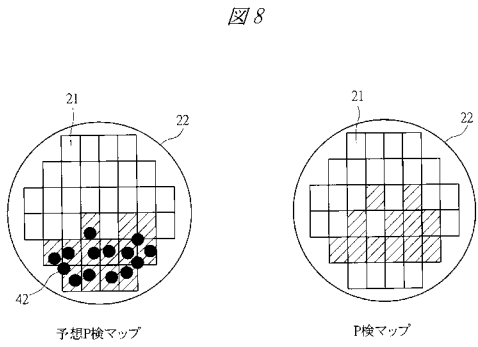
【 図 6 】



【 図 7 】

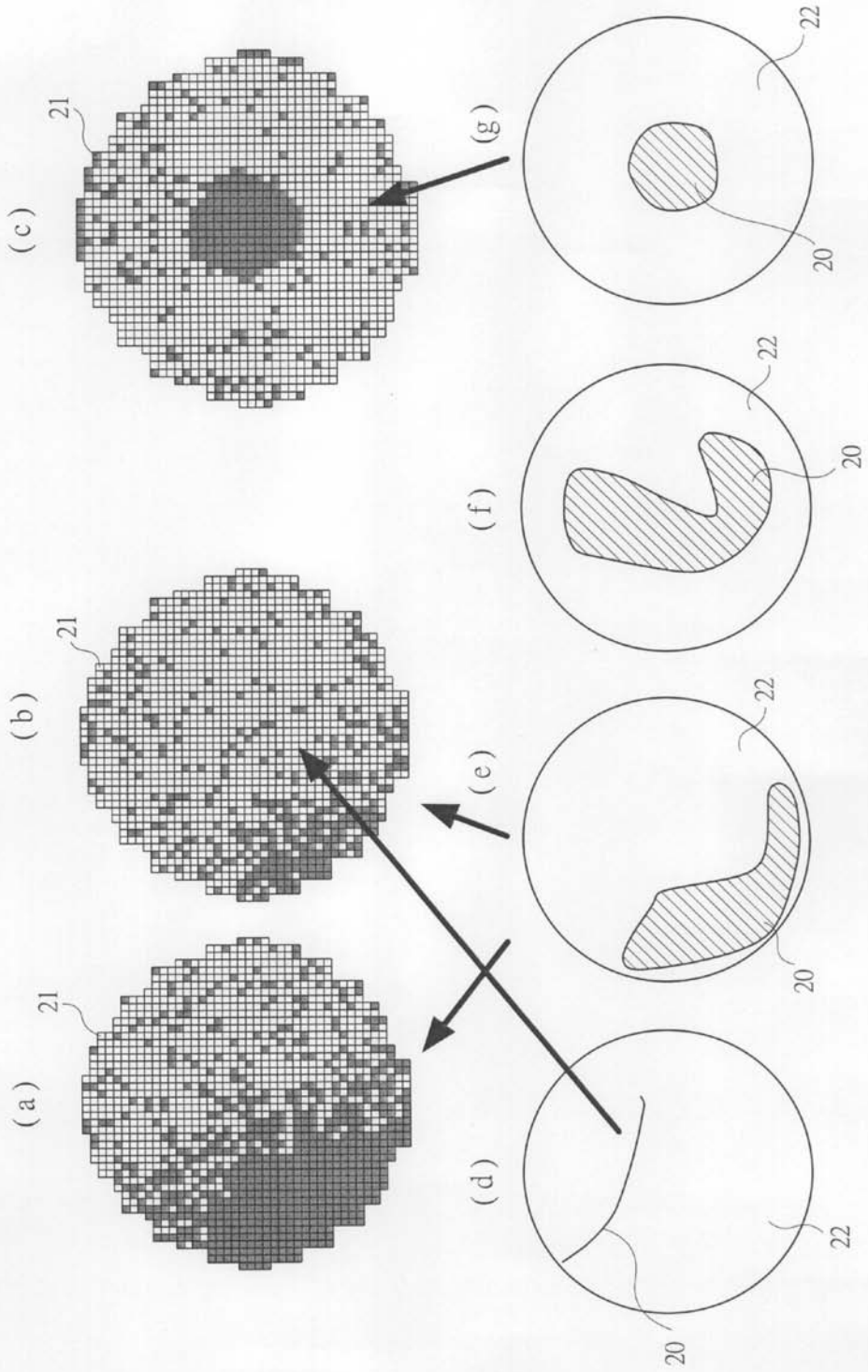


【 図 8 】



【 図 2 】

図 2



フロントページの続き

【要約の続き】