

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2017-201761
(P2017-201761A)

(43) 公開日 平成29年11月9日(2017.11.9)

(51) Int.Cl.			F I			テーマコード (参考)	
H03H	7/01	(2006.01)	H03H	7/01	A	5E070	
H04B	15/02	(2006.01)	H04B	15/02		5E082	
H01F	27/00	(2006.01)	H01F	15/00	D	5E321	
H05K	9/00	(2006.01)	H05K	9/00	K	5J024	
H01G	4/40	(2006.01)	H01G	4/40	321A	5K052	
審査請求 未請求 請求項の数 3 O L							(全 11 頁)

(21) 出願番号	特願2016-93256 (P2016-93256)	(71) 出願人	000006231
(22) 出願日	平成28年5月6日 (2016.5.6)		株式会社村田製作所
		(74) 代理人	京都府長岡京市東神足1丁目10番1号
			100122770
			弁理士 上田 和弘
		(72) 発明者	上山 博也
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		Fターム(参考)	5E070 AA05 AB01 AB07 BB01 DB02
			EA01
			5E082 BB02 DD11 DD15 DD20
			5E321 AA32 CC12 GG05
			5J024 AA00 CA02 DA32 EA08 KA02
			5K052 AA02 BB01 DD15 DD25 FF01
			FF38

(54) 【発明の名称】 高周波ノイズ対策回路

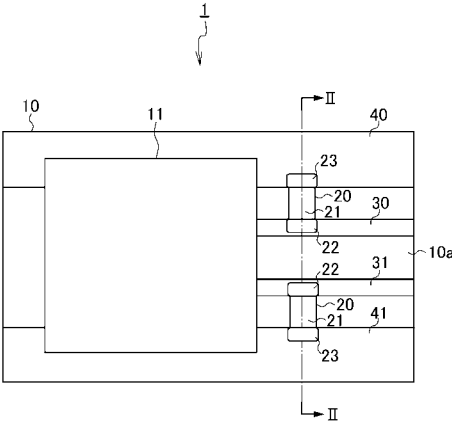
(57) 【要約】

【課題】複雑な製造工程を必要としないノイズ対策部品を用いて高周波ノイズの伝導及び反射を抑制することが可能な高周波ノイズ対策回路を提供する。

【解決手段】高周波ノイズ対策回路1は、IC11が電氣的に接続される配線パターン30、31及びグランドパターン40、41を有する配線基板10と、直方体形状の本体部21と一対の外部電極22、23とを有するチップ部品20と、を備え、本体部21は、フェライトのみで形成され、一対の端面（外部電極22、23が設けられる面）間の距離が一対の主面間の距離よりも長くかつ一対の側面間の距離よりも長くなるように設定され、一方の外部電極22が配線パターン30、31に電氣的に接続され、他方の外部電極23がグランドパターン40、41に電氣的に接続されている。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

集積回路が電氣的に接続される配線パターン及びグランドパターンを有する配線基板と、

対向する一対の主面と前記一対の主面に交わる対向する一対の側面と前記一対の主面かつ前記一対の側面に交わる対向する一対の端面とからなる直方体形状の本体部と、少なくとも前記端面に設けられる一対の外部電極と、を有するチップ部品と、

を備え、

前記本体部は、フェライトのみで形成され、前記一対の端面間の距離が前記一対の主面間の距離よりも長くかつ前記一対の側面間の距離よりも長くなるように設定され、

前記一対の外部電極のうちの一方の外部電極は、前記配線パターンに電氣的に接続され、

前記一対の外部電極のうちの他方の外部電極は、前記グランドパターンに電氣的に接続されることを特徴とする高周波ノイズ対策回路。

【請求項 2】

前記フェライトは、ニッケル、銅及び亜鉛を含むフェライトであることを特徴とする請求項 1 に記載の高周波ノイズ対策回路。

【請求項 3】

前記チップ部品は、浮遊容量と寄生インダクタンスからなる LC 直列回路の共振周波数が 40 GHz 以上になるように構成されることを特徴とする請求項 1 又は請求項 2 に記載の高周波ノイズ対策回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高周波ノイズ対策回路に関する。

【背景技術】

【0002】

近年、例えば、スマートフォンに代表される携帯端末などの電子機器では、高性能化、多機能化に伴い、低電圧・大電流による高速駆動化が進んでいる。高速駆動化に伴い、IC などの電子部品では、スイッチング素子による高速のスイッチングなどにより高周波ノイズが発生する。

【0003】

ノイズ対策部品としては、例えば、コンデンサ、インダクタが用いられる。非特許文献 1 には、誘電体層を挟んで上下面に一対の電極が設けられた単層マイクロチップコンデンサが開示されている。この構造のコンデンサの場合、一対の電極間の距離が短くなるので、十分な寄生インダクタンスが得られない。そのため、このコンデンサでは、所望の高い共振周波数が得られず、高周波数帯においてノイズの伝導を十分に抑制することができない。

【0004】

高周波数帯にも対応したノイズ対策部品として、例えば、特許文献 1 には、コイル導体パターンが表面に設けられた複数の高透磁率磁性体シートが積層された高透磁率コイル部と、コイル導体パターンが表面に設けられた複数の低透磁率磁性体シートが積層された低透磁率コイル部と、一対の外部電極とを備える積層型インダクタが開示されている。さらに、特許文献 1 には、この構造の積層型インダクタにおいて、高透磁率コイル部のコイル導体パターンのパターン幅が低透磁率コイル部のコイル導体パターンのパターン幅よりも大きくなるように構成することが開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2002 - 208515 号公報

10

20

30

40

50

【非特許文献】

【0006】

【非特許文献1】株式会社村田製作所、単層マイクロチップコンデンサ、[online]、[平成28年4月20日検索]、インターネット<URL:<http://www.murata.com/ja-jp/products/capacitor/slmc>>

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献2に開示の積層型インダクタを製造する場合、複数の磁性体シート材料を用いて透磁率の異なるコイル部を形成し、この各コイル部のコイル導体パターンを電氣的に接続しなければならないので、製造工程が複雑となる。また、特許文献2に開示の積層型インダクタでは、コイル導体パターン間やコイル導体パターンと外部電極との間で浮遊容量が発生する。特に、この積層型インダクタは、急峻なインピーダンス特性を得るために、高透磁率コイル部のコイル導体パターンのパターン幅を低透磁率コイル部のコイル導体パターンのパターン幅よりも大きくすることで、高透磁率コイル部のコイル導体パターン間の浮遊容量が大きくなるように構成している。この浮遊容量により、ノイズに対する高周波特性が低下するおそれがある。そのため、所望の高周波数帯（例えば、数10GHz以上の周波数帯）のノイズの伝導を抑制することができないおそれがある。

10

【0008】

また、インダクタなどのノイズ対策部品を配線パターンに対して直列に設けてノイズ対策を行う場合、ノイズ対策部品でノイズを略全反射させることで、ノイズの伝導を抑制する。しかしながら、この反射されたノイズは、二次的に放射され、周辺の部品に対して悪影響を及ぼす。

20

【0009】

本発明は、上記問題点を解消する為になされたものであり、複雑な製造工程を必要としないノイズ対策部品を用いて高周波ノイズの伝導及び反射を抑制することが可能な高周波ノイズ対策回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明に係る高周波ノイズ対策回路は、集積回路が電氣的に接続される配線パターン及びグランドパターンを有する配線基板と、対向する一对の主面と一对の主面に交わる対向する一对の側面と一对の主面かつ一对の側面に交わる対向する一对の端面とからなる直方体形状の本体部と、少なくとも端面に設けられる一对の外部電極と、を有するチップ部品と、を備え、本体部は、フェライトのみで形成され、一对の端面間の距離が一对の主面間の距離よりも長くかつ一对の側面間の距離よりも長くなるように設定され、一对の外部電極のうちの一方の外部電極は、配線パターンに電氣的に接続され、一对の外部電極のうちの他方の外部電極は、グランドパターンに電氣的に接続されることを特徴とする。

30

【0011】

本発明に係る高周波ノイズ対策回路では、配線パターンにチップ部品の一方の外部電極が接続されると共にグランドパターンにチップ部品の他方の外部電極が接続されているので、集積回路が接続された配線パターンとグランドパターンとの間に、一对の外部電極間に発生する浮遊（寄生）容量と本体部（フェライト）の持つ寄生インダクタンスの直列回路が形成される。特に、このチップ部品の一对の端面間（一对の外部電極間）の距離が長いので、容量が小さくなり、この容量とインダクタンスの直列回路の共振周波数が高くなる。これにより、この高い周波数帯において、集積回路から配線パターンを流れてきたノイズがグランドパターンに流れ、配線パターンにおけるノイズの伝導を抑制することができる。また、本発明に係る高周波ノイズ対策回路では、配線パターンに対してチップ部品が並列に設けられているので、配線パターンを流れてきたノイズがチップ部品で反射するのを抑制することができる。また、本発明に係る高周波ノイズ対策回路では、内部電極を有さない本体部に一对の外部電極を設けたチップ部品をノイズ対策部品として用いている

40

50

ので、ノイズ対策部品を製造する際に複雑な製造工程を必要としない。このように、本発明に係る高周波ノイズ対策回路によれば、複雑な製造工程を必要としないノイズ対策部品を用いて高周波ノイズの伝導及び反射を抑制することが可能となり、高周波ノイズを低減することができる。

【0012】

本発明に係る高周波ノイズ対策回路では、フェライトは、ニッケル、銅及び亜鉛を含むフェライトであることが好ましい。このようなフェライトを用いることで、高い共振周波数を得ることができる。

【0013】

本発明に係る高周波ノイズ対策回路では、チップ部品は、浮遊容量と寄生インダクタンスからなるLC直列回路の共振周波数が40GHz以上になるように構成されることが好ましい。このようにすることで、所望の高い共振周波数を得ることができ、40GHz以上の高周波ノイズの伝導を抑制することができる。

【発明の効果】

【0014】

本発明によれば、複雑な製造工程を必要としないノイズ対策部品を用いて高周波ノイズの伝導及び反射を抑制することが可能となる。

【図面の簡単な説明】

【0015】

【図1】実施形態に係る高周波ノイズ対策回路の構成を示す平面図である。

【図2】図1のII-II線に沿った断面図である。

【図3】実施形態に係るチップ部品を示す図であり、(a)が平面図であり、(b)が側面図であり、(c)が図(a)のIII-III線に沿った断面図である。

【図4】実施形態に係る高周波ノイズ対策回路の等価回路を示す図である。

【図5】透過特性及び反射特性を測定する際の構成を模式的に示す図である。

【図6】配線パターンを伝導するノイズに対する透過特性の一例を示す図である。

【図7】配線パターンを伝導するノイズに対する反射特性の一例を示す図である。

【発明を実施するための形態】

【0016】

以下、図面を参照して本発明の好適な実施形態について詳細に説明する。なお、図中、同一又は相当部分には同一符号を用いることとする。また、各図において、同一要素には同一符号を付して重複する説明を省略する。

【0017】

図1及び図2を参照して、実施形態に係る高周波ノイズ対策回路1について説明する。図1は、実施形態に係る高周波ノイズ対策回路1の構成を示す平面図である。図2は、図1のII-II線に沿った断面図である。

【0018】

高周波ノイズ対策回路1は、超高周波数帯のノイズの伝導及び反射を抑制する回路である。本実施形態では、高周波ノイズ対策回路1での対策対象のノイズの周波数帯を40GHz以上の超高周波数帯とする。このような超高周波数帯は、例えば、放送事業（例えば、テレビジョン放送）、電波天文（例えば、気象レーダ）、公共機関の画像伝送、アマチュア無線で用いられており、また、移動体通信のアクセスポイント（例えば、無線LANのアクセスポイント）で用いられる予定である。このような超高周波数帯のノイズ対策は、例えば、この超高周波数帯を用いた任意の通信に対する妨害を阻止するために有効である。

【0019】

高周波ノイズ対策回路1は、配線基板10に構成される。配線基板10の実装面10a（例えば、上面又は下面）には、IC11（特許請求の範囲に記載の集積回路に相当）、チップ部品20、20などの電子部品が表面実装されている。配線基板10の実装面10aには、配線パターン30、31及びグランドパターン40、41が設けられている。な

10

20

30

40

50

お、図 1、図 2 には配線基板 10 に実装された IC 11 とチップ部品 20 のみを示しているが、配線基板 10 に実装された他の電子部品については図示を省略している。また、図 1、図 2 には配線基板 10 に設けられたパターン 30, 31, 40, 41 のみを示しているが、配線基板 10 に設けられた他のパターンについては図示を省略している。

【0020】

IC 11 は、配線基板 10 の実装面 10a に実装されている。IC 11 は、配線パターン 30, 31 に電氣的に接続されている。また、IC 11 は、グラウンドパターン 40, 41 に電氣的に接続されている。IC 11 は、例えば、CPU、ベースバンド IC、PMIC (パワーマネージメント IC (電源を作る IC))、メモリである。IC 11 では、例えば、スイッチング素子で高速スイッチングを行うことで、超高周波数帯のノイズを発生する。したがって、IC 11 が接続される配線パターン 30, 31 には、IC 11 で発生した超高周波数帯のノイズ (電流) が流れる。なお、IC 11 では、例えば、2 本の配線パターン 30, 31 を用いた差動伝送によって電気信号を高速伝送する。この電気信号の伝送先としては、例えば、電気信号を光信号に変換する回路である。

10

【0021】

チップ部品 20 は、配線基板 10 の実装面 10a に実装されている。特に、チップ部品 20 は、実装面 10a における配線パターン 30 とグラウンドパターン 40 との間及び配線パターン 31 とグラウンドパターン 41 との間にそれぞれ電氣的に接続されている。チップ部品 20 は、高周波ノイズ対策部品である。このチップ部品 20 の構造を図 3 を参照して説明する。図 3 は、実施形態に係るチップ部品 20 を示す図であり、(a) が平面図であり、(b) が側面図であり、(c) が図 (a) の III-III 線に沿った断面図である。

20

【0022】

チップ部品 20 は、本体部 21 と、一对の外部電極 22, 23 と、を有している。チップ部品 20 は、略直方体形状である。チップ部品 20 のサイズ (図 3 に示す L (長さ) × W (幅) × T (高さ)) は、例えば、1.0 mm × 0.5 mm × 0.5 mm である。

【0023】

本体部 21 は、一对の主面 21a, 21b と、一对の側面 21c, 21d と、一对の端面 21e, 21f とからなる直方体形状である。一对の主面 21a, 21b は、互いに対向している。主面 21a, 21b は、チップ部品 20 が配線基板 10 の実装面 10a に実装された場合に実装面 10a と略平行になる面である。一对の側面 21c, 21d は、互いに対向している。一对の側面 21c, 21d は、一对の主面 21a, 21b 間に配置され、主面 21a, 21b に直交する。一对の端面 21e, 21f は、互いに対向している。一对の端面 21e, 21f は、一对の主面 21a, 21b 間かつ一对の側面 21c, 21d 間に配置され、主面 21a, 21b かつ側面 21c, 21d に直交する。

30

【0024】

本体部 21 は、フェライト材料のみで形成されている。したがって、本体部 21 は、内部電極を有さない。フェライトは、酸化鉄を主成分とし、磁性を示すセラミックスであり、磁性体の一種である。本体部 21 に用いるフェライトとしては、例えば、ニッケル、銅及び亜鉛を含むフェライトである。

40

【0025】

一对の外部電極 22, 23 は、本体部 21 に設けられている。特に、一方の外部電極 22 は、本体部 21 の一方の端面 21e 全体を覆うように設けられている。他方の外部電極 23 は、本体部 21 の他方の端面 21f 全体を覆うように設けられている。したがって、一对の外部電極 22, 23 は、本体部 21 を挟んで対向している。外部電極 22, 23 は、本体部 21 の端面 21e, 21f だけでなく、本体部 21 の側面 21c, 21d の一部及び主面 21a, 21b の一部まで設けられている。外部電極 22, 23 は、例えば、Cu 電極と、Cu 電極を覆うように形成されたメッキ層 (例えば、ニッケルメッキ層とこのニッケルメッキ層を覆うスズメッキ層) と、を有している。

【0026】

50

特に、チップ部品 20 の本体部 21 は、一方の端面 21 e と他方の端面 21 f との間の距離が一方の主面 21 a と他方の主面 21 b との間の距離よりも長かつ一方の側面 21 c と他方の側面 21 d との間の距離よりも長くなるように設定されている。これにより、チップ部品 20 では、一方の外部電極 22 と他方の外部電極 23 との間の距離が長くなる。

【0027】

配線パターン 30, 31 は、配線基板 10 の実装面 10 a に設けられている。配線パターン 30, 31 は、例えば、電源パターン、信号パターンである。配線パターン 30, 31 には、IC 11 が電氣的に接続されている。グランドパターン 40, 41 は、配線基板 10 の実装面 10 a に設けられている。グランドパターン 40, 41 には、IC 11 が電氣的に接続されている。配線パターン 30, 31、グランドパターン 40, 41 は、例えば、銅箔などからなるプリント配線パターンである。

10

【0028】

配線パターン 30 には、チップ部品 20 の一方の外部電極 22 が電氣的に接続されている。グランドパターン 40 には、このチップ部品 20 の他方の外部電極 23 が電氣的に接続されている。これにより、チップ部品 20 が、IC 11 が接続された配線パターン 30 とグランドパターン 40 との間に接続（シャント接続）される。

【0029】

配線パターン 31 には、チップ部品 20 の一方の外部電極 22 が電氣的に接続されている。グランドパターン 41 には、このチップ部品 20 の他方の外部電極 23 が電氣的に接続されている。これにより、チップ部品 20 が、IC が接続された配線パターン 31 とグランドパターン 41 との間に接続される。

20

【0030】

このように各チップ部品 20 が接続されることで、配線パターン 30, 31 に接続される一方の外部電極 22 とグランドパターン 40, 41 に接続される他方の外部電極 23 との間に浮遊容量（寄生容量）が発生する。また、チップ部品 20 の本体部 21（フェライト）は、寄生インダクタンス（浮遊インダクタンス）を持っている。したがって、高周波ノイズ対策回路 1 では、図 4 の等価回路で示すように、IC 11 が接続された配線パターン 30 とグランドパターン 40 との間及び配線パターン 31 とグランドパターン 41 との間に、容量（C）とインダクタンス（L）の直列回路がそれぞれ形成される。

30

【0031】

特に、チップ部品 20 は、一对の端面 21 e, 21 f 間の距離が一对の側面 21 c, 21 d 間の距離及び一对の主面 21 a, 21 b 間の距離に比べて長い。そのため、一对の外部電極 22, 23 間の距離が長くなるので、浮遊容量が小さくなる。また、チップ部品 20 は、一对の側面 21 c, 21 d 間の距離及び一对の主面 21 a, 21 b 間の距離が一对の端面 21 e, 21 f 間の距離に比べて短い。そのため、端面 21 e, 21 f の面積（外部電極 22, 23 の面積（大きさ））が小さくなるので、浮遊容量が小さくなる。また、本体部 21（フェライト）が持つ寄生インダクタンスは、微小値である。これらにより、高周波ノイズ対策回路 1 では、配線パターン 30, 31 とグランドパターン 40, 41 との間に接続されたチップ部品 20 による LC 直列回路の共振点を高周波化することができる。

40

【0032】

この LC 直列回路（共振回路）の共振周波数は、例えば、40 GHz 以上の任意の周波数である。この共振周波数は、一对の外部電極 22, 23 間の距離（一对の端面 21 e, 21 f 間の距離）、外部電極 22, 23 の大きさ、本体部 21 に用いるフェライトの種類などによって調整される。例えば、一对の外部電極 22, 23 間の距離を長くしたり、外部電極 22, 23 の大きさを小さくしたりすることで、浮遊容量が小さくなるので、共振周波数を高くすることができる。したがって、チップ部品 20 は、40 GHz 以上の所望の共振周波数が得られるように、一对の外部電極 22, 23 間の距離や外部電極 22, 23 の大きさが設定されたり、本体部 21 に用いるフェライト材料が選択されている。

50

【 0 0 3 3 】

この高周波ノイズ対策回路 1 での作用について説明する。IC 1 1 で高周波ノイズが発生すると、この高周波ノイズ（電流）が配線パターン 3 0 , 3 1 を流れる。この配線パターン 3 0 , 3 1 とグランドパターン 4 0 , 4 1 との間にチップ部品 2 0 が接続されているので、このチップ部品 2 0 での（浮遊）容量とインダクタンスに応じた超高周波数において共振する。これにより、この共振周波数を中心とする超高周波数帯において、IC 1 1 から配線パターン 3 0 , 3 1 を流れてきた高周波ノイズがチップ部品 2 0 を介してグランドパターン 4 0 , 4 1 に流れ、配線パターン 3 0 , 3 1 から高周波ノイズが除去される（高周波ノイズがフィルタリングされる）。これにより、配線パターン 3 0 , 3 1 におけるチップ部品 2 0 よりも下流側への高周波ノイズの伝導が抑制される。

10

【 0 0 3 4 】

また、チップ部品 2 0 は、配線パターン 3 0 , 3 1 に対して並列に設けられている。そのため、従来のノイズ対策回路においてノイズ対策部品が配線パターンに対して直列に設けられる場合に比べて、IC 1 1 から配線パターン 3 0 , 3 1 を流れてきた高周波ノイズがチップ部品 2 0 で反射され難い。これにより、配線パターン 3 0 , 3 1 を流れてきた高周波ノイズのチップ部品 2 0 での反射が抑制される。

【 0 0 3 5 】

図 5 ~ 図 7 を参照して、上述した構成のチップ部品 2 0 を接続した場合の配線パターンを伝導するノイズに対する周波数特性（透過特性、反射特性）の一例を説明する。図 5 は、透過特性及び反射特性を測定する際の構成を模式的に示す図である。図 6 は、配線パターンを伝導するノイズに対する透過特性の一例を示す図である。図 7 は、配線パターンを伝導するノイズに対する反射特性の一例を示す図である。

20

【 0 0 3 6 】

図 5 に示すように、この測定に用いた配線基板 1 2 の実装面 1 2 a には、配線パターン 3 2 とグランド 4 2 （ランド）が設けられている。この実装面 1 2 a には、実施形態に係るチップ部品 2 0 が実装されている。チップ部品 2 0 の一方の外部電極 2 2 が配線パターン 3 2 に接続され、他方の外部電極 2 3 がグランド 4 2 に接続されている。この例では、チップ部品 2 0 の本体部 2 1 は、ニッケル、銅及び垂鉛を含むフェライトで形成されている。透過や反射の周波数特性の測定には、ネットワークアナライザ 5 0 を用いた。このネットワークアナライザ 5 0 には、配線パターン 3 2 の一端と他端が接続される。

30

【 0 0 3 7 】

まず、図 6 を参照して、配線パターン 3 2 を伝導するノイズに対する透過特性の一例を説明する。図 6 では、横軸が周波数（GHz）であり、縦軸が S 2 1（dB）である。この S 2 1（透過係数）は、チップ部品 2 0 の上流側から下流側へのノイズ（電流）の透過特性を示し、値が小さいほどノイズが透過し難いことを示す。図 6 では、実線 P で示すグラフがチップ部品 2 0 を接続した場合の透過特性を示している。チップ部品 2 0 を実装した場合、この例では、透過特性 P で示すように、4.6 GHz で共振が発生している。この共振周波数を中心とした超高周波数帯において S 2 1 が小さくなっており、この超高周波数帯のノイズを透過し難い。

【 0 0 3 8 】

次に、図 7 を参照して、配線パターン 3 2 を伝導するノイズに対する反射特性の一例を説明する。図 7 では、横軸が周波数（GHz）であり、縦軸が S 1 1（dB）である。この S 1 1（反射係数）は、チップ部品 2 0 でのノイズ（電流）の反射特性を示し、値が小さいほどノイズが反射し難いことを示す。図 7 では、実線 R 1 で示すグラフがチップ部品 2 0 を接続した場合の反射特性を示している。この例では、反射特性 R 1 で示すように、4.0 GHz 以上の周波数帯でも S 1 1 が小さくなっており、この超高周波数帯のノイズを反射し難い。

40

【 0 0 3 9 】

なお、図 7 には、破線 R 2 のグラフによりノイズ対策部品（例えば、インダクタ）を配線パターン 3 2 に対して直列に設けた場合の反射特性を示している。この場合、反射特性

50

R 2で示すように、S 1 1が大きく（略0 d B）、ノイズ対策部品でノイズを略全反射している。この略全反射によってノイズ対策部品よりも下流側へのノイズの伝導が抑制されるが、ノイズ対策部品で反射されたノイズが二次的に放射されることになる。

【0040】

この透過特性及び反射特性からも判るように、チップ部品20を配線パターン30, 31とグランドパターン40, 41との間に接続した場合、40 GHz以上の超高周波数帯のノイズを透過し難くかつ反射し難い。そのため、超高周波数帯において、配線パターン30, 31におけるチップ部品20よりも下流側へのノイズの伝導を抑制することができる。また、配線パターン30, 31におけるチップ部品20よりも上流側へのノイズの反射を抑制することができる。これにより、ノイズの二次的な放射が抑制されるので、ノイズがIC 11に戻るのを抑制することができる。

10

【0041】

実施形態に係る高周波ノイズ対策回路1によれば、フェライトからなるチップ部品20を配線パターン30, 31とグランドパターン40, 41との間に接続することにより、IC 11から配線パターン30, 31を流れる超高周波数帯のノイズの伝導及び反射を抑制することができ、超高周波数帯のノイズを低減することができる。

【0042】

実施形態に係る高周波ノイズ対策回路1によれば、内部電極を有さない本体部21に一对の外部電極22, 23を設けたチップ部品20をノイズ対策部品として用いているので、このノイズ対策部品（チップ部品20）を製造する際に複雑な製造工程を必要とせず、ノイズ対策部品を効率良く製造することができる。

20

【0043】

実施形態に係る高周波ノイズ対策回路1によれば、チップ部品20（本体部21）にニッケル、銅及び垂鉛を含むフェライトを用いることにより、LC直列回路の高い共振周波数を得ることでき、超高周波数帯のノイズの伝導を抑制することができる。

【0044】

実施形態に係る高周波ノイズ対策回路1によれば、チップ部品20において一对の外部電極22, 23間の距離（一对の端面21e, 21f間の距離）、外部電極22, 23の大きさ（面積）、本体部21に用いるフェライトの種類などで変えることでLC直列回路の共振周波数を調整することにより、所望の高い共振周波数を得ることができ、40 GHz以上の所望の超高周波数帯のノイズの伝導を抑制することができる。

30

【0045】

以上、本発明の実施の形態について説明したが、本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、上記実施形態ではニッケル、銅及び垂鉛を含むフェライトを用いてチップ部品20の本体部21を形成する例を示したが、マンガン垂鉛系のフェライト、ニッケル垂鉛系のフェライトなどの他のフェライトを用いてもよい。フェライトの種類を変えることで本体部21の持つインダクタンスなどを調整することができ、LC直列回路の共振周波数を調整することができる。

【0046】

上記実施形態ではIC 11の実装面10a（例えば、基板の上面）と同じ面にチップ部品20を実装する構成としたが、IC 11の実装面10aと異なる面（例えば、基板の下面）にチップ部品20を実装する場合にも適用できる。また、上記実施形態ではIC 11の実装面10a（基板の表面）に配線パターン30, 31及びグランドパターン40, 41が設けられているが、IC 11の実装面10aと異なる基板の内部などに配線パターン30, 31又は/及びグランドパターン40, 41が設けられている場合にも適用できる。

40

【0047】

上記実施形態ではIC 11が接続される配線パターン30, 31とグランドパターン40, 41との間に高周波ノイズ対策部品であるチップ部品20を1個ずつ設ける構成としたが、チップ部品20を複数個設けてもよい。

50

【符号の説明】

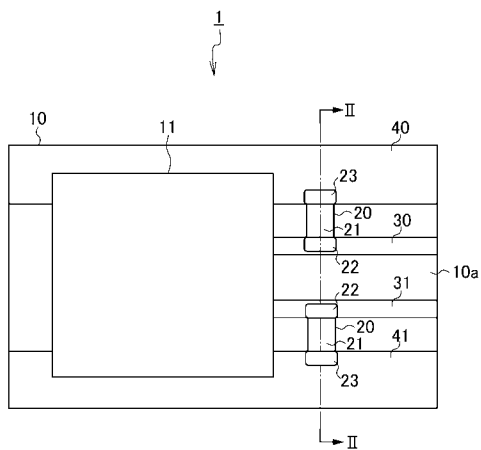
【0048】

- 1 高周波ノイズ対策回路
- 10 配線基板
- 10a 実装面
- 11 IC（集積回路）
- 20 チップ部品
- 21 本体部
- 21a, 21b 主面
- 21c, 21d 側面
- 21e, 21f 端面
- 22, 23 外部電極
- 30, 31 配線パターン
- 40, 41 グランドパターン

10

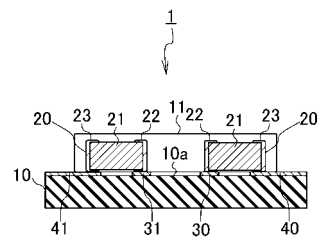
【図1】

図1



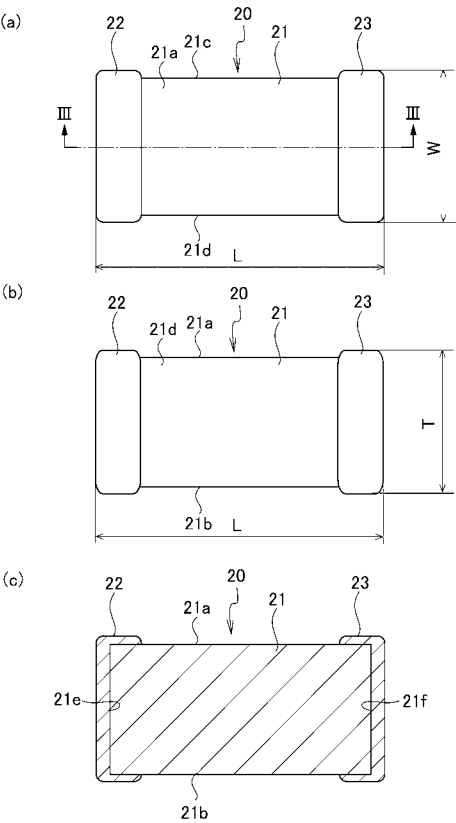
【図2】

図2



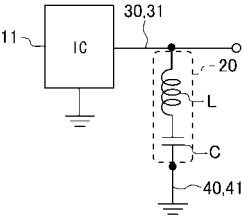
【 図 3 】

図3



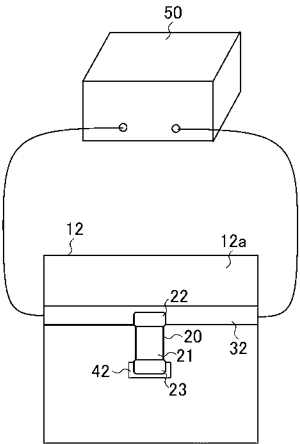
【 図 4 】

図4



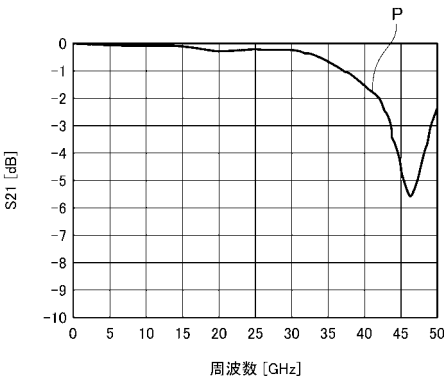
【 図 5 】

図5



【 図 6 】

図6



【図 7】

図 7

