

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-180176

(P2007-180176A)

(43) 公開日 平成19年7月12日(2007.7.12)

(51) Int. Cl. F I テーマコード (参考)
 H O 1 L 27/10 (2006.01) H O 1 L 27/10 4 5 1 5 F O 8 3

審査請求 未請求 請求項の数 4 O L (全 16 頁)

(21) 出願番号	特願2005-375259 (P2005-375259)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成17年12月27日(2005.12.27)	(74) 代理人	100094330 弁理士 山田 正紀
		(74) 代理人	100109689 弁理士 三上 結
		(72) 発明者	川野 浩康 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		Fターム(参考)	5F083 FZ10 GA11 JA36 JA37 JA38 JA42

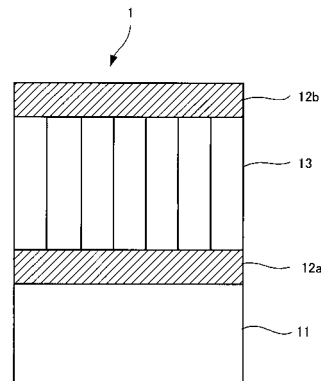
(54) 【発明の名称】 抵抗変化型記憶素子

(57) 【要約】

【課題】 フォーミングの処理を行わずに動作する工夫が施された抵抗変化型記憶素子を提供する。

【解決手段】 上記目的を達成する本発明の抵抗変化型記憶素子は、半導体基板 11 上に形成されて、印加電圧に応じて前記高抵抗状態と前記低抵抗状態とが切り替わる酸化物の多結晶で形成されるとともに、酸素原子とは異なる異種原子が該酸化物の結晶粒界に結合している抵抗変化型記憶膜 13 と、前記抵抗変化型記憶膜 13 を挟んで配備された、該抵抗変化型記憶膜に電圧を印加する一対の電極膜 12 a、12 b とを備えたことを特徴とする抵抗変化型記憶素子。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

印加電圧に応じて、高抵抗状態と該高抵抗状態よりも電流が流れやすい低抵抗状態とに切り替わり、該高抵抗状態と該低抵抗状態とを選択的に保持する抵抗変化型記憶素子において、

半導体基板上に形成されて、印加電圧に応じて前記高抵抗状態と前記低抵抗状態とが切り替わる酸化物の多結晶で形成されるとともに、酸素原子とは異なる異種原子が該酸化物の結晶粒界に結合している抵抗変化型記憶膜と、

前記抵抗変化型記憶膜を挟んで配備された、該抵抗変化型記憶膜に電圧を印加する一対の電極膜とを備えたことを特徴とする抵抗変化型記憶素子。

10

【請求項 2】

前記異種原子が、窒素原子であることを特徴とする請求項 1 記載の抵抗変化型記憶素子。

【請求項 3】

印加電圧に応じて、高抵抗状態と該高抵抗状態よりも電流が流れやすい低抵抗状態とに切り替わり、該高抵抗状態と該低抵抗状態とを選択的に保持する抵抗変化型記憶素子において、

半導体基板上に形成されて、印加電圧に応じて前記高抵抗状態と前記低抵抗状態とに切り替わる酸化物の多結晶で形成されるとともに、該酸化物の結晶粒界に非酸化性金属原子を偏析させた抵抗変化型記憶膜と、

20

前記抵抗変化型記憶膜を挟んで配備され、該抵抗変化型記憶膜に電圧を印加する一対の電極膜とを備えたことを特徴とする抵抗変化型記憶素子。

【請求項 4】

前記非酸化性金属原子が、白金若しくは金であることを特徴とする請求項 3 記載の抵抗変化型記憶素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、印加電圧に応じて、高抵抗状態と、高抵抗状態よりも電流が流れやすい低抵抗状態とが切り替わり、高抵抗状態と低抵抗状態とを選択的に保持する抵抗変化型記憶素子に関する。

30

【背景技術】

【0002】

従来より、電源を切っても記憶内容を保持することができる不揮発性記憶素子の研究開発が盛んに行われている。

【0003】

最近、次世代型の新たな不揮発性記憶素子として、R - R A M (R e s i s t a n c e R A M) と呼ばれる抵抗変化型記憶素子が提案されている (例えば、特許文献 1、非特許文献 1、2 参照)。

【0004】

40

この R - R A M は、印加電圧に応じて、高抵抗状態と、その高抵抗状態よりも電流が流れやすい低抵抗状態とに切り替わる抵抗変化型記憶膜を備え、高抵抗状態と低抵抗状態とを選択的に保持する不揮発性記憶素子である。

【0005】

R - R A M は、高速性、大容量性、低消費電力性など、既存の不揮発性記憶素子を凌ぐ可能性を秘めており、将来性が期待されている。

【特許文献 1】特表平 11 - 510317 号公報

【非特許文献 1】A . B e c k e t a l . , A p p l . P h y s . L e t t . V o l . 77 , p . 139 (2001)

【非特許文献 2】日経マイクロデバイス誌、第 238 号、42 頁 (2005 年)

50

【発明の開示】

【発明が解決しようとする課題】

【0006】

上述した抵抗変化型記憶素子の研究開発では、抵抗変化型記憶素子のデバイス性能を決める重要な因子が、電界誘起巨大抵抗変化（CER：Colossal electro resistance）であると言われている。抵抗変化型記憶素子における高抵抗状態の電気抵抗率と低抵抗状態の電気抵抗率との比（以下、CER値と称する）が大きいほど、抵抗変化型記憶素子のデバイス性能が高まると言われている。

【0007】

このCER現象の発現機構はまだ十分には解明されておらず、諸説が唱えられている。現在のところ、抵抗変化型記憶膜に電圧を印加する電極膜とその抵抗変化型記憶膜との異種材料が接合することにより、電子の流れを不連続にする領域となるショットキー障壁や電子のトラップ準位などが形成されることがCER現象の有力な発現機構であると理解され始めている。

10

【0008】

ところで、従来の抵抗変化型記憶素子では、動作可能状態にするためには初期化する必要があり、高抵抗状態と低抵抗状態との間を可逆的に変化しうる状態にするために、フォーミングと呼ばれる処理を抵抗変化型記憶膜に施している。

【0009】

このフォーミングとは、抵抗変化型記憶膜に高電圧を印加することにより、電子の流れを不連続にする領域をその抵抗変化型記憶膜に形成することをいう。

20

【0010】

しかし、このフォーミングの処理を施した結果、電子の流れを不連続にする領域が形成する機構が十分には明確にされておらず、高電圧を印加することにより抵抗変化型記憶膜を絶縁破壊させてしまうおそれがある。そのため、フォーミングの処理を行わずに良好に動作する抵抗変化型記憶素子が望まれる。

【0011】

本発明は、上記事情に鑑み、フォーミングの処理を行わずに良好に動作する工夫が施された抵抗変化型記憶素子を提供することを目的とする。

【課題を解決するための手段】

30

【0012】

上記目的を達成する本発明の抵抗変化型記憶素子のうちの第1の抵抗変化型記憶素子は、

印加電圧に応じて、高抵抗状態と、その高抵抗状態よりも電流が流れやすい低抵抗状態とに切り替わり、高抵抗状態と低抵抗状態とを選択的に保持する抵抗変化型記憶素子において、

半導体基板上に形成されて、印加電圧に応じて高抵抗状態と低抵抗状態とが切り替わる酸化物の多結晶で形成されるとともに、酸素原子とは異なる異種原子が該酸化物の結晶粒界に結合している抵抗変化型記憶膜と、

上記抵抗変化型記憶膜を挟んで配備された、その抵抗変化型記憶膜に電圧を印加する一対の電極膜とを備えたことを特徴とする。

40

【0013】

酸素原子とは異なる異種原子が該酸化物の結晶粒界に結合した場合、結晶粒界には、酸素原子と結合している時の、電子占有状態とは異なった異種原子による電子トラップ準位が形成される。この電子トラップ準位は伝導電子を順次捕捉・蓄積し、次第に空間電荷を形成していく。空間電荷の形成は伝導電子の移動を妨げるため、或る電流量に達すると抵抗変化型記憶膜は、電流を流さなくなり、高抵抗状態になる。一方、高抵抗状態にある抵抗変化型記憶膜に電子トラップ準位から離脱するエネルギーに相当する外部電圧を印加すると、電子トラップ準位に捕捉されていた伝導電子は励起エネルギーを得て電子トラップ準位から離脱し、抵抗変化型記憶膜内を流れ、低抵抗状態となる。

50

【0014】

したがって、フォーミングの処理を行わずに動作する抵抗変化型記憶素子が得られる。

【0015】

ここで、上記異種原子が、窒素原子であることが好ましい。

【0016】

窒素原子は、2p軌道に3個の空き電子準位が存在し、酸素原子は、2p軌道に2個の空き電子準位が存在する。すなわち、窒素原子は、酸素原子よりも1つ余分に電子を取り込める電子トラップ準位を形成することができる。その分、結晶粒界において、余分に電子をトラップすることができる。その結果、酸素原子を窒素原子に置換した場合、酸素原子のままの状態と比較して、CER値を高めることができるとともに抵抗変化型記憶素子の基本動作である抵抗スイッチングを再現性良く動作させることができ、抵抗変化型記憶素子の性能を向上させることができる。

10

【0017】

置換においては、窒素ガスやアンモニアガスの利用による窒素原子への置換、炭化水素（水素化炭素）ガスや一酸化炭素ガスあるいは二酸化炭素ガス利用による炭素原子への置換、水素化ホウ素（ジボランなど）ガス利用によるホウ素原子への置換など、水素化ガス利用による他原子への置換が可能である。このように粒界を酸化状態とは異なる化学状態にさせることが本発明において重要なポイントとなる。

【0018】

また、上記目的を達成する本発明の抵抗変化型記憶素子のうちの第2の抵抗変化型記憶素子は、

20

印加電圧に応じて、高抵抗状態と、その高抵抗状態よりも電流が流れやすい低抵抗状態とに切り替わり、高抵抗状態と低抵抗状態とを選択的に保持する抵抗変化型記憶素子において、

半導体基板上に形成されて、印加電圧に応じて高抵抗状態と低抵抗状態とに切り替わる酸化物の多結晶で形成されるとともに、その酸化物の結晶粒界に非酸化性金属原子を偏析させた抵抗変化型記憶膜と、

上記抵抗変化型記憶膜を挟んで配備され、その抵抗変化型記憶膜に電圧を印加する一対の電極膜とを備えたことを特徴とする。

【0019】

酸化物の結晶粒界に非酸化性金属原子を偏析させた抵抗変化型記憶膜を採用することにより、結晶粒界、結晶粒内は非酸化性金属原子よりも伝導電子は流れ難くなるため、離散的に結晶粒界に存在する非酸化性金属原子は電子トラップとして作用する。このため、伝導電子は非酸化性貴金属原子の偏析物に蓄積されやすく、次第に空間電荷を形成していく。この空間電荷の形成は伝導電子の移動を妨げる働きをするため、或る電流量に達すると抵抗変化型記憶膜は電流を流さなくなり、高抵抗状態になる。一方、高抵抗状態にある抵抗変化型記憶膜に電子トラップから離脱するエネルギーに相当する外部電圧を印加すると、非酸化性貴金属原子の偏析物に蓄積されていた伝導電子は励起エネルギーを得て、電子トラップから離脱し、抵抗変化型記憶膜内を流ることが可能となり、低抵抗状態となる。

30

【0020】

したがって、フォーミングの処理を行わずに動作する抵抗変化型記憶素子が得られる。

40

【0021】

ここで、上記非酸化性金属原子が、白金若しくは金であることが好ましい。

【0022】

白金若しくは金は、酸化され難く、かつ、化学的に不活性であるため、酸化物に固溶せず、伝導電子は非酸化性貴金属原子の偏析物に蓄積されやすい。その結果、その酸化物の結晶粒界に白金若しくは金を偏析させた場合、CER値を高めることができるとともに抵抗変化型記憶素子の基本動作である抵抗スイッチングを再現性良く動作させることができ、抵抗変化型記憶素子の性能を向上させることができる。

【0023】

50

また、上記抵抗変化型記憶膜は、酸化物からなる複数の結晶が上記半導体基板上に隣り合う結晶界面同士が密接して形成された多結晶からなるものであることが好ましい。

【0024】

結晶の大きさを均一に揃えることで、CER値のばらつきを抑制することができる。

【発明の効果】

【0025】

以上、説明したように、フォーミングの処理を行わずに良好に動作する工夫が施された抵抗変化型記憶素子を提供することができる。

【発明を実施するための最良の形態】

【0026】

以下、本発明の実施の形態について説明する。

【0027】

まず、現在知られている、抵抗変化型記憶素子の動作原理について述べる。

【0028】

図1は、双極性抵抗変化型記憶膜を用いた抵抗変化型記憶素子の電流-電圧特性を示すグラフであり、図2は、単極性抵抗変化型記憶膜を用いた抵抗変化型記憶素子の電流-電圧特性を示すグラフである。

【0029】

抵抗変化型記憶素子は、印加電圧に応じて高抵抗状態と低抵抗状態とが切り替わる抵抗変化型記憶膜が一对の電極間に挟持されたものである。この抵抗変化型記憶膜は、その多くが遷移金属を含む酸化物材料の膜であり、電気的特性の違いから大きく2つに分類される。

【0030】

一方の抵抗変化型記憶膜は、高抵抗状態と低抵抗状態との間で抵抗状態を変化させるために互いに異なる極性の電圧を用いるタイプである。酸化物材料としては、クロム(Cr)等の不純物を微量にドーブした $SrTiO_3$ や、 $SrZrO_3$ 、あるいは超巨大磁気抵抗(CMR: Colossal Magneto-Resistance)を示す $Pr_{1-x}Ca_xMnO_3$ や $La_{1-x}Ca_xMnO_3$ 等が用いられる。以下、抵抗状態の書き換えに極性の異なる電圧を要する上述の抵抗変化型記憶膜を双極性抵抗変化型記憶膜と呼ぶ。

【0031】

他方の抵抗変化型記憶膜は、高抵抗状態と低抵抗状態との間で抵抗状態を変化させるために極性の同じ電圧を用いるタイプである。酸化物材料としては、例えば、 NiO_x や TiO_x のような単一の遷移金属の酸化物等が用いられる。以下、抵抗状態の書き換えに極性が同じ電圧を要する抵抗変化型記憶膜を単極性抵抗変化型記憶膜と呼ぶ。

【0032】

図1は、双極性抵抗変化型記憶膜を用いた抵抗変化型記憶素子の電流-電圧特性を示すグラフであり、非特許文献1に記載されたものである。このグラフは、典型的な双極性抵抗変化型記憶膜であるCrドーブの $SrZrO_3$ を用いた電流-電圧特性を示している。

【0033】

初期状態において、抵抗変化型記憶素子は高抵抗状態である場合を考える。

【0034】

印加電圧を0Vの状態から徐々に負電圧に増加していくと、流れる電流は曲線aに沿って、矢印の方向に変化し、その絶対値は徐々に増加する。印加する負電圧が更に大きくなり、約0.5Vを超えると、抵抗変化型記憶素子が高抵抗状態から低抵抗状態へスイッチする。これに伴い、電流の絶対値が急激に増加し、電流-電圧特性は点Aから点Bに遷移する。なお、以下の説明では、抵抗変化型記憶素子を高抵抗状態から低抵抗状態へ変化する動作を「セット」と呼ぶ。

【0035】

点Bの状態から徐々に負電圧を減少していくと、電流は曲線bに沿って矢印の方向に変

10

20

30

40

50

化し、その絶対値は徐々に減少する。印加電圧が 0 V に戻ると、電流も 0 A となる。

【0036】

印加電圧を 0 V の状態から徐々に正電圧に増加していくと、電流値は曲線 c に沿って矢印の方向に変化し、その絶対値は徐々に増加する。印加する正電圧が更に大きくなり、約 0.5 V を超えると、抵抗変化型記憶素子が低抵抗状態から高抵抗状態へスイッチする。これに伴い、電流の絶対値が急激に減少し、電流電圧特性は点 C から点 D に遷移する。

【0037】

なお、以下の説明では、抵抗変化型記憶素子を低抵抗状態から高抵抗状態へ変化する動作を「リセット」と呼ぶ。

【0038】

点 D の状態から徐々に正電圧を減少していくと、電流は曲線 d に沿って矢印の方向に変化し、その絶対値は徐々に減少する。印加電圧が 0 V に戻ると、電流も 0 A となる。

【0039】

それぞれの抵抗状態は、約 ± 0.5 V の範囲で安定であり、電源を切っても保たれる。すなわち、高抵抗状態では、印加電圧が点 A の電圧の絶対値よりも低ければ、電流電圧特性は曲線 a、d に沿って線形的に変化し、高抵抗状態が維持される。同様に、低抵抗状態では、印加電圧が点 C の電圧の絶対値よりも低ければ、電流電圧特性は曲線 b、c に沿って線形的に変化し、低抵抗状態が維持される。

【0040】

このように、双極性抵抗変化型記憶膜を用いた抵抗変化型記憶素子は、高抵抗状態と低抵抗状態との間で抵抗状態を変化させるために、互いに異なる極性の電圧を印加するものである。

【0041】

図 2 は、単極性抵抗変化型記憶膜を用いた抵抗変化型記憶素子の電流電圧特性を示す図である。このグラフは、典型的な単極性抵抗変化型記憶膜である TiO_x を用いた場合である。

【0042】

初期状態で、抵抗変化型記憶素子は高抵抗状態である場合を考える。

【0043】

印加電圧を 0 V から徐々に増加していくと、電流は曲線 a に沿って、矢印の方向に変化し、その絶対値は徐々に増加する。印加する正電圧が更に大きくなり、約 1.3 V を超えると、抵抗変化型記憶素子が高抵抗状態から低抵抗状態へスイッチ（セット）する。これに伴い、電流の絶対値が急激に増加し、電流電圧特性は点 A から点 B に遷移する。なお、図 2 において点 B における電流値が約 20 mA で一定になっているのは、急激な電流の増加による素子の破壊を防止するために電流制限を施しているためである。

【0044】

点 B の状態から徐々に電圧を減少していくと、電流は曲線 b に沿って矢印の方向に変化し、その絶対値は徐々に減少する。印加電圧が 0 V に戻ると、電流も 0 A となる。

【0045】

印加電圧を 0 V から再度徐々に増加していくと、電流は曲線 c に沿って矢印の方向に変化し、その絶対値は徐々に増加する。印加する正電圧が更に大きくなりなり約 1.2 V を超えると、抵抗変化型記憶素子が低抵抗状態から高抵抗状態にスイッチ（リセット）する。これに伴い電流の絶対値が急激に減少し、電流電圧特性は点 C から点 D に遷移する。

【0046】

点 D の状態から状態から徐々に電圧を減少していくと、電流は曲線 d に沿って矢印の方向に変化し、その絶対値は徐々に減少する。印加電圧が 0 V に戻ると、電流も 0 A となる。

【0047】

それぞれの抵抗状態は、セット、リセットに必要な電圧以下で安定である。すなわち、図 2 においては約 1.0 V 以下で両状態ともに安定であり、電源を切っても保たれる。す

10

20

30

40

50

なわち、低抵抗状態では、印加電圧が点Cの電圧よりも低ければ、電流 電圧特性は曲線cに沿って、低抵抗状態が維持される。

【0048】

このように、単極性抵抗変化型記憶膜を用いた抵抗変化型記憶素子は、高抵抗状態と低抵抗状態との間で抵抗状態を変化させるために、極性の同じ電圧を印加するものである。

【0049】

従来、上記材料を用いて抵抗変化型記憶素子を形成する場合、抵抗変化型記憶素子の形成直後の初期状態では図1及び図2に示すような特性は得られず、抵抗変化型記憶膜を高抵抗状態と低抵抗状態との間で可逆的に変化する状態にするためには、上述したフォーミング処理が必要となる。

【0050】

図3は、図2の場合と同じ単極性抵抗変化型記憶膜を用いた抵抗変化型記憶素子のフォーミング処理を説明する電流 電圧特性である。

【0051】

抵抗変化型記憶素子形成直後の初期状態では、図3に示すように、高抵抗でありかつ絶縁耐圧は8V程度と非常に高くなっている。

【0052】

初期状態においてこの絶縁耐圧よりも高い電圧を印加すると、図3に示すように、素子に流れる電流値が急激に増加し、すなわち抵抗変化型記憶素子のフォーミングが行われる。このフォーミングを行うことにより、抵抗変化型記憶素子は、図2に示すような電流 電圧特性を示すようになり、低抵抗状態と高抵抗状態とを可逆的に変化することができるようになる。

【0053】

本発明では、以下に説明するように、上述したフォーミング処理をせずに動作可能とする抵抗変化型記憶素子を提供する。

【0054】

次に、本発明の第1の抵抗変化型記憶素子の一実施形態について説明する。

【0055】

図4は、本発明の第1の抵抗変化型記憶素子の一実施形態の断面図である。

【0056】

この本発明の第1の抵抗変化型記憶素子の一実施形態には、半導体基板11上に下部電極としての電極膜12aが設けられている。その電極膜12a上には、印加電圧に応じて高抵抗状態と低抵抗状態とが切り替わり、高抵抗状態と低抵抗状態とを選択的に保持する抵抗変化型記憶膜13が設けられている。この抵抗変化型記憶膜13は、酸化物からなる複数の結晶が半導体基板11上に隣り合う結晶界面同士が密接して形成された多結晶からなるものである。

【0057】

この抵抗変化型記憶膜13の多結晶の結晶粒界には、後述する製造方法によって、その酸化物の結晶粒界に結合している酸素原子が窒素原子に置換されている。

【0058】

この抵抗変化型記憶膜13上には、上部電極としての電極膜12bが積層されている。これらの電極膜12a、12bによって、抵抗変化型記憶膜13に電圧が印加される。

【0059】

ここで、抵抗変化型記憶膜13の電気抵抗率は、 $1 \sim 10^{12}$ cmの酸化膜であればよい。例えば、 $(Pr_{1-x}, Ca_x)MnO_3$ 、 $(La_{1-x}, Sr_x)MnO_3$ 、 $(La_{1-x}, Ba_x)MnO_3$ 、 NiO_x 、 TiO_x 、 SiO_x 、 AlO_x などである。

【0060】

一方、電極膜12a、12bの電気抵抗率は、 10^{-3} cm以下である。電極膜12a、12bの材料としては、容易に電流を流すことができる導電性物質であればよい。例えば、Pt、Au、Pd、Ru、Al、Cu、ITO、 SnO_{2-x} 、 ZnO_{1-x} など

10

20

30

40

50

である。

【0061】

次に、本発明の第1の抵抗変化型記憶素子の一実施形態の製造方法について説明する。

【0062】

図5は、本発明の第1の抵抗変化型記憶素子の一実施形態の製造方法の工程を示す図である。

【0063】

第1の工程として、半導体基板11上に電極膜12aをスパッタリングに代表される真空製膜法により成長させる(図5(a))。

【0064】

第2の工程として、抵抗変化型記憶膜を構成する材料を用いて、真空製膜法により膜厚20~50nmの抵抗変化型記憶膜13を形成する(図5(b))。

【0065】

なお、酸化物膜である抵抗変化型記憶膜13の形成には、酸化物ターゲットあるいは金属ターゲットを用いて($Ar + O_2$)混合ガスを導入して製膜する。

【0066】

さらに、($Ar + O_2$)混合ガスから窒素ガス雰囲気下に条件を変えた後に、300以上に加熱し、30分以上保持する。

【0067】

次に、第3の工程として、 Ar ガス下の条件のもとで、電極膜12bを真空製膜法により成長させる(図5(c))。

【0068】

これらの工程を経て、本発明の第1の抵抗変化型記憶素子の一実施形態が製造される。

【0069】

図6は、多結晶からなる抵抗変化型記憶膜の粒界および粒内における、窒素ガスの含有率を示す図である。

【0070】

図6に示すように、結晶粒界近傍には窒化領域が形成され、すなわち、電子トラップ準位が形成される。

【0071】

図7は、本発明の第1の抵抗変化型記憶素子の一実施形態である抵抗変化型記憶膜を結晶粒のレベルで見たときの模式図である。

【0072】

結晶粒界の各結晶格子において、酸化物の置換可能な酸素原子が窒素原子に置換された構造になっている。

【0073】

次に、本発明の第1の抵抗変化型記憶素子の一実施形態の動作について説明する。

【0074】

抵抗変化型記憶膜13内における酸化物の結晶粒界に結合している酸素原子を電子占有状態が酸素原子とは異なる窒素原子に置換した場合、結晶粒界には、酸素原子と結合しているときの電子占有状態とは異なった窒素原子による電子トラップ準位が形成される。窒素原子は、2p軌道に3個の空き電子準位が存在し、酸素原子は、2p軌道に2個の空き電子準位が存在する。すなわち、窒素原子は、酸素原子よりも1つ余分に電子を取り込める電子トラップ準位を形成することができる。その分、結晶粒界において、余分に電子をトラップすることができる。

【0075】

この電子トラップ準位は、上述した通り、伝導電子を順次捕捉・蓄積し、次第に空間電荷を形成していく。空間電荷の形成は伝導電子の移動を妨げるため、或る電流量に達すると抵抗変化型記憶膜13は、電流を流さなくなり、高抵抗状態になる。一方、高抵抗状態にある抵抗変化型記憶膜13に電子トラップ準位から離脱するエネルギーに相当する外部電

10

20

30

40

50

圧を印加すると、電子トラップ準位に捕捉されていた伝導電子は励起エネルギーを得て電子トラップ準位から離脱し、抵抗変化型記憶膜内を流れ、低抵抗状態となる。

【0076】

次に、本発明の第1の抵抗変化型記憶素子の一実施形態を採用した不揮発性半導体記憶装置の動作について説明する。

【0077】

図8は、本発明の第1の抵抗変化型記憶素子の一実施形態を採用した不揮発性半導体記憶装置のメモリセルの概要図である。

【0078】

図8に示す不揮発性半導体記憶装置のメモリセル100は、抵抗変化型記憶素子1とセル選択トランジスタ101とを有している。抵抗変化型記憶素子1は、その一端がビット線BLに接続され、他端がセル選択トランジスタ101のドレイン端子101aに接続されている。セル選択トランジスタ101のドレイン端子101bはソース線SLに接続され、セル選択トランジスタ101のゲート端子101cはワード線WLに接続されている。

10

【0079】

図9は、図8に示すメモリセルをマトリクス状に配置したメモリセルアレイの一例を示す回路図である。複数のメモリセルが列方向（図面縦方向）及び行方向（図面横方向）に隣接して形成されている。

【0080】

列方向には、複数のワード線WL1、バーWL1、WL2、バーWL2・・・が配されており、列方向に並ぶメモリセルは、共通の信号線を共有している。また、列方向には、ソース線SL1、SL2、・・・が配され、列方向に並ぶメモリセルに共通の信号線を共有している。

20

【0081】

なお、ソース線SLは、ワード線WL2本に1本ずつ設けられている。

【0082】

行方向（図面横方向）には、複数のビット線BL1、BL2、BL3、BL4・・・が配されており、行方向に並ぶメモリセルは共通の信号線を共有している。

【0083】

次に、本発明の第1の抵抗変化型記憶素子の一実施形態を採用した不揮発性半導体記憶装置の動作を説明する。

30

【0084】

はじめに、高抵抗状態から低抵抗状態への書き換え動作、すなわちセットの動作について説明する。ここで、説明をわかりやすくするため、書き換え対象のメモリセルは、図8に示す点線の四角で囲った、ワード線WL1およびビット線BL1に接続されたメモリセル100である。

【0085】

まず、ワード線WL1に所定の電圧を印加し、セル選択トランジスタ101をオン状態にする。ソース線SL1は、基準電位、例えば、接地電位である0Vに接続する。

40

【0086】

次いで、ビット線BL1に、抵抗変化型記憶素子1をセットするに要する電圧と同じあるいはこれよりやや大きいバイアス電圧を印加する。例えば、図2に示す特性を有する抵抗変化型記憶素子の場合、約1.5V程度のバイアス電圧を印加する。

【0087】

バイアス電圧を印加することにより、ビット線BL1、抵抗変化型記憶素子1およびセル選択トランジスタ101を介してソース線SL1へ向かう電流経路が形成され、印加したバイアス電圧は、抵抗変化型記憶素子1の抵抗値 R_H 及びセル選択トランジスタ101のチャンネル抵抗 R_{CS} に応じてそれぞれ分配される。

【0088】

50

このとき、抵抗変化型記憶素子 1 の抵抗値 R_H は、セル選択トランジスタ 101 のチャネル抵抗 R_{CS} に比べて十分に大きいため、バイアス電圧のほとんどは抵抗変化型記憶素子 1 に印加される。これにより、抵抗変化型記憶素子 1 は、高抵抗状態から低抵抗状態に変化する。

【0089】

次いで、ビット線 $BL1$ に印加するバイアス電圧をゼロに戻した後、ワード線 $WL1$ に印加する電圧をオフにし、セットの動作を完了する。

【0090】

次に、低抵抗状態から高抵抗状態への書き換え動作、すなわちリセットの動作について説明する。書き換え対象のメモリセル 100 は、ワード線 $WL1$ 及びビット線 $BL1$ に接続されたメモリセル 100 である。

10

【0091】

まず、ワード線 $WL1$ に所定の電圧を印加し、セル選択トランジスタ 101 をオン状態にする。ソース線 $SL1$ は、基準電位、例えば接地電位である $0V$ に接続する。

【0092】

次いで、ビット線 $BL1$ に、抵抗変化型記憶素子 1 をリセットするに要する電圧と同じ或いはこれよりやや大きいバイアス電圧を印加する。例えば、約 $0.8V$ 程度のバイアス電圧を印加する。

【0093】

バイアス電圧を印加することにより、ビット線 $BL1$ 、抵抗変化型記憶素子 1 及びセル選択トランジスタ 101 を介してソース線 $SL1$ へ向かう電流経路が形成され、印加したバイアス電圧は、抵抗変化型記憶素子 1 の抵抗値 R_L 及びセル選択トランジスタ 101 のチャネル抵抗 R_{CS} に応じてそれぞれに分配される。

20

【0094】

このとき、セル選択トランジスタ 101 のチャネル抵抗 R_{CS} は、抵抗変化型記憶素子 1 の抵抗値 R_L よりも十分に小さいため、印加したバイアス電圧のほとんどは抵抗変化型記憶素子 1 に印加される。これにより、抵抗変化型記憶素子 1 は、低抵抗状態から高抵抗状態に変化する。

【0095】

リセット過程では、抵抗変化型記憶素子 1 が高抵抗状態に切り換わった瞬間、ほぼ全バイアス電圧が抵抗変化型記憶素子 1 に配分されるため、このバイアス電圧によって抵抗変化型記憶素子 1 が再度セットされることを防止する必要がある。このためには、ビット線 $BL1$ に印加するバイアス電圧は、セットに要する電圧よりも小さくしなければならない。

30

【0096】

リセット過程では、セル選択トランジスタ 101 のチャネル抵抗 R_{CS} が抵抗変化型記憶素子 1 の抵抗値 R_L よりも十分に小さくなるように、これらトランジスタのゲート電圧を調整するとともに、ビット線 $BL1$ に印加するバイアス電圧を、リセットに必要な電圧以上、セットに必要な電圧未満に設定する。

【0097】

次いで、ビット線 $BL1$ に印加するバイアス電圧をゼロに戻した後、ワード線 $WL1$ に印加する電圧をオフにし、リセットの動作を完了する。

40

【0098】

本実施形態による不揮発性半導体記憶装置では、図 9 に示すように、ワード線 WL とソース線 SL とが列方向に配されており、一のワード線（例えば $WL1$ ）に接続されたメモリセル 100 は、同じソース線 SL （例えば $SL1$ ）に接続されている。したがって、上記リセット動作において複数のビット線 BL （例えば $BL1 \sim BL4$ ）を同時に駆動すれば、選択ワード線（例えば $WL1$ ）に連なる複数のメモリセル 100 を一括してリセットすることも可能である。

【0099】

50

次に、図 9 に示す本実施形態による不揮発性半導体記憶装置の読み出し方法について説明する。読み出し対象のメモリセル 100 は、ワード線 WL1 及びビット線 BL1 に接続されたメモリセル 100 である。

【0100】

まず、ワード線 WL1 に所定の電圧を印加し、セル選択トランジスタ 101 をオン状態にする。ソース線 SL1 は、基準電位、例えば接地電位である 0V に接続する。

【0101】

次いで、ビット線 BL1 に、所定のバイアス電圧を印加する。このバイアス電圧は、抵抗変化型記憶素子 1 がいずれの抵抗状態にあるときも印加電圧によってセットやリセットが生じないように設定する。

【0102】

ビット線 BL1 にこのようなバイアス電圧を印加すると、ビット線 BL1 には抵抗変化型記憶素子 1 の抵抗値に応じた電流が流れる。したがって、ビット線 BL1 に流れるこの電流値を検出することにより、抵抗変化型記憶素子 1 がどのような抵抗状態にあるかを読み出すことができる。

【0103】

以上より、本発明の第 1 の抵抗変化型記憶素子の一実施形態によれば、抵抗変化型記憶膜 13 の結晶粒界に電子トラップを形成することにより、フォーミング処理を不要とし、CER 値を高めることができるとともに抵抗変化型記憶素子の基本動作である抵抗スイッチングを再現性良く動作させることができ、抵抗変化型記憶素子の性能を向上させることができる。

【0104】

以上説明した、本発明の第 1 の抵抗変化型記憶素子の一実施形態では、異種原子が窒素原子である場合を例に挙げて説明しているが、異種原子が硫黄原子や炭素原子であってもよく、この場合、製造工程において、 H_2S ガスあるいは CO_2 ガスを用いて酸素原子と置換する。

【0105】

以上で、本発明の第 1 の抵抗変化型記憶素子の一実施形態の説明を終了し、次に、本発明の第 2 の抵抗変化型記憶素子の一実施形態について説明する。

【0106】

なお、本発明の第 1 の抵抗変化型記憶素子の一実施形態と本発明の第 2 の抵抗変化型記憶素子の一実施形態とは、構造が一部異なるが、それ以外は同様の構造を有するため、相違点について主に説明する。

【0107】

図 10 は、本発明の第 2 の抵抗変化型記憶素子の一実施形態の断面図である。

【0108】

本発明の第 2 の抵抗変化型記憶素子の一実施形態である抵抗変化型記憶素子 2 には、半導体基板 21 上に下部電極としての電極膜 22a が設けられている。その電極膜 22a 上には、印加電圧に応じて高抵抗状態と低抵抗状態に切り替わり、高抵抗状態と低抵抗状態が選択的に保持される抵抗変化型記憶膜 23 が設けられている。この抵抗変化型記憶膜 23 は、酸化物からなる複数の結晶が前記半導体基板上に隣り合う結晶界面同士が密接して形成された多結晶からなるものである。この酸化物の結晶の界面には、非酸化性金属である白金が偏析している。

【0109】

また、この抵抗変化型記憶膜 23 上には、上部電極としての電極膜 22b が積層されている。これらの電極膜 22a、22b が抵抗変化型記憶膜 23 を挟む構造になっており、電極膜 22a、22b によって、抵抗変化型記憶膜 23 に電圧が印加される。

【0110】

ここで、電極膜 22a、22b の材料としては、容易に電流を流すことができる導電性物質であればよい。

10

20

30

40

50

【0111】

例えば、Pt、Au、Pd、Ru、Al、Cu、ITO、 $\text{SnO}_2 - x$ 、 Zn_{1-x} などである。抵抗変化型記憶膜は電気抵抗率が、 $1 \sim 10^{1-2} \text{ cm}$ の酸化膜であればよい。

【0112】

なお、製膜後に非酸化性金属である白金を結晶粒界に偏析させるため、製膜時点ではこれらの酸化物に非酸化性金属である白金が分散された状態にある。

【0113】

次に、本発明の第2の抵抗変化型記憶素子の一実施形態の製造方法について説明する。

【0114】

なお、既に、説明した通り、図5に示す本発明の第1の抵抗変化型記憶素子の一実施形態の製造方法における、第1の工程は同様である。

【0115】

第2の工程として、非酸化性金属である白金が分散された抵抗変化型記憶膜を構成する材料を用いて、真空製膜法により膜厚20～50nmの抵抗変化型記憶膜23を形成する。

【0116】

続いて、酸素中で500以上に加熱し3時間以上保持することにより、結晶粒界に白金が掃き出され、結晶粒界に偏析する。

【0117】

第3の工程として、電極膜22bを真空製膜法により成長させる。

【0118】

これらの工程を経て、本発明の第2の抵抗変化型記憶素子の一実施形態が製造される。

【0119】

図11は、本発明の第2の抵抗変化型記憶素子の一実施形態である抵抗変化型記憶膜を結晶粒のレベルで見たときの模式図である。

【0120】

結晶粒界において、白金が偏析している。

【0121】

次に、本発明の第2の抵抗変化型記憶素子の一実施形態の動作について説明する。

【0122】

ここで、酸化物の結晶粒界に非酸化性金属原子を偏析させた抵抗変化型記憶膜23を採用することにより、結晶粒界、結晶粒内は非酸化性金属原子よりも伝導電子は流れ難くなるため、離散的に結晶粒界に存在する非酸化性金属原子は電子トラップとして作用する。このため、伝導電子は、励起エネルギーを得て励起するホッピング機構で非酸化性貴金属原子の偏析物間を伝導することになるが、この伝導電子は非酸化性貴金属原子の偏析物に蓄積されやすく、次第に空間電荷を形成していく。この空間電荷の形成は伝導電子の移動を妨げる働きをするため、或る電流量に達すると抵抗変化型記憶膜23は電流を流さなくなり、高抵抗状態になる。一方、高抵抗状態にある抵抗変化型記憶膜23に電子トラップから離脱するエネルギーに相当する外部電圧を印加すると、非酸化性貴金属原子の偏析物に蓄積されていた伝導電子は励起エネルギーを得て、電子トラップから離脱し、抵抗変化型記憶膜内を流れることが可能となり、低抵抗状態となる。

【0123】

したがって、フォーミングの処理を行わずに動作する抵抗変化型記憶素子が得られる。

【0124】

また、白金は、酸化され難く、かつ、化学的に不活性であるため、酸化物に固溶せず、伝導電子は白金の偏析物に蓄積されやすい。その結果、その酸化物の結晶粒界に白金を偏析させた場合、CER値を高めることができる。

【0125】

以上説明した、本発明の第2の抵抗変化型記憶素子の一実施形態によれば、フォーミン

10

20

30

40

50

グの処理を行わずに動作する抵抗変化型記憶素子が得られる。また、CER値を高めることができるとともに抵抗変化型記憶素子の基本動作である抵抗スイッチングを再現性良く動作させることができ、抵抗変化型記憶素子の性能を向上させることができる。

【0126】

以上説明した、本発明の第2の抵抗変化型記憶素子の一実施形態では、非酸化性金属原子として白金である場合を例に挙げて説明しているが、金であっても同等の効果が得られる。

【0127】

なお、非酸化性金属原子は白金や金に限られず、非酸化性を示す金属原子であってもよい。

【0128】

以上説明したように、本発明によれば、フォーミングの処理を行わずに良好に動作する工夫が施された抵抗変化型記憶素子を提供することができる。

【図面の簡単な説明】

【0129】

【図1】双極性抵抗変化型記憶膜を用いた抵抗変化型記憶素子の電流 電圧特性を示すグラフである。

【図2】単極性抵抗変化型記憶膜を用いた抵抗変化型記憶素子の電流 電圧特性を示すグラフである。

【図3】図2の場合と同じ単極性抵抗変化型記憶膜を用いた抵抗変化型記憶素子のフォーミング処理を説明する電流 電圧特性を示すグラフである。

【図4】本発明の第1の抵抗変化型記憶素子の一実施形態の断面図である。

【図5】本発明の第1の抵抗変化型記憶素子の一実施形態の製造方法の工程を示す図である。

【図6】結晶からなる抵抗変化型記憶膜の粒界および粒内における、窒素ガスの含有率を示す図である。

【図7】本発明の第1の抵抗変化型記憶素子の一実施形態である抵抗変化型記憶膜を結晶粒のレベルで見たときの模式図である。

【図8】本発明の第1の抵抗変化型記憶素子の一実施形態を採用した不揮発性半導体記憶装置のメモリセルの概要図である。

【図9】図8に示すメモリセルをマトリクス状に配置したメモリセルアレイの一例を示す回路図である。

【図10】本発明の第2の抵抗変化型記憶素子の一実施形態の断面図である。

【図11】本発明の第2の抵抗変化型記憶素子の一実施形態である抵抗変化型記憶膜を結晶粒のレベルで見たときの模式図である。

【符号の説明】

【0130】

1、2 抵抗変化型記憶素子

11、21 半導体基板

12a、12b、22a、22b 電極膜

13、23 抵抗変化型記憶膜

100 メモリセル

101 セル選択トランジスタ

101a、101b ドレイン端子

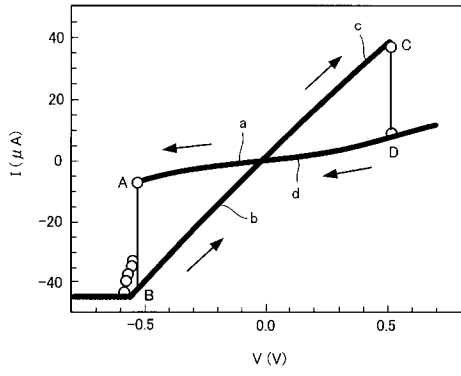
101c ゲート端子

BL、BL1、BL2、BL3、BL4 ビット線

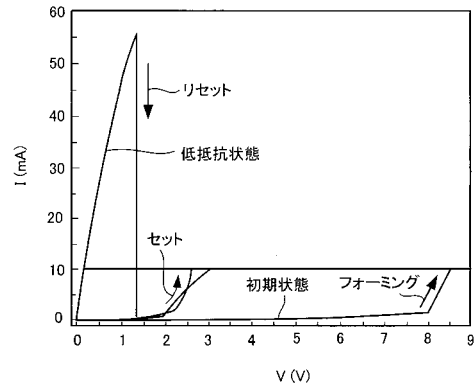
SL、SL1、SL2、パーSL1、パーSL2 ソース線

WL、WL1、WL2、パーWL1、パーWL2 ワード線

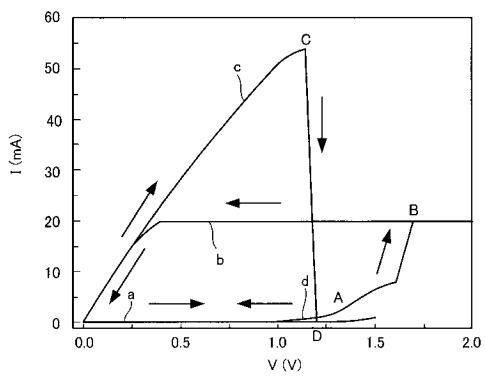
【 図 1 】



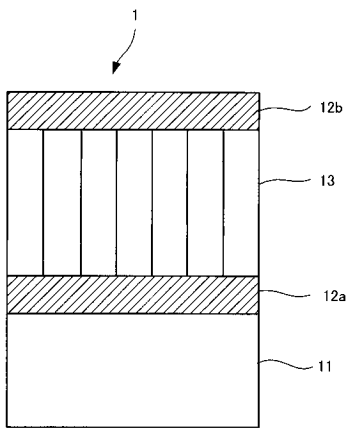
【 図 3 】



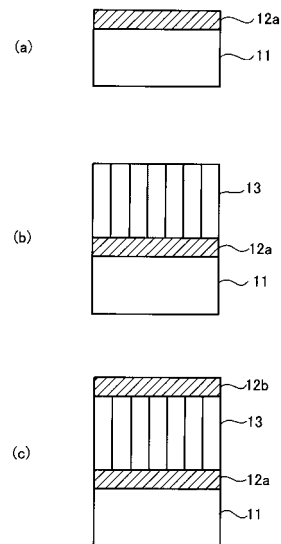
【 図 2 】



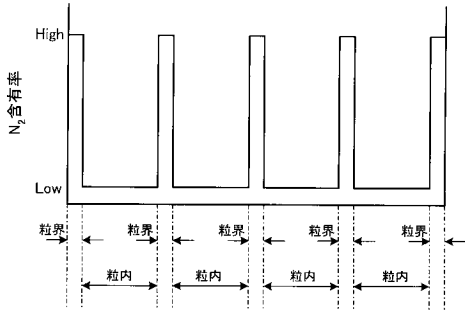
【 図 4 】



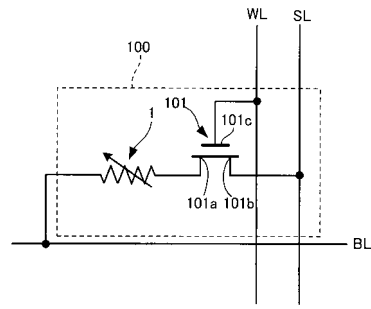
【 図 5 】



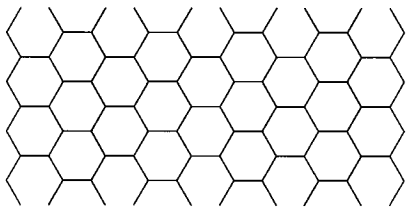
【 図 6 】



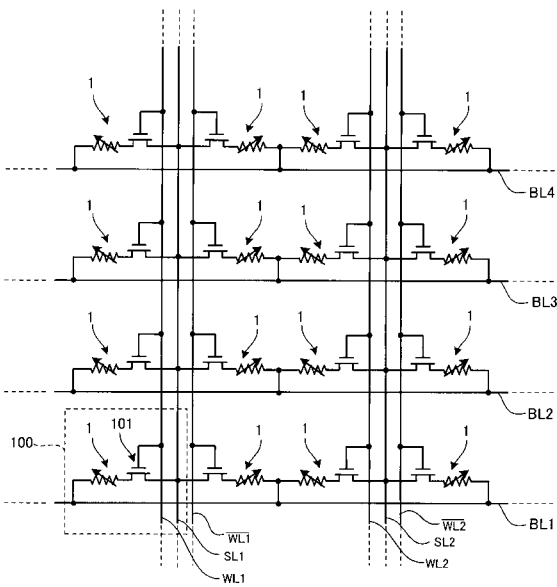
【 図 8 】



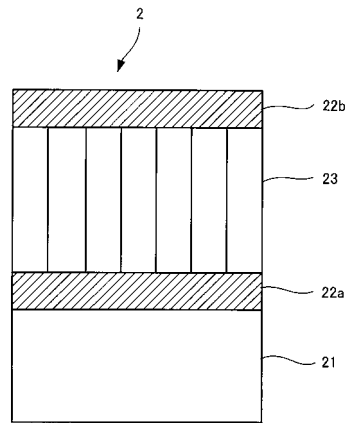
【 図 7 】



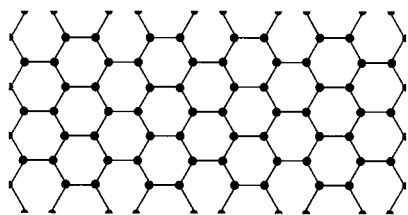
【 図 9 】



【 図 10 】



【 図 1 1 】



● 白金