



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0000178
(43) 공개일자 2018년01월02일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/02 (2006.01)
H01L 21/28 (2006.01) H01L 29/06 (2006.01)
H01L 29/45 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 21/02601 (2013.01)
(21) 출원번호 10-2016-0078019
(22) 출원일자 2016년06월22일
심사청구일자 2016년06월22일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김준호
서울특별시 성북구 안암로 145 BK21Plus 창의부품
소재사업단
성태연
서울특별시 서초구 신반포로33길 64 1-506호 (잠
원동, 잠원한신로얄아파트)
(74) 대리인
정은열

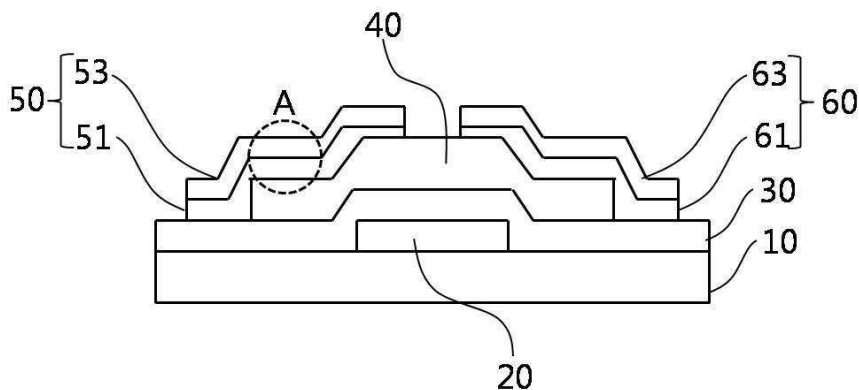
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 투명 박막 트랜지스터

(57) 요약

본 발명은 투명 박막 트랜지스터에 관한 것으로, 본 발명의 실시예에 따른 투명 박막 트랜지스터는 채널층(40) 상에 소스 전극(50) 및 드레인 전극(60)이 형성되는 투명 박막 트랜지스터에 있어서, 채널층(40)은 산화물 반도체로 형성되고, 소스 전극(50) 및 드레인 전극(60)은 각각 채널층(40) 상에 형성되는 금속층(51, 61), 및 금속층(51, 61) 상에 형성되는 산화물층(53, 63)을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/28194 (2013.01)

H01L 29/0665 (2013.01)

H01L 29/458 (2013.01)

H01L 29/78681 (2013.01)

H01L 29/78696 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10049601

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 벤처형전문소재기술개발사업

연구과제명 OLED조명을 위한 flexible 기관용 광추출 효율이 2.0배 향상된 flexible 전도성 광추출 기

관 기술 개발

기 여 율 1/2

주관기관 덕산하이메탈(주)

연구기간 2014.06.01 ~ 2017.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호 s2317456

부처명 중소기업청

연구관리전문기관 한국산업기술진흥원(KIAT)

연구사업명 WC300 프로젝트 R and D 기술개발지원사업

연구과제명 자동차용 디자인프리 OLED 조명을 위한 100 lm/W 효율 구현이가능한 일체형 리버스-전사

공정기술 기반의 투명 전도성 광전 복합기관 소재 및 공정 기술 개발

기 여 율 1/2

주관기관 덕산하이메탈(주)

연구기간 2015.07.01 ~ 2018.06.30

명세서

청구범위

청구항 1

채널층 상에 소스 전극 및 드레인 전극이 형성되는 투명 박막 트랜지스터에 있어서,
상기 채널층은 산화물 반도체로 형성되고,
상기 소스 전극 및 드레인 전극은 각각 상기 채널층 상에 형성되는 금속층, 및 상기 금속층 상에 형성되는 산화물층을 포함하는 투명 박막 트랜지스터.

청구항 2

청구항 1에 있어서,
상기 금속층은 박막 형태로 형성되는 투명 박막 트랜지스터.

청구항 3

청구항 2에 있어서,
상기 소스 전극 및 드레인 전극은
상기 금속층의 두께 방향을 따라 관통되어, 특히 광투광(Extraordinary Optical Transmission) 현상을 발생시키는 다수의 미세기공을 구비하는 투명 박막 트랜지스터.

청구항 4

청구항 2에 있어서,
상기 금속층은 Ag, Au, Ti, Ni, Mo, Cu, 및 Al 중 적어도 어느 하나 이상으로 이루어지는 투명 박막 트랜지스터.

청구항 5

청구항 1에 있어서,
상기 금속층은
서로 메쉬(mesh) 형태로 교차되도록 분산 배치되는 다수의 금속 나노구조체;
를 포함하는 투명 박막 트랜지스터.

청구항 6

청구항 5에 있어서,
상기 금속 나노구조체는 금속 나노와이어, 금속 나노로드, 및 금속 나노튜브 중 적어도 어느 하나 이상인 투명 박막 트랜지스터.

청구항 7

청구항 5에 있어서,

상기 금속 나노구조체는

Ag, Al, 및 Cu 중 적어도 어느 하나 이상으로 이루어지는 투명 박막 트랜지스터.

청구항 8

청구항 5에 있어서,

상기 금속층은

상기 금속 나노구조체의 외면에 코팅되는 다수의 산화물 나노입자;

를 더 포함하는 투명 박막 트랜지스터.

청구항 9

청구항 8에 있어서,

상기 산화물 나노입자는

상기 채널층 또는 상기 산화물층의 산화물과 동일한 소재로 이루어지는 투명 박막 트랜지스터.

청구항 10

청구항 1에 있어서,

상기 채널층 및 상기 산화물층 중 적어도 어느 하나는 Ti-O, Zn-O, Ni-O, Mo-O, V-O, W-O, Mg-O, Si-O, Sn-O, Ta-O, Hf-O, Nb-O, Zr-O, Cu-O, In-O, Al-O, Ni-In-O, Zn-In-O, Cu-In-O, Mo-In-O, Ge-In-O, Si-In-O, Sn-In-O, Mn-In-O, Mg-In-O, Ga-In-O, Al-In-O, B-In-O, V-In-O, In-O-Cl, In-O-F, W-In-O, Ta-In-O, Hf-In-O, Re-In-O, Mg-Sn-O, Ga-Zn-In-O, Sr-V-O, Ca-V-O, 및 Ga-Sn-Zn-In-O 중 적어도 어느 하나 이상으로 이루어지는 투명 박막 트랜지스터.

청구항 11

청구항 1에 있어서,

상기 금속층, 및 상기 산화물층은

스퍼터링법, 무손상 스퍼터링법(damage-free sputtering), 전자빔 증착법, 롤투롤(Roll-to-roll) 또는 연속 증발 증착법으로 형성되는 투명 박막 트랜지스터.

청구항 12

청구항 1에 있어서,

상기 산화물층은 상기 채널층과 동일한 산화물로 형성되는 투명 박막 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 투명 박막 트랜지스터에 관한 것이다.

배경 기술

[0002] 정보 디스플레이는 기술의 발전에 따라 새로운 양상으로 발전하고 있는데, 미래의 평판 디스플레이 시장으로 꼽히는 대표적 분야가 투명 디스플레이 분야이다. 투명 디스플레이는 디스플레이가 투과도를 가지고 있어서, 스크린 뒤편의 배경이 보이는 특성을 가진다. 이러한 투명 디스플레이의 특성은 디스플레이되는 정보를 배경 정보와 같이 보여줄 수 있기 때문에 대중적 주목을 받고 있다.

[0003] 투명 디스플레이 기술은 투사형 디스플레이와 투과형 디스플레이로 나눌 수 있다. 투사형 디스플레이는 HUD(Head Up Display)와 HMD(Head Mount Display)가 있는데, HUD는 자동차나 비행기 유리창처럼 투명한 스크린에 빛을 투사하는 기술이고, HMD 기술은 스크린이 아닌, 사람의 눈에 직접 빛을 투사하는 디스플레이로서 대개 웨어러블 디바이스에서 구현된다.

[0004] 투과형 디스플레이는 크게 액정 디스플레이(LCD, Liquid Crystal Display)와 유기발광 다이오드(OLED, Organic Light Emitting Diode)로 분류된다. LCD는 백라이트가 있고, 투과도가 낮은 컬러필터를 포함하고 있어 투과도가 낮은 편이다. 반면, OLED는 양극과 음극 사이에 유기 반도체를 삽입하여 전기를 걸어주면 전류가 흐르며 빛을 발생시키는 소자로서, 자체 발광하기 때문에 LCD처럼 백라이트가 필요하지 않고, 유기소자가 높은 투과도를 보여주어 전체적인 투과도가 높은 편이다.

[0005] 최근까지 투명 디스플레이에 대한 개발시도가 이루어졌지만, 아직까지도 한계점이 많은데, 그 중 대표적인 것이 투명성 확보이다. 투명성을 높이기 위해서는 내부 부품들을 투명하게 해야 하므로, 투명 배선기술과 투명 박막 트랜지스터 기술이 시급하다.

[0006] 여기서, 투명 박막 트랜지스터는 투명 디스플레이에 사용되는 투명한 구동소자로서, 기판 위에 게이트 전극, 게이트 절연층, 채널층이 순차적으로 형성되고, 채널층에 소스 전극과 드레인 전극이 서로 이격되어 배치되는 구조를 갖는다. 이때, 소스 전극과 드레인 전극으로는 투과도를 높이기 위해서, 하기 선행기술문헌의 특허문헌에 개시된 바와 같이, 인듐 주석 산화물(Indium Tin Oxide, ITO)로 이루어진 ITO 투명전극을 채용한다. ITO 이외에 또 다른 전도성 산화물인 SnO_2 , ZnO 등도 개발되어 사용되고 있으나, ITO에 비해 전기적 및 광학적 특성이 열악하여, 높은 저항값을 필요로 하는 터치패널이나 저급 투명전극재로 일부 사용되고 있을 뿐, ITO를 대체하지 못하고 있다.

[0007] 이처럼 높은 광투과도 및 전도성으로 인해 다른 소재로 쉽게 대체할 수 없는 ITO 투명전극에도 몇 가지 치명적인 문제점이 있다. 그 중 대표적인 것이 플렉서블(flexible) 디스플레이에 적용이 곤란하다는 점이다. 무기물인 ITO는 그 특성상 연성이 부족하기 때문에, 구부러질 때에 크랙(crack)이 발생하게 되고, 이러한 크랙은 결과적으로 저항을 증가시키는 원인이 된다. 또한, ITO 투명전극은 유리 기판 위에 결정화되면서 고온의 열처리 공정이 불가피하므로, 열에 취약한 플렉서블 폴리머 기판을 사용할 수 없다. 나아가, ITO의 소재인 인듐 자체가 희소금속이므로, 자원 고갈의 우려가 있고, 매년 가격이 폭등하여 계속적인 제조비용의 상승이 예상된다.

[0008] 이에, 종래 투명 박막 트랜지스터의 투명전극에 대한 문제점을 개선하기 위한 방안이 절실히 요구되고 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) KR 2007-0035373 A

발명의 내용

해결하려는 과제

[0010] 본 발명은 상술한 종래기술의 문제점을 해결하기 위한 것으로, 본 발명의 일 측면은 종래의 ITO 투명전극을 대체하고, 열처리 과정 없이도 높은 투과도와 우수한 전기적 특성을 가지며, 유연하게 구현 가능한 금속층/산화물

층 구조의 다층 투명전극이 배치된 투명 박막 트랜지스터를 제공하는 것이다.

과제의 해결 수단

- [0011] 본 발명의 실시예에 따른 투명 박막 트랜지스터는 채널층 상에 소스 전극 및 드레인 전극이 형성되는 투명 박막 트랜지스터에 있어서, 상기 채널층은 산화물 반도체로 형성되고, 상기 소스 전극 및 드레인 전극은 각각 상기 채널층 상에 형성되는 금속층, 및 상기 금속층 상에 형성되는 산화물층을 포함한다.
- [0012] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 금속층은 박막 형태로 형성된다.
- [0013] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 소스 전극 및 드레인 전극은 상기 금속층의 두께 방향을 따라 관통되어, 특히 광투광(Extraordinary Optical Transmission) 현상을 발생시키는 다수의 미세기공을 구비한다.
- [0014] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 금속층은 Ag, Au, Ti, Ni, Mo, Cu, 및 Al 중 적어도 어느 하나 이상으로 이루어진다.
- [0015] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 금속층은 서로 메쉬(mesh) 형태로 교차되도록 분산 배치되는 다수의 금속 나노구조체;를 포함한다.
- [0016] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 금속 나노구조체는 금속 나노와이어, 금속 나노로드, 및 금속 나노튜브 중 적어도 어느 하나 이상이다.
- [0017] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 금속 나노구조체는 Ag, Al, 및 Cu 중 적어도 어느 하나 이상으로 이루어진다.
- [0018] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 금속층은 상기 금속 나노구조체의 외면에 코팅되는 다수의 산화물 나노입자;를 더 포함한다.
- [0019] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 산화물 나노입자는 상기 채널층 또는 상기 산화물층의 산화물과 동일한 소재로 이루어진다.
- [0020] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 채널층 및 상기 산화물층 중 적어도 어느 하나는 Ti-O, Zn-O, Ni-O, Mo-O, V-O, W-O, Mg-O, Si-O, Sn-O, Ta-O, Hf-O, Nb-O, Zr-O, Cu-O, In-O, Al-O, Ni-In-O, Zn-In-O, Cu-In-O, Mo-In-O, Ge-In-O, Si-In-O, Sn-In-O, Mn-In-O, Mg-In-O, Ga-In-O, Al-In-O, B-In-O, V-In-O, In-O-Cl, In-O-F, W-In-O, Ta-In-O, Hf-In-O, Re-In-O, Mg-Sn-O, Ga-Zn-In-O, Sr-V-O, Ca-V-O, 및 Ga-Sn-Zn-In-O 중 적어도 어느 하나 이상으로 이루어진다.
- [0021] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 금속층, 및 상기 산화물층은 스퍼터링법, 무손상 스퍼터링법(damage-free sputtering), 전자빔 증착법, 롤투롤(Roll-to-roll) 또는 연속 증발 증착법으로 형성된다.
- [0022] 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터에 있어서, 상기 산화물층은 상기 채널층과 동일한 산화물로 형성된다.
- [0023] 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다.
- [0024] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 아니되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

발명의 효과

- [0025] 본 발명에 따르면, 산화물 반도체로 이루어진 채널층 상에 금속층 및 산화물층이 순차적으로 적층된 다층구조의 투명전극이 배치되어, 낮은 면저항을 유지하면서, 투과도가 향상되는 효과가 있다.
- [0026] 또한, 본 발명에 따르면, 고온 열처리가 필요한 ITO 투명전극과 달리 고온 열처리가 필요하지 않아서, 플렉서블 폴리머 기판에 사용 가능하며, 공정이 단순하고 ITO 비해 저가의 금속을 사용할 수 있으므로 제조단가를 낮추고, 소자를 더욱 박막화할 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 실시예에 따른 투명 박막 트랜지스터의 단면도이다.
- 도 2a 내지 도 2d는 도 1의 원 A의 확대도이다.
- 도 3a 내지 도 3c는 본 발명의 실시예에 따른 투명 박막 트랜지스터의 투과도 그래프이다.
- 도 4는 본 발명의 실시예에 따른 투명 박막 트랜지스터의 채널층 및 산화물층에 따른 투과도 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되어지는 이하의 상세한 설명과 바람직한 실시예들로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 상기 용어들에 의해 제한되는 것은 아니다. 이하, 본 발명을 설명함에 있어서, 본 발명의 요지를 불필요하게 흐릴 수 있는 관련된 공지 기술에 대한 상세한 설명은 생략한다.
- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 상세히 설명하기로 한다.
- [0030] 도 1은 본 발명의 실시예에 따른 투명 박막 트랜지스터의 단면도이고, 도 2a 내지 도 2d는 도 1의 원 A의 확대도이고, 도 3a 내지 도 3c는 본 발명의 실시예에 따른 투명 박막 트랜지스터의 투과도 그래프이며, 도 4 내지 도 5는 본 발명의 실시예에 따른 투명 박막 트랜지스터의 채널층 및 산화물층에 따른 투과도 그래프이다.
- [0031] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 투명 박막 트랜지스터는 채널층(40) 상에 소스 전극(50) 및 드레인 전극(60)이 형성되는 투명 박막 트랜지스터에 있어서, 채널층(40)은 산화물 반도체로 형성되고, 소스 전극(50) 및 드레인 전극(60)은 각각 채널층(40) 상에 형성되는 금속층(51, 61), 및 금속층(51, 61) 상에 형성되는 산화물층(53, 63)을 포함한다.
- [0032] 본 실시예에 따른 투명 박막 트랜지스터는 채널층(40) 상에 소스 전극(50)과 드레인 전극(60)이 서로 소정의 간격을 두고 이격 배치되는 형태로 형성된다. 이때, 채널층(40)은 기판(10) 상(on)에 게이트 전극(20), 및 게이트 절연층(30)과 함께 적층될 수 있다. 다만, 게이트 전극(20), 게이트 절연층(30), 및 채널층(40)이 반드시 순차적으로 적층되어야 하는 것은 아니므로, 게이트 전극(20)이 최하층에 배치되는 구조 뿐만 아니라, 최상층에 배치되는 구조로도 구현될 수 있다. 또한, 채널층(40), 소스 전극(50), 및 드레인 전극(60)을 포함하는 한, 투명 박막 트랜지스터가 어떠한 구조도 형성되어도 본 발명의 권리범위에 속한다.
- [0033] 여기서, 채널층(40)은 산화물 반도체가 증착되어 형성되는데, 산화물 반도체는 Ti-O, Zn-O, Ni-O, Mo-O, V-O, W-O, Mg-O, Si-O, Sn-O, Ta-O, Hf-O, Nb-O, Zr-O, Cu-O, In-O, Al-O, Ni-In-O, Zn-In-O, Cu-In-O, Mo-In-O, Ge-In-O, Si-In-O, Sn-In-O, Mn-In-O, Mg-In-O, Ga-In-O, Al-In-O, B-In-O, V-In-O, In-O-Cl, In-O-F, W-In-O, Ta-In-O, Hf-In-O, Re-In-O, Mg-Sn-O, Ga-Zn-In-O, Sr-V-O, Ca-V-O, 및 Ga-Sn-Zn-In-O 중 적어도 어느 하나 이상이 사용될 수 있다. 다만, 산화물 반도체의 소재가 반드시 이에 한정되는 것은 아니다.
- [0034] 한편, 소스 전극(50) 및 드레인 전극(60)은 각각 투명전극으로서, 각각 금속층(51, 61), 및 산화물층(53, 63)을 포함한다. 여기서, 소스 전극(50) 및 드레인 전극(60)은 금속층(51, 61)과 산화물층(53, 63)이 순차적으로 적층된 2층 구조로 이루어지는데, 금속층(51, 61)이 산화물 반도체인 채널층(40) 상에 배치되므로, 결국 산화물층(53, 63)/금속층(51, 61)/산화물층(53, 63)의 3층 구조가 형성된다.
- [0035] 여기서, 산화물층(53, 63)은 Ti-O, Zn-O, Ni-O, Mo-O, V-O, W-O, Mg-O, Si-O, Sn-O, Ta-O, Hf-O, Al-O, Ni-In-O, Zn-In-O, Cu-In-O, Mo-In-O, Ge-In-O, Si-In-O, Sn-In-O, Mn-In-O, Mg-In-O, Ga-In-O, Al-In-O, B-In-O, V-In-O, In-O-Cl, In-O-F, W-In-O, Ta-In-O, Hf-In-O, Re-In-O, Mg-Sn-O, Ga-Zn-In-O, Sr-V-O, Ca-V-O, 및 Ga-Sn-Zn-In-O 중 적어도 어느 하나 이상으로 이루어질 수 있다. 이때, 산화물층(53, 63)은 채널층(40)과 동일한 산화물로 형성될 수 있다. 다만, 산화물층(53, 63)과 채널층(40)의 소재가 반드시 동일해야 하는 것은 아니고, 두께 및 사용 환경 등에 따라 서로 달라질 수도 있다.
- [0036] 한편, 산화물층(53, 63)은 1 ~ 100 nm 정도로 성막될 수 있는데, 그 두께도 반드시 이에 한정되는 것은 아니다.
- [0037] 여기서, 금속층(51, 61)은 다양한 형태로 형성될 수 있는데, 이하에서 자세하게 설명한다. 이때, 소스 전극(5

0)과 드레인 전극(60)의 구조는 서로 동일한바, 이하에서는 소스 전극(50)으로 가정하여 설명하지만, 드레인 전극(60)에도 동일하게 적용된다.

[0038] 도 2a에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 투명 박막 트랜지스터의 소스 전극(50) 및 드레인 전극(60)의 금속층(51, 61)은 박막 형태로 형성될 수 있다. 이때, 금속층(51, 61)은 Ag, Au, Ti, Ni, Mo, Cu, Pt, 및 Al 중 적어도 어느 하나 이상으로 이루어질 수 있다. 따라서, 위의 금속 중 어느 하나 또는 이들의 합금이 채널층(40) 상에서 박막 형태로, 금속층(51, 61)을 형성한다. 다만, 금속층(51, 61)이 반드시 상술한 금속에 한정되어야 하는 것은 아니다.

[0039] 한편, 금속층(51, 61)은 채널층(40)의 상부에, 산화물층(53, 63)은 금속층(51, 61)의 상부에 각각 형성되는데, 이때 무손상 스퍼터링법(damage-free sputtering), 전자빔 증착법, 또는 연속 증발 증착법으로 수행될 수 있어, 롤투롤 공정 등을 이용하여 저비용으로 대량생산할 수 있다.

[0040] 또한, 본 실시예에 따른 소스 전극(50) 및 드레인 전극(60)은 플렉서블(flexible) 기판(10) 상에 형성되어, 유연 전자소자에도 활용될 수 있다. 전자소자에 사용되는 기판(10)은 리지드(rigid) 기판(10) 또는 유연하게 휘어지는 플렉서블(flexible) 기판(10)일 수 있는데, 본 실시예에 따른 소스 전극(50) 및 드레인 전극(60)은 제조과정에서 ITO 투명전극과 달리, 고온 열처리 공정이 불필요하므로, 열에 취약한 플렉서블 기판(10)에도 사용 가능하다. 플렉서블 기판(10)을 사용하는 경우에는, 유연한 전자소자를 구현하고, 롤투롤 공정 등을 통해 단시간에 전자소자를 대량생산할 수 있는 장점이 있다. 이때, 기판(10)은 폴리머 기판(10)으로서, 예를 들어, 폴리에테르술폰(PES), 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리이미드(PI), 및 폴리에틸렌나프탈레이트(PEN) 중 어느 하나 이상으로 이루어질 수 있다. 다만, 폴리머 기판(10)의 재료가 반드시 이에 한정되는 것은 아니다. 또한, 기판(10)이 반드시 플렉서블 기판(10)에 한정되는 것도 아니므로, 글라스(glass), 및 실리콘(Si) 중 적어도 어느 하나 이상으로 제조될 수도 있다.

[0041] 박막 금속층(51, 61)이 동일 산화물의 채널층(40)과 산화물층(53, 63) 사이에 배치되면, 예를 들어, $TiO_2/Ag/TiO_2$ (TAT), $ZnO/Ag/ZnO$ (ZAZ) 또는 $AZO/Ag/AZO$ (AAA, 여기서 AZO는 Al-doped ZnO이다)의 다층 구조로서, 채널층(40) 상에 소스 전극(50) 및 드레인 전극(60)이 형성될 수 있는데, 이러한 다층 구조의 소스 전극(50) 및 드레인 전극(60)은 종래 ITO 투명전극에 비해 높은 투과도와 우수한 전기적 특성을 갖는다.

[0042] 이를 확인하기 위해서, 도 3a에서는 유리 기판(10)에 TiO_2 채널층을 성막한 후에, 도 3b에서는 그 채널층에 20 nm 이하의 두께로 은(Ag) 금속층을 형성한 후에, 도 3c에서는 금속층 상에 TiO_2 산화물층을 형성한 후에, 각각 투과도를 측정하였다. 그 결과, 채널층에 금속층이 형성된 경우에는 그 투과도가 60% 미만이었지만, 산화물층이 더 적층되면서 투과도가 90% 이상으로 향상되는 것을 확인하였다.

[0043] TAT, ZAZ, 및 AAA 구조의 소스 전극의 전기적 특성 결과는 아래 표와 같다.

[0044]

표 1

Sample	Carrier Concentration [cm ⁻³]	Mobility [cm ² /V-s]	Resistivity [Ohm-cm]	Sheet Resistance [Ohm/sq.]
Reference ITO	1.79 E+20	27.18	1.27 E-03	134.9
Optimized TAT	8.09 E+21	22.22	3.47 E-05	3.73
Optimized ZAZ	6.74 E+21	24.31	3.81 E-05	3.94
Optimized AAA	7.51 E+21	25.32	3.28 E-05	4.09

[0046] 여기서, ITO 전극의 경우는 열처리를 하지 않은 상태인데, TAT, ZAZ, 및 AAA 구조의 소스 전극 역시 동등하게 열처리하지 않았음에도 불구하고 낮은 면저항을 가진다.

[0047] 추가적으로, 도 4에서는 TAT, ZAZ, 및 AAA 구조의 소스-드레인 전극의 투과도를 측정하였는데, 그 결과 ITO 이상의 투과도를 나타낸다. ITO 전극은 화소전극으로 사용되는데, 본 발명에 따른 소스 전극 및 드레인 전극은 투과도가 ITO에 비해 더 우수하여 화소전극까지 함께 형성할 수 있을 것으로 사료된다. 이는 열처리를 하지 않은 다층구조의 투명전극 투과도 그래프이기에 제조과정에서의 그 활용도가 더욱 높다 하겠다.

[0048] 결과적으로, 다층 구조의 소스-드레인 전극은 우수한 투과도 및 전기적 특성을 가지므로, 고가의 종래 ITO 전극

을 대체할 수 있다. 또한, ITO의 경우에는 높은 열처리를 통해 광학적, 전기적 특성을 갖는 데 반해, 다층 구조의 소스-드레인 전극은 제조과정에서 열처리를 수행하지 않으므로, 간단하게 제조 가능하고, 유연한 플렉서블 기판을 사용하여 유연한 소자에 적용될 수도 있다. 나아가, 채널층에 금속층과 산화물층이 순차적으로 형성되는 과정에서 스퍼터링법(sputtering) 기법을 이용할 수 있으므로, 종래 졸-겔 기법 및 스�핀 코팅법으로 성막하는 경우에 비해 상대적으로 대면적의 평탄하고 안정한 표면을 확보할 수 있다.

[0049] 도 2b에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 소스 전극(50) 및 드레인 전극(60)의 금속층(51, 61)은 박막 형태로 형성되되, 다수의 미세기공(55)을 구비할 수 있다. 여기서, 소스 전극(50) 및 드레인 전극(60)은 상술한 제1 실시예와 비교하여, 미세기공(55)을 제외하고는, 그 소재 및 다층 구조가 동일하므로, 중복되는 사항에 대한 설명은 생략하거나 간단하게만 기술한다.

[0050] 미세기공(55)은 금속층(51, 61)의 두께 방향을 따라 관통 형성되는데, 그 크기는 나노 사이즈로, 직경이 빛의 파장보다 작아서, 특히 광투과(Extraordinary Optical Transmission; EOT) 현상을 발생시킨다. 특히 광투과 현상이란 불투명한 매질 내에 매질보다 투과도가 높고 입사광의 파장보다 작은 크기의 반복된 패턴이 형성되어 있을 경우에, 표면 플라즈몬 공명(surface plasmon resonance) 효과에 의한 보강 간섭이 발생하여 특정 파장의 광의 투과가 매우 크게 발생하는 현상이다. 이러한 특이 광투과 현상은 소스 전극(50) 및 드레인 전극(60)의 투과도를 현저하게 개선시킨다. 이렇게 투과도가 향상되어, 종래 ITO 전극을 대체할 수 있고, Ag, Au, Ti, Ni, Mo, Cu, 또는 Al 이외에도, 낮은 투과도로 인해 사용이 곤란한 금속들도 활용 가능하다.

[0051] 도 2c 내지 도 2d에 도시된 바와 같이, 본 발명의 제3 실시예에 따른 소스 전극(50) 및 드레인 전극(60)의 금속층(51, 61)은 다수의 금속 나노구조체(57)를 포함할 수 있다. 여기서, 소스 전극(50) 및 드레인 전극(60)은 상술한 제1 실시예와 비교하여, 금속 나노구조체(57)로 형성된 것을 제외하고는, 다층 구조로 형성되는 것은 동일하므로, 중복되는 사항에 대한 설명은 생략하거나 간단하게만 기술한다.

[0052] 금속 나노구조체(57)는 서로 메쉬(mesh) 형태로 교차되도록, 채널층(40) 상에 배치되어 금속층(51, 61)을 형성하는데, 이때 매우 얇은 두께로 넓은 범위에 걸쳐 분산되므로, 금속 박막에 비해 전기적 특성이 우수하고, 나아가 투과도를 현저하게 향상시키며, 표면 거칠기도 개선한다.

[0053] 이때, 금속 나노구조체(57)는 금속 나노와이어, 금속 나노로드, 및 금속 나노튜브 중 적어도 어느 하나 이상일 수 있으므로, 다수의 금속 나노구조체(57) 전부가 금속 나노와이어, 나노로드, 또는 나노튜브 중 어느 하나로 존재하거나, 또는 일부는 그 중 어느 하나로 나머지는 다른 하나로서 서로 다른 종류끼리 혼재될 수도 있다. 다만, 금속 나노구조체(57)가 반드시 이에 한정되어야 하는 것은 아니다.

[0054] 한편, 금속 나노구조체(57)는 은(Ag), 알루미늄(Al), 및 구리(Cu) 중 적어도 어느 하나 이상으로 이루어질 수 있다. 따라서, 금속 나노구조체(57)는 예를 들어, 은 나노와이어일 수 있다. 다만, 반드시 은 나노와이어에 한정되는 것은 아니고, 은(Ag)이나 구리(Cu), 또는 그들의 합금으로도 형성될 수 있고, 그 형태는 상술한 바와 같이, 나노와이어, 나노로드, 또는 나노튜브 등일 수 있다.

[0055] 또한, 본 실시예에 따른 소스 전극(50) 및 드레인 전극(60)의 금속층(51, 61)은 산화물 나노입자(59)를 더 포함할 수 있다. 여기서, 산화물 나노입자(59)는 금속 나노구조체(57)의 외면에 코팅되어, 산소와 접촉하는 금속 나노구조체(57)의 표면적을 감소시키므로, 대기 중에서의 산화 문제를 개선하여, 종국적으로 본 실시예에 따른 소스 전극(50) 및 드레인 전극(60)의 장기 신뢰성을 확보하게 한다. 이러한 산화물 나노입자(59)는 채널층(40) 또는 산화물층(53, 63)의 소재와 동일한 소재로 이루어질 수 있는데, 예를 들어, 채널층(40) 및 산화물층(53, 63)이 TiO_x 또는 ZnO로 이루어진 경우에, 산화물 나노입자(59)도 이에 대응하여 TiO_x 또는 ZnO로 이루어질 수 있다. 이때, 채널층(40)과 산화물층(53, 63)의 소재가 서로 다른 경우에는 그 중 어느 하나의 소재와 동일하게 이루어질 수 있다. 다만, 산화물 나노입자(59)가 반드시 채널층(40) 및/또는 산화물층(53, 63)과 동일한 소재로 이루어져야 하는 것은 아니다.

[0056] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

[0057] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속한 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

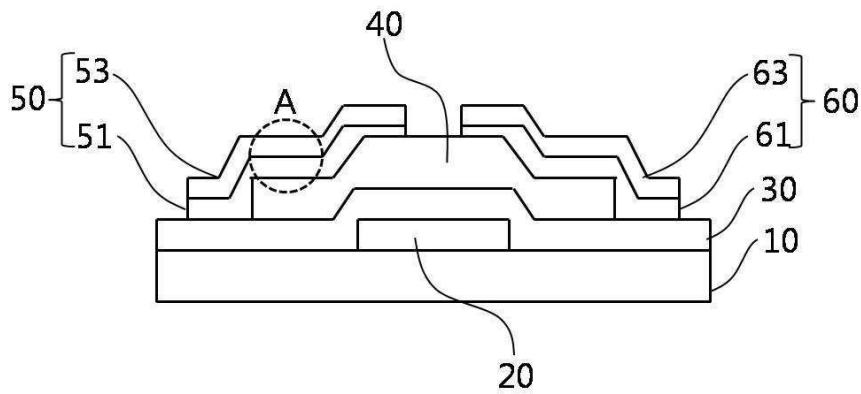
부호의 설명

[0058]

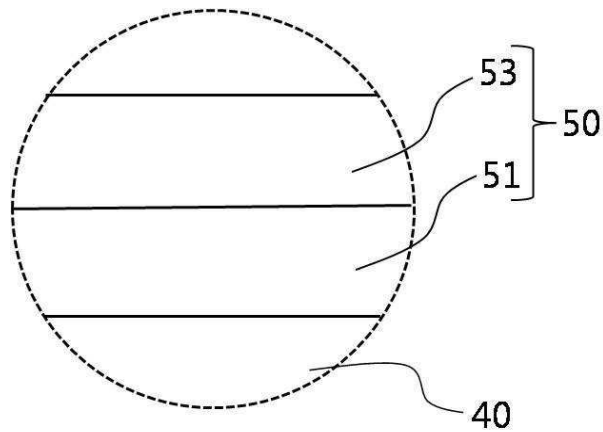
10: 기판 20: 게이트 전극
 30: 게이트 절연층 40: 채널층
 50: 소스 전극 51, 61: 금속층
 53, 63: 산화물층 55: 미세기공
 57: 금속 나노구조체 59: 산화물 나노입자
 60: 드레인 전극

도면

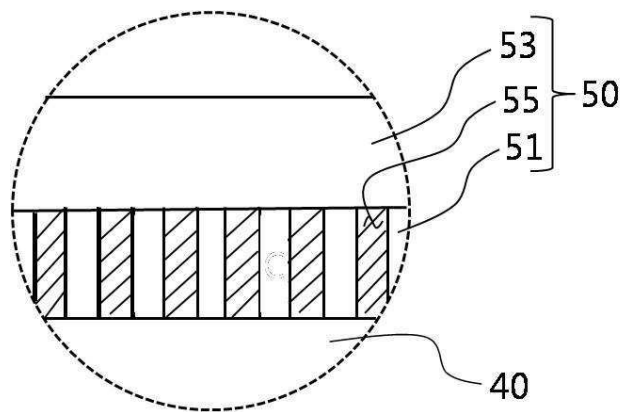
도면1



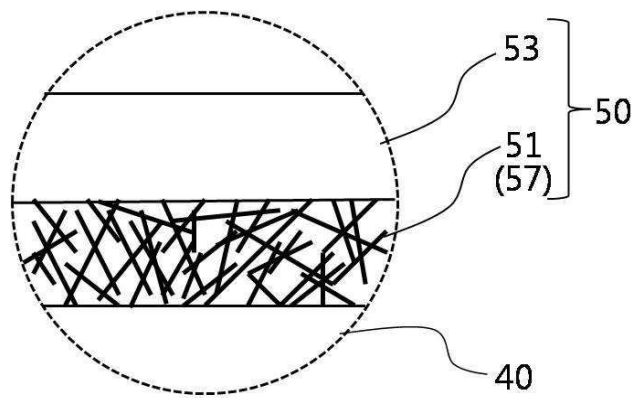
도면2a



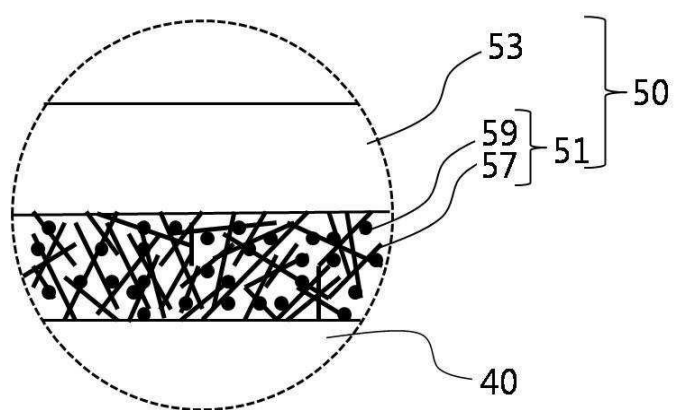
도면2b



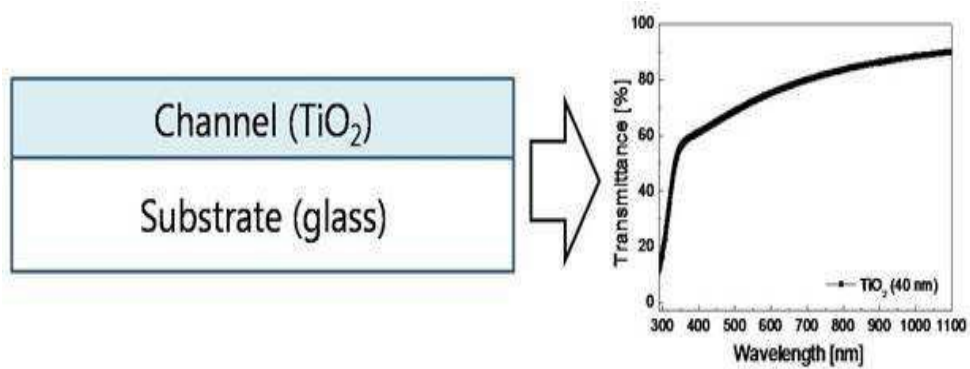
도면2c



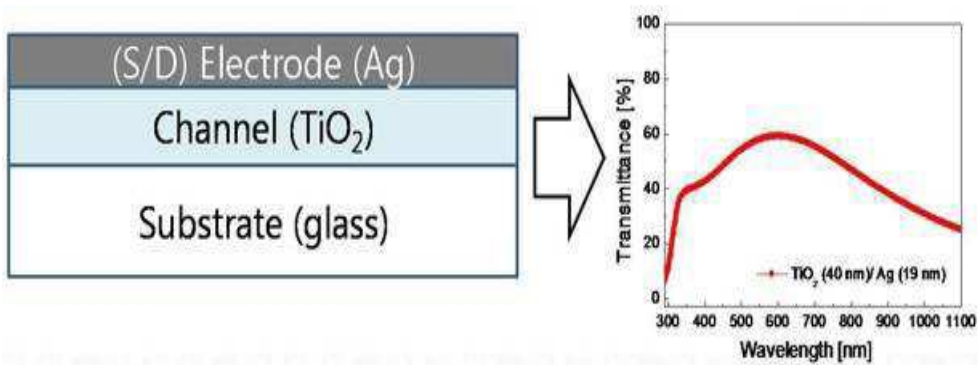
도면2d



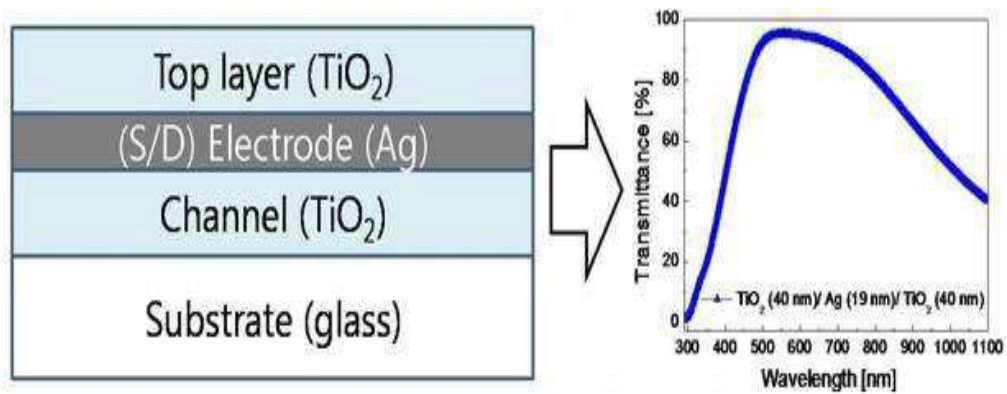
도면3a



도면3b



도면3c



도면4

