

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-194065

(P2009-194065A)

(43) 公開日 平成21年8月27日(2009.8.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 E	
	HO 1 L 29/78 6 5 8 A	
	HO 1 L 29/78 6 5 3 A	

審査請求 未請求 請求項の数 15 O L (全 24 頁)

(21) 出願番号 特願2008-31704 (P2008-31704)
 (22) 出願日 平成20年2月13日 (2008.2.13)

(71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100100022
 弁理士 伊藤 洋二
 (74) 代理人 100108198
 弁理士 三浦 高広
 (74) 代理人 100111578
 弁理士 水野 史博
 (72) 発明者 鈴木 巨裕
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 奥野 英一
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内

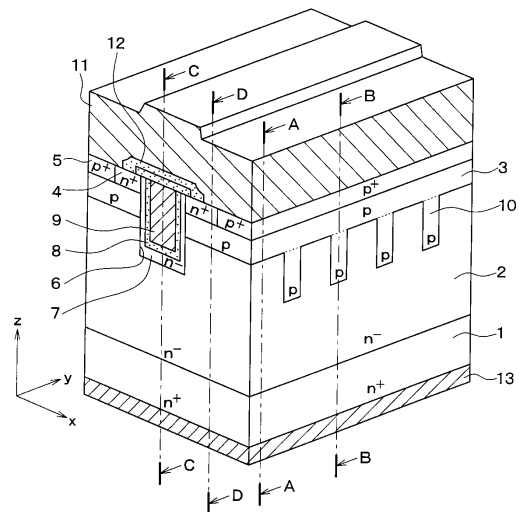
(54) 【発明の名称】 炭化珪素半導体装置およびその製造方法

(57) 【要約】

【課題】 製品特性にバラツキを防止でき、歩留まり向上を図ることができる構造のSiC半導体装置およびその製造方法を提供する。

【解決手段】 トレンチ6の側面のうちチャネル領域が構成される部分に対する法線方向にp型ディープ層10を延設する。このような構造によれば、p型ディープ層10とn⁻型ドリフト層2とのPN接合部での空乏層がn⁻型ドリフト層2側に大きく伸びることになり、ドレイン電圧の影響による高電圧がゲート酸化膜8に入り込み難くなる。このため、ゲート酸化膜8内での電界集中、特にゲート酸化膜8のうちのトレンチ6の底部での電界集中を緩和することが可能となり、ゲート酸化膜8が破壊されることを防止できる。また、トレンチ6の長手方向とp型ディープ層10の長手方向とが垂直とされているため、これらを形成するためのマスクずれがデバイス特性に影響を与えることはない。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

炭化珪素からなる第 1 または第 2 導電型の基板 (1) と、
 前記基板 (1) の上に形成され、前記基板 (1) よりも低不純物濃度とされた第 1 導電型の炭化珪素からなるドリフト層 (2) と、
 前記ドリフト領域 (2) の表面から形成されたトレンチ (6) と、
 前記トレンチ (6) 内に形成されたゲート絶縁膜 (8) と、
 前記トレンチ (6) の側面に位置する前記ゲート絶縁膜 (8) から所定距離離間するように形成されると共に、前記トレンチ (6) を挟んだ両側に形成された第 2 導電型の炭化珪素からなるベース領域 (3) と、
 前記ベース領域 (3) と前記ゲート絶縁膜 (8) との間に形成された炭化珪素からなる第 1 導電型のチャンネル層 (7) と、
 前記ベース領域 (3) の上層部に形成され、前記チャンネル層 (7) と接し、かつ、前記トレンチ (6) を挟んだ両側に形成された、前記ドリフト層 (2) よりも高濃度の第 1 導電型の炭化珪素からなるソース領域 (4) と、
 前記トレンチ (6) 内において、前記ゲート絶縁膜 (8) の上に形成されたゲート電極 (9) と、
 前記ソース領域 (4) および前記ベース領域 (3) に電氣的に接続されたソース電極 (1 1) と、
 前記基板 (1) の裏面側に形成されたドレイン電極 (1 3) とを備え、
 前記ゲート電極 (9) への印加電圧を制御することで前記チャンネル層 (7) に形成される蓄積型のチャンネルを制御し、前記ソース領域 (4) および前記ドリフト層 (2) を介して、前記ソース電極 (1 1) および前記ドレイン電極 (1 3) の間に電流を流す蓄積型の M O S F E T を備えた炭化珪素半導体装置であって、
 前記ベース領域 (3) の下方に配置されると共に前記トレンチ (6) よりも深い位置まで配置され、前記トレンチ (6) のうち前記チャンネル領域が形成される側面に対する法線方向に延設された第 2 導電型のディープ層 (1 0) が備えられていることを特徴とする炭化珪素半導体装置。

10

20

【請求項 2】

炭化珪素からなる第 1 または第 2 導電型の基板 (1) と、
 前記基板 (1) の上に形成され、前記基板 (1) よりも低不純物濃度とされた第 1 導電型の炭化珪素からなるドリフト層 (2) と、
 前記ドリフト領域 (2) の表面から形成されたトレンチ (6) と、
 前記トレンチ (6) の側面に接するように、前記トレンチ (6) を挟んだ両側に形成された第 2 導電型の炭化珪素からなるベース領域 (3) と、
 前記ベース領域 (3) の上層部に形成され、前記トレンチ (6) の側面と接し、かつ、前記トレンチ (6) を挟んだ両側に形成された、前記ドリフト層 (2) よりも高濃度の第 1 導電型の炭化珪素にて構成されたソース領域 (4) と、
 前記トレンチ (6) の表面に形成されたゲート絶縁膜 (8) と、
 前記トレンチ (6) 内において、前記ゲート絶縁膜 (8) の上に形成されたゲート電極 (9) と、
 前記ソース領域 (4) および前記ベース領域 (3) に電氣的に接続されたソース電極 (1 1) と、
 前記基板 (1) の裏面側に形成されたドレイン電極 (1 3) とを備え、
 前記ゲート電極 (9) への印加電圧を制御することで前記トレンチ (6) の側面に位置する前記ベース領域 (3) の表面部に反転型のチャンネル領域を形成し、前記ソース領域 (4) および前記ドリフト層 (2) を介して、前記ソース電極 (1 1) および前記ドレイン電極 (1 3) の間に電流を流す反転型の M O S F E T を備えた炭化珪素半導体装置であって、
 前記ベース領域 (3) の下方に配置されると共に前記トレンチ (6) よりも深い位置ま

30

40

50

で配置され、前記トレンチ(6)のうち前記チャネル領域が形成される側面に対する法線方向に延設された第2導電型のディープ層(10)が備えられていることを特徴とする炭化珪素半導体装置。

【請求項3】

前記ディープ層(10)は、前記ベース領域(3)と同じもしくはそれよりも高不純物濃度とされていることを特徴とする請求項1または2に記載の炭化珪素半導体装置。

【請求項4】

前記ディープ層(10)は、複数備えられ、各ディープ層(10)同士が所定間隔を空けて並べられて配置されていることを特徴とする請求項1ないし3のいずれか1つに記載の炭化珪素半導体装置。

10

【請求項5】

前記ドリフト層(2)と前記ベース領域(3)の間には、前記ドリフト層(2)よりも高不純物濃度で構成された第1導電型の炭化珪素からなる電流分散層(30)が形成されていることを特徴とする請求項1ないし4のいずれか1つに記載の炭化珪素半導体装置。

【請求項6】

前記電流分散層(30)は、前記ドリフト層(2)と同じもしくはそれよりも高不純物濃度とされていることを特徴とする請求項5に記載の炭化珪素半導体装置。

【請求項7】

前記トレンチ(6)は、前記電流分散層(30)を貫通して前記ドリフト層(2)に達するように形成されていることを特徴とする請求項5または6に記載の炭化珪素半導体装置。

20

【請求項8】

前記ディープ層(10)は、前記電流分散層(30)を貫通して前記ベース領域(3)と接していることを特徴とする請求項5ないし7のいずれか1つに記載の炭化珪素半導体装置。

【請求項9】

前記ドリフト層(2)は、前記基板(1)から前記ベース領域(3)に近づくに連れて不純物濃度が低くされていることを特徴とする請求項1ないし8のいずれか1つに記載の炭化珪素半導体装置。

30

【請求項10】

炭化珪素からなる第1または第2導電型の基板(1)上に、該基板(1)よりも低不純物濃度とされた第1導電型の炭化珪素からなるドリフト層(2)を形成する工程と、

前記ドリフト層(2)の表面にマスク(20)を配置した後、該マスク(20)を用いたイオン注入を行うことにより、一方向に延設されるように第2導電型のディープ層(10)を形成する工程と、

前記ディープ層(10)および前記ドリフト層(2)の上に第2導電型のベース領域(3)を形成する工程と、

前記ベース領域(3)内における該ベース領域(3)の表層部に第1導電型不純物をイオン注入することにより、前記ドリフト層(2)よりも高濃度の第1導電型の炭化珪素にて構成されたソース領域(4)を形成する工程と、

40

前記ソース領域(4)の表面から前記ベース領域(3)を貫通して前記ドリフト層(2)に達し、かつ、前記ディープ層(10)よりも浅くなるように、前記ディープ層(10)が延設された方向と垂直方向を長手方向とするトレンチ(6)を形成する工程と、

前記トレンチ(6)内に、第1導電型の炭化珪素からなるチャネル層(7)を形成する工程と、

前記トレンチ(6)内において、前記チャネル層(7)の表面にゲート絶縁膜(8)を形成する工程と、

前記トレンチ(5)内において、前記ゲート絶縁膜(8)の上にゲート電極(9)を形成する工程と、

50

前記ソース領域(4)および前記ベース領域(3)に電氣的に接続されるソース電極(11)を形成する工程と、

前記基板(1)の裏面側にドレイン電極(13)を形成する工程と、を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

【請求項11】

前記ベース領域(3)を形成する工程の前に、前記ディープ層(10)および前記ドリフト層(2)の表面上を含む前記ドリフト層(2)の表面に、前記ドリフト層(2)よりも高濃度となる第1導電型の炭化珪素からなる電流分散層(30)を形成する工程を含み、

前記ベース領域(3)を形成する工程では、前記電流分散層(30)の表面に前記ベース領域(3)を形成することにより、該ベース領域(3)を前記ディープ層(10)および前記ドリフト層(2)の上に形成することを特徴とする請求項10に記載の炭化珪素半導体装置の製造方法。

【請求項12】

炭化珪素からなる第1または第2導電型の基板(1)上に、該基板(1)よりも低不純物濃度とされた第1導電型の炭化珪素からなるドリフト層(2)を形成する工程と、

前記ドリフト層(2)の表面に、前記ドリフト層(2)よりも高濃度となる第1導電型の電流分散層(30)を形成する工程と、

前記電流分散層(30)の表面にマスク(20)を配置した後、該マスク(20)を用いたイオン注入を行うことにより、一方向に延設されるように第2導電型のディープ層(10)を形成する工程と、

前記電流分散層(30)および前記ディープ層(10)の表面に第2導電型の炭化珪素からなるベース領域(3)を形成する工程と、

前記ベース領域(3)内における該ベース領域(3)の表層部に第1導電型不純物をイオン注入することにより、前記ドリフト層(2)よりも高濃度の第1導電型の炭化珪素にて構成されたソース領域(4)を形成する工程と、

前記ソース領域(4)の表面から前記ベース領域(3)を貫通して前記電流分散層(30)もしくは前記ドリフト層(2)に達し、かつ、前記ディープ層(10)よりも浅くなるように、前記ディープ層(10)が延設された方向と垂直方向を長手方向とするトレンチ(6)を形成する工程と、

前記トレンチ(6)内に、第1導電型のチャネル層(7)を形成する工程と、

前記トレンチ(6)内において、前記チャネル層(7)の表面にゲート絶縁膜(8)を形成する工程と、

前記トレンチ(5)内において、前記ゲート絶縁膜(8)の上にゲート電極(9)を形成する工程と、

前記ソース領域(4)および前記ベース領域(3)に電氣的に接続されるソース電極(11)を形成する工程と、

前記基板(1)の裏面側にドレイン電極(13)を形成する工程と、を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

【請求項13】

炭化珪素からなる第1または第2導電型の基板(1)上に、該基板(1)よりも低不純物濃度とされた第1導電型の炭化珪素からなるドリフト層(2)を形成する工程と、

前記ドリフト層(2)の表面にマスク(20)を配置した後、該マスク(20)を用いたイオン注入を行うことにより、一方向に延設されるように第2導電型のディープ層(10)を形成する工程と、

前記ディープ層(10)および前記ドリフト層(2)の上に第2導電型の炭化珪素からなるベース領域(3)を形成する工程と、

前記ベース領域(3)内における該ベース領域(3)の表層部に第1導電型不純物をイオン注入することにより、前記ドリフト層(2)よりも高濃度の第1導電型の炭化珪素にて構成されたソース領域(4)を形成する工程と、

10

20

30

40

50

前記ソース領域(4)の表面から前記ベース領域(3)を貫通して前記ドリフト層(2)に達し、かつ、前記ディープ層(10)よりも浅くなるように、前記ディープ層(10)が延設された方向と垂直方向を長手方向とするトレンチ(6)を形成する工程と、

前記トレンチ(6)の表面にゲート絶縁膜(8)を形成する工程と、

前記トレンチ(5)内において、前記ゲート絶縁膜(8)の上にゲート電極(9)を形成する工程と、

前記ソース領域(4)および前記ベース領域(3)に電氣的に接続されるソース電極(11)を形成する工程と、

前記基板(1)の裏面側にドレイン電極(13)を形成する工程と、を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

10

【請求項14】

前記ベース領域(3)を形成する工程の前に、前記ディープ層(10)および前記ドリフト層(2)の表面上を含む前記ドリフト層(2)の表面に、前記ドリフト層(2)よりも高濃度となる第1導電型の炭化珪素からなる電流分散層(30)を形成する工程を含み、

前記ベース領域(3)を形成する工程では、前記電流分散層(30)の表面に前記ベース領域(3)を形成することにより、該ベース領域(3)を前記ディープ層(10)および前記ドリフト層(2)の上に形成することを特徴とする請求項13に記載の炭化珪素半導体装置の製造方法。

【請求項15】

20

炭化珪素からなる第1または第2導電型の基板(1)上に、該基板(1)よりも低不純物濃度とされた第1導電型の炭化珪素からなるドリフト層(2)を形成する工程と、

前記ドリフト層(2)の表面に、前記ドリフト層(2)よりも高濃度となる第1導電型の電流分散層(30)を形成する工程と、

前記電流分散層(30)の表面にマスク(20)を配置した後、該マスク(20)を用いたイオン注入を行うことにより、一方向に延設されるように第2導電型のディープ層(10)を形成する工程と、

前記電流分散層(30)および前記ディープ層(10)の表面に第2導電型の炭化珪素からなるベース領域(3)を形成する工程と、

前記ベース領域(3)内における該ベース領域(3)の表層部に第1導電型不純物をイオン注入することにより、前記ドリフト層(2)よりも高濃度の第1導電型の炭化珪素にて構成されたソース領域(4)を形成する工程と、

30

前記ソース領域(4)の表面から前記ベース領域(3)を貫通して前記電流分散層(30)もしくは前記ドリフト層(2)に達し、かつ、前記ディープ層(10)よりも浅くなるように、前記ディープ層(10)が延設された方向と垂直方向を長手方向とするトレンチ(6)を形成する工程と、

前記トレンチ(6)の表面にゲート絶縁膜(8)を形成する工程と、

前記トレンチ(5)内において、前記ゲート絶縁膜(8)の上にゲート電極(9)を形成する工程と、

前記ソース領域(4)および前記ベース領域(3)に電氣的に接続されるソース電極(11)を形成する工程と、

40

前記基板(1)の裏面側にドレイン電極(13)を形成する工程と、を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチゲートを有する炭化珪素(以下、SiCという)半導体装置およびその製造方法に関する。

【背景技術】

【0002】

50

近年、高い電界破壊強度が得られるパワーデバイスの素材としてSiCが注目されている。SiC半導体装置では電界破壊強度が強いため、大電流の制御を行うことができる。そのため、ハイブリットカー用のモーターの制御への活用が期待されている。

【0003】

SiC半導体装置において、より大電流を流すには、チャンネル密度を高くすることが有効である。このため、シリコントランジスタにおいて、トレンチゲート構造のMOSFETが採用され実用化されている。このトレンチゲート構造は当然SiC半導体装置にも適用できる構造であるが、SiCに応用する場合、大きな問題がある。すなわち、SiCは破壊電界強度がシリコンの10倍あるため、SiC半導体装置にはシリコンデバイスの10倍近い電圧をかけた状態で使用される。そのため、SiCの中に入り込んだトレンチ内に形成されたゲート絶縁膜にもシリコンデバイスの10倍強度の電界がかかり、トレンチのコーナー部においてゲート絶縁膜が容易に破壊してしまうという問題がある。これについてシミュレーションで計算したところ、ドレインに650V印加した場合、トレンチ内のゲート絶縁膜には4.9MV/cmの電界が集中していた。実際の使用に耐えるには3MV/cm以下にする必要があり、長期の信頼性まで考えると2MV/cm以下にすることが望まれる。

10

【0004】

このような問題を解決するものとして、特許文献1に示されるSiC半導体装置がある。このSiC半導体装置では、トレンチゲートの底部を側面より厚くなるように設計することにより、トレンチの底部での電界集中を緩和している。具体的には、4H-SiCの(000-1)c面基板を用いてa(1120)面のトレンチゲート構造を作製する。このようにc面基板を用いてトレンチ側面がa面で底面がc面となるトレンチ内にゲート絶縁膜を熱酸化で作製した場合、c面の酸化レートはa面の5倍であるため、トレンチ底部の酸化膜は側面と比べて、膜厚を5倍にできる。これにより、トレンチ底部での電界集中を緩和することが可能となる。

20

【特許文献1】特開平9-199724号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記のようにトレンチ底部においてゲート絶縁膜を厚くした構造において、例えば、トレンチ側面の膜厚を40nmとし、トレンチ底部の膜厚を200nmに設計してシミュレーションで計算したところ、ドレインに650V印加した場合、トレンチ内のゲート絶縁膜の電界集中を3.9MV/cmに低減できることが確認できたが、まだ十分ではなく、更なる電界緩和が必要であることが判った。

30

【0006】

そこで、本発明者らは更なる電界緩和が行える構造として、先に、トレンチゲートの長手方向に沿って延設され、n⁺型ソース領域やp型ベース領域を挟んでトレンチゲートとは反対側、つまりp型ベース領域とソース電極との電気的な接続を図るp⁺型コンタクト領域の下方位置において、トレンチゲートの底面よりも深くなるp型ディープ層を形成するという構造を出願している(特願2007-288545参照)。

40

【0007】

しかしながら、この構造のSiC半導体装置では、トレンチゲートとp型ディープ層との形成工程が別工程であるため、これらの位置合わせが難しく、トレンチゲートの側面からp型ディープ層までの距離にバラツキが発生する。このため、製品特性にバラツキが生じ、歩留まりが悪いという問題がある。

【0008】

本発明は上記点に鑑みて、製品特性にバラツキを防止でき、歩留まり向上を図ることができる構造のSiC半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

50

上記目的を達成するため、請求項 1 に記載の発明では、ゲート電極 (9) への印加電圧を制御することでチャンネル層 (7) に形成される蓄積型のチャンネルを制御し、ソース領域 (4) およびドリフト層 (2) を介して、ソース電極 (1 1) およびドレイン電極 (1 3) の間に電流を流す蓄積型の MOSFET を備えた SiC 半導体装置において、ベース領域 (3) の下方に配置されると共にトレンチ (6) よりも深い位置まで配置され、トレンチ (6) のうちチャンネル領域が形成される側面に対する法線方向に延設された第 2 導電型のディープ層 (1 0) を備えることを特徴としている。

【 0 0 1 0 】

このように、トレンチ (6) よりも深いディープ層 (1 0) を備えた構造としているため、ディープ層 (1 0) とドリフト層 (2) との PN 接合部での空乏層がドリフト層 (2) 側に大きく伸びることになり、ドレイン電圧の影響による高電圧がゲート絶縁膜 (8) に入り込み難くなる。このため、ゲート酸化膜 (8) 内での電界集中、特にゲート酸化膜 (8) のうちのトレンチ (6) の底部での電界集中を緩和することが可能となる。これにより、ゲート酸化膜 (8) が破壊されることを防止することが可能となる。

10

【 0 0 1 1 】

また、トレンチ (6) の長手方向とディープ層 (1 0) の長手方向とが垂直とされているため、これらを形成するためのマスクずれがデバイス特性に影響を与えることはない。これにより、製品特性のバラツキを防止でき、歩留まり向上を図ることができる。

【 0 0 1 2 】

なお、ここでは蓄積型の MOSFET を有する SiC 半導体装置について説明したが、請求項 2 に記載したように、ゲート電極 (9) への印加電圧を制御することでトレンチ (6) の側面に位置するベース領域 (3) の表面部にチャンネル領域を形成し、ソース領域 (4) およびドリフト層 (2) を介して、ソース電極 (1 1) およびドレイン電極 (1 3) の間に電流を流す反転型の MOSFET を備えた SiC 半導体装置に対しても、上記と同様の構造を採用することができる。

20

【 0 0 1 3 】

このようなディープ層 (1 0) は、請求項 3 に記載したように、ベース領域 (3) と同じもしくはそれよりも高不純物濃度とされていれば、ドリフト層 (2) 側に伸びる空乏層の伸び量を大きくできるため、電界緩和効果を高めることが可能となり、よりゲート絶縁膜 (8) が破壊されることを防止することが可能となる。

30

【 0 0 1 4 】

また、このようなディープ層 (1 0) は、請求項 4 に記載したように、複数備えられ、各ディープ層 (1 0) 同士が所定間隔を空けて並べられて配置されるようにすることができる。

【 0 0 1 5 】

請求項 5 に記載の発明では、ドリフト層 (2) とベース領域 (3) との間には、ドリフト層 (2) よりも高不純物濃度で構成された第 1 導電型の SiC からなる電流分散層 (3 0) が形成されていることを特徴としている。

【 0 0 1 6 】

このような構成では、オン時にチャンネル層 (7) を通じて流れる電流が電流分散層 (3 0) にてトレンチ (6) の側面に対する法線方向に拡張されるため、ドリフト層 (2) 内を広範囲に分散して流れることになる。このため、オン抵抗を低減することが可能となる。

40

【 0 0 1 7 】

このような電流分散層 (3 0) は、請求項 6 に記載したように、ドリフト層 (2) と同じもしくはそれよりも高不純物濃度とされる。電流分散層 (3 0) とドリフト層 (2) とを同じ不純物濃度とした場合、電流分散層 (3 0) にて電流を広範囲に分散する効果は少ないが、少なくとも電流分散層 (3 0) を備えることによりトレンチ (6) の底面に対するディープ層 (1 0) の深さを電流分散層 (3 0) が形成されていない場合と比べて深くできるため、より請求項 1 に示した効果を得ることが可能となる。また、電流分散層 (3

50

0)をドリフト層(2)よりも高不純物濃度とした場合には、より電流分散層(30)にて電流を広範囲に分散する効果を得ることができる。

【0018】

請求項8に記載の発明では、ディープ層(10)は、電流分散層(30)を貫通してベース領域(3)と接していることを特徴としている。

【0019】

このように、電流分散層(30)をディープ層(10)と接触するようにすれば、ディープ層(10)をソース電位に固定できる。したがって、ディープ層(10)がフローティング状態とされている場合と比べて電界緩和効果が弱まることを防止することも可能となる。

10

【0020】

請求項9に記載の発明では、ドリフト層(2)は、基板(1)からベース領域(3)に近づくに連れて不純物濃度が低くされていることを特徴としている。

【0021】

このようにすれば、ドリフト層(2)の内部抵抗を低減できるため、オン抵抗を低減することが可能となる。

【0022】

以上のようなSiC半導体装置は、例えば以下に示す製造方法によって製造される。

【0023】

例えば、請求項10に記載したように、SiCからなる第1または第2導電型の基板(1)上に、該基板(1)よりも低不純物濃度とされた第1導電型のSiCからなるドリフト層(2)を形成する工程と、ドリフト層(2)の表面にマスク(20)を配置した後、該マスク(20)を用いたイオン注入を行うことにより、一方向に延設されるように第2導電型のディープ層(10)を形成する工程と、ディープ層(10)およびドリフト層(2)の上に第2導電型のベース領域(3)を形成する工程と、ベース領域(3)内における該ベース領域(3)の表層部に第1導電型不純物をイオン注入することにより、ドリフト層(2)よりも高濃度の第1導電型のSiCにて構成されたソース領域(4)を形成する工程と、ソース領域(4)の表面からベース領域(3)を貫通してドリフト層(2)に達し、かつ、ディープ層(10)よりも浅くなるように、ディープ層(10)が延設された方向と垂直方向を長手方向とするトレンチ(6)を形成する工程と、トレンチ(6)内に、第1導電型のチャンネル層(7)を形成する工程と、トレンチ(6)内において、チャンネル層(7)の表面にゲート絶縁膜(8)を形成する工程と、トレンチ(5)内において、ゲート絶縁膜(8)の上にゲート電極(9)を形成する工程と、ソース領域(4)およびベース領域(3)に電気的に接続されるソース電極(11)を形成する工程と、基板(1)の裏面側にドレイン電極(13)を形成する工程と、を含んだ製造方法により、上記請求項1に示した蓄積型のSiC半導体装置を製造できる。

20

30

【0024】

また、請求項11に記載したように、ベース領域(3)を形成する工程の前に、ディープ層(10)およびドリフト層(2)の表面上を含むドリフト層(2)の表面に、ドリフト層(2)よりも高濃度となる第1導電型の電流分散層(30)を形成する工程を行い、ベース領域(3)を形成する工程では、電流分散層(30)の表面にベース領域(3)を形成することにより、該ベース領域(3)をディープ層(10)およびドリフト層(2)の上に形成することにより、電流分散層(30)を備えた構造の蓄積型のSiC半導体装置を製造できる。

40

【0025】

また、請求項12に記載したように、ドリフト層(2)の表面に、ドリフト層(2)よりも高濃度となる第1導電型の電流分散層(30)を形成したのち、電流分散層(30)の表面にマスク(20)を配置し、該マスク(20)を用いたイオン注入を行うことにより、一方向に延設されるように第2導電型のディープ層(10)を形成し、電流分散層(30)およびディープ層(10)の表面に第2導電型のベース領域(3)を形成するよう

50

にすれば、電流分散層(30)を貫通してディープ層(10)とベース領域(3)とが接する構造の蓄積型のSiC半導体装置を製造することもできる。

【0026】

さらに、同様の製造方法により、反転型のSiC半導体装置を製造することもできる。ただし、反転型のSiC半導体装置に関しては、請求項13ないし15に記載したように、トレンチ(6)の表面に直接ゲート絶縁膜(8)を形成する工程を行うことになり、トレンチ(6)の表面にチャンネル層(7)を形成する工程に関しては行う必要はない。

【0027】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【発明を実施するための最良の形態】

【0028】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、図中、同一符号を付してある。

【0029】

(第1実施形態)

本発明の第1実施形態について説明する。ここではSiC半導体装置に備えられる素子として蓄積型のトレンチゲート構造のMOSFETについて説明する。

【0030】

図1は、本実施形態にかかるトレンチゲート構造のMOSFETの斜視断面図である。この図は、MOSFETの1セル分を抽出したものに相当する。本図ではMOSFETの1セル分しか記載していないが、図1に示すMOSFETと同様の構造のMOSFETが複数列隣り合うように配置されている。また、図2-a~図2-dは、図1のMOSFETの断面図であり、図2-aは、図1中のA-A線においてxz平面と平行に切断したときの断面、図2-bは、図1中のB-B線においてxz平面と平行に切断したときの断面、図2-cは、図1中のC-C線においてyz平面と平行に切断したときの断面、図2-dは、図1中のD-D線においてyz平面と平行に切断したときの断面である。

【0031】

図1および図2-a~図2-dに示すMOSFETは、リン等のn型不純物濃度が例えば $1.0 \times 10^{19} / \text{cm}^3$ で厚さ300 μm 程度のSiCからなるn⁺型基板1が半導体基板として用いられており、このn⁺型基板1の表面にリン等のn型不純物濃度が例えば $3.0 \sim 7.0 \times 10^{15} / \text{cm}^3$ で厚さ10~15 μm 程度のSiCからなるn⁻型ドリフト層2が形成されている。このn⁻型ドリフト層2の不純物濃度は深さ方向において一定であっても良いが、濃度分布に傾斜を付け、n⁻型ドリフト層2のうちn⁺型基板1側の方がn⁺型基板1から離れる側よりも高濃度となるようにすると好ましい。例えば、n⁻型ドリフト層2のうちn⁺型基板1の表面から3~5 μm 程度の部分の不純物濃度が $2.0 \times 10^{15} / \text{cm}^3$ 程度他の部分よりも高くなるようにすると良い。このようにすると、n⁻型ドリフト層2の内部抵抗を低減できるため、オン抵抗を低減することが可能となる。

【0032】

このn⁻型ドリフト層2の表層部にはp型ベース領域3が形成されていると共に、このp型ベース領域3の上層部分にn⁺型ソース領域4およびp⁺型ボディ層5が形成されている。

【0033】

p型ベース領域3は、ボロンもしくはアルミニウム等のp型不純物濃度が例えば $5.0 \times 10^{16} \sim 2.0 \times 10^{19} / \text{cm}^3$ 、厚さ2.0 μm 程度で構成されている。n⁺型ソース領域4は、表層部におけるリン等のn型不純物濃度(表面濃度)が例えば $1.0 \times 10^{21} / \text{cm}^3$ 、厚さ0.3 μm 程度で構成されている。p⁺型ボディ層5は、例えば表層部におけるボロンもしくはアルミニウム等のp型不純物濃度(表面濃度)が例えば $1.0 \times 10^{21} / \text{cm}^3$ 、厚さ0.3 μm 程度で構成されている。n⁺型ソース領域4は、後述するトレンチゲート構造の両側に配置されており、p⁺型ボディ層5は、n⁺型ソース領域4を挟ん

10

20

30

40

50

でトレンチゲート構造と反対側に備えられている。

【0034】

また、p型ベース領域3およびn⁺型ソース領域4を貫通してn⁻型ドリフト層2に達するように、例えば幅が1.4~2.0μm、深さが2.0μm以上(例えば2.4μm)のトレンチ6が形成されている。このトレンチ6の側面と接するように上述したp型ベース領域3およびn⁺型ソース領域4が配置されている。また、トレンチ6の内壁面には、リン等のn型不純物濃度が例えば $1.0 \times 10^{16} / \text{cm}^3$ とされたn型チャネル層7が形成されている。n型チャネル層7はチャネル領域を構成するためのものであり、ノーマリオフ型となる厚さに設定され、例えばトレンチ6の底面上で0.3~1.0μm、トレンチ6の側面上で0.1~0.3μmとされている。

10

【0035】

さらに、n型チャネル層7の表面はゲート酸化膜8にて覆われており、ゲート酸化膜8の表面に形成されたドーフトPoly-Siにて構成されたゲート電極9により、トレンチ6内が埋め尽くされている。ゲート酸化膜8は、n型チャネル層7の表面を熱酸化することで形成されており、ゲート酸化膜8の厚みはトレンチ6の側面側と底部側共に100nm程度となっている。

【0036】

このようにして、トレンチゲート構造が構成されている。このトレンチゲート構造は、図1中のy方向を長手方向として延設されている。そして、複数のトレンチゲート構造が図1中のx方向に平行に並べられた構造とされている。また、上述したn⁺型ソース領域4およびp⁺型ボディ層5もトレンチゲート構造の長手方向に沿って延設された構造とされている。

20

【0037】

さらに、n⁻型ドリフト層2のうちp型ベース領域3よりも下方位置において、トレンチゲート構造におけるトレンチ6の側面のうちチャネル領域が構成される部分に対する法線方向(図1中のx方向)、つまりトレンチ6の長手方向に対する垂直方向に延設されたp型ディープ層10が備えられている。p型ディープ層10は、トレンチ6の底部、つまりn型チャネル層7の底部よりも深くされており、n⁻型ドリフト層2の表面からの深さが例えば2.6~3.0μm程度(p型ベース領域3の底部からの深さが例えば0.6~1.0μm)とされている。また、p型ディープ層10の幅(図1中のy方向寸法)は、0.6~1.0μmとされている。このp型ディープ層10におけるボロンもしくはアルミニウム等のp型不純物濃度は、例えば $1.0 \times 10^{17} / \text{cm}^3 \sim 1.0 \times 10^{19} / \text{cm}^3$ とされている。このp型ディープ層10は、トレンチゲート構造の長手方向に沿って複数本平行に並べられており、隣り合うp型ディープ層10同士の間隔は、例えば2~3μmとされている。

30

【0038】

また、n⁺型ソース領域4およびp⁺型ボディ層5の表面やゲート電極9の表面には、ソース電極11やゲート配線(図示せず)が形成されている。ソース電極11およびゲート配線は、複数の金属(例えばNi/Al等)にて構成されており、少なくともn型SiC(具体的にはn⁺型ソース領域4やnドープの場合のゲート電極9)と接触する部分はn型SiCとオーミック接触可能な金属で構成され、少なくともp型SiC(具体的にはp⁺型ボディ層5やpドープの場合のゲート電極9)と接触する部分はp型SiCとオーミック接触可能な金属で構成されている。なお、これらソース電極11およびゲート配線は、層間絶縁膜12上に形成されることで電氣的に絶縁されており、層間絶縁膜12に形成されたコンタクトホールを通じてソース電極11はn⁺型ソース領域4およびp⁺型ボディ層5と電氣的に接触させられ、ゲート配線はゲート電極9と電氣的に接触させられている。

40

【0039】

そして、n⁺型基板1の裏面側にはn⁺型基板1と電氣的に接続されたドレイン電極13が形成されている。このような構造により、nチャネルタイプの蓄積型のトレンチゲート

50

構造の MOSFET が構成されている。

【0040】

このような蓄積型のトレンチゲート構造の MOSFET は、以下のように動作する。

【0041】

まず、ゲート電極 9 にゲート電圧を印加する前の状態では、SiC は不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ のように高い場合、約 3 V の内在電位を有しているため、ソース電極 11 が 0 V であっても p 型ベース領域 3 は -3 V のように振舞う。このため、p 型ベース領域 3 から空乏層が広がり、p 型ベース領域 3 の近傍は絶縁体のように振舞う。したがって、ドレイン電極 13 に正の電圧を加えたとしても、n 型チャネル層 7 は絶縁体のように振舞うため、電子は n 型チャネル層 7 に到達することはできず、ソース電極 11 とドレイン電極 13 との間に電流が流れない。

10

【0042】

次に、オフ時（ゲート電圧 = 0 V、ドレイン電圧 = 650 V、ソース電圧 = 0 V）には、ドレイン電極 13 に電圧を加えるても逆バイアスになるため、p 型ベース領域 3 と n 型ドリフト層 2（n 型チャネル層 7 を含む）の間より、空乏層が広がる。このとき、p 型ベース領域 3 の濃度が n 型ドリフト層 2 より、遥かに高いので、空乏層はほとんど n 型ドリフト層 2 側に広がる。例えば、本実施形態のように、p 型ベース領域 3 の不純物濃度を n 型ドリフト層 2 の不純物濃度の 10 倍とした場合、p 型ベース領域 3 側に約 0.7 μm 伸び、n 型ドリフト層 2 側に約 7.0 μm 伸びるが、p 型ベース領域 3 の厚みを 2.0 μm と空乏層の伸び量よりも大きくしてあるため、パンチスルーしないようにできる。そして、ドレイン 0 V の場合より空乏層が広がっているため、絶縁体として振舞う領域は更に広がっているため、ソース電極 11 とドレイン電極 13 との間に電流が流れない。

20

【0043】

また、ゲート電圧が 0 V になっているため、ドレイン - ゲート間にも電界がかかる。このため、ゲート酸化膜 8 の底部にも電界集中が発生し得る。しかしながら、トレンチ 6 よりも深い p 型ディープ層 10 を備えた構造としているため、p 型ディープ層 10 と n 型ドリフト層 2 との PN 接合部での空乏層が n 型ドリフト層 2 側に大きく伸びることになり、ドレイン電圧の影響による高電圧がゲート酸化膜 8 に入り込み難くなる。特に、p 型ディープ層 10 の不純物濃度を p 型ベース領域 3 よりも高濃度とすれば、より n 型ドリフト層 2 側への空乏層の伸び量が大きくなる。これにより、ゲート酸化膜 8 内での電界集中、特にゲート酸化膜 8 のうちのトレンチ 6 の底部での電界集中を緩和することが可能となり、ゲート酸化膜 8 が破壊されることを防止することが可能となる。

30

【0044】

シミュレーションにより確認したところ、ドレイン電極 13 に 650 V を印加した場合において、ゲート酸化膜 8 のうちのトレンチ 6 の底部での電界強度が 2.0 MV/cm であった。この電界強度はゲート酸化膜 8 が電界集中で破壊されないレベルである。このため、ドレイン電極 13 に 650 V を印加してもゲート酸化膜 8 は破壊されず、耐圧 650 V を達成できる。

【0045】

一方、オン時（ゲート電圧 = 20 V、ドレイン電圧 = 1 V、ソース電圧 = 0 V）には、ゲート電極 9 にゲート電圧として 20 V が印加されるため、n 型チャネル層 7 が蓄積型チャネルとして機能する。このため、ソース電極 11 から注入された電子は n 型ソース領域 4 から n 型チャネル層 7 を通った後、n 型ドリフト層 2 に到達する。これにより、ソース電極 11 とドレイン電極 13 との間に電流を流すことができる。

40

【0046】

なお、この場合のオン抵抗を計算したところ、 $4.9 \text{ m}\Omega \cdot \text{cm}^2$ になっており、本実施形態のような構造の p 型ディープ層 10 を形成しない場合のオン抵抗 $4.3 \text{ m}\Omega \cdot \text{cm}^2$ に対してオン抵抗が 15% 増大していた。これは、p 型ディープ層 10 が形成された位置において、トレンチゲート構造の側面にチャネルが形成されないためである。しかしながら、オン抵抗の増加は小さくなく、かつ、p 型ディープ層 10 の幅や間隔に応じて調整

50

可能なものであるため、問題になるものではない。

【0047】

参考として、上記したようにドレイン電極13に650Vを印加したと想定した場合の電位分布についてシミュレーションした。その結果を図3および図4に示す。図3(a)、(b)は、それぞれ、図2-aに対応する断面において、本実施形態に示したp型ディープ層10を有するSiC半導体装置とp型ディープ層10を有しないSiC半導体装置の電位分布を示した図であり、p型ベース領域3およびp型ディープ層10の表面(最上部)を0Vとして10V間隔で等電位線を示してある。また、図4は、本実施形態に示したp型ディープ層10を有するSiC半導体装置に関して、図3(a)とは別断面、具体的には図2-dに対応する断面での電位分布を示した図である。

10

【0048】

図3(b)に示すように、p型ディープ層10を形成しない場合には、ゲート酸化膜8内、特にトレンチ底部において等電位線の間隔が非常に狭くなっていることが判る。このときのゲート酸化膜8内での電界は4.9MV/cmであった。これに対し、本実施形態のように構成されたp型ディープ層10を形成した場合、図4に示すように、p型ディープ層10によって等電位線が押し下げられるため、図3(a)に示すように、ゲート酸化膜8内の等電位線がトレンチ側面と底部双方において、p型ディープ層10の間隔を広げることが可能となる。そして、このときのゲート酸化膜8内での電界は上述したように2.0MV/cmとなり、p型ディープ層10を形成していないときの半分に低減されていることが判る。したがって、本実施形態のような構造のp型ディープ層10を形成することにより、ゲート酸化膜8内の電界集中を十分に緩和することが可能となる。

20

【0049】

次に、図1に示すトレンチゲート型のMOSFETの製造方法について説明する。図5~図6は、図1に示すトレンチゲート型のMOSFETの製造工程を示した断面図である。図5および図6中、左側に図1中のA-A線においてxz平面と平行に切断した断面図(図2-aに対応する場所)を示してあり、右側に図1中のD-D線においてyz平面と平行に切断した断面図(図2-dに対応する場所)を示してある。以下、これらの図を参照して説明する。

【0050】

〔図5(a)に示す工程〕

まず、リン等のn型不純物濃度が例えば $1.0 \times 10^{19} / \text{cm}^3$ で厚さ300 μm 程度のn⁺型基板1を用意する。このn⁺型基板1の裏面側にドレイン電極13を形成したのち、n⁺型基板1の表面にリン等のn型不純物濃度が例えば $3.0 \sim 7.0 \times 10^{15} / \text{cm}^3$ で厚さ15 μm 程度のSiCからなるn⁻型ドリフト層2をエピタキシャル成長させる。

30

【0051】

〔図5(b)に示す工程〕

n⁻型ドリフト層2の表面にLTOなどで構成されるマスク20を形成したのち、フォトリソグラフィ工程を経て、p型ディープ層10の形成予定領域においてマスク20を開口させる。そして、マスク20上からp型不純物(例えばボロンやアルミニウム)のイオン注入および活性化を行うことで、例えばボロンもしくはアルミニウム濃度が $1.0 \times 10^{17} / \text{cm}^3 \sim 1.0 \times 10^{19} / \text{cm}^3$ 、厚さが0.6~1.0 μm 程度、幅が0.6~1.0 μm 程度となるp型ディープ層10を形成する。その後、マスク20を除去する。

40

【0052】

〔図5(c)に示す工程〕

n⁻型ドリフト層2の表面に、ボロンもしくはアルミニウム等のp型不純物濃度が例えば $5.0 \times 10^{16} \sim 2.0 \times 10^{19} / \text{cm}^3$ 、厚さ2.0 μm 程度となるp型不純物層をエピタキシャル成長させることにより、p型ベース領域3を形成する。

【0053】

〔図6(a)に示す工程〕

p型ベース領域3の上に、例えばLTO等で構成されるマスク(図示せず)を成膜し、

50

フォトリソグラフィ工程を経て、 n^+ 型ソース領域4の形成予定領域上においてマスクを開口させる。その後、 n 型不純物（例えば窒素）をイオン注入する。続いて、先程使用したマスクを除去した後、再びマスク（図示せず）を成膜し、フォトリソグラフィ工程を経て、 p^+ 型ボディ層5の形成予定領域上においてマスクを開口させる。その後、 p 型不純物（例えば窒素）をイオン注入する。そして、注入されたイオンを活性化することで、リン等の n 型不純物濃度（表面濃度）が例えば $1.0 \times 10^{21} / \text{cm}^3$ 、厚さ $0.3 \mu\text{m}$ 程度の n^+ 型ソース領域4を形成すると共に、ボロンもしくはアルミニウム等の p 型不純物濃度（表面濃度）が例えば $1.0 \times 10^{21} / \text{cm}^3$ 、厚さ $0.3 \mu\text{m}$ 程度の p^+ 型ボディ層5を形成する。その後、マスクを除去する。

【0054】

〔図6(b)に示す工程〕

p 型ベース領域3、 n^+ 型ソース領域4および p^+ 型ボディ層5の上に、図示しないエッチングマスクを成膜したのち、トレンチ6の形成予定領域の形成予定領域においてエッチングマスクを開口させる。そして、エッチングマスクを用いた異方性エッチングを行ったのち、必要に応じて等方性エッチングや犠牲酸化工程を行うことで、トレンチ6を形成する。この後、エッチングマスクを除去する。

【0055】

〔図6(c)に示す工程〕

トレンチ6内を含む基板表面全面に、リン等の n 型不純物濃度が例えば $1.0 \times 10^{16} / \text{cm}^3$ の n 型チャネル層7をエピタキシャル成長させる。このとき、エピタキシャル成長の面方位依存性などにより、 n 型チャネル層7はトレンチ6の底面の方が側面よりも暑く形成される。続いて n 型チャネル層7のうちの不要部分、つまり p 型ベース領域3、 n^+ 型ソース領域4および p^+ 型ボディ層5の上に形成された部分を除去した後、ゲート酸化膜形成工程を行うことでゲート酸化膜8を形成する。具体的には、ウェット雰囲気を用いたパイロジェニック法によるゲート酸化（熱酸化）によりゲート酸化膜8を形成する。

【0056】

続いて、ゲート酸化膜8の表面に n 型不純物をドーピングしたポリシリコン層を例えば 600 の温度下で 440nm 程度成膜したのち、エッチバック工程等を行うことにより、トレンチ6内にゲート酸化膜8およびゲート電極9を残す。

【0057】

この後の工程に関しては、従来と同様であるため図示しないが、層間絶縁膜12を成膜したのち、層間絶縁膜をパターニングして n^+ 型ソース領域4や p^+ 型ボディ層5に繋がるコンタクトホールを形成すると共に、ゲート電極9に繋がるコンタクトホールを別断面に形成する。続いて、コンタクトホール内を埋め込むように電極材料を成膜したのち、これをパターニングすることでソース電極11やゲート配線を形成する。これにより、図1に示したMOSFETが完成する。

【0058】

以上説明した製造方法によれば、トレンチを掘って p 型層をエピタキシャル成長させて埋め込むというようなトレンチ埋込によって p 型ディープ層10を形成していないため、トレンチ内を埋め込んだ後の平坦化工程によって結晶欠陥が発生することを防止することができる。

【0059】

また、 p 型ベース層3の表面からイオン注入することで p 型ディープ層10を形成することもできるが、 p 型ディープ層10の形成するためのイオン注入を n -型ドリフト層2の表面から行うようにしている。このため、高いエネルギーによる高速イオン注入にて p 型ディープ層10を形成しなくても済み、高速イオン注入による欠陥発生を抑制することが可能となる。

【0060】

さらに、トレンチ6の長手方向と p 型ディープ層10の長手方向とを平行にした場合、これらの間隔が一定にならないとデバイス特性に影響を与えることになるため、トレンチ

10

20

30

40

50

6の形成の際に用いられるマスクとp型ディープ層10の形成の際に用いられるマスクの位置合わせが重要になる。しかしながら、一定量のマスクずれは必然的に発生するため、完全にマスクずれによるデバイス特性の影響を排除することはできない。これに対し、本実施形態のSiC半導体装置によれば、トレンチ6の長手方向とp型ディープ層10の長手方向とが垂直とされているため、これらを形成するためのマスクずれがデバイス特性に影響を与えることはない。これにより、製品特性のバラツキを防止でき、歩留まり向上を図ることができる。したがって、本実施形態のような構造とすることにより、製品特性のバラツキを防止でき、歩留まり向上を図ることができる構造のSiC半導体装置とすることが可能となる。

【0061】

10

(第2実施形態)

本発明の第2実施形態について説明する。本実施形態のSiC半導体装置は、第1実施形態に対してオン抵抗の低減を図ったものであり、基本構造に関しては第1実施形態と同様であるため、第1実施形態と異なっている部分に関してのみ説明する。

【0062】

図7は、本実施形態にかかるSiC半導体装置に備えられるトレンチゲート構造のMOSFETの斜視断面図である。また、図8-a~図8-dは、図7のMOSFETの断面図であり、図8-aは、図7中のE-E線においてxz平面と平行に切断したときの断面、図8-bは、図7中のF-F線においてxz平面と平行に切断したときの断面、図8-cは、図7中のG-G線においてyz平面と平行に切断したときの断面、図8-dは、図7中のH-H線においてyz平面と平行に切断したときの断面である。

20

【0063】

図7に示すように、本実施形態のSiC半導体装置に備えられるMOSFETでは、n型ドリフト層2とp型ベース領域3の間に、n型チャネル層7と接するようにn型電流分散層30が備えられている。n型電流分散層30は、リン等のn型不純物濃度がn型ドリフト層2よりも高濃度、好ましくはn型チャネル層7よりも高濃度とされ、例えば $2.0 \times 10^{15} / \text{cm}^3 \sim 1.0 \times 10^{17} / \text{cm}^3$ とされている。n型電流分散層30の厚さに関しては任意であるが、本実施形態ではトレンチ6がn型電流分散層30を貫通する程度の厚みとされており、例えば $0.3 \mu\text{m}$ 程度とすることができる。このn型電流分散層30の下方にp型ディープ層10が形成され、n型電流分散層30によりp型ディープ層10とp型ベース領域3とが分断された構造とされている。なお、本実施形態では、p型ディープ層10は、n型電流分散層30の下面からの深さが例えば $0.6 \sim 1.0 \mu\text{m}$ となるように形成されているが、不純物濃度、幅および間隔に関しては第1実施形態と同様とされている。

30

【0064】

このように構成されたMOSFETでは、基本的には第1実施形態と同様の作動を行うが、オン時にn型チャネル層7を通じて流れる電流がn型電流分散層30にてトレンチ6の側面に対する法線方向に拡張されるため、n型ドリフト層2内を広範囲に分散して流れることになる。このため、第1実施形態と比べてオン抵抗を低減することが可能となる。

40

【0065】

次に、図7に示すトレンチゲート型のMOSFETの製造方法について説明する。図9~図10は、図7に示すトレンチゲート型のMOSFETの製造工程を示した断面図である。図9および図10中、左側に図7中のE-E線においてxz平面と平行に切断した断面図(図8-aと対応する場所)を示してあり、右側に図7中のH-H線においてyz平面と平行に切断した断面図(図8-dと対応する場所)を示してある。以下、これらの図を参照して説明する。

【0066】

まず、図9(a)、(b)に示す工程において、第1実施形態で説明した図5(a)、(b)と同様の工程を行うことで、n⁺型基板1の裏面側にドレイン電極13、表面側に

50

n^- 型ドリフト層 2 を形成すると共に、 p 型ディープ層 10 を形成する。そして、図 9 (c) に示す工程において、 n^- 型ドリフト層 2 および p 型ディープ層 10 の表面に n 型電流分散層 30 をエピタキシャル成長させたのち、 n 型電流分散層 30 の表面に p 型ベース領域 3 をエピタキシャル成長させる。この後、図 10 (a) ~ (c) に示す工程において、図 6 (a) ~ (c) と同様の工程を行い、さらに層間絶縁膜 12 の成膜工程、コンタクトホール形成工程、ソース電極 11 およびゲート配線の形成工程等を行うことにより、図 7 に示した MOSFET が完成する。

【0067】

(第3実施形態)

本発明の第3実施形態について説明する。本実施形態の SiC 半導体装置は、第2実施形態と同様、第1実施形態に対してオン抵抗の低減を図ったものであり、基本構造に関しては第2実施形態と同様であるため、第2実施形態と異なっている部分に関してのみ説明する。

10

【0068】

上述したように、第2実施形態では、 n 型電流分散層 30 を形成したが、 n 型電流分散層 30 にて p 型ディープ層 10 が p 型ベース領域 3 から分離された構造となるため、 p 型ディープ層 10 がフローティング状態になる。このため、 p 型ディープ層 10 が p 型ベース領域 3 に接してソース電位に固定されている場合と比べると、電界緩和効果が弱まることになる。本実施形態は、この問題を解決しつつ、第2実施形態と同様にオン抵抗の低減が図れる構造としたものである。

20

【0069】

図 11 は、本実施形態にかかる SiC 半導体装置に備えられるトレンチゲート構造の MOSFET の斜視断面図である。また、図 12 - a ~ 図 12 - d は、図 11 の MOSFET の断面図であり、図 12 - a は、図 11 中の I - I 線において xz 平面と平行に切断したときの断面、図 12 - b は、図 11 中の J - J 線において xz 平面と平行に切断したときの断面、図 12 - c は、図 11 中の K - K 線において yz 平面と平行に切断したときの断面、図 12 - d は、図 11 中の L - L 線において yz 平面と平行に切断したときの断面である。

【0070】

図 11 に示すように、本実施形態の SiC 半導体装置に備えられる MOSFET にも、 n^- 型ドリフト層 2 と p 型ベース領域 3 の間に、 n 型チャネル層 7 と接するように n 型電流分散層 30 が備えられている。ただし、本実施形態では、この n 型電流分散層 30 の表面から p 型ディープ層 10 が形成されており、 n 型電流分散層 30 を貫通して p 型ディープ層 10 と p 型ベース領域 3 とが接触した構造とされている。 p 型ディープ層 10 は、 n 型電流分散層 30 の表面からの深さが例えば $0.6 \sim 1.0 \mu\text{m}$ となるように形成されており、不純物濃度、幅および間隔に関しては第1実施形態と同様とされている。

30

【0071】

このように構成された MOSFET では、基本的には第1実施形態と同様の作動を行いつつ、第2実施形態と同様、オン時に n 型チャネル層 7 を通じて流れる電流が n 型電流分散層 30 にてトレンチ 6 の側面に対する法線方向に拡張されるため、 n^- 型ドリフト層 2 内を広範囲に分散して流れ、オン抵抗を低減を図ることが可能となる。そして、 p 型ディープ層 10 が p 型ベース領域 3 と接触した構造とされているため、 p 型ディープ層 10 をソース電位に固定できる。したがって、電界緩和効果が弱まることを防止することも可能となる。

40

【0072】

次に、図 11 に示すトレンチゲート型の MOSFET の製造方法について説明する。図 13 ~ 図 14 は、図 11 に示すトレンチゲート型の MOSFET の製造工程を示した断面図である。図 13 および図 14 中、左側に図 11 中の I - I 線において xz 平面と平行に切断した断面図 (図 12 - a と対応する場所) を示してあり、右側に図 11 中の L - L 線において yz 平面と平行に切断した断面図 (図 12 - d と対応する場所) を示してある。

50

以下、これらの図を参照して説明する。

【0073】

まず、図13(a)に示す工程において、第1実施形態で説明した図5(a)と同様の工程を行うことで、 n^+ 型基板1の裏面側にドレイン電極13、表面側に n^- 型ドリフト層2を形成したのち、 n^- 型ドリフト層2の表面に n^- 型ドリフト層2よりも高不純物濃度となるように n 型電流分散層30をエピタキシャル成長させる。そして、図13(b)に示す工程において、 n 型電流分散層30の表面にマスク20を形成し、図5(b)と同様の工程を行うことで p 型ディープ層10を形成する。この後は、図13(c)および図14(a)~(c)に示す工程において、図5(c)および図6(a)~(c)と同様の工程を行い、さらに層間絶縁膜12の成膜工程、コンタクトホール形成工程、ソース電極11およびゲート配線の形成工程等を行うことにより、図11に示したMOSFETが完成する。

10

【0074】

(第4実施形態)

本発明の第4実施形態について説明する。本実施形態のSiC半導体装置は、第1~第3実施形態と同様の構造のMOSFETを反転型としたものであり、基本構造に関しては第1~第3実施形態と同様であるため、第1~第3実施形態と異なっている部分についてのみ説明する。

【0075】

図15は、本実施形態にかかるSiC半導体装置に備えられるトレンチゲート構造のMOSFETの斜視断面図である。なお、図15は、第1実施形態の構造に対してMOSFETを反転型とする構造について示してあるが、第2、第3実施形態の構造に対してもMOSFETを反転型にできる。

20

【0076】

図15に示されるように、本実施形態では、トレンチ6の表面にゲート酸化膜8が形成されており、第1~第3実施形態で示した n 型チャネル層7は形成されていない構造とされている。このため、トレンチ6の側壁において、ゲート酸化膜8と p 型ベース領域3および n^+ 型ソース領域4が接触した構造となっている。

【0077】

このように構成されたMOSFETは、ゲート電極9に対してゲート電圧を印加すると、 p 型ベース領域3のうちトレンチ6の側面に配置されたゲート酸化膜8と接する部分が反転型チャネルとなり、ソース電極11とドレイン電極13との間に電流を流すという動作を行う。

30

【0078】

このような反転型のMOSFETについても、上述したように p 型ディープ層10を形成しているため、第1~第3実施形態と同様に、ドレイン電圧として高電圧が印加される時には、 p 型ディープ層10と n^- 型ドリフト層2とのPN接合部での空乏層が n^- 型ドリフト層2側に大きく伸びることになり、ドレイン電圧の影響による高電圧がゲート酸化膜8に入り込み難くなる。このため、ゲート酸化膜8内での電界集中、特にゲート酸化膜8のうちのトレンチ6の底部での電界集中を緩和することが可能となる。これにより、ゲート酸化膜8が破壊されることを防止することが可能となる。

40

【0079】

なお、このような反転型のMOSFETの製造方法に関しては、基本的に第1~第3実施形態と同様であり、第1~第3実施形態に示した製造方法に対して n 型チャネル層7の形成工程をなくし、トレンチ6の表面に直接ゲート酸化膜8を形成すればよい。

【0080】

(他の実施形態)

(1) 上記各実施形態では、第1導電型を n 型、第2導電型を p 型とした n チャネルタイプのMOSFETを例に挙げて説明したが、各構成要素の導電型を反転させた p チャネルタイプのMOSFETに対しても本発明を適用することができる。また、上記説明では

50

、トレンチゲート構造のMOSFETを例に挙げて説明したが、同様のトレンチゲート構造のIGBTに対しても本発明を適用することができる。IGBTは、第1～第4実施形態に対して基板1の導電性をn型からp型に変更するだけであり、その他の構造や製造方法に関しては第1～第4実施形態と同様である。

【0081】

(2)また、第1～第4実施形態では、トレンチ6を形成する前にp型ベース領域3やn⁺型ソース領域4等を形成したが、トレンチ6を形成した後にp型ベース領域3やn⁺型ソース領域4等をイオン注入にて形成しても良い。また、第1～第3実施形態においてn⁺型ソース領域4をイオン注入にて形成するのであれば、n⁺型ソース領域4がゲート酸化膜8と接する状態であっても構わない。さらに、p型ベース領域3をイオン注入で形成するのであれば、トレンチ6の側面からp型ベース領域3を離間させることができるため、トレンチ6の側面からp型ベース領域3の間に残るn⁻型ドリフト層2をn型チャネル層7として機能させることも可能である。勿論、この場合にも、p型ベース領域3やn⁺型ソース領域4等をトレンチ6の形成前後のいずれで形成しても構わない。

10

【0082】

(3)上記各実施形態では、n⁺型ソース領域4およびn⁺型ボディ層5をイオン注入にて形成する場合について説明したが、これらのうちのいずれか一方をエピタキシャル成長させることにより形成することもできる。

【0083】

(4)上記各実施形態に示した構造は単なる一例を示したものであり、適宜設定変更などが可能である。例えば、p⁺型ボディ層5を介してp型ベース領域3がソース電極11に電氣的に接続される構造としたが、p⁺型ボディ層5を単なるコンタクト部としてp型ベース領域3がソース電極11に電氣的に接続される構造であっても構わない。また、ゲート絶縁膜として熱酸化によるゲート酸化膜8を例に挙げて説明したが熱酸化によらない酸化膜もしくは窒化膜などを含むものであっても構わない。また、ドレイン電極13の形成工程に関しても、ソース電極11の形成後などとしても構わない。

20

【0084】

(5)上記第2実施形態では、電流分散層30をn⁻型ドリフト層2よりも高濃度となる場合について説明したが、n⁻型ドリフト層と同じ濃度であっても構わない。電流分散層30の形成後にトレンチ6を形成することになるが、少なくとも電流分散層30が形成された分、トレンチ6の底面の位置が電流分散層30を形成していない場合と比べて高くなる。このため、トレンチ6の底面の位置と比べてp型ディープ層10の位置がより深い位置となり、第1実施形態と比べればトレンチ6の底面に対する電界緩和効果を高められるという効果に関しては、少なくとも得ることができる。

30

【0085】

(6)なお、結晶の方位を示す場合、本来ならば所望の数字の上にバー(-)を付すべきであるが、パソコン出願に基づく表現上の制限が存在するため、本明細書においては、所望の数字の前にバーを付すものとする。

【図面の簡単な説明】

【0086】

40

【図1】本発明の第1実施形態にかかる蓄積型のトレンチゲート構造のMOSFETの断面図である。

【図2-a】図1のA-A断面図である。

【図2-b】図1のB-B断面図である。

【図2-c】図1のC-C断面図である。

【図2-d】図1のD-D断面図である。

【図3】(a)、(b)は、それぞれ、図2-aに対応する断面において、図1に示すp型ディープ層10を有するSiC半導体装置と従来のようにp型ディープ層10を有しないSiC半導体装置の電位分布を示した図である。

【図4】図1に示すp型ディープ層10を有するSiC半導体装置に関して、図3(a)

50

とは別断面での電位分布を示した図である。

【図5】図1に示すトレンチゲート型のMOSFETの製造工程を示した断面図である。

【図6】図5に続くトレンチゲート型のMOSFETの製造工程を示した断面図である。

【図7】本発明の第2実施形態にかかる蓄積型のトレンチゲート構造のMOSFETの断面図である。

【図8 - a】図7のE - E断面図である。

【図8 - b】図7のF - F断面図である。

【図8 - c】図7のG - G断面図である。

【図8 - d】図7のH - H断面図である。

【図9】図7に示すトレンチゲート型のMOSFETの製造工程を示した断面図である。

10

【図10】図8に続くトレンチゲート型のMOSFETの製造工程を示した断面図である。

【図11】本発明の第3実施形態にかかる蓄積型のトレンチゲート構造のMOSFETの断面図である。

【図12 - a】図11のI - I断面図である。

【図12 - b】図11のJ - J断面図である。

【図12 - c】図11のK - K断面図である。

【図12 - d】図11のL - L断面図である。

【図13】図11に示すトレンチゲート型のMOSFETの製造工程を示した断面図である。

20

【図14】図13に続くトレンチゲート型のMOSFETの製造工程を示した断面図である。

【図15】本発明の第4実施形態にかかる反転型のトレンチゲート構造のMOSFETの断面図である。

【符号の説明】

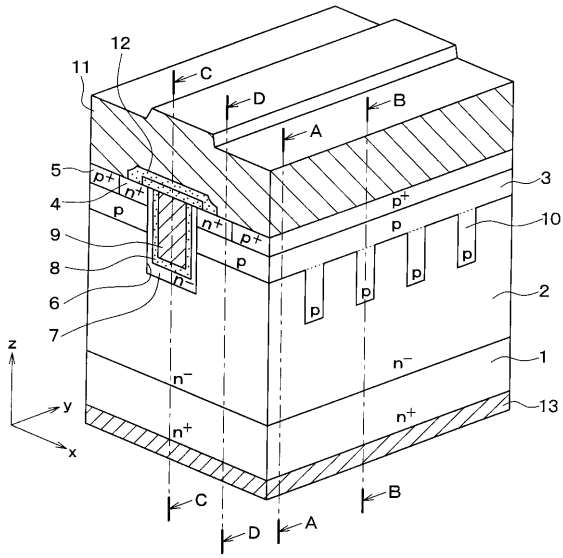
【0087】

- 1 n⁺型基板
- 2 n⁻型ドリフト層
- 3 p型ベース領域
- 4 n⁺型ソース領域
- 5 p⁺型ボディ層
- 6 トレンチ
- 7 n型チャネル層
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 p型ディープ層
- 11 ソース電極
- 12 層間絶縁膜
- 13 ドレイン電極
- 20 マスク
- 30 n型電流分散層

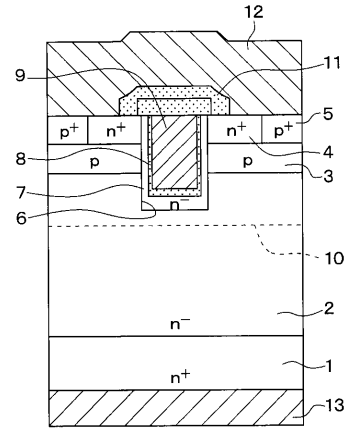
30

40

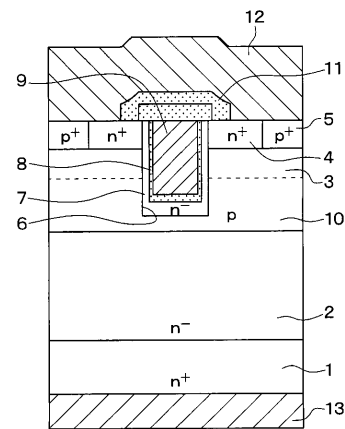
【 図 1 】



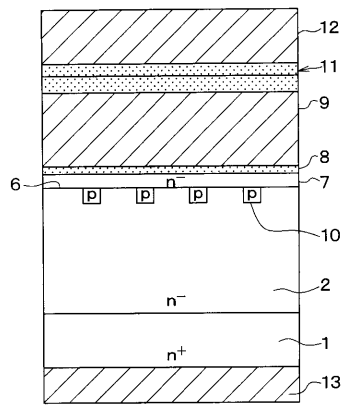
【 図 2 - a 】



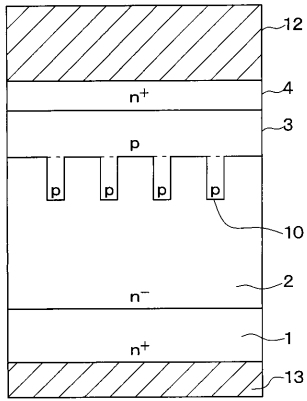
【 図 2 - b 】



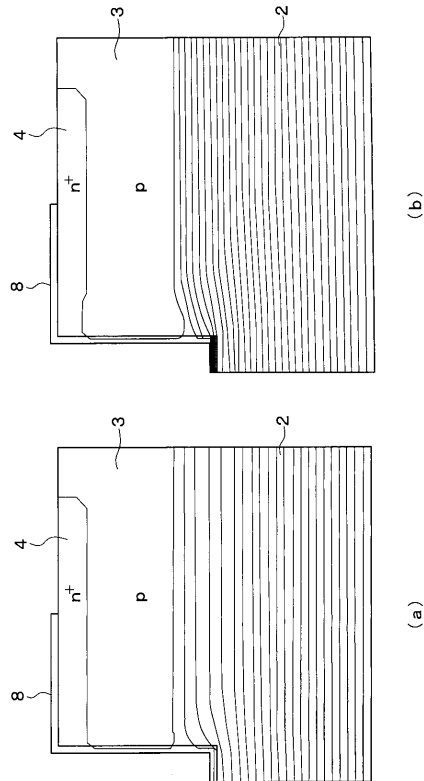
【 図 2 - c 】



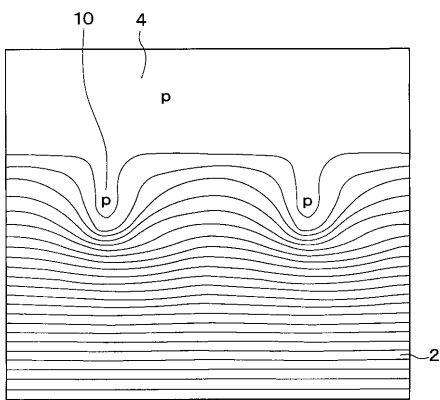
【 図 2 - d 】



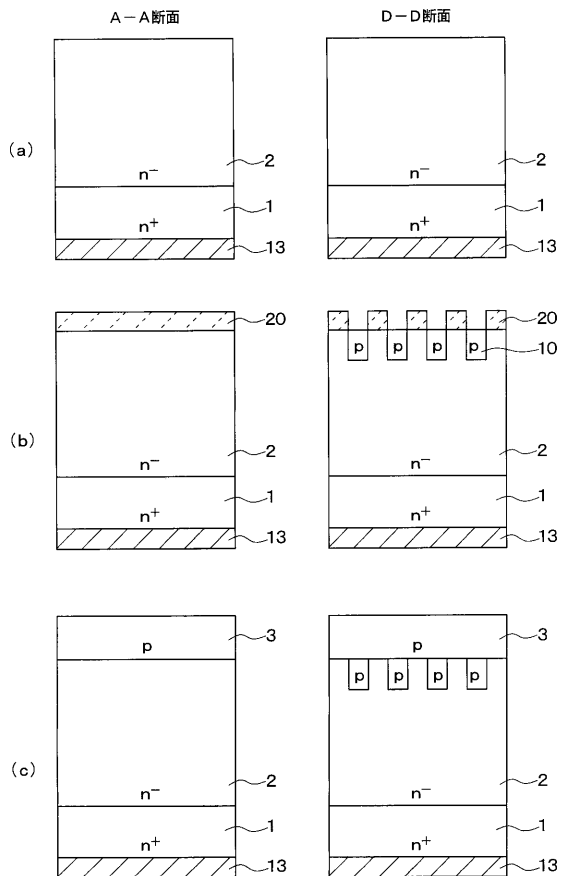
【 図 3 】



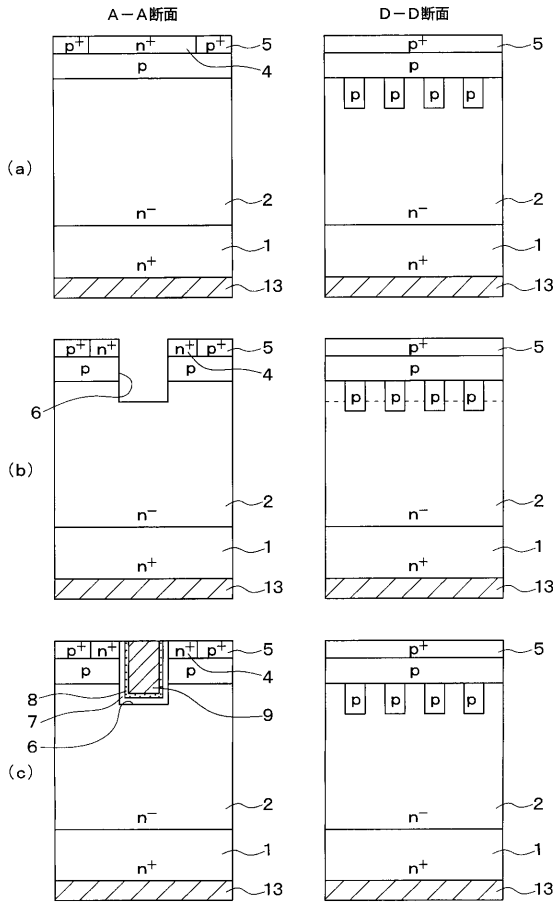
【 図 4 】



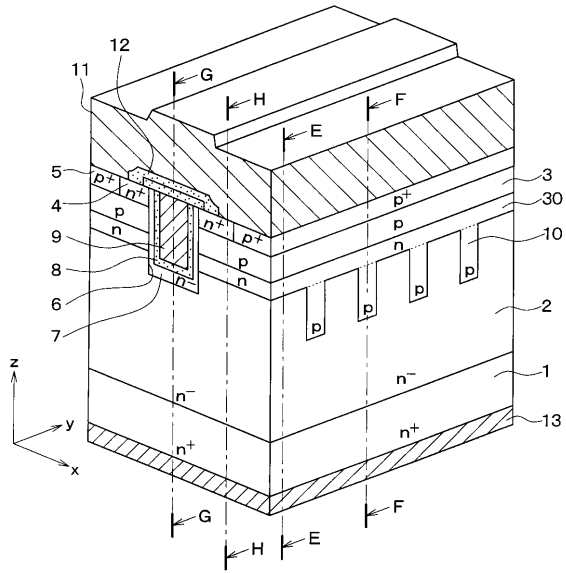
【 図 5 】



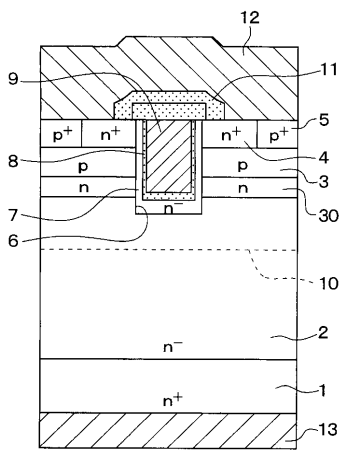
【 図 6 】



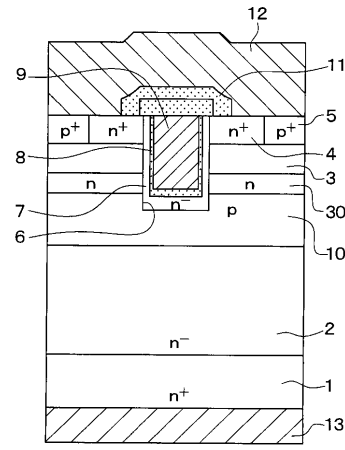
【 図 7 】



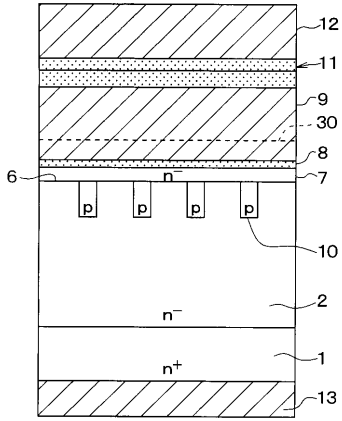
【 図 8 - a 】



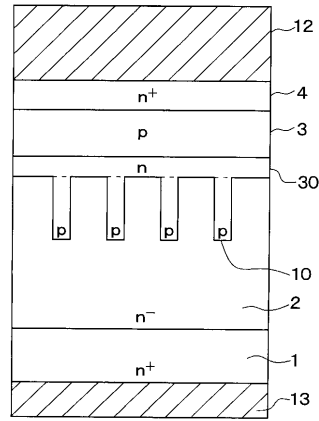
【 図 8 - b 】



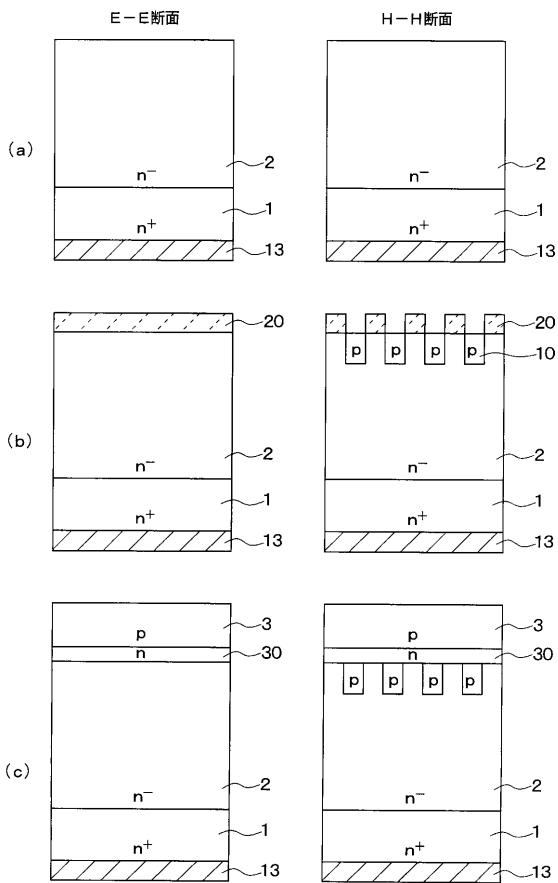
【 图 8 - c 】



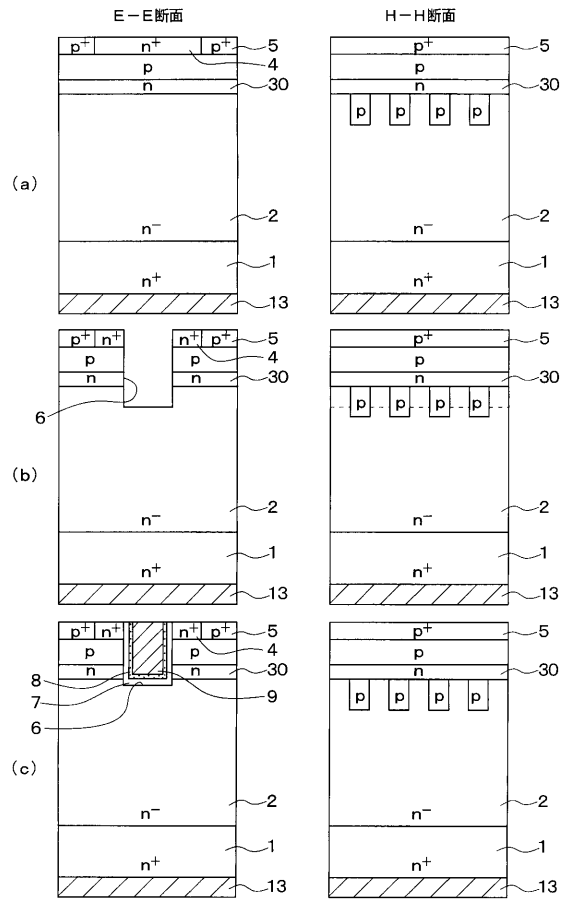
【 图 8 - d 】



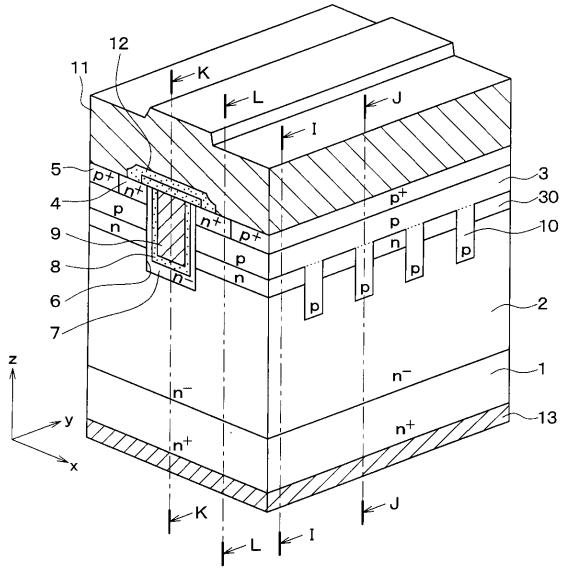
【 图 9 】



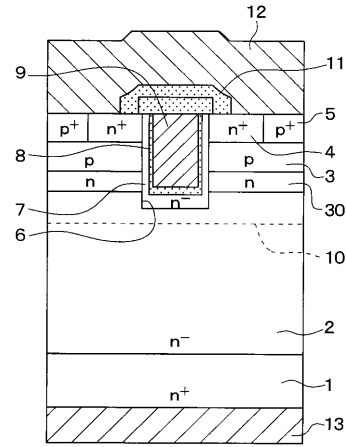
【 图 10 】



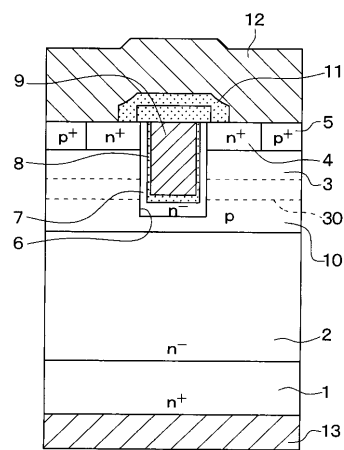
【 図 1 1 】



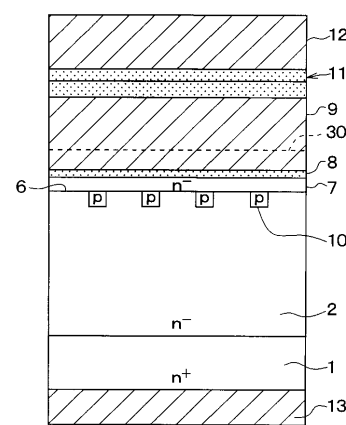
【 図 1 2 - a 】



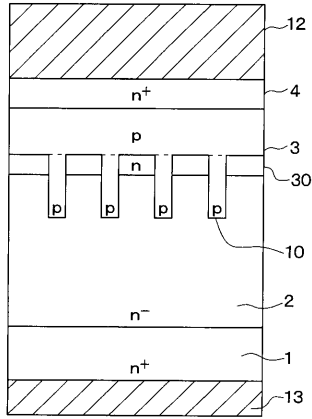
【 図 1 2 - b 】



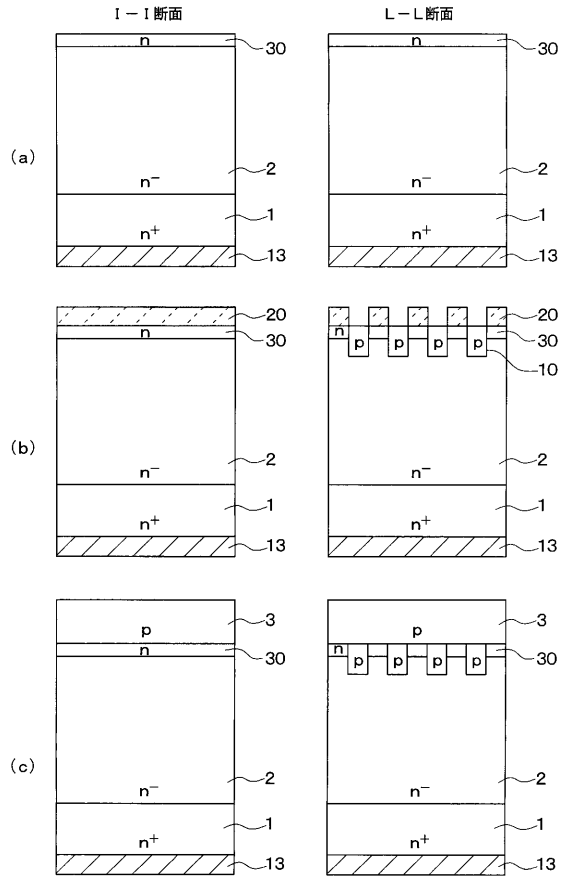
【 図 1 2 - c 】



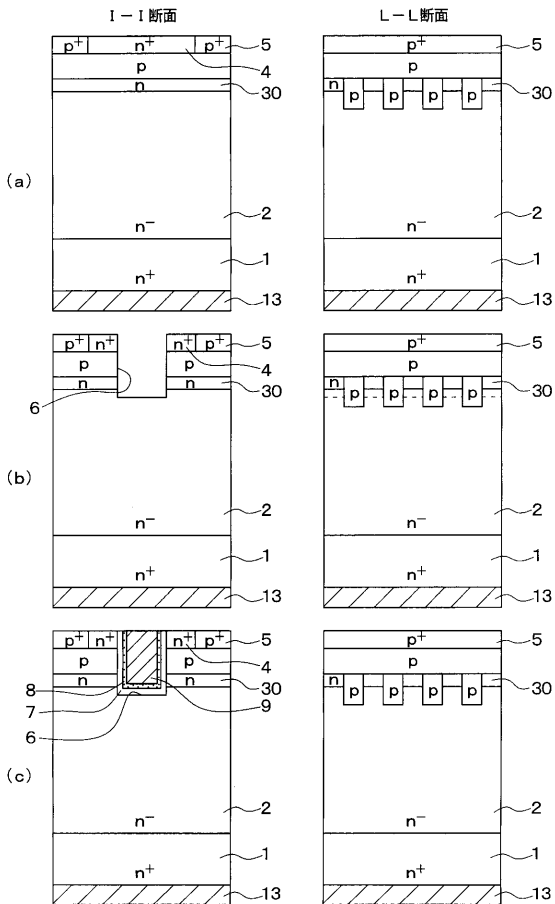
【図 12 - d】



【図 13】



【図 14】



【図 15】

