



(12) 发明专利

(10) 授权公告号 CN 109728016 B

(45) 授权公告日 2023. 03. 17

(21) 申请号 201811253732.6

(22) 申请日 2018.10.26

(65) 同一申请的已公布的文献号
申请公布号 CN 109728016 A

(43) 申请公布日 2019.05.07

(30) 优先权数据
2017-208513 2017.10.27 JP

(73) 专利权人 佳能株式会社
地址 日本东京

(72) 发明人 远藤信之

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038
专利代理师 杨小明

(51) Int.Cl.
H01L 27/146 (2006.01)

(56) 对比文件
JP 2007208052 A, 2007.08.16

JP 2016187018 A, 2016.10.27

JP 2014229801 A, 2014.12.08

JP 2011216639 A, 2011.10.27

JP 2016225432 A, 2016.12.28

JP 2016018920 A, 2016.02.01

JP 2007134581 A, 2007.05.31

KR 20070035907 A, 2007.04.02

CN 101908551 A, 2010.12.08

CN 102468314 A, 2012.05.23

JP 2004172229 A, 2004.06.17

US 2010173444 A1, 2010.07.08

CN 1812114 A, 2006.08.02

CN 102655158 A, 2012.09.05

CN 102867834 A, 2013.01.09

TW 200824109 A, 2008.06.01

KR 20030067946 A, 2003.08.19

US 2012223405 A1, 2012.09.06

JP 2003218341 A, 2003.07.31

审查员 丁瑞平

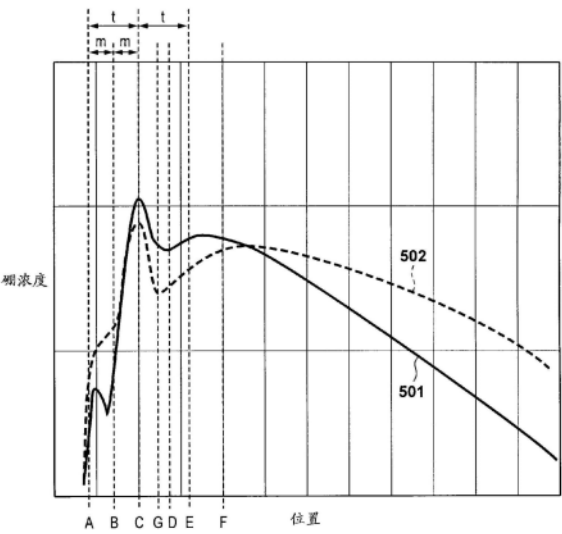
权利要求书2页 说明书8页 附图6页

(54) 发明名称

光电转换器件、其制造方法和装置

(57) 摘要

本发明涉及光电转换器件、其制造方法和装置。一种光电转换器件包括：包含光电转换部分的半导体基板；布置于光电转换部分之上的氧化硅膜；和布置于光电转换部分与氧化硅膜之间的绝缘膜。构成光电转换部分的一部分的n型第一杂质区域和布置于绝缘膜与第一杂质区域之间的p型第二杂质区域被设置在半导体基板中。绝缘膜的第二杂质区域之上的部分和第二杂质区域包含硼。从半导体基板的表面到第二杂质区域中的硼浓度取最小值的第一位置的硼浓度的积分值大于从半导体基板的表面到氧化硅膜的上表面的硼浓度的积分值。



1. 一种光电转换器件,其特征在于,包括:
包含光电转换部分的半导体基板;
布置于所述光电转换部分之上的氧化硅膜;和
布置于所述光电转换部分与所述氧化硅膜之间的绝缘膜,
其中,构成所述光电转换部分的一部分的n型第一杂质区域和布置于所述绝缘膜与第一杂质区域之间的p型第二杂质区域被设置在半导体基板中,
所述绝缘膜中的第二杂质区域之上的部分包含硼,并且第二杂质区域包含硼,并且
关于与半导体基板的表面相交并且通过第二杂质区域的直线上的硼浓度的分布,令第二杂质区域中的硼浓度取最小值的位置为第一位置,则从半导体基板的表面到第一位置的硼浓度的积分值大于从半导体基板的表面到所述氧化硅膜的上表面的硼浓度的积分值。
2. 根据权利要求1所述的器件,其中,关于所述分布,令在半导体基板的深度方向上与半导体基板的表面分开半导体基板的表面与所述氧化硅膜的上表面之间的距离的位置为第二位置,则从半导体基板的表面到第二位置的硼浓度的积分值大于从半导体基板的表面到所述氧化硅膜的上表面的硼浓度的积分值。
3. 根据权利要求1所述的器件,其中,关于所述分布,令在深度方向上与半导体基板的表面分开20nm的位置为第三位置,则从半导体基板的表面到第三位置的硼浓度的积分值大于从半导体基板的表面到所述氧化硅膜的上表面的硼浓度的积分值。
4. 根据权利要求1所述的器件,其中,从半导体基板的表面到所述氧化硅膜的上表面的硼浓度的积分值不大于 $5.0E12/\text{cm}^2$ 。
5. 一种光电转换器件,其特征在于,包括:
包含光电转换部分的半导体基板;
布置于所述光电转换部分之上的氧化硅膜;和
布置于所述光电转换部分与所述氧化硅膜之间的绝缘膜,
其中,构成所述光电转换部分的一部分的n型第一杂质区域和布置于所述绝缘膜与第一杂质区域之间的p型第二杂质区域被设置在半导体基板中,
所述绝缘膜中的第二杂质区域之上的部分包含硼,并且第二杂质区域包含硼,并且
关于与半导体基板的表面相交并且通过第二杂质区域的直线上的硼浓度的分布,半导体基板的表面处的硼浓度不小于半导体基板的表面与所述氧化硅膜的上表面之间的中间点处的硼浓度的10倍。
6. 根据权利要求5所述的器件,还包括:
布置于半导体基板之上的层间绝缘膜;和
布置于所述光电转换部分之上并且被所述层间绝缘膜包围的电介质区域,
其中,所述氧化硅膜被布置于所述光电转换部分与所述电介质区域之间。
7. 根据权利要求6所述的器件,其中,所述电介质区域的材料是含有氢的硅化合物。
8. 根据权利要求5所述的器件,其中,半导体基板与所述绝缘膜的第二杂质区域之上的部分之间的界面处的硼浓度不小于 $1.0E19/\text{cm}^3$ 且不大于 $1.0E20/\text{cm}^3$ 。
9. 根据权利要求5所述的器件,还包括半导体基板的与第一杂质区域相邻的部分之上的栅电极,
其中,绝缘膜延伸到所述栅电极与半导体基板之间的部分。

10. 根据权利要求5所述的器件,其中,绝缘膜是氮氧化硅膜。
11. 根据权利要求5所述的器件,还包括布置于所述氧化硅膜之上的氮化硅膜,其中所述氮化硅膜和所述氧化硅膜相互接触。
12. 根据权利要求5所述的器件,其中,所述绝缘膜与第二杂质区域相互接触,以及所述氧化硅膜与所述绝缘膜相互接触。
13. 根据权利要求5所述的器件,其中,半导体基板的表面与所述氧化硅膜的上表面之间的中间点处的硼浓度不小于 $1.0\text{E}17/\text{cm}^3$ 且不大于 $1.0\text{E}18/\text{cm}^3$ 。
14. 一种光电转换器件,其特征在于,包括:
 - 包含光电转换部分的半导体基板;
 - 布置于半导体基板之上的层间绝缘膜;
 - 布置于所述光电转换部分之上并且被所述层间绝缘膜包围的电介质区域;
 - 布置于所述光电转换部分与所述电介质区域之间的氧化硅膜;和
 - 布置于所述光电转换部分与所述氧化硅膜之间的绝缘膜,其中,构成所述光电转换部分的一部分的n型第一杂质区域和布置于所述绝缘膜与第一杂质区域之间的p型第二杂质区域被设置在半导体基板中,
 - 所述绝缘膜中的第二杂质区域之上的部分包含硼,并且第二杂质区域包含硼,并且
 - 关于与半导体基板的表面相交并且通过第二杂质区域的直线上的硼浓度的分布,令在半导体基板的深度方向上以半导体基板的表面与所述氧化硅膜的上表面之间的距离与半导体基板的表面分开的位置为预定位置,则从半导体基板的表面到所述预定位置的硼浓度的积分值大于从半导体基板的表面到所述氧化硅膜的上表面的硼浓度的积分值且不小于 $5.0\text{E}12/\text{cm}^2$ 。
15. 一种装置,其特征在于,包括:
 - 根据权利要求1~14中的任一项所述的光电转换器件;和
 - 被配置为处理从所述光电转换器件输出的信号的处理设备。
16. 一种制造光电转换器件的方法,其特征在于,所述方法包括:
 - 在半导体基板中形成构成光电转换部分的一部分的n型第一杂质区域;
 - 在半导体基板之上形成绝缘膜;
 - 通过经由所述绝缘膜在半导体基板中掺杂含有硼的杂质,在第一杂质区域之上形成p型第二杂质区域;和
 - 在不高于 600°C 的淀积温度下在所述绝缘膜之上形成氧化硅膜。
17. 根据权利要求16所述的方法,其中,在形成第二杂质区域时,杂质以不大于 10KeV 的能量被掺杂。
18. 根据权利要求16所述的方法,还包括:在形成绝缘膜之后且在形成所述氧化硅膜之前,在半导体基板的与第一杂质区域相邻的部分之上形成栅电极。
19. 根据权利要求16所述的方法,还包括:在形成所述氧化硅膜之后,形成氮化硅膜以便接触所述氧化硅膜。
20. 根据权利要求16~19中的任一项所述的方法,其中,通过使用双叔丁基氨基硅烷(BTBAS)气体的热CVD,形成所述氧化硅膜。

光电转换器件、其制造方法和装置

技术领域

[0001] 本发明涉及光电转换器件、其制造方法和装置。

背景技术

[0002] 在固态光电转换器件中,为了抑制源自界面状态或晶体缺陷的白斑或暗电流,在光电转换部分的表面区域中形成含有诸如硼的杂质的p型杂质区域。当在光电转换部分的表面区域中由硼形成p型杂质区域时,硼可能由于热扩散等在覆盖光电转换部分的诸如氧化硅膜的绝缘膜中被俘获。日本专利公开No.2007-208052提出了在光电转换部分与氧化硅膜之间形成诸如氮化硅膜的扩散阻挡层的方法。

发明内容

[0003] 微构图处理促进光电转换器件的制造处理中的温度降低。在该制造处理中不能执行针对晶体缺陷恢复的高温热处理,因此,在半导体基板的表面附近掺杂硼。硼容易在氧化硅膜中被俘获,并且光电转换器件的传感器特性受损(例如,白斑和暗电流增加)。本发明的方面提供用于改善光电转换器件的传感器特性的技术。

[0004] 根据第一实施例,提供一种光电转换器件,该光电转换器件包括:包含光电转换部分的半导体基板;布置于所述光电转换部分之上的氧化硅膜;和布置于所述光电转换部分与所述氧化硅膜之间的绝缘膜,其中,构成所述光电转换部分的一部分的n型第一杂质区域和布置于所述绝缘膜与第一杂质区域之间的p型第二杂质区域被设置在半导体基板中,所述绝缘膜的第二杂质区域之上的部分和第二杂质区域包含硼,并且,关于与半导体基板的表面相交并且通过第二杂质区域的直线上的硼浓度的轮廓,令第二杂质区域中的硼浓度取最小值的位置为第一位置,则从半导体基板的表面到第一位置的硼浓度的积分值大于从半导体基板的表面到所述氧化硅膜的上表面的硼浓度的积分值。

[0005] 根据第二实施例,提供一种光电转换器件,该光电转换器件包括:包含光电转换部分的半导体基板;布置于所述光电转换部分之上的氧化硅膜;和布置于所述光电转换部分与所述氧化硅膜之间的绝缘膜,其中,构成所述光电转换部分的一部分的n型第一杂质区域和布置于所述绝缘膜与第一杂质区域之间的p型第二杂质区域被设置在半导体基板中,所述绝缘膜的第二杂质区域之上的部分和第二杂质区域包含硼,并且,关于与半导体基板的表面相交并且通过第二杂质区域的直线上的硼浓度的轮廓,半导体基板的表面处的硼浓度不小于半导体基板的表面与所述氧化硅膜的上表面之间的中间点处的硼浓度的10倍。

[0006] 根据第三实施例,提供一种光电转换器件,该光电转换器件包括:包含光电转换部分的半导体基板;布置于半导体基板之上的层间绝缘膜;布置于所述光电转换部分之上并且被所述层间绝缘膜包围的电介质区域;布置于所述光电转换部分与所述电介质区域之间的氧化硅膜;和布置于所述光电转换部分与所述氧化硅膜之间的绝缘膜,其中,构成所述光电转换部分的一部分的n型第一杂质区域和布置于所述绝缘膜与第一杂质区域之间的p型第二杂质区域被设置在半导体基板中,所述绝缘膜的第二杂质区域之上的部分和第二杂质

区域包含硼,并且,关于与半导体基板的表面相交并且通过第二杂质区域的直线上的硼浓度的轮廓,令在半导体基板的深度方向上以半导体基板的表面与所述氧化硅膜的上表面之间的距离与半导体基板的表面分开的位置为预定位置,则从半导体基板的表面到所述预定位置的硼浓度的积分值大于从半导体基板的表面到所述氧化硅膜的上表面的硼浓度的积分值且不小于 $5.0E12/\text{cm}^2$ 。

[0007] 根据第四实施例,提供一种制造光电转换器件的方法,所述方法包括:

[0008] 在半导体基板中形成构成光电转换部分的一部分的n型第一杂质区域;在半导体基板之上形成绝缘膜;通过经由所述绝缘膜在半导体基板中掺杂含有硼的杂质,在第一杂质区域之上形成p型第二杂质区域;和在不高于 600°C 的淀积温度下在所述绝缘膜之上形成所述氧化硅膜。

[0009] 从(参照附图)对示例性实施例的以下描述,本发明的其它特征将变得清晰。

附图说明

[0010] 图1A和图1B是用于解释根据本发明的实施例的光电转换器件的布置的例子的示图;

[0011] 图2是用于解释根据本发明的实施例的光电转换器件的截面结构的例子的示图;

[0012] 图3A~3D是用于解释根据本发明的实施例的制造光电转换器件的方法的例子的示图;

[0013] 图4A~4D是用于解释根据本发明的实施例的制造光电转换器件的方法的例子的示图;

[0014] 图5是用于解释根据本发明的实施例的光电转换器件中的硼轮廓的示图。

具体实施方式

[0015] 现在将参照附图描述本发明的实施例。相同的附图标记在各种实施例中表示相同的部分,并且将省略其重复的描述。实施例可以适当地改变和组合。

[0016] 将参照图1A描述根据一些实施例的光电转换器件AP的布置的例子。光电转换器件AP也可以被称为固态光电转换器件。光电转换器件AP的布置可以是现有的一个布置,以下将简单解释布置的例子。通过在半导体基板SUB上形成各种电路,构成光电转换器件AP。光电转换器件AP可以被安装在封装(package)中。

[0017] 半导体基板SUB包含像素区域PXR、光学黑色区域OBR和周边电路区域PRR。在像素区域PXR中二维布置多个像素UNT。各像素UNT包括被配置为将光转换为电荷的光电转换部分和被配置为将转换的电荷传送到后续电路的传送晶体管。传送晶体管例如MOS晶体管。各像素UNT还可以包括被配置为产生对应于入射光的电信号的现有电路。

[0018] 光学黑色区域OBR被布置在像素区域PXR的周围。甚至在光学黑色区域OBR中布置多个像素UNT。布置于光学黑色区域OBR中的像素UNT可以具有与布置于像素区域PXR中的像素UNT的结构相同的结构。进入光电转换器件AP的光到达像素区域PXR的各像素UNT。相反,光学黑色区域OBR的各像素UNT被遮光且没有入射光到达它。

[0019] 在周边电路区域PRR中,布置垂直驱动电路VDC、控制电路CC、水平扫描电路HSC、信号处理电路SPC和输出处理电路OPC。垂直驱动电路VDC通过向各像素UNT供给驱动信号来控制

制各像素UNT的操作。控制电路CC控制光电转换器件AP的总体操作。水平扫描电路HSC依次读出来自各个像素UNT的信号。信号处理电路SPC放大从像素UNT读出的信号。输出处理电路OPC执行将从信号处理电路SPC供给的信号输出到光电转换器件AP外部的处理。

[0020] 将参照图1B描述根据一些实施例的配备有光电转换器件AP的装置SYS的布置的例子。装置SYS的布置可以是现有的一个布置,并且,以下将简单解释布置的例子。装置SYS可以是诸如照相机或智能电话的具有图像捕获功能的电子装置或者诸如汽车或无人机(无人飞行器)的运输装置。装置SYS包括光学系统OU、光电转换器件AP、控制设备CU、处理设备PU、机械设备MU和显示设备DU。这些构成要素中的一些可以根据装置SYS的配置被省略。光学系统OU为例如透镜,并且将来自装置SYS外部的光收集到光电转换器件AP。控制设备CU控制包括光电转换器件AP的装置SYS中的各个组件的操作。处理设备PU包括例如图像处理引擎,并且处理从光电转换器件AP供给的图像。显示设备DU显示处理的图像。机械设备MU执行透镜驱动和快门操作。当装置SYS是运输设备时,机械设备MU可以包括引擎和马达,并且控制设备CU通过使用由光电转换器件AP获得的图像执行装置SYS的操作控制。

[0021] 将参照图2描述光电转换器件AP的截面结构的例子。在图中,为了便于描述,像素区域PXR和周边电路区域PRR彼此相邻。在图2中,关注包含于像素区域PXR中的光电转换部分和传送晶体管以及包含于周边电路区域PRR中的晶体管。周边电路区域PRR中的晶体管为例如MOS晶体管,并且构成上述电路中的任一个的一部分。

[0022] 硅等的半导体基板100具有p型杂质区域102和103。半导体基板100对应于图1A中的半导体基板SUB。杂质区域102是在像素区域PXR中形成的阱。杂质区域103是在周边电路区域PRR中形成的阱。半导体基板100具有通过STI或选择性氧化(LOCOS)等由绝缘体形成的元件隔离区域101。

[0023] n型杂质区域104(第一杂质区域)、p型杂质区域112(第二杂质区域)和n型杂质区域113被布置于半导体基板100中,使得它们被杂质区域102和半导体基板100的表面包围。杂质区域112含有硼(B)。杂质区域104和102形成光电转换部分。杂质区域112被布置在杂质区域104上,并且是向光电转换部分给予掩埋结构的表面区域。杂质区域112的上表面和半导体基板100的表面彼此一致。杂质区域113用作浮置扩散(FD)。

[0024] 在像素区域PXR中,在半导体基板100上布置栅极绝缘膜106。栅电极110被布置在半导体基板100的杂质区域104和113之间的区域上。换句话说,栅电极被布置在半导体基板100的邻近杂质区域104的部分上。杂质区域104、杂质区域113、栅极绝缘膜106和栅电极110构成传送晶体管。n型杂质区域104构成光电转换部分的一部分,并且具有蓄积电荷的功能。用作硬掩膜的氧化膜109被布置在栅电极110的上表面上。栅极绝缘膜106不仅存在于栅电极110和半导体基板100之间,而且存在于杂质区域112和113上。换句话说,杂质区域112上的栅极绝缘膜106延伸到栅电极110和半导体基板100之间的部分。栅极绝缘膜106的下表面与半导体基板100的表面接触。由于杂质区域104位于半导体基板100的表面中,因此栅极绝缘膜106和杂质区域104相互接触。栅极绝缘膜106为例如氧化硅膜或氮氧化硅膜。

[0025] 在像素区域PXR中,氧化硅膜116被布置在半导体基板100、栅极绝缘膜106和栅电极110上。氮化硅膜117被布置在氧化硅膜116上,并且,氧化硅膜118被布置在氮化硅膜117上。氧化硅膜116的下表面与栅极绝缘膜106的上表面、栅电极110的侧表面以及氧化膜109的上表面接触。氮化硅膜117的下表面与氧化硅膜116的上表面接触。氧化硅膜118的下表面

与氮化硅膜117的上表面接触。即,栅极绝缘膜106和氧化硅膜116相互接触,氧化硅膜116和氮化硅膜117相互接触,氮化硅膜117和氧化硅膜118相互接触。氮化硅膜117用作抗反射层。氧化硅膜116被布置在光电转换部分上,栅极绝缘膜106被布置在光电转换部分和氧化硅膜116之间。栅极绝缘膜106中的p型杂质区域112上的部分可以含有硼。氧化硅膜116中的p型杂质区域112上的部分也可以含有硼。栅极绝缘膜106和氧化硅膜116中所包含的硼通常可以是从杂质区域112扩散的硼,或者可以包含于淀积时的气体中。

[0026] 在杂质区域103中,布置n型杂质区域115和n型杂质区域121。栅极绝缘膜107被布置在半导体基板100的两个杂质区域115之间的部分上,并且,栅电极111被布置于栅极绝缘膜107上。栅电极111的侧表面被侧壁120覆盖。这些构成要素构成具有LDD结构的MOS晶体管。硅化钴或硅化镍等的硅化物层(未示出)被设置在MOS晶体管的杂质区域121和栅电极111上。

[0027] 覆盖栅电极110和111的绝缘体膜210被设置在半导体基板100上。在绝缘体膜210中形成接触孔(未示出),并且,在接触孔中设置连接到MOS晶体管的接触插塞。在绝缘体膜210上设置多个布线层310、320和330。例如,布线层310是具有单镶嵌结构且主要由铜构成的布线层。布线层320是具有双镶嵌结构且主要由铜构成的布线层。布线层330是主要由铝构成的布线层。在布线层310、320和330之间设置层间绝缘膜220。层间绝缘膜220可以由多个绝缘层形成的多层膜。在层间绝缘膜220中设置位于光电转换部分之上(杂质区域104和112之上)的开口。在开口中布置由电介质材料形成的电介质区域200。因此,电介质区域200被层间绝缘膜220包围。在本例子中,甚至在绝缘体膜210中也设置开口,并且电介质区域200具有由绝缘体膜210包围的部分。电介质区域200的电介质材料与构成层间绝缘膜220的绝缘层中的至少一个的材料不同。构成电介质区域200的电介质材料可以是含氢硅化合物,而硅化合物可以是氮化硅或氧化硅。当电介质材料含有氢时,半导体基板100的表面可以被氢封端(hydrogen-terminated),并且暗电流可以减小。通过将电介质区域200的折射率设定为高于层间绝缘膜220的折射率,可以构成电介质区域200用作芯部且层间绝缘膜220用作包覆层的光学波导结构。在层间绝缘膜220上和设置在层间绝缘膜220上的布线层330上,设置绝缘构件230。绝缘构件230可以包括钝化膜和内层透镜等。光学构件240被设置在绝缘构件230上。光学构件240可以包括滤色器和微透镜。

[0028] 将参照图3A~图4D描述光电转换器件AP的制造方法。图3A~图4D示出对应于图2的位置。在硅等的半导体基板100的表面上形成焊盘氧化膜105,并且,通过STI或选择性氧化(LOCOS)等形成元件隔离区域101。然后,执行离子注入,从而在像素区域PXR中形成p型杂质区域102并且在周边电路区域PRR中形成p型杂质区域103。这些杂质区域用作阱区域。进一步执行离子注入,从而在杂质区域102中形成n型杂质区域104。杂质区域104构成光电转换部的一部分。通过这些处理,形成图3A所示的结构。

[0029] 然后,焊盘氧化膜105被去除。在像素区域PXR和周边电路区域PRR的目标区域中形成栅氧化膜。对栅氧化膜执行氮化或氧氮化,从而在半导体基板100上形成栅极绝缘膜106和107。例如,通过形成作为基体的栅氧化膜并且通过根据湿法热氧氮化或等离子体氮化等将其暴露于约400℃的氮等离子体气氛中,实现氮化。栅极绝缘膜106和107是氮氧化硅膜。栅极绝缘膜106和107的氮浓度为例如约0.1~1.0%。然后,在栅极绝缘膜106和107上形成用作栅电极材料的多晶硅膜108,并且,在多晶硅膜108的一部分(要形成栅电极的部分)上

形成用作硬掩模的氧化膜109。通过这些处理,形成图3B所示的结构。

[0030] 通过使用氧化膜109(硬掩模)和抗蚀剂掩模蚀刻多晶硅膜108,从而由多晶硅膜108形成栅电极110和111。通过这些处理,形成图3C所示的结构。在该结构中,栅极绝缘膜106的一部分剩余在杂质区域104上。

[0031] 通过栅极绝缘膜106在半导体基板100中离子注入p型杂质,从而在杂质区域104上形成p型杂质区域112。通过栅极绝缘膜106在半导体基板100中离子注入n型杂质,从而形成n型杂质区域113。例如,以 $1 \times 10^{13}/\text{cm}^2 \sim 1 \times 10^{14}/\text{cm}^2$ 的剂量使用诸如二氟化硼(BF_2)的含有硼(B)的杂质,执行用于形成杂质区域112的离子注入。当杂质为硼时,加速能量被设定为10keV或更小,诸如0.5~9keV。通过以这种相对低的能量执行离子注入,在半导体基板100的表面附近掺杂杂质。通过这些处理,形成图3D所示的结构。

[0032] 用抗蚀剂114覆盖像素区域PXR。通过湿法处理等去除在周边电路区域PRR中形成的栅极绝缘膜107中的没有被栅电极111覆盖的部分和栅电极111上的氧化膜109。通过这些处理,形成图4A所示的结构。

[0033] 在周边电路区域PRR中形成用作LDD结构的杂质区域115。当杂质区域115是PMOS晶体管的源极或漏极时,使用二氟化硼(BF_2)、硼(B)或铟(In)作为杂质。当杂质区域115是NMOS晶体管的源极或漏极时,使用砷(As)或磷(P)作为杂质。当栅极绝缘膜106在像素区域PXR中留在栅电极110周围时,在周边电路区域PRR中从栅电极111的周边去除栅极绝缘膜107。在周边电路区域PRR中,执行浅LDD掺杂。这在周边电路区域PRR中实现具有高驱动力的高速晶体管,并且改善像素区域PXR中的传感器特性。通过这些处理,形成图4B所示的结构。

[0034] 氧化硅膜116淀积为接触半导体基板100与栅电极110和111。氮化硅膜117淀积为接触氧化硅膜116。氧化硅膜118淀积为接触氮化硅膜117。可以在600℃或更低的处理温度下形成氧化硅膜118。可以在低于600℃的520℃~550℃的处理温度下通过使用双(叔丁基氨基)硅烷(BTBAS)气体作为源气体执行例如低压化学气相淀积(LPCVD),形成氧化硅膜116。低压化学气相淀积(LPCVD)是一种类型的化学气相淀积(CVD),并且被具体归类为热CVD。可以在低于600℃的淀积温度下通过使用BTBAS气体以外的硅烷基气体的热CVD形成氧化硅膜116。也可以在低于600℃的淀积温度下通过使用硅烷基气体的等离子体CVD形成氧化硅膜116。也可以通过CVD以外的气相淀积形成氧化硅膜116。例如,可以通过使用诸如溅射的物理气相淀积或原子层淀积(ALD)形成氧化硅膜116。ALD中的淀积气体为例如三(二甲基氨基)硅烷(3DMAS: $\text{SiH}(\text{NMe}_2)_3$)或四(二甲基氨基)硅烷(4DMAS: $\text{SiH}(\text{NMe}_2)_4$)。通过这些处理,形成图4C所示的结构。

[0035] 像素区域PXR被抗蚀剂119覆盖,并且,周边电路区域PRR中的氧化硅膜116、氮化硅膜117和氧化硅膜118被回蚀刻。结果,在栅电极111的侧表面上形成侧壁120。在周边电路区域PRR中,在半导体基板100中形成重掺杂杂质区域121。杂质区域121在侧壁120的侧表面上自对准。通过这些处理,形成图4D所示的结构。此后,去除抗蚀剂119,并形成其它构成要素。例如,形成绝缘体膜210、层间绝缘膜220以及布线层310和320。层间绝缘膜220和绝缘体膜210中的、位于光电转换部之上的部分通过等离子体蚀刻等被去除,从而形成开口。通过等离子体CVD在开口中埋入电介质材料,从而形成电介质区域200。形成布线层330、绝缘构件230和光学构件240。以这种方式,制造图2中的光电转换器件AP。

[0036] 在上述的制造方法中,在低温(600℃或更低)下形成氧化硅膜116。由于在半导体

基板100的表面附近形成的杂质区域112中的硼的扩散被抑制,因此硼在氧化硅膜116中的俘获被抑制。结果,可以提高杂质区域112的硼浓度,从而改善光电转换器件AP的传感器特性。特别地,减少了白斑和暗电流。作为比较,当在700℃或更高的淀积温度下使用例如热氧化形成氧化硅膜118时,杂质区域112中的硼显著扩散,并且杂质区域112的硼浓度降低。杂质区域112的硼浓度的降低增加了白斑和暗电流。仅仅增加剂量以增加硼浓度的措施是不够的,原因是源自剂量增加的白斑和暗电流可能增加。当形成电介质区域200时,等离子体蚀刻或等离子体CVD导致半导体基板100中的等离子体损伤。这种等离子体损伤也可能增加白斑和暗电流。因此,当设置电介质区域200时,必须增加尤其杂质区域112的硼浓度并减少白斑和暗电流。

[0037] 将参照图5解释与半导体基板100的表面相交(例如,与其正交)并通过杂质区域112的直线上(图2中的线X-X'上)的硼浓度的轮廓。构成光电转换部的表面区域的杂质区域112包含硼作为杂质。栅极绝缘膜106和氧化硅膜116在它们覆盖杂质区域112的位置处含有硼。在图5中,图中的实线表示用上述方法制造的光电转换器件AP中的轮廓501,图中的虚线表示比较目标的轮廓502。在比较目标中,通过10KeV或更高的例如约13~15KeV的离子注入形成杂质区域112,并且在620℃~660℃的淀积温度下淀积氧化硅膜116。图5中的示图的横坐标表示线X-X'上的位置,纵坐标表示各位置处的对数硼浓度。横坐标的向右方向是半导体基板100的深度方向,纵坐标的向上方向是浓度的增加方向。对于横坐标和纵坐标,单位都是a.u(任意单位)。可以通过使用X射线光电子能谱(XPS)、二次离子质谱(SIMS)、电感耦合等离子体质谱(ICP-MS)或者卢瑟福背散射光谱(RBS)等测量各元素的浓度。图5示出SIMS的测量结果。

[0038] 在图5中,位置A是氧化硅膜116的上表面。换句话说,位置A是氧化硅膜116与氮化硅膜117之间的界面。位置C是半导体基板100的表面。换句话说,位置C是半导体基板100与栅极绝缘膜106之间的界面。半导体基板100和栅极绝缘膜106之间的界面被定义为在SIMS测量中检测的氧的二次离子强度表现最大强度(峰值强度)的1/2的位置。如从图5理解的,硼浓度峰值的位置在轮廓501和502中均为位置C。可以通过使用位置C作为基准位置比较关于位置C的氧化硅膜116侧的硼浓度与关于位置C的杂质区域112侧的硼浓度,评价硼分布。位置A和C之间的距离为约12nm。位置B是位置A和位置C之间的到位置A和位置C距离相等(距离m)的中间点。半导体基板100上的氧化硅(栅极绝缘膜106和氧化硅膜116)中的位置C处的硼的偏析的影响在位置B处相对小。硼从半导体基板100扩散的影响在位置B处是足够的。出于这种原因,位置B是象征性的位置,该位置象征源自硼向半导体基板100上的氧化硅的扩散的氧化硅中的硼浓度。位置A和位置C之间的距离t对应于栅极绝缘膜106和氧化硅膜116的膜厚度之和。位置E是在深度方向上与位置C分开位置A和位置C之间的距离t的预定位置。即,位置C是位置A和位置E之间的到位置A和位置E的距离(距离t)相等的中间点。位置E是用于考虑到硼在半导体基板100和氧化硅中扩散的容易性评价硼分布关于位置C的对称性的位置。位置D和位置G是硼浓度在杂质区域112中取最小值的位置。从位置C到位置D或位置G的范围被视为是在半导体基板100的表面附近硼浓度特别高的范围。更具体地说,位置D是轮廓501从位置C在深度方向上前进并且首先取最小值的位置。位置G是轮廓502从位置C在深度方向上前进并且首先取最小值的位置。位置C和位置D之间的距离为约6nm,位置C和位置G之间的距离为约4nm。位置F是在深度方向上与位置C分开20nm的位置。在20nm深度处从

位置C到位置F的范围是在典型的光电转换器件中容易产生暗电流或白斑等的部分。

[0039] 第一例子的轮廓501上的各位置处的硼浓度如下：

[0040] 位置B： $5.5\text{E}17/\text{cm}^3$

[0041] 位置C： $1.0\text{E}19/\text{cm}^3$

[0042] 第二例子的轮廓502上的各位置处的硼浓度如下：

[0043] 位置B： $1.5\text{E}18/\text{cm}^3$

[0044] 位置C： $7.5\text{E}18/\text{cm}^3$

[0045] 第一例子的轮廓501上的两个特定点之间的硼浓度的积分值如下：

[0046] 位置A到位置C： $2.5\text{E}12/\text{cm}^2$

[0047] 位置C到位置D： $4.2\text{E}12/\text{cm}^2$

[0048] 位置C到位置E： $7.6\text{E}12/\text{cm}^2$

[0049] 位置C到位置F： $1.2\text{E}13/\text{cm}^2$

[0050] 第二例子的轮廓502上的两个特定点之间的硼浓度的积分值如下：

[0051] 位置A到位置C： $2.6\text{E}12/\text{cm}^2$

[0052] 位置C到位置G： $1.8\text{E}12/\text{cm}^2$

[0053] 位置C到位置E： $4.6\text{E}12/\text{cm}^2$

[0054] 位置C到位置F： $8.3\text{E}12/\text{cm}^2$

[0055] 通过采用第一例子的轮廓501,与第二例子的轮廓502相比,暗电流和白斑、特别是白斑可以大大减少。尤其是当上述电介质区域200被布置在光电转换部分上时,这是有利的。这是因为布置电介质区域200可能导致暗电流和白斑。将基于第二例子的轮廓502与第一例子的轮廓501之间的差异解释具体形式。

[0056] 从用作基准位置的位置C到硼浓度取最小值的位置D的硼浓度的积分值可以大于从位置C到氧化硅膜116的上表面(位置A)的硼浓度的积分值。这意味着硼从杂质区域112的扩散被抑制并且在杂质区域112中硼浓度在半导体基板100的表面附近变高的状态。因此,可以令人满意地抑制在半导体基板100的表面附近产生的白斑和暗电流。从位置C到位置D的硼浓度的积分值可以为 $2.0\text{E}12/\text{cm}^2$ 或更大或者 $3.0\text{E}12/\text{cm}^2$ 或更大。从位置C到位置A的硼浓度的积分值可以为 $5.0\text{E}12/\text{cm}^2$ 或更小。从位置C到位置A的硼浓度的积分值可以为 $1.0\text{E}12/\text{cm}^2$ 或更大。在第一例子中,与第二例子相比,尽管硼掺杂位置接近半导体基板100的表面,但是氧化硅膜116的硼浓度的积分值小。在第一例子中,位置C和位置D之间的硼浓度的积分值大于位置A和位置C之间的硼浓度的积分值。相反,在第二个例子中,位置C和位置G之间的硼浓度的积分值小于位置A和位置C之间的硼浓度的积分值。

[0057] 用作基准位置的位置C处的硼浓度可以高于用作象征性位置的位置B处的硼浓度的5倍,或者可以为10倍或更高。这意味着硼向氧化硅的扩散被抑制,并且在C位置处存在足够量的硼。在第一例子中,C位置处的硼浓度为位置B处的硼浓度的约18倍,高于5倍,并且为10倍或更高。在第二例子中,C位置处的硼浓度为位置B处的硼浓度的约五倍。位置B处的硼浓度可以为 $1.0\text{E}18/\text{cm}^3$ 或更小。位置B处的硼浓度可以为 $1.0\text{E}17/\text{cm}^3$ 或更大。C位置处的硼浓度可以为 $1.0\text{E}19/\text{cm}^3$ 或更大。位置C处的硼浓度可以为 $1.0\text{E}20/\text{cm}^3$ 或更小。

[0058] 从半导体基板100的表面(位置C)到位置E的硼浓度的积分值可以大于从半导体基板的表面(位置C)到氧化硅膜的上表面(位置A)的硼浓度的积分值。在第一例子中,位置C和

位置E之间的硼浓度的积分值大于位置A和位置C之间的硼浓度的积分值,并且大于位置A和位置C之间的硼浓度的积分值的两倍或更多。从位置C到位置E的硼浓度的积分值可以为 $5.0\text{E}12/\text{cm}^2$ 或更大,并且可以为 $6.0\text{E}12/\text{cm}^2$ 或更大。从位置C到位置E的硼浓度的积分值可以为 $1.0\text{E}13/\text{cm}^2$ 或更小。

[0059] 从位置C到位置F的硼浓度的积分值可以大于从位置C到位置A的硼浓度的积分值。这有利于抑制甚至在从位置C到位置F的用作白斑或暗电流的典型产生源的区域中产生的白斑或暗电流对光电转换部分的影响。在第一例子中,位置C与位置F之间的硼浓度的积分值大于位置A和位置C之间的硼浓度的积分值,并且为位置A与位置C之间的硼浓度的积分值的四倍或更大。从位置C到位置F的硼浓度的积分值可以为 $1.0\text{E}13/\text{cm}^2$ 或更大。从位置C到位置F的硼浓度的积分值可以为 $1.0\text{E}14/\text{cm}^2$ 或更小。

[0060] 这揭示了,在第一例子中,硼在栅极绝缘膜106和氧化硅膜116中的俘获可以被抑制。可以通过采用向栅极绝缘膜106和氧化硅膜116的硼浓度减小并且杂质区域112中的硼浓度增大的轮廓,减少白斑和暗电流。特别地,通过满足上述的硼浓度或者硼浓度的积分值的大小关系或范围,可以在传统的光电转换器件中大大减少白斑和暗电流。

[0061] 虽然已参照示例性实施例描述本发明,但应理解,本发明不限于公开的示例性实施例。所附权利要求的范围应被赋予最宽的解释以包含所有的修改以及等同的结构和功能。

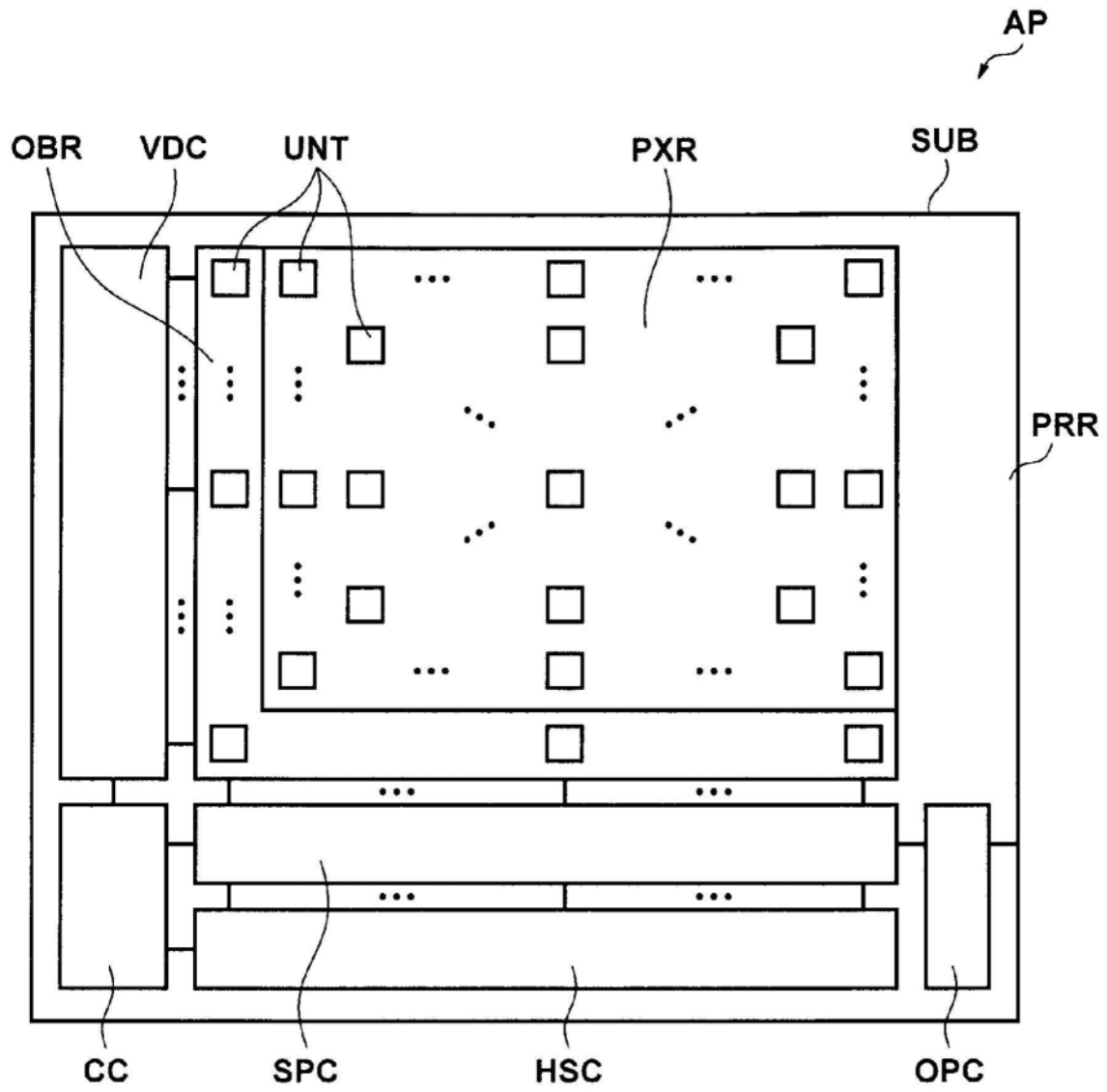


图1A

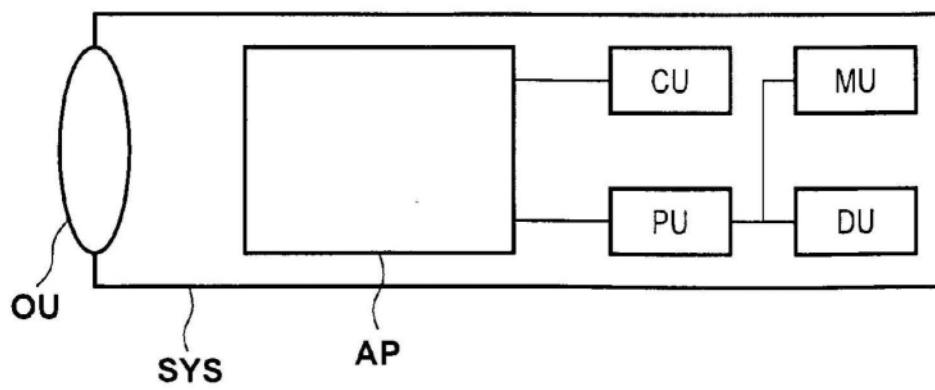


图1B

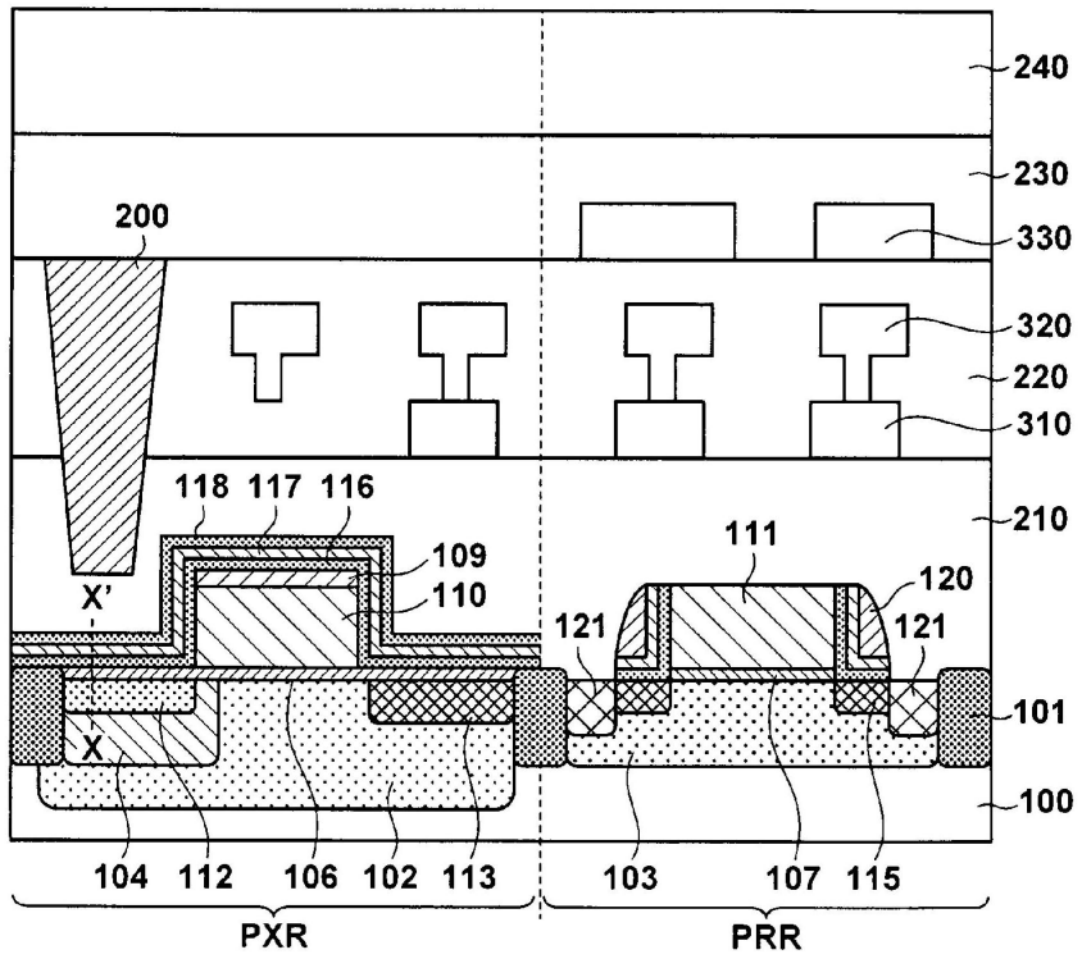


图2

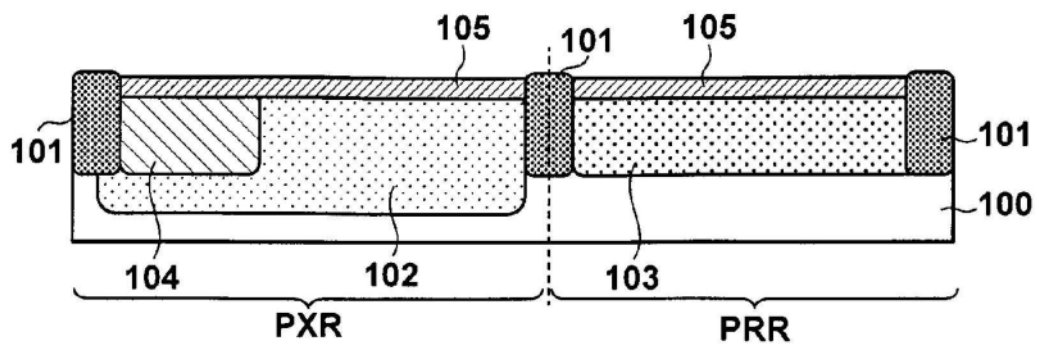


图3A

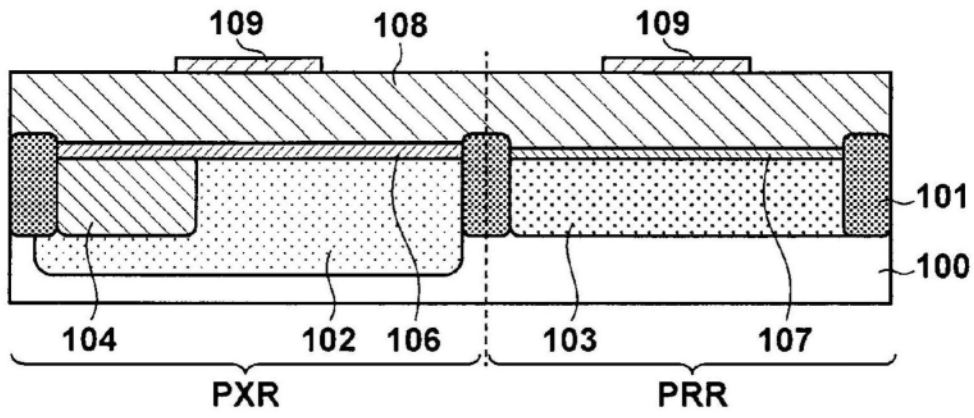


图3B

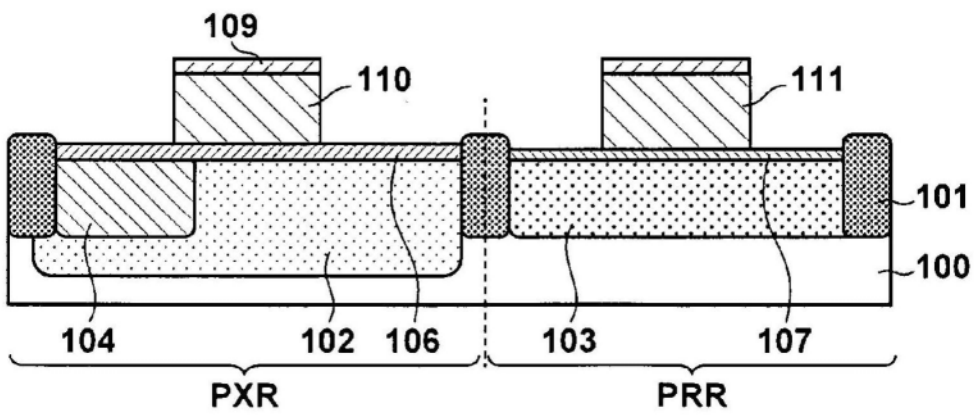


图3C

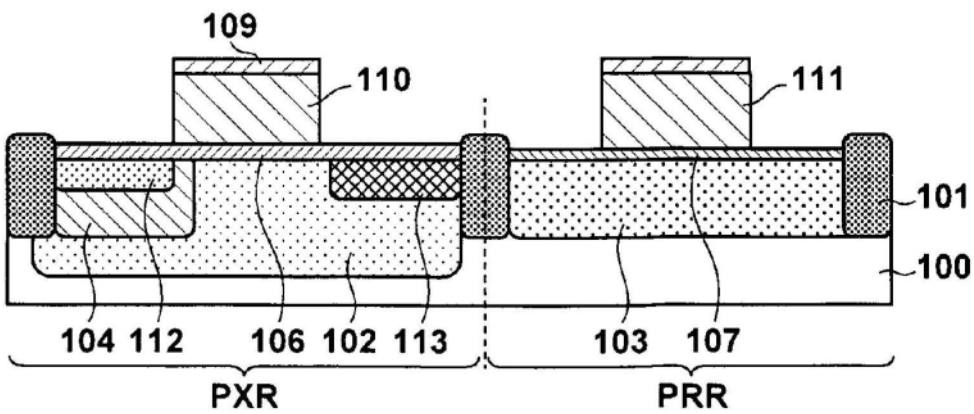


图3D

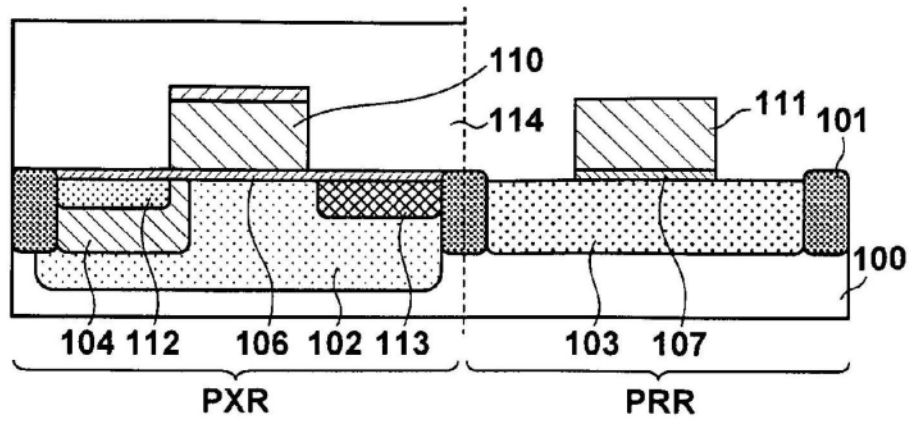


图4A

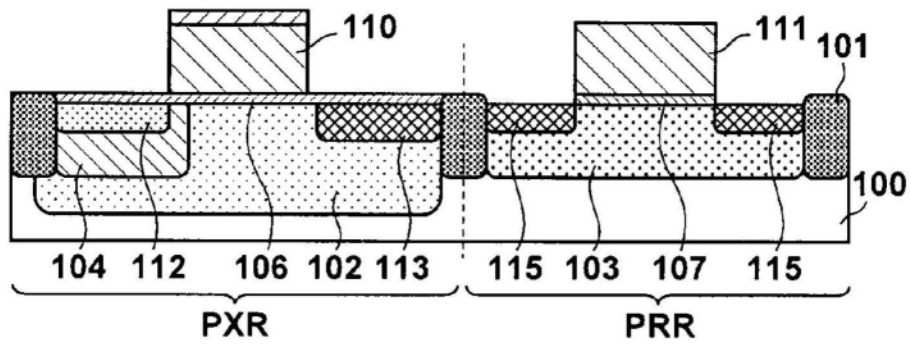


图4B

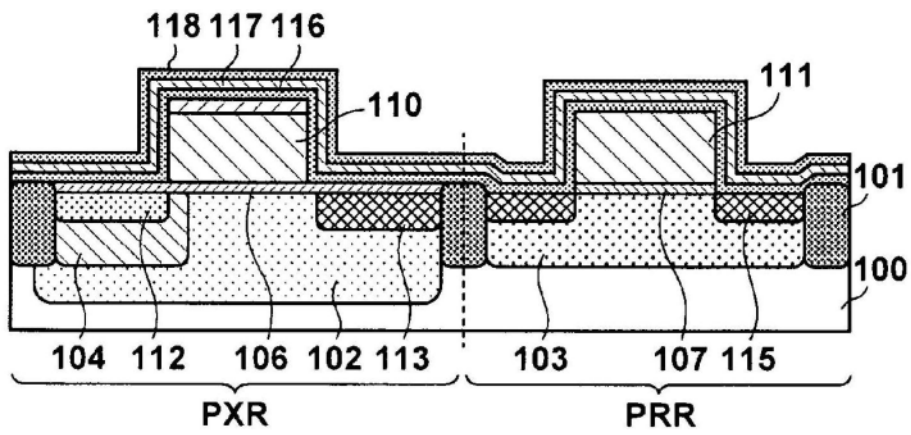


图4C

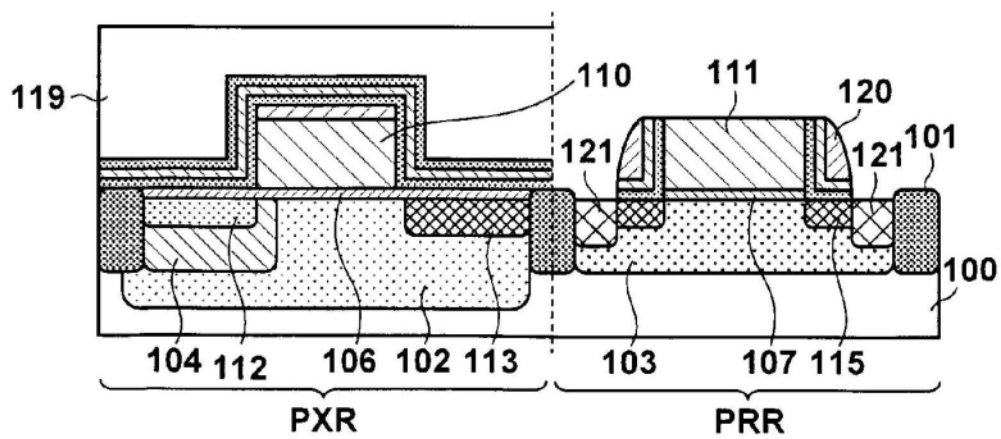


图4D

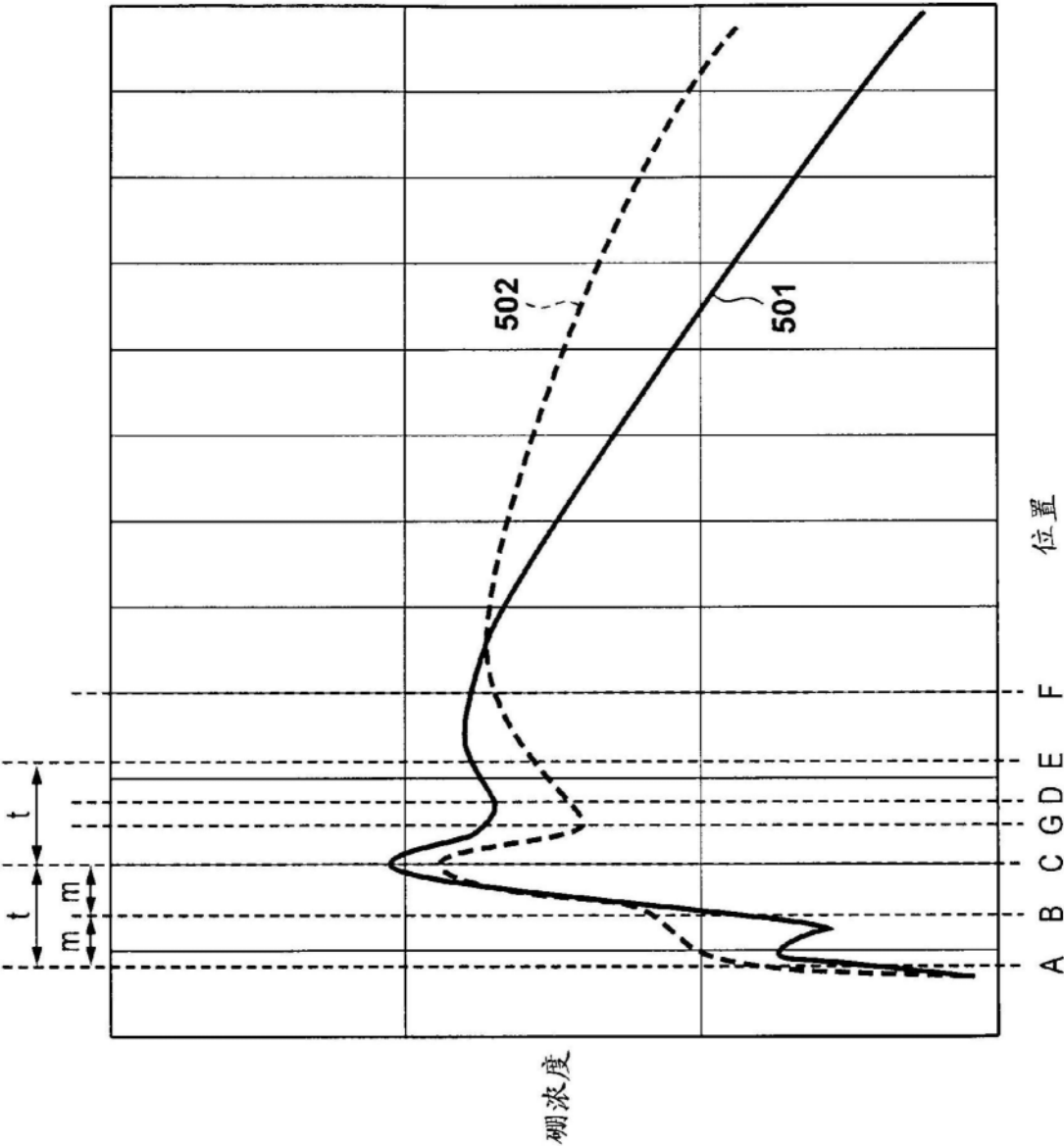


图5