(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0019506
(43) 공개일자 2023년02월08일

(51) 국제특허분류(Int. Cl.)
H10K 71/60 (2023.01) *H10K 50/11* (2023.01)
H10K 50/15 (2023.01) *H10K 50/16* (2023.01)
H10K 50/17 (2023.01) *H10K 50/81* (2023.01)
H10K 50/82 (2023.01) *H10K 71/40* (2023.01)
(52) CPC특허분류
H10K 71/611 (2023.02)
H10K 50/11 (2023.02)
(21) 출원번호 10-2023-7003267(분할)
(22) 출원일자(국제) 2020년03월10일
심사청구일자 2023년01월30일
(62) 원출원 특허 10-2021-7032129
원출원일자(국제) 2020년03월10일
(85) 번역문제출일자 2023년01월27일
(86) 국제출원번호 PCT/US2020/021812
(87) 국제공개번호 WO 2020/197753
국제공개일자 2020년10월01일
(30) 우선권주장
62/823,425 2019년03월25일 미국(US)
62/863,038 2019년06월18일 미국(US)

(71) 출원인
시노비아 테크놀로지스
미국 캘리포니아 샌 카를로스 테일러 웨이 595 유니트 1 (우: 94070)
(72) 발명자
버카드, 조지
미국 94070 캘리포니아 샌 카를로스 테일러 웨이 595 유닛1
슬롯캐비지, 다니엘
미국 94070 캘리포니아 샌 카를로스 테일러 웨이 595 유닛1
(뒷면에 계속)
(74) 대리인
특허법인 남앤남

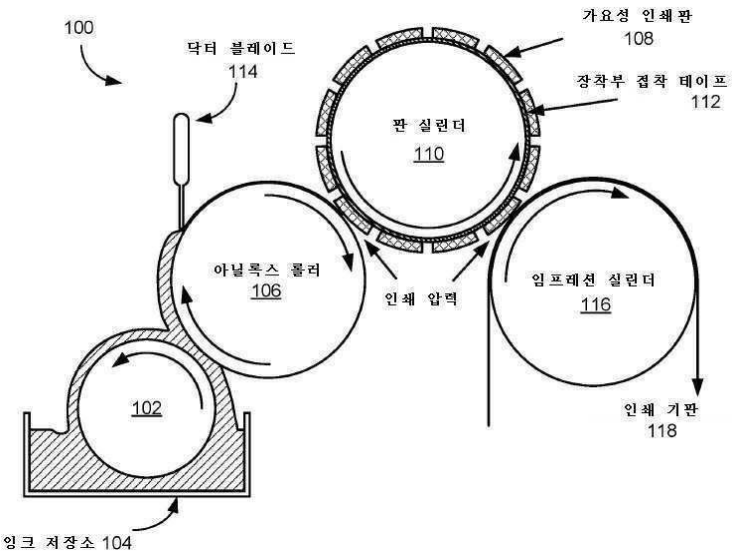
전체 청구항 수 : 총 67 항

(54) 발명의 명칭 **비평형 열경화 공정**

(57) 요 약

전자 디바이스 스택에서 각각의 층을 플래시 경화시키는 방법이 제공된다. 방법은 기판 및 기판의 표면에 배치된 하나 이상의 전자 활성층을 포함하는 층의 스택을 제공하는 단계를 포함한다. 방법은 층의 스택 위에, 물질의 열경화형 층을 적용하는 단계를 더 포함한다. 방법은 제1 온도 미만인 제2 온도 아래로 층의 스택을 유지하면서 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이 동안 물질의 열경화형 층의 온도를 제1 온도보다 높게 상승시키는 것을 포함하는 비평형 열 공정을 수행하는 단계를 더 포함한다. 층의 스택은 제2 온도 아래의 온도에 대해 견고하다.

대 표 도 - 도1a



(52) CPC특허분류
H10K 50/15 (2023.02)
H10K 50/16 (2023.02)
H10K 50/17 (2023.02)
H10K 50/81 (2023.02)
H10K 50/82 (2023.02)
H10K 71/40 (2023.02)
(72) 발명자
게이너, 휘트니
미국 94070 캘리포니아 샌 카를로스 테일러 웨이 595 유닛1
리우, 방-얀
미국 94070 캘리포니아 샌 카를로스 테일러 웨이 595 유닛1

명 세 서

청구범위

청구항 1

방법으로서,

기판 및 상기 기판의 표면에 배치된 하나 이상의 전자 활성층을 포함하는 층의 스택을 제공하는 단계;

상기 층의 스택 위에, 물질의 열경화형 층을 적용하는 단계; 및

제1 온도 미만인 제2 온도 아래로 상기 층의 스택을 유지하면서 상기 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이 동안 상기 물질의 열경화형 층의 온도를 상기 제1 온도보다 높게 상승시키는 것을 포함하는 비평형 열 공정을 개시하기 위해 상기 층의 스택의 표면을 조명하는 단계로서, 상기 층의 스택은 상기 제2 온도 아래의 온도에 대해 견고한(robust), 상기 조명하는 단계

를 포함하는, 방법.

청구항 2

제1항에 있어서, 상기 층의 스택은 부분 유기 발광 다이오드(OLED) 스택인, 방법.

청구항 3

제1항에 있어서, 상기 층의 스택은 유기 광전지에 대한 부분 스택인, 방법.

청구항 4

제1항에 있어서,

상기 물질의 열경화형 층은 가교성 물질을 포함하고; 그리고

상기 비평형 열 공정을 수행하는 단계는 상기 가교성 물질을 가교시키는 단계를 포함하는, 방법.

청구항 5

제1항에 있어서,

상기 물질의 열경화형 층은 중합성 물질을 포함하고; 그리고

상기 비평형 열 공정을 수행하는 단계는 상기 중합성 물질을 중합하는 단계를 포함하는, 방법.

청구항 6

제1항에 있어서,

상기 물질의 열경화형 층은 반도체성 중합체 호스트 물질 및 불순물을 포함하는 열 활성화형 도핑된 층이고; 그리고

상기 비평형 열 공정을 수행하는 단계는 상기 열 활성화형 도핑된 층을 열 활성화하는 단계를 포함하는, 방법.

청구항 7

제1항에 있어서, 상기 제2 온도는 상기 층의 스택에서 각각의 층에 대한 유리 전이 온도인, 방법.

청구항 8

제1항에 있어서, 상기 물질의 열경화형 층을 경화시키기에 충분한 상기 시간의 길이 동안 상기 제1 온도로 상기 층의 스택을 유지하는 것은 상기 층의 스택으로 하여금 동작하지 않게 할 것인, 방법.

청구항 9

제1항에 있어서, 상기 제2 온도는 벌크 손상 임계 온도인, 방법.

청구항 10

제1항에 있어서, 상기 제2 온도는 상기 층의 스택에서 각각의 층으로 하여금 갈라지거나 뒤틀리게 할 온도인, 방법.

청구항 11

제1항에 있어서, 상기 제1 온도에서 상기 물질의 열경화형 층을 경화시키기에 충분한 상기 시간의 길이는 10초 미만, 20초 미만, 또는 1분 미만, 또는 10분 미만인, 방법.

청구항 12

제11항에 있어서, 상기 제2 온도에서 상기 물질의 열경화형 층을 경화시키기에 충분한 상기 시간의 길이는 10분 초과, 1시간 초과, 2시간 초과, 8시간 초과, 12시간 초과 또는 24시간 초과인, 방법.

청구항 13

제1항에 있어서,

상기 제2 온도는 상기 층의 스택에서 제1 층의 제1 양의 열 변형을 야기할 온도이고; 그리고

상기 제1 양의 열 변형은 상기 제1 층과 상이한 상기 층의 스택에서 제2 층으로 하여금 갈라지거나 뒤틀리게 할 것인, 방법.

청구항 14

제13항에 있어서, 상기 제1 층은 상기 기판인, 방법.

청구항 15

제13항에 있어서, 상기 열 변형은 소성 변형인, 방법.

청구항 16

제1항에 있어서, 상기 물질의 열경화형 층은 상기 층의 스택에서 물질의 전자 활성층인, 방법.

청구항 17

제1항에 있어서,

상기 비평형 열 공정은 상기 물질의 열경화형 층으로부터 상기 물질의 열경화된 층을 생성하는 것을 야기하고; 그리고

상기 방법은,

상기 물질의 열경화된 층 및 상기 기판과 상기 물질의 열경화된 층 사이에 배치된 전극을 포함하는 전자 디바이스를 패키징하는 단계를 더 포함하되, 상기 물질의 열경화된 층은 상기 전극을 포함하는 층의 전자 활성 스택에서 각각의 층인, 방법.

청구항 18

전자 디바이스로서,

가교성 물질로 형성된 가교된 물질의 층; 및

제2 물질의 층

을 포함하되;

상기 가교된 물질의 층은 상기 제2 물질의 층 위에 배치되고; 그리고

상기 가교성 물질을 가교시키기 위한 임계 온도는 상기 제2 물질의 층에 대한 손상 임계 온도보다 높은, 전자

디바이스.

청구항 19

제18항에 있어서, 상기 손상 임계 온도는 유리 전이 온도인, 전자 디바이스.

청구항 20

제18항에 있어서, 상기 손상 임계 온도는 상기 제2 물질의 층이 상기 전자 디바이스에서 비가역적으로 동작하지 않게 할 온도인, 전자 디바이스.

청구항 21

제18항에 있어서, 상기 손상 임계 온도는 상기 제2 물질의 층으로 하여금 갈라지거나 뒤틀리게 할 온도인, 전자 디바이스.

청구항 22

제18항에 있어서, 상기 손상 임계 온도는 벌크 손상 임계 온도인, 전자 디바이스.

청구항 23

제18항에 있어서,

상기 손상 임계 온도는 상기 제2 물질의 층과 상이한, 상기 전자 디바이스에서 제1 층의 제1 양의 열 변형을 야기할 온도이고; 그리고

상기 제1 양의 열 변형은 상기 제2 물질의 층으로 하여금 갈라지거나 뒤틀리게 할 것인, 전자 디바이스.

청구항 24

제23항에 있어서, 상기 제1 층은 기판인, 전자 디바이스.

청구항 25

제23항에 있어서, 상기 열 변형은 소성 변형인, 전자 디바이스.

청구항 26

제18항에 있어서, 상기 가교된 물질의 층은 상기 전자 디바이스에서 물질의 전자 활성층인, 전자 디바이스.

청구항 27

제18항에 있어서, 기판과 상기 물질의 가교된 층 사이에 배치된 전극을 더 포함하되, 상기 물질의 가교된 층은 상기 전극을 포함하는 층의 전자 활성 스택에서 각각의 층인, 전자 디바이스.

청구항 28

전자 디바이스로서,

반도체성 중합체 호스트 물질 및 불순물을 포함하는 열 활성화된 도핑된 물질의 층; 및

제2 물질의 층

을 포함하되;

상기 열 활성화된 도핑된 물질의 층은 상기 제2 물질의 층 위에 배치되고; 그리고

상기 불순물을 열 활성화하기 위한 임계 온도는 상기 제2 물질의 층에 대한 손상 임계 온도보다 높은, 전자 디바이스.

청구항 29

제28항에 있어서, 상기 손상 임계 온도는 상기 제2 물질의 층이 상기 전자 디바이스에서 비가역적으로 동작하지

않게 할 온도인, 전자 디바이스.

청구항 30

제28항에 있어서,

상기 손상 임계 온도는 상기 제2 물질의 층과 상이한, 상기 전자 디바이스에서 제1 층의 제1 양의 열 변형을 야기할 온도이고; 그리고

상기 제1 양의 열 변형은 상기 제2 물질의 층으로 하여금 갈라지거나 뒤틀리게 할 것인, 전자 디바이스.

청구항 31

제30항에 있어서, 상기 제1 층은 기판인, 전자 디바이스.

청구항 32

제30항에 있어서, 상기 열 변형은 소성 변형인, 전자 디바이스.

청구항 33

제28항에 있어서, 상기 열 활성화된 도핑된 물질의 층은 상기 전자 디바이스에서 물질의 전자 활성층인, 전자 디바이스.

청구항 34

제28항에 있어서, 기판과 상기 열 활성화된 도핑된 물질의 층 사이에 배치된 전극을 더 포함하되, 상기 열 활성화된 도핑된 물질의 층은 상기 전극을 포함하는 층의 전자 활성 스택에서 각각의 층인, 전자 디바이스.

청구항 35

전자 디바이스로서,

중합성 물질로 형성된 중합된 물질의 층; 및

제2 물질의 층

을 포함하되;

상기 중합된 물질의 층은 상기 제2 물질의 층 위에 배치되고; 그리고

상기 중합성 물질을 중합하기 위한 임계 온도는 상기 제2 물질의 층에 대한 손상 임계 온도보다 높은, 전자 디바이스.

청구항 36

제35항에 있어서,

상기 손상 임계 온도는 상기 전자 디바이스에서 제1 층의 제1 양의 열 변형을 야기할 온도이고; 그리고

상기 제1 양의 열 변형은 상기 제1 층과 상이한, 상기 전자 디바이스에서 제2 층으로 하여금 갈라지거나 뒤틀리게 할 것인, 전자 디바이스.

청구항 37

제36항에 있어서, 상기 제1 층은 기판인, 전자 디바이스.

청구항 38

제36항에 있어서, 상기 열 변형은 소성 변형인, 전자 디바이스.

청구항 39

제35항에 있어서, 상기 중합된 물질의 층은 상기 전자 디바이스에서 물질의 전자 활성층인, 전자 디바이스.

청구항 40

제35항에 있어서, 기판과 상기 물질의 중합된 층 사이에 배치된 전극을 더 포함하되, 상기 중합된 물질의 층은 상기 전극을 포함하는 층의 전자 활성 스택에서 각각의 층인, 전자 디바이스.

청구항 41

방법으로서,

기판의 표면에 배치된 적어도 부분 유기 발광 다이오드(OLED) 스택을 가지는 상기 기판을 제공하는 단계;

상기 부분 OLED 스택 위에, 지방족 용매에 현탁된 금속 화합물을 포함하는 용액을 증착시키는 단계; 및

상기 부분 OLED 스택을 위한 캐소드를 형성하기 위해 상기 용액의 금속 화합물로부터 전도성 고체층을 형성하는 단계

를 포함하는, 방법.

청구항 42

제41항에 있어서, 상기 부분 OLED 스택은, 상기 기판에 근접한 순서로,

애노드;

정공 주입층;

정공 수송층;

발광층;

전자 수송층; 및

전자 주입층

을 포함하는, 방법.

청구항 43

제42항에 있어서, 상기 애노드는 투명 전도성 층인, 방법.

청구항 44

제41항에 있어서, 상기 부분 OLED 스택은 하단 발광 OLED 스택의 일부인, 방법.

청구항 45

제41항에 있어서, 상기 금속 화합물은 은(Ag) 화합물 또는 알루미늄(Al) 화합물을 포함하는, 방법.

청구항 46

제41항에 있어서, 상기 캐소드는 반사성인, 방법.

청구항 47

제41항에 있어서, 상기 캐소드는 0.001 내지 1.0 Ω/□/mil의 전도도를 갖는, 방법.

청구항 48

제41항에 있어서, 상기 부분 OLED 스택은 적어도 1㎠인 상기 기판의 인접 영역을 커버하는, 방법.

청구항 49

제41항에 있어서, 상기 부분 OLED 스택은 인듐 주석 산화물(ITO) 이외의 물질을 포함하는 애노드를 포함하는, 방법.

청구항 50

제41항에 있어서,

상기 부분 OLED 스택은 복수의 층으로 이루어지고; 그리고

상기 방법은,

상기 부분 OLED 스택을 위한 애노드를 형성하기 위해 용액 기반 공정을 사용하여 투명 전도성 층을 증착시키는 것을 포함하는, 상기 부분 OLED 스택에 각각의 층을 형성하기 위해 용액 기반 공정을 사용하여 상기 부분 OLED 스택을 제작하는 단계를 더 포함하는, 방법.

청구항 51

제41항에 있어서, 상기 금속 화합물을 포함하는 상기 용액은 롤투롤 공정(roll-to-roll processing)을 사용하여 증착되는, 방법.

청구항 52

제41항에 있어서, 상기 금속 화합물은 상기 지방족 용매에서 가용성이 되도록 기능화된 전도성 입자를 포함하는, 방법.

청구항 53

제41항에 있어서,

상기 부분 OLED 스택은 복수의 층으로 이루어지고; 그리고

상기 부분 OLED 스택의 복수 층의 각각의 층은 상기 지방족 용매에서 불용성인, 방법.

청구항 54

제41항에 있어서,

상기 금속 화합물은 전도성 입자를 포함하고; 그리고

상기 부분 OLED 스택을 위한 상기 캐소드를 형성하기 위해 상기 용액으로부터 상기 전도성 고체층을 형성하는 단계는 상기 용액을 열경화시키는 단계를 포함하는, 방법.

청구항 55

방법으로서,

기판의 표면에 배치된 적어도 부분 유기 발광 다이오드(OLED) 스택을 가지는 상기 기판을 제공하는 단계;

상기 부분 OLED 스택 위에, 금속 및 환원제를 포함하는 용액을 증착시키는 단계; 및

상기 용액으로부터 상기 금속을 침전시키기 위해 상기 금속을 환원시키는 단계

를 포함하는, 방법.

청구항 56

제55항에 있어서, 상기 부분 OLED 스택은, 상기 기판에 근접한 순서로,

애노드;

정공 주입층;

정공 수송층;

발광층;

전자 수송층; 및

전자 주입층

을 포함하는, 방법.

청구항 57

제56항에 있어서, 상기 애노드는 투명 전도성 층인, 방법.

청구항 58

제55항에 있어서, 상기 부분 OLED 스택은 하단 발광 OLED 스택의 일부인, 방법.

청구항 59

제55항에 있어서, 상기 금속은 은(Ag) 또는 알루미늄(Al)을 포함하는, 방법.

청구항 60

제55항에 있어서, 상기 캐소드는 반사성인, 방법.

청구항 61

제55항에 있어서, 상기 캐소드는 0.001 내지 1.0 Ω/□/mil의 전도도를 갖는, 방법.

청구항 62

제55항에 있어서, 상기 부분 OLED 스택은 적어도 1㎠인 상기 기판의 인접 영역을 커버하는, 방법.

청구항 63

제55항에 있어서, 상기 부분 OLED 스택은 인듐 주석 산화물(ITO) 이외의 물질을 포함하는 애노드를 포함하는, 방법.

청구항 64

제55항에 있어서,

상기 부분 OLED 스택은 복수의 층으로 이루어지고; 그리고

상기 방법은,

상기 부분 OLED 스택을 위한 애노드를 형성하기 위해 용액 기반 공정을 사용하여 투명 전도성 층을 증착시키는 것을 포함하는, 상기 부분 OLED 스택에 각각의 층을 형성하기 위해 용액 기반 공정을 사용하여 상기 부분 OLED 스택을 제작하는 단계를 더 포함하는, 방법.

청구항 65

제55항에 있어서, 상기 금속 및 상기 환원제를 포함하는 상기 용액은 롤투롤 공정을 사용하여 증착되는, 방법.

청구항 66

제55항에 있어서,

상기 부분 OLED 스택은 복수의 층으로 이루어지고;

상기 용액은 용매를 포함하고; 그리고

상기 부분 OLED 스택의 복수 층의 각각의 층은 상기 용매에서 불용성인, 방법.

청구항 67

디바이스로서,

기판;

상기 기판의 표면에 배치된 부분 OLED 스택으로서, 상기 기판에 근접한 순서로,

애노드; 및

하나 이상의 활성층을 포함하는, 상기 부분 OLED 스택; 및

소결된 전도성 입자의 고체층을 포함하는 캐소드

를 포함하는, 디바이스.

발명의 설명

기 술 분 야

[0001] 본 발명의 몇몇 실시형태는 일반적으로, 비평형 열경화 공정("플래시 경화")에 관한 것이고, 더 구체적으로 유기 박막 디바이스의 플래시 경화 물질에 관한 것이다. 본 발명의 몇몇 실시형태는 유기 발광 다이오드(OLED)에서 캐소드의 용액 기반 증착에 관한 것이다.

배 경 기 술

[0002] 발광 다이오드, 광전지 디바이스, 및 박막 트랜지스터와 같은 박막 전자 디바이스는 전형적으로, 하나 이상의 전자 활성층을 포함하는, 기판에 제작된 층의 스택을 포함한다. 층의 스택은 순차적으로 제작되며, 하나의 층은 그 아래의 층 위에 (예컨대, 코팅, 인쇄, 또는 리소그래피 공정에 의해) 제작된다.

[0003] 가능한 한 빠르고 저렴하게 각각의 층을 제작하는 것이 유리하다. 다양한 용액 기반 및/또는 롤투롤 공정 기술은 일반적으로, 매우 빠르고 저렴하지만, 모든 전자 디바이스 층이 전통적으로 용액 기반 및/또는 롤투롤 공정과 호환 가능한 것은 아니다. 예를 들면, 일부 층은 통상적으로, 기상 증착(느리고 비용이 많이 듦)을 사용하여 증착되고/되거나 용광로에서 열 처리(예컨대, 경화)되었다.

발명의 내용

[0004] 개시된 실시형태는 용액 기반 및/또는 롤투롤 공정 기술과 호환 가능한 방식으로 특정 전자 디바이스 층을 제작하기 위한 방법을 제공함으로써, 용광로에서의 기상 증착 및/또는 열경화와 같은 느리고 값비싼 기술에 대한 필요성을 감소시킨다.

[0005] (A1) 그 목적을 달성하기 위하여, 전자 디바이스 스택에서 각각의 층을 플래시 경화시키는 방법이 제공된다. 방법은 기판 및 기판의 표면에 배치된 하나 이상의 전자 활성층을 포함하는 층의 스택을 제공하는 단계를 포함한다. 방법은 층의 스택 위에, 물질의 열경화형 층을 적용하는 단계를 더 포함한다. 방법은 제1 온도 미만인 제2 온도 아래로 층의 스택을 유지하면서 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이 동안 물질의 열경화형 층의 온도를 제1 온도보다 높게 상승시키는 것을 포함하는 비평형 열 공정을 개시하기 위해 층의 스택의 표면을 조명하는 단계를 더 포함한다. 층의 스택은 제2 온도 아래의 온도에 대해 견고(robust)하다.

[0006] (A2) (A1)의 몇몇 실시형태에서, 층의 스택은 부분 유기 발광 다이오드(OLED) 스택이다.

[0007] (A3) (A1)의 몇몇 실시형태에서, 층의 스택은 유기 광전지에 대한 부분 스택이다.

[0008] (A4) (A1) 내지 (A3)의 몇몇 실시형태에서, 물질의 열경화형 층은 가교성 물질을 포함한다. 비평형 열 공정을 수행하는 단계는 가교성 물질을 가교시키는 단계를 포함한다.

[0009] (A5) (A1) 내지 (A3)의 몇몇 실시형태에서, 물질의 열경화형 층은 중합성 물질을 포함한다. 비평형 열 공정을 수행하는 단계는 중합성 물질을 중합하는 단계를 포함한다.

[0010] (A6) (A1) 내지 (A3)의 몇몇 실시형태에서, 물질의 열경화형 층은 반도체성 중합체 호스트 물질 및 불순물을 포함하는 열 활성화형 도핑된 층이다. 비평형 열 공정을 수행하는 단계는 열 활성화형 도핑된 층을 열 활성화하는 단계를 포함한다.

[0011] (A7) (A1) 내지 (A6)의 몇몇 실시형태에서, 제2 온도는 층의 스택에서 각각의 층에 대한 유리 전이 온도이다.

[0012] (A8) (A1) 내지 (A7)의 몇몇 실시형태에서, 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이 동안 제1 온도로 층의 스택을 유지하는 것은 층의 스택으로 하여금 동작하지 않게 할 것이다.

[0013] (A9) (A1) 내지 (A8)의 몇몇 실시형태에서, 제2 온도는 벌크 손상 임계 온도이다.

[0014] (A10) (A1) 내지 (A9)의 몇몇 실시형태에서, 제2 온도는 층의 스택에서 각각의 층으로 하여금 갈라지거나 뒤틀리게 할 온도이다.

[0015] (A11) (A1) 내지 (A10)의 몇몇 실시형태에서, 제1 온도에서 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이는 10초 미만, 20초 미만, 또는 1분 미만, 또는 10분 미만이다.

[0016] (A12) (A1) 내지 (A11)의 몇몇 실시형태에서, 제2 온도에서 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이는 10분 초과, 1시간 초과, 2시간 초과, 8시간 초과, 12시간 초과 또는 24시간 초과이다.

[0017] (A13) (A1) 내지 (A12)의 몇몇 실시형태에서, 제2 온도는 층의 스택에서 제1 층의 제1 양의 열 변형을 야기할 온도이고 제1 양의 열 변형은 제1 층과 상이한 층의 스택에서 제2 층으로 하여금 갈라지거나 뒤틀리게 할 것이다.

[0018] (A14) (A13)의 몇몇 실시형태에서, 제1 층은 기판이다.

[0019] (A15) (A13) 및 (A14)의 몇몇 실시형태에서, 열 변형은 소성 변형이다.

[0020] (A16) (A1) 내지 (A15)의 몇몇 실시형태에서, 물질의 열경화형 층은 층의 스택에서 물질의 전자 활성층이다.

[0021] (A17) (A1) 내지 (A16)의 몇몇 실시형태에서, 비평형 열 공정은 물질의 열경화형 층으로부터 물질의 열경화된 층을 생성하는 것을 야기한다. 방법은 물질의 열경화된 층 및 기판과 물질의 열경화된 층 사이에 배치된 전극을 포함하는 전자 디바이스를 패키징하는 단계를 더 포함한다. 물질의 열경화된 층은 전극을 포함하는 층의 전자 활성 스택에서 각각의 층이다.

[0022] (B1) 게다가, 전자 디바이스가 제공된다. 전자 디바이스는 가교성 물질로 형성된 가교된 물질의 층을 포함한다. 전자 디바이스는 제2 물질의 층을 더 포함한다. 가교된 물질의 층은 제2 물질의 층 위에 배치된다. 가교성 물질을 가교시키기 위한 임계 온도는 제2 물질의 층에 대한 손상 임계 온도보다 높다. 전자 디바이스는 (A1) 내지 (A12)와 관련하여 설명된 특징 중 임의의 특징에 따라 제작되거나, 이를 가질 수 있다.

[0023] (C1) 게다가, 전자 디바이스가 제공된다. 전자 디바이스는 반도체성 중합체 호스트 물질 및 불순물을 포함하는 열 활성화된 도핑된 물질의 층을 포함한다. 전자 디바이스는 제2 물질의 층을 더 포함한다. 열 활성화된 도핑된 물질의 층은 제2 물질의 층 위에 배치된다. 불순물을 열 활성화하기 위한 임계 온도는 제2 물질의 층에 대한 손상 임계 온도보다 높다. 전자 디바이스는 (A1) 내지 (A12)와 관련하여 설명된 특징 중 임의의 특징에 따라 제작되거나, 이를 가질 수 있다.

[0024] (D1) 게다가, 전자 디바이스가 제공된다. 전자 디바이스는 중합성 물질로 형성된 중합된 물질의 층을 포함한다. 전자 디바이스는 제2 물질의 층을 더 포함한다. 중합된 물질의 층은 제2 물질의 층 위에 배치된다. 중합성 물질을 중합하기 위한 임계 온도는 제2 물질의 층에 대한 손상 임계 온도보다 높다. 전자 디바이스는 (A1) 내지 (A12)와 관련하여 설명된 특징 중 임의의 특징에 따라 제작되거나, 이를 가질 수 있다.

[0025] (E1) 게다가, OLED 스택에 캐소드를 증착시키는 방법이 제공된다. 방법은 기판의 표면에 배치된 적어도 부분 OLED 스택을 가지는 기판을 제공하는 단계를 포함한다. 방법은 부분 OLED 스택 위에, 지방족 용매에 현탁된 금속 화합물을 포함하는 용액을 증착시키는 단계를 더 포함한다. 방법은 부분 OLED 스택을 위한 캐소드를 형성하기 위해 용액의 금속 화합물로부터 전도성 고체층을 형성하는 단계를 더 포함한다.

[0026] (E2) (E1)의 몇몇 실시형태에서, 부분 OLED 스택은 기판에 근접한 순서로: 애노드; 정공 주입층; 정공 수송층; 발광층; 전자 수송층; 및 전자 주입층을 포함한다.

[0027] (E3) (E1) 및 (E2)의 몇몇 실시형태에서, 애노드는 투명 전도성 층이다.

[0028] (E4) (E1) 내지 (E3)의 몇몇 실시형태에서, 부분 OLED 스택은 하단 발광 OLED 스택의 일부이다.

[0029] (E5) (E1) 내지 (E4)의 몇몇 실시형태에서, 금속 화합물은 은(Ag) 화합물 또는 알루미늄(Al) 화합물을 포함한다.

[0030] (E6) (E1) 내지 (E5)의 몇몇 실시형태에서, 캐소드는 반사성이다.

[0031] (E7) (E1) 내지 (E6)의 몇몇 실시형태에서, 캐소드는 0.001 내지 1.0 Ω/□/mil의 전도도를 갖는다.

[0032] (E8) (E1) 내지 (E7)의 몇몇 실시형태에서, 부분 OLED 스택은 적어도 1㎠인 기판의 인접 영역을 커버한다.

[0033] (E9) (E1) 내지 (E8)의 몇몇 실시형태에서, 부분 OLED 스택은 인듐 주석 산화물(ITO) 이외의 물질을 포함하는

애노드를 포함한다.

[0034] (E10) (E1) 내지 (E9)의 몇몇 실시형태에서, 부분 OLED 스택은 복수의 층으로 이루어진다. 방법은 부분 OLED 스택을 위한 애노드를 형성하기 위해 용액 기반 공정을 사용하여 투명 전도성 층을 증착시키는 것을 포함하는, 부분 OLED 스택에 각각의 층을 형성하기 위해 용액 기반 공정을 사용하여 부분 OLED 스택을 제작하는 단계를 더 포함한다.

[0035] (E11) (E1) 내지 (E10)의 몇몇 실시형태에서, 금속 화합물을 포함하는 용액은 롤투롤 공정을 사용하여 증착된다.

[0036] (E12) (E1) 내지 (E11)의 몇몇 실시형태에서, 금속 화합물은 지방족 용매에서 가용성이 되도록 기능화된 전도성 입자를 포함한다.

[0037] (E13) (E1) 내지 (E12)의 몇몇 실시형태에서, 부분 OLED 스택은 복수의 층으로 이루어진다. 부분 OLED 스택의 복수 층의 각각의 층은 지방족 용매에 대해 불용성이다.

[0038] (E14) (E1) 내지 (E13)의 몇몇 실시형태에서, 금속 화합물은 전도성 입자를 포함한다. 부분 OLED 스택을 위한 캐소드를 형성하기 위해 용액으로부터 전도성 고체층을 형성하는 단계는 용액을 열경화시키는 단계를 포함한다.

[0039] (F1) 게다가, OLED 스택에 캐소드를 증착시키는 방법이 제공된다. 방법은 기판의 표면에 배치된 적어도 부분 유기 발광 다이오드(OLED) 스택을 가지는 기판을 제공하는 단계; 부분 OLED 스택 위에, 금속 및 환원제를 포함하는 용액을 증착시키는 단계; 및 용액으로부터 금속을 침전시키기 위해 금속을 환원시키는 단계를 포함한다. 몇몇 실시형태에서, 용액은 금속을 포함하는 금속 화합물을 포함하고, 금속은 금속에서 금속 상태가 아니다(예컨대, 금속 원소가 금속인 산화 상태 이외의 산화 상태를 갖는다).

[0040] (F2) (F1)의 몇몇 실시형태에서, 부분 OLED 스택은 기판에 근접한 순서로: 애노드, 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층을 포함한다.

[0041] (F3) (F2)의 몇몇 실시형태에서, 애노드는 투명 전도성 층이다.

[0042] (F4) (F1) 내지 (F3)의 몇몇 실시형태에서, 부분 OLED 스택은 하단 발광 OLED 스택의 일부이다.

[0043] (F5) (F1) 내지 (F4)의 몇몇 실시형태에서, 금속은 은(Ag) 또는 알루미늄(Al)을 포함한다.

[0044] (F6) (F1) 내지 (F5)의 몇몇 실시형태에서, 캐소드는 반사성이다.

[0045] (F7) (F1) 내지 (F6)의 몇몇 실시형태에서, 캐소드는 0.001 내지 1.0 Ω/□/mil의 전도도를 갖는다.

[0046] (F8) (F1) 내지 (F7)의 몇몇 실시형태에서, 부분 OLED 스택은 적어도 1㎠인 기판의 인접 영역을 커버한다.

[0047] (F9) (F1) 내지 (F8)의 몇몇 실시형태에서, 부분 OLED 스택은 인듐 주석 산화물(ITO) 이외의 물질을 포함하는 애노드를 포함한다.

[0048] (F10) (F1) 내지 (F9)의 몇몇 실시형태에서, 부분 OLED 스택은 복수의 층으로 이루어진다. 방법은 부분 OLED 스택을 위한 애노드를 형성하기 위해 용액 기반 공정을 사용하여 투명 전도성 층을 증착시키는 것을 포함하는, 부분 OLED 스택에 각각의 층을 형성하기 위해 용액 기반 공정을 사용하여 부분 OLED 스택을 제작하는 단계를 더 포함한다.

[0049] (F11) (F1) 내지 (F10)의 몇몇 실시형태에서, 금속 및 환원제를 포함하는 용액은 롤투롤 공정을 사용하여 증착된다.

[0050] (F12) (F1) 내지 (F11)의 몇몇 실시형태에서, 부분 OLED 스택은 복수의 층으로 이루어지고, 용액은 용매를 포함하고, 부분 OLED 스택의 복수 층의 각각의 층은 용매에서 불용성이다.

[0051] (G1) 게다가, 전자 디바이스가 제공된다. 디바이스는 기판 및 기판의 표면에 배치된 부분 OLED 스택을 포함한다. 부분 OLED 스택은 기판에 근접한 순서로: 애노드; 및 하나 이상의 활성층을 포함한다. 전자 디바이스는 소결된 전도성 입자의 고체층을 포함하는 캐소드를 더 포함한다. 전자 디바이스는 (E1) 내지 (E14) 또는 (F1) 내지 (F12)와 관련하여 설명된 특징 중 임의의 특징에 따라 제작되거나, 이를 가질 수 있다.

도면의 간단한 설명

[0052] 도 1a 및 도 1b는 몇몇 실시형태에 따른, 전자 디바이스를 적어도 부분적으로 제작하기 위한 롤투롤 공정 셋업

(roll-to-roll processing setup)을 도시한 도면.

도 2a 내지 도 2c는 몇몇 실시형태에 따른, 비평형 열경화 공정을 도시한 도면.

도 3a 및 도 3b는 몇몇 실시형태에 따른, 층의 스택 위에 캐소드를 증착시키기 위한 용액 기반 공정을 도시한 도면.

도 4는 몇몇 실시형태에 따른, 층의 스택에서 층을 열경화시키는 방법에 대한 흐름도.

도 5a 내지 도 5b는 몇몇 실시형태에 따른, 부분 OLED 스택 위에 캐소드를 용액 기반 증착시키는 방법에 대한 흐름도.

도면 전체에 걸쳐 유사한 참조 부호는 대응하는 부분을 언급한다.

발명을 실시하기 위한 구체적인 내용

[0053] 이제 실시형태에 대한 참조가 상세하게 행해질 것이며, 이의 예는 첨부된 도면에 도시된다. 다음의 상세한 설명에서, 다양한 설명된 실시형태의 완전한 이해를 제공하기 위해 많은 특정 상세가 제시된다. 그러나, 다양한 설명된 실시형태가 이 특정 상세 없이 실시될 수 있다는 것이 당업자에게 명백할 것이다. 다른 사례에서, 잘 알려진 방법, 절차, 구성요소, 회로, 및 네트워크는 실시형태의 양태를 불필요하게 모호하게 하지 않도록 상세하게 설명되지 않았다.

[0054] 도 1a 내지 도 1b는 몇몇 실시형태에 따른, 전자 디바이스를 적어도 부분적으로 제작하기 위한 롤투롤 공정 셋업을 도시한다.

[0055] 도 1a는 몇몇 실시형태에 따른, 전자 활성층(및 다른 층)을 인쇄하기 위한 플렉소그래피 셋업(100)을 도시한다. 플렉소그래피가 롤투롤 공정의 일례로서 사용되지만, 본 발명의 이득을 가지는 당업자는 코팅 및 인쇄 디바이스 물질에 대해 다른 롤투롤 공정이 또한 적용 가능하다는 것을 인식할 것이다. 이러한 공정은 적용에 의존하여, 슬롯 다이 코팅, 그라비아 코팅, 마이크로 그라비아 코팅, 롤 코팅, 콤마 코팅, 바 코팅, 로드 코팅, 나이프 코팅, 블레이드 코팅, 슬라이드 코팅, 커튼 코팅, 스프레이 코팅, 회전 스크린 인쇄, 잉크젯 인쇄, 및 다른 것을 포함한다.

[0056] 플렉소그래피 셋업(100)은 파운틴 롤러(102)를 포함한다. 파운틴 롤러(102)는 잉크 팬(104)에 위치된 잉크를 아닐록스 롤러(anilox roller)(106)로 전사한다. 현대의 플렉소그래픽 인쇄에서, 아닐록스 롤러(106)는 때때로 계량 롤러로서 언급된다.

[0057] 아닐록스 롤러(106)는 판 실린더(110)에 장착된 가요성 인쇄 판(108)에 잉크를 전사하는 역할을 한다. 몇몇 실시형태에서, 아닐록스 롤러(106)는 판 실린더(110)에 장착된 가요성 인쇄 판(108)에 균일한 두께의 잉크를 전사한다(예컨대, 아닐록스 롤러(106)은 특정한 잉크 용량을 갖는 미세하게 새겨진 셀을 가짐). 몇몇 실시형태에서, 선택적인 닥터 블레이드(114)는 가요성 인쇄 판(108)에 전달될 잉크가 새겨진 셀 내에 단지 포함되는 것임을 보장하기 위해 아닐록스 롤러(106)를 긁는다.

[0058] 몇몇 실시형태에서, 가요성 인쇄 판(108)은 연질 가요성 고무 유사 물질로 만들어진다. 몇몇 실시형태에서, 가요성 인쇄 판(108)은 장착부 접착 테이프(112)를 사용하여 판 실린더(110)에 유지된다. 다른 실시형태에서, 가요성 인쇄 판(108)은 자석, 인장 스트랩, 및/또는 래칫을 사용하여 판 실린더(110)에 유지된다.

[0059] 플렉소그래피 셋업(100)은 판 실린더(110)에 압력을 가하는 임프레션 실린더(impression cylinder)(116)("프린트 앤빌(print anvil)"로 또한 칭해짐)를 더 포함한다. 이 방식으로, 가요성 인쇄 판(108)의 잉크 이미지는 인쇄 기판(118)으로 전사된다. 몇몇 실시형태에서, 잉크는 층의 스택에서 각각의 층(예컨대, 후속 도면과 관련하여 설명된 층 중 임의의 층)이 형성되는 용액이다. 몇몇 실시형태에서, 인쇄 기판(118)은 하기에서 설명된, 방법(400)(도 4) 및 방법(500)(도 5a 및 도 5b)에서 기판으로서 사용된다.

[0060] 일부 상황에서, 도 1a에 도시된 바와 같이, 인쇄 기판(118)에 인쇄된 잉크는 경화될 필요가 있다. 그 목적을 달성하기 위하여, 도 1b는 몇몇 실시형태에 따른, 광자 경화 셋업(115)을 도시한다. 광자 경화 셋업(115)은 인쇄 기판(118)이 공급되는 한 쌍의 공급 롤러(예컨대, 공급 롤러(120a) 및 공급 롤러(120b))를 포함한다. 인쇄 기판(118)은 그 다음, 인쇄 기판(118)의 잉크를 경화시키는(예컨대, UV 경화 또는 열경화 공정을 개시함으로써) 램프(122)로부터의 방사선에 노출된다(방사선으로 조명됨). 몇몇 실시형태에서, 도 2a 내지 도 2c 및 방법(400)(도 4)을 참조하여 설명된 바와 같이, 램프(122)는 인쇄 기판(118)의 상단 표면에 에너지를 증착시키는(예컨대, 광자의 형태로) 플래시 경화 램프(예컨대, 제논 플래시 경화 램프)이다. 일단 경화되면, 인쇄 기판(118)은 그

다음, 한 쌍의 풀 롤러(예컨대, 풀 롤러(124a) 및 풀 롤러(124b))를 통해 공급된다. 몇몇 실시형태에서, 부가적인(예컨대, 후속적인) 디바이스 층은 도 1a 및 도 1b에 도시된 공정을 반복함으로써 경화된 잉크 위에 인쇄될 수 있다.

[0061] 도 2a 내지 도 2c는 몇몇 실시형태에 따른, 비평형 열경화 공정(예컨대, 플래시 경화 공정)을 도시한다. 도 2a에서, 기판(204) 및 기판의 표면에 배치된 하나 이상의 전자 활성층을 포함하는 층(202)의 스택이 제공된다. 예를 들면, 층(206a), 층(206b), 및 층(206c) 중 하나 이상은 전자 활성층이다. 물질의 열경화형 층(208)은 층(202)의 스택 위에 적용된다. 플래시 경화 램프(예컨대, 램프(122), 도 1)로부터의 광(210)은 물질의 열경화형 층(208)에 입사된다.

[0062] 몇몇 실시형태에서, 스택의 2개의 층이 경화 공정을 완료하기 위해 필요한 지속기간 동안 실질적으로 상이한 온도에 있을 때, 본 명세서에서 설명된 열경화 공정은 비평형 열 공정으로 간주된다는 점에 유의한다. 예를 들면, 하기에서 설명된 바와 같이, 몇몇 실시형태에서, 경화형 층은 제1 온도보다 높게 상승되고 상이한 층은 제1 온도 미만인 제2 온도 아래로 유지되며, 여기서 디바이스는 제2 온도에 대해 견고하다. 제1 온도 및 제2 온도가 상이하기 때문에, 공정은 비평형 열 공정으로 간주된다.

[0063] 그 목적을 달성하기 위하여, 도 2b에 도시된 바와 같이, 플래시 경화를 통해, 에너지는 신속하게(열화 시간 미만), 및 실질적으로 모든 광(210)이 흡수되는 상단 표면에만(예컨대, 물질의 열경화형 층(208)에서) 증착된다. 이것은 상단 표면(예컨대, 물질의 열경화형 층(208))이 고온(예컨대, 500℃ 초과)으로 가열되는 것을 허용하지만, 그 에너지가 (기판을 포함하는) 아래의 층(202)의 스택으로 열화됨에 따라, 상단 표면의 온도(T)가 감소하고 기판의 온도가 증가한다. 그러나, 기판의 열 용량이 표면의 열 용량보다 훨씬 크기 때문에, 층(202) 스택의 온도는 단지 약간(예컨대, 층(202)의 스택에 대한 손상 임계치 아래) 상승하며, 이는 고온에서 물질의 열경화형 층(208)을 여전히 경화시키면서 다른 층에 대한 열 손상을 방지할 수 있다.

[0064] 도 2c는 결과적인 구조를 도시한다. 더 구체적으로, 도 2c는 열경화형 물질(예컨대, 가교성 물질로부터 형성된 가교된 물질; 중합성 물질로부터 형성된 중합된 물질; 및/또는 반도체성 중합체 호스트 물질 및 불순물을 포함하는 열 활성화된 도핑된 물질)로 형성된 열경화된 물질(208)의 층을 포함하는 전자 디바이스(212)를 도시한다. 전자 디바이스는 제2 물질의 층(예컨대, 층(206a), 층(206b), 및/또는 층(206c) 중 임의의 층)을 더 포함한다. 열경화된 물질(208)의 층은 제2 물질의 층 위에 배치된다. 물질(208)를 열경화시키기 위한 임계 온도는 제2 물질의 층에 대한 손상 임계 온도보다 높다. 전자 디바이스가 전자 디바이스의 보호를 위해 부가적인 전자 활성층뿐만 아니라, 장벽 층과 같은 후속 층(도시되지 않지만, 장벽 층(314)과 유사함, 도 3b)을 포함할 수 있음에 유의한다(즉, 열경화된 층은 전자 디바이스의 상위 층일 필요는 없음).

[0065] 도 3a 및 도 3b는 몇몇 실시형태에 따른, 층의 스택 위에 캐소드를 증착시키기 위한 용액 기반 공정을 도시한다. 특히, 도 3a 내지 도 3b는 하단 발광 OLED를 위한 캐소드를 증착시키기 위한 용액 기반 공정의 일례를 도시한다. 도 3a에서, 기판(304)의 표면에 배치된 적어도 부분 OLED 스택(302)을 가지는 기판(304)이 제공된다. 예를 들면, 부분 OLED 스택(302)은: 애노드(306a), 정공 주입층(306b), 정공 수송층(306c), 발광층(306d), 전자 수송층(306e), 및 전자 주입층(306f) 중 하나 이상을 포함한다. 몇몇 실시형태에서, 부분 OLED 스택은 복수의 상기 언급된 층을 포함하고, 상기 언급된 층 중 적어도 하나를 포함하지 않는다. 예를 들면, 몇몇 실시형태에서, 부분 OLED 스택은 정공 수송층 및/또는 전자 수송층을 포함하지 않는다. 몇몇 실시형태에서, 부분 OLED 스택에서 층의 각각은 용액 처리된다(예컨대, 롤투롤 공정을 사용하여 처리됨). 몇몇 실시형태에서, 스택에서 3개보다 많은 층은 용액 처리된다. 더 많은 층이 용액 처리될수록, 층의 적용이 이전에 증착된 층을 손상시키지 않도록 직교적인 화학 물질(orthogonal chemistries)을 찾는 것이 점점 더 어려워짐에 유의한다. 본 명세서에서 설명된 몇몇 실시형태는 스택에 이미 증착된 3개 이상의 용액 처리된 층을 손상시키지 않는 화학 물질(예컨대, 지방족 용매 또는 톨렌스 반응)을 사용하여 용액 공정 은 또는 알루미늄 캐소드를 증착시키는 방법을 제공한다. 몇몇 실시형태에서, 하나 이상의 용액 처리된(또는 용액 처리 가능한) 층은: 알코올, 에스터, 알데하이드, 에터, 케톤, 방향족, 및 극성 양성자성 용매를 포함하는 부류의 용매 중 임의의 용매에서 용해되기 쉽다.

[0066] 예를 들면, 몇몇 실시형태에서, 일 예시적인 부분 OLED 스택은 다음의 대응하는 용매(괄호로 표시됨)를 사용하여 생성된다: 애노드(물), 정공 주입층(알코올계 용매), 발광층(방향족 용매), 전자 수용 층(에터 용매).

[0067] 금속 화합물(예컨대, 은(Ag) 또는 알루미늄(Al) 화합물)을 포함하는 용액(308)은 부분 OLED 스택 위에 증착된다. 몇몇 실시형태에서, 용액은 용매를 더 포함하며, 부분 OLED 스택에서 층 중 어느 것도 용매에서 가용성이지 않다(예컨대, 층이 가교되었기 때문에 또는 층이 특정한 용매에서 자연적으로 불용성이기 때문에). 부분 OLED 스택을 위한 캐소드(310)는 금속 화합물로부터 형성된다. 예를 들면, 몇몇 실시형태에서, 금속 화합물은

금속 입자(예컨대, 나노입자)를 포함하고 캐소드는 금속 입자를 함께 소결시키기 위해 용액을 열경화시킴으로써 형성된다. 대안적으로, 캐소드는 금속 화합물의 금속을 금속 상태로 환원시키는 톨렌스 반응을 사용하여 형성된다. 본 명세서에서 사용된 바와 같이, 용어 화합물은 임의의 산화 상태의 상기 금속을 포함하는 임의의 물질(예컨대, 금속이 금속 상태인 나노입자, 금속이 금속 상태가 아닌 용해된 금속 염)을 커버하도록 의도된다.

[0068] 도 3b는 결과적인 구조를 도시한다. 더 구체적으로, 도 3b는 하단 발광 OLED(312)를 도시한다. 하단 발광 OLED(312)는 기판(304) 및 기판(304)의 표면에 배치된 부분 OLED 스택(302)을 포함한다. 예를 들면, 부분 OLED 스택은 기판에 근접한 순서로: 애노드(306a) 및 하나 이상의 활성층 중 하나 이상을 포함한다. 예를 들면, 하나 이상의 활성층은 정공 주입층(306b), 정공 수송층(306c), 발광층(306d), 전자 수송층(306e), 및 전자 주입층(306f) 중 하나 이상을 포함한다. 하단 발광 OLED(312)는 캐소드(310)를 더 포함한다. 몇몇 실시형태에서, 캐소드(310)는 소결된 전도성 입자의 고체층(예컨대, 다공성 금속 층)을 포함한다. 몇몇 실시형태에서, 캐소드(310)는 톨렌스 반응을 나타내는 특유의 결정 입도를 가지는 금속의 결정질 층을 포함한다.

[0069] 몇몇 실시형태에서, 부가적인 층은 하단 발광 OLED(312)에 적용될 수 있다. 예를 들면, 도 3b에 도시된 하단 발광 OLED(312)는 장벽 층(314) 및 라미네이트(316)를 포함하며, 이는 하단 발광 OLED(312)를 물리적 손상 및 예를 들면, 물 손상으로부터 보호한다.

[0070] 몇몇 실시형태에서, 도 3a 및 도 3b에 도시된 스택이 애노드가 상단에 있도록 반전됨에 유의해야 한다(예컨대, OLED는 상단 발광 OLED이다). 몇몇 실시형태에서, 애노드는 본 명세서에서 설명된 실시형태에 따라 증착된 은 애노드이다.

[0071] 도 4는 몇몇 실시형태에 따른, 층의 스택에서 층을 열경화시키는 방법(400)에 대한 흐름도를 도시한다. 방법(400)을 참조하여 설명된 다양한 동작은 도 5a 내지 도 5c를 참조하여 하기에서 설명된 방법(500)과 같은, 본 명세서에서 설명된 다른 방법 및 공정과 선택적으로 조합될 수 있다.

[0072] OLED와 같은 다양한 전자 디바이스는 기판에 층의 스택을 생성함으로써(예컨대, 리소그래피, 코팅, 및/또는 인쇄 공정을 통해 하나씩) 제작된다. 이러한 전자 디바이스를 제작하는 동안 예를 들면, 층을 중합, 가교, 또는 도핑하기 위해 층 중 하나에 열 공정을 수행하는 것이 종종 필요하다. 따라서, 스택의 벌크 온도를 상승시킴으로써 열 공정을 수행할 때(예컨대, 스택을 용광로에 배치함으로써), 스택에서 다른 층은 열 처리에 대해 견고해야 한다(예컨대, 다른 층은 전자 디바이스가 작동하지 않거나 수용 가능하지 않은 수명을 갖도록 열 처리에 의해 비가역적으로 손상될 수 없음). 예를 들면, 이러한 손상은 그 특정한 층이 손상 임계치(예컨대, 층이 분해되는 온도)보다 높은 온도에서 증가할 때 특정한 층에 대해 발생할 수 있다. 이러한 손상은 또한, 기계적 고장을 야기하는 다양한 층 사이의 차동 열 팽창으로부터 발생할 수 있다. 예를 들면, 일부 경우에, 복수의 박막(예컨대, 두께가 대략 50nm)이 두꺼운(예컨대, 50 마이크론 두께의) 기판 위에 적층된다. 기판이 눈에 띄게 가열되면 기판이 팽창하여, 기판으로 스택을 취하고, 전자 활성층 및/또는 장벽 층에 갈라짐을 야기한다.

[0073] 한 가지 해결책은 스택에서 열적으로 견고한 층을 사용하는 것이지만, 이러한 열적으로 견고한 층은 비싸다. 또 다른 해결책은 더 낮은 온도에서 열 공정을 수행하는 것이지만, 그렇게 하는 것은 열 공정이 생산 규모에서 더 이상 실행할 수 없는 지점까지 열 공정이 느려질 수 있다.

[0074] 본 발명의 몇몇 실시형태에서, 비평형 열 공정(예컨대, 플래시 경화 공정)은 상기 설명된 문제를 극복하기 위해 사용된다. 플래시 경화 공정에서, 플래시 경화 램프(예컨대, 제논 플래시 경화 램프)를 사용하여 물질의 층(예컨대, 가교성 물질, 중합성 물질, 또는 도핑된 물질)이 그것의 표면에 조사된다. 플래시 경화 램프로부터의 에너지는 빠르게(예컨대, 열화 시간 미만), 그리고 표면의 상단 층에만 증착된다(예컨대, 에너지는 광이 실질적으로 흡수되는 층에 증착됨). 이것은 표면의 상단 층이 고온(예컨대, 500℃ 초과)으로 가열되는 것을 허용하지만, 그 에너지가 아래의 하부 층으로 열화됨에 따라, 하부 층의 온도는 약간만 상승한다. 따라서, 본 발명의 비평형 열 공정은 플래시 경화된 층이 하부 층을 손상시키지 않고 열 공정을 수행하기 위해 필요한 온도에 도달하는 것을 허용한다. 이 플래시 경화 공정을 사용하여, 디바이스는 처리 시간을 동시에 증가시키지 않고 열적으로 덜 안정적인 하부 구조로 제조될 수 있어서, 제품 비용을 거의 10배 정도 감소시킨다.

[0075] 예를 들면, 이러한 실시형태는 하부 층을 손상시키지 않으면서 OLED 스택에서 층의 불순물을 가교, 중합, 또는 활성화하기 위해 사용될 수 있다. 본 발명의 이득을 가지는 당업자는 그러나, 본 명세서에서 설명된 실시형태가 층의 열 처리가 하나 이상의 하부 층의 열 민감도에 의해 레이트 제한되는 다른 박막 디바이스(예컨대, 유기 박막 디바이스)를 제작하기 위해 사용될 수 있음을 인식할 것이다. 이러한 디바이스는 박막 태양광 디바이스(예컨대, 유기 광전지), 플라스틱 기판에 증착된 박막 트랜지스터, 및 터치 센서, OLED 이외의 유형의 투명 디스플레

이, 등과 같은 저 비용 가요성 기판에 제작된 다른 디바이스를 포함되지만 이로 제한되지 않는다.

[0076] 그 목적을 달성하기 위하여, 방법(400)은 기판 및 기판의 표면에 배치된 하나 이상의 전자 활성층을 포함하는 층의 스택을 제공하는 단계(402)를 포함한다. 몇몇 실시형태에서, 기판은 유기 기판(예컨대, 폴리에틸렌 테레프탈레이트(PET)와 같은 플라스틱)이다. 몇몇 실시형태에서, 기판은 가요성이다. 몇몇 실시형태에서, 기판은 롤투롤 공정을 위해 적합하다. 몇몇 실시형태에서, 기판을 제공하는 단계는 롤투롤 공정 장치에 롤로서(예컨대, 릴로서) 기판을 제공하는 단계를 포함한다.

[0077] 몇몇 실시형태에서, 층의 스택은 부분 OLED 스택이다(404). 몇몇 실시형태에서, 층의 스택은 유기 광전지에 대한 부분 스택이다(406). 당업자는 그러나, 방법(400)이 플라스틱 기판에 증착된 박막 트랜지스터, 터치 센서, OLED 이외의 유형의 투명 디스플레이, 등과 같은 임의의 수의 디바이스(예컨대, 박막 디바이스)에 적용 가능함을 인식할 것이다.

[0078] 방법(400)은 층의 스택 위에, 물질의 열경화형 층을 적용하는 단계(408)를 더 포함한다. 몇몇 실시형태에서, 물질의 열경화형 층을 적용하는 단계는 슬롯 다이 코팅, 그라비아 코팅, 마이크로 그라비아 코팅, 롤 코팅, 콤마 코팅, 바 코팅, 로드 코팅, 나이프 코팅, 블레이드 코팅, 슬라이드 코팅, 커튼 코팅, 스프레이 코팅, 회전 스크린 인쇄, 잉크젯 인쇄, 및 다른 것을 포함한다.

[0079] 몇몇 실시형태에서, 물질의 열경화형 층은 유기 물질을 포함한다. 몇몇 실시형태에서, 물질의 열경화형 층은 가교성 물질을 포함한다(410). 몇몇 실시형태에서, 물질의 열경화형 층은 중합성 물질을 포함한다(412). 몇몇 실시형태에서, 물질의 열경화형 층은 반도체성 중합체 호스트 물질 및 불순물을 포함하는 열 활성화형 도핑된 층이다(414).

[0080] 방법(400)은 제1 온도 미만인 제2 온도 아래로 층의 스택을 유지하면서(예컨대, 디바이스 층의 스택의 어떤 부분도 제2 온도보다 높지 않고/않거나, 층의 스택의 어떤 각각의 부분도 그 각각의 부분에 대해 손상 임계 온도보다 높지 않음) 물질의 열경화형 층(예컨대, 물질의 열경화형 층의 적어도 일부이고, 여기서 일부는 전자 디바이스에서 전자 기능적이 되기 위해 적절함)을 경화시키기에 충분한 시간의 길이 동안 물질의 열경화형 층의 온도(예컨대, 물질의 열경화형 층의 적어도 일부의 온도)를 제1 온도보다 높게 상승시키는 것을 포함하는 비평형 열 공정을 수행하는 단계(416)를 더 포함한다. 층의 스택은 제2 온도 아래의 온도에 대해 견고하다. 몇몇 실시형태에서, 층의 스택은 (적어도 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이 동안) 제2 온도보다 높은 온도에 대해 견고하지 않다. 몇몇 실시형태에서, 층의 스택에서 제2 층은 (적어도 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이 동안) 제2 온도보다 높은 온도에 대해 견고하지 않다. 몇몇 실시형태에서, 물질의 열경화형 층은 제2 층 바로 위에 있다. 몇몇 실시형태에서, 열경화형 층과 제2 층 사이에 하나 이상의 개재층이 존재한다. 몇몇 실시형태에서, 열경화형 층은 제2 층 다음에 증착된다. 몇몇 실시형태에서, 제2 층은 광(예컨대, 광학 광)에 대해 실질적으로 투명하다.

[0081] 몇몇 실시형태에서, 비평형 열 공정을 수행하는 단계는 비평형 열 공정을 개시하기 위해 디바이스 층의 스택의 표면을 조명하는 단계를 포함한다. 몇몇 실시형태에서, 비평형 열 공정을 수행하는 단계는 비평형 열 공정을 개시하기 위해 열경화형 물질의 층의 표면을 조명하는 단계를 포함한다. 몇몇 실시형태에서, 표면은 램프로 조명된다.

[0082] 몇몇 실시형태에서, 층의 스택은 결과적인 것(예컨대, 패키징된 디바이스)이 미리 정해진 수명을 갖는 미리 정의된 수율을 가질 때 각각의 온도(각각의 시간의 양 동안)에 대해 견고한 것으로 간주된다. 예를 들면, 몇몇 실시형태에서, 미리 정의된 수율은 90%이고 미리 정해진 수명은 1년이다(예컨대, 예상된 동작 조건 하에서). 몇몇 실시형태에서, 미리 정의된 수율은 90%이고 미리 정해진 수명은 2주이다.

[0083] 몇몇 실시형태에서, 비평형 열 공정을 수행하는 단계는 플래시 램프(예컨대, 물질의 열경화형 층을 광자로 경화, 또는 "플래시 경화"하기 위한 제논 플래시 램프)를 사용하여 물질의 열경화형 층의 표면을 조사하는 단계를 포함한다. 몇몇 실시형태에서, 비평형 열 공정을 수행하는 단계는 가교성 물질을 가교시키는 단계를 포함한다(418)(예컨대, 제1 온도는 상당한 양의 가교가 발생하는(예컨대, 가능한 가교의 90%) 가교 임계 온도이다). 몇몇 실시형태에서, 가교성 물질은 그것이 가교되기 전에는 가용성이고 그것이 가교된 후에는 (예컨대, 어떤 용매가 제조 공정에서 사용되든지 간에) 불용성이다. 몇몇 실시형태에서, 방법은 비평형 열 공정을 수행한 후에, 물질의 열경화된 층 위에 부가적인 층을 적용하는 단계를 포함하고, 부가적인 층은 용매를 포함한다. 물질의 열경화형 층은 비평형 열 공정을 수행하기 전에 용매에서 가용성이고 비평형 열 공정을 수행한 후에 불용성이다.

[0084] 몇몇 실시형태에서, 제1 온도는 190℃, 200℃, 300℃, 400℃, 또는 500℃보다 높다. 몇몇 실시형태에서, 제2 온

도는 100℃, 150℃, 또는 200℃ 미만이다.

[0085] 몇몇 실시형태에서, 비평형 열 공정을 수행하는 단계는 중합성 물질을 중합하는 단계를 포함한다(420)(예컨대, 제1 온도는 상당한 양의 중합이 발생하는(예컨대, 가능한 중합의 90%) 중합 임계 온도이다).

[0086] 몇몇 실시형태에서, 비평형 열 공정을 수행하는 단계는 열 활성화형 도핑된 층을 열 활성화하는 단계를 포함한다(422)(예컨대, 제1 온도는 불순물 활성화 임계 온도이고 예컨대, 물질의 전하 캐리어 밀도는 비평형 열 처리를 수행함으로써 증가된다).

[0087] 몇몇 실시형태에서, 제1 온도는 500℃이거나 그보다 크다. 몇몇 실시형태에서, 제2 온도는 제1 온도 미만인 층의 스택에 대한 손상 임계 온도이다. 예를 들면, 몇몇 실시형태에서, 손상 임계 온도는 대략 150℃이다. 온도가 너무 높게 상승되면 층의 스택이 비가역적으로 손상될 수 있는 무수한 방식이 존재할 수 있으며, 따라서 무수히 많은 대응하는 손상 임계 온도가 존재함에 유의한다. 예를 들면, 몇몇 실시형태에서, 제2 온도는 층의 스택에서 각각의 층에 대한 유리 전이 온도이다(예컨대, 각각의 층이 유리 전이 온도보다 높은 온도에 노출된 경우 각각의 층이 단순히 용융될 것이다). 몇몇 실시형태에서, 제2 온도는 벌크 손상 임계 온도이다(예컨대, 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이 동안 제1 온도로 층의 스택을 유지하는 것은 층의 스택을 동작하지 않게 만들 것이다). 다르게 말하면, 벌크 손상 임계 온도는 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이 동안 그 온도에서 용광로에 놓을 경우 층의 스택이 비가역적으로 손상될 온도이다.

[0088] 몇몇 실시형태에서, 제2 온도는 층의 스택에서 각각의 층으로 하여금 갈라지거나 뒤틀리게 할 온도이다. 예를 들면, 제2 온도에서, 기판의 열 팽창(변형)은 기판으로 하여금 갈라지거나 뒤틀리게 할 수 있으며, 이는 결과적으로 전자 활성층 중 하나 이상으로 하여금 갈라지거나 뒤틀리게 하여, 디바이스를 동작하지 않게 만든다. 대안적으로, 층의 스택에서 하나의 층을 용융하고 재응고시키는 것은 층의 스택에서 또 다른 층으로 하여금 갈라지거나 뒤틀리게 할 수 있다.

[0089] 몇몇 실시형태에서, 제2 온도는 층의 스택에서 제1 층의 제1 양의 열 변형을 야기할 온도이다. 제1 양의 열 변형은 제1 층과 상이한 층의 스택에서 제2 층으로 하여금 갈라지거나 뒤틀리게 할 것이다. 몇몇 실시형태에서, 제1 층은 기판이다. 몇몇 실시형태에서, 열 변형은 소성 변형이다. 예를 들면, 임의의 주목할 만한 시간의 양 동안 기판을 제2 온도로 상승시키는 것은 기판으로 하여금 소성 변형(예컨대, 늘어남)되게 할 수 있으며, 이는 기판 위에 배치된 하나 이상의 층(예컨대, 장벽 층)에 작은 갈라짐을 야기할 수 있다. 작은 갈라짐은 예를 들면, 디바이스에 습기를 허용함으로써 디바이스의 수명을 수용 가능한 임계치 아래로 제한할 수 있다.

[0090] 몇몇 실시형태에서, 물질의 열경화형 층은 층의 스택에서 물질의 전자 활성층이다. 몇몇 실시형태에서, 비평형 열 공정은 물질의 열경화형 층으로부터 물질의 열경화된 층을 생성하는 것을 야기하고, 방법은 물질의 열경화된 층 및 기판과 물질의 열경화된 층 사이에 배치된 전극을 포함하는 전자 디바이스를 패키징하는 단계를 더 포함하고, 물질의 열경화된 층은 전극을 포함하는 층의 전자 활성 스택에서 각각의 층이다. 예를 들면, 몇몇 실시형태에서, 물질의 열경화된 층과 제1 온도로 상승된 경우 손상될 층의 스택에서 다른 층 사이에 어떠한 열 보호층도 존재하지 않는다. 층의 스택이 열 보호층을 포함하지 않는 한 가지 이유는 전자 디바이스의 기능을 위해 필요한 전기적 속성을 유지하는 전자 디바이스(예컨대, OLED) 스택에 대한 스택의 중간에 열 보호 층을 형성하는 것이 종종 어렵거나 불가능하기 때문이다.

[0091] 몇몇 실시형태에서, 층의 스택이 또한 제1 온도에 대해 견고하며, 본 명세서에서 설명된 플래시 경화 방법이 경화 공정의 속도를 높이기 위해 사용된다는 점에 유의한다.

[0092] 몇몇 실시형태에서, 가교(또는 중합, 또는 불순물 활성화) 임계 온도가 제1 온도보다 훨씬 낮고, 실제로 손상 임계 온도(예컨대, 제2 온도) 아래에 있을 수 있음에 유의한다. 가교(또는 중합, 또는 불순물 활성화) 임계 온도가 손상 임계 온도 아래에 있을 때, 가교(또는 중합, 또는 불순물 활성화)는 손상 임계 온도 아래에서 수행될 수 있지만, 제2 온도에서 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이는 10분 초과, 1시간 초과, 2시간 초과, 8시간 초과, 12시간 초과 또는 24시간 초과(예컨대, 롤투롤 공정을 위해 너무 김)이다. 대조적으로, 몇몇 실시형태에서, 제1 온도에서 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이는 10초 미만, 20초 미만, 1분 미만, 또는 10분 미만이다.

[0093] 도 5a 및 도 5b는 몇몇 실시형태에 따른, OLED 스택 위에 캐소드의 용액 기반 증착을 위한 방법(500)에 대한 흐름도를 도시한다. 방법(500)을 참조하여 설명된 다양한 동작은 선택적으로, 도 4를 참조하여 상기 설명된 방법(400)과 같은, 본 명세서에서 설명된 다른 방법 및 공정과 조합될 수 있다.

[0094] 용액 처리된 디바이스를 제작함에 있어서, 주어진 층의 용매가 그 아래의 층을 용해하지 않는 것이 필수적이다.

이것은 하부 층의 용매에 직교하는 용매를 사용하거나, 가교를 통한 것과 같이, 층 중 하나 이상을 불용성으로 만듦으로써 달성된다. 이상적인 세계에서, 이 모든 물질은 가교성으로 될 수 있어서, 용매 선택이 문제가 되지 않을 것이다. 그러나, 이는 전자 활성 물질이고, 가교 능력은 부가적인 기능성 화학 물질을 요구하기 때문에, 대부분의 층은 가교, 또는 그렇지 않으면 불용성으로 만들 수 없는 물질로 만들어진다.

[0095] 캐소드가 하단 발광 OLED 스택의 마지막 층이기 때문에, 캐소드가 그 아래의 층(전형적으로 3개 내지 5개의 층으로 이루어짐) 중 임의의 층을 용해해서는 안되므로 설계하기가 가장 어렵다. 이러한 이유로, 종래의 용액 처리된 하단 발광 OLED 스택에서, 캐소드는 용액 처리되지 않는다. 즉, 대부분의 OLED 캐소드는 금속 막인 반면에, 대부분의 용액 처리 가능한 금속은 용매에 현탁된 나노입자를 포함한다. 금속 입자(이동 전자를 가짐)를 안정화하기 위해, 극성 용매가 일반적으로 사용되어야 한다. 이것은 극성 용매에서 가용성인 전형적인 OLED 스택에 층이 존재하기 때문에 문제를 야기한다.

[0096] 오히려, 전형적인 OLED 제작 공정에서, 캐소드는 진공 증착 공정(예컨대, 물리적 기상 증착)을 통해 증착된다. 그러나, 진공 증착 공정은 상기 언급된 바와 같이 롤투롤 공정을 사용하여 수행될 수 있는 용액 기반 공정보다 훨씬 더 느리고 비용이 더 많이 든다.

[0097] 방법(500)은 물질 스택이 면역성이 있는 용매(예컨대, 지방족 용매)를 사용함으로써 이 문제를 감소시키거나 완화시킨다. 나노입자의 적절한 표면 기능화를 통해(표면의 전자 속성을 변경하는 리간드를 그의 표면에 부착함으로써), 나노입자는 이러한 비극성 지방족 용매(예컨대, C14-C16 변이체, 또는 더 짧음)에 현탁될 수 있다.

[0098] 그 목적을 달성하기 위하여, 방법(500)은 기판의 표면에 배치된 적어도 부분 OLED 스택을 가지는 기판을 제공하는 단계(502)를 포함한다. 몇몇 실시형태에서, 부분 OLED 스택은 복수의 층으로 이루어진다. 몇몇 실시형태에서, 기판은 유기 기판(예컨대, 폴리에틸렌 테레프탈레이트(PET)와 같은 플라스틱)이다. 몇몇 실시형태에서, 기판은 가요성이다. 몇몇 실시형태에서, 기판은 롤투롤 공정을 위해 적합하다. 몇몇 실시형태에서, 기판을 제공하는 단계는 롤투롤 공정 장치에 롤로서(예컨대, 릴로서) 기판을 제공하는 단계를 포함한다.

[0099] 몇몇 실시형태에서, 방법(500)은 부분 OLED 스택을 위한 애노드를 형성하기 위해 용액 기반 공정을 사용하여 투명 전도성 층을 증착시키는 것을 포함하는, 부분 OLED 스택에 각각의 층을 형성하기 위해 용액 기반 공정을 사용하여 부분 OLED 스택을 제작하는 단계를 더 포함한다. 몇몇 실시형태에서, 방법(500)은 층 중 하나 이상(예컨대, 전체 미만임)을 형성하고/하거나, 대부분의 층을 형성하기 위해(예컨대, 본 명세서에서 설명된 롤투롤 공정을 사용하여) 용액 기반 공정을 사용하여 부분 OLED 스택을 제작하는 단계를 포함한다.

[0100] 일부 상황에서(예컨대, 상기 방법(400)의 설명에서와 같이), 기판이 OLED 스택의 일부로 간주될 수 있음에 유의한다. 따라서, "부분 OLED 스택"은 기판과 별개의 OLED 스택의 제2 부분을 언급한다.

[0101] 몇몇 실시형태에서, OLED 스택은 인듐 주석 산화물(ITO) 이외의 물질을 포함하는 애노드를 포함한다(504)(예컨대, 애노드는 ITO를 포함하지 않는다). 몇몇 실시형태에서, 애노드는 유기 매트릭스에 전도성 물질을 포함한다. 몇몇 실시형태에서, 애노드는 유기 매트릭스(예컨대, 플라스틱 매트릭스)에 은 나노와이어를 포함한다. 몇몇 실시형태에서, 유기 매트릭스는 경화된 에폭시이다. 몇몇 실시형태에서, 애노드에 더하여, OLED 스택은 하나 이상의 전자 활성층을 포함한다.

[0102] 몇몇 실시형태에서, 부분 OLED 스택은 하단 발광 OLED 스택의 일부이다(506)(예컨대, OLED 스택은 기판을 통해 광을 방출하고, 따라서 기판은 기능적으로 수퍼스트레이트(superstrate)의 역할을 한다). 몇몇 실시형태에서, 부분 OLED 스택은, 기판에 근접한 순서로, 애노드; 정공 주입층; 정공 수송층; 발광층; 전자 수송층; 및/또는 전자 주입층 중 하나 이상, 또는 그 중 복수, 또는 그 중 3개 이상을 포함한다(508). 몇몇 실시형태에서, 이 층 중 하나 이상이 생략되고/되거나 이 층 중 2개 이상의 기능이 단일 층에서 조합되거나 구현된다. 예를 들면, 몇몇 실시형태에서, 부분 OLED 스택은 애노드 및 그 위에 캐소드가 제작되는 발광층만을 포함한다. 몇몇 실시형태에서, 애노드는 투명 전도성 층(예컨대, 투명 전도도 막)이다(510).

[0103] 몇몇 실시형태에서, 부분 OLED 스택은 적어도 1㎠(또는 4㎠ 또는 10㎠)인 기판의 인접 영역을 커버한다(512). 다르게 말하면, 방법(500)은 대면적 OLED를 생성한다. 대면적 OLED는 이의 전극에서 높은 전도도를 요구하고 그렇지 않으면, 디바이스는 전극(예컨대, 애노드 또는 캐소드)의 한 쪽으로부터 다른 쪽으로 상당한 전압 강하를 경험할 것이다. 결과는 사용 시에, OLED의 한 쪽이 다른 쪽보다 더 많은 광을 방출할 것이라는 것이다. 이 문제를 회피하기 위해, 몇몇 실시형태에서, 방법(500)은 0.001 내지 1.0 Ω/□/mil의 전도도를 갖는 캐소드를 제작하기 위해 사용된다. 몇몇 실시형태에서, 전도도는 0.001Ω/□/mil보다 크다.

[0104] 방법(500)은 부분 OLED 스택 위에, 금속 화합물을 포함하는 용액을 증착시키는 단계(514)를 포함한다. 몇몇 실

시형태에서, 금속 화합물은 은(Ag) 화합물 또는 알루미늄(Al) 화합물을 포함한다. 몇몇 실시형태에서, 금속 화합물은 전도성 입자의 형태이다. 몇몇 실시형태에서, 전도성 입자는 전도성 금속 입자(예컨대, 금속이 금속, 제로 산화, 상태인 Ag 또는 Al 입자)이다. 몇몇 실시형태에서, 전도성 입자는 전도성 나노입자(예컨대, 마이크론 미만의 평균 직경을 갖는 입자)이다.

[0105] 몇몇 실시형태에서, 금속 화합물을 포함하는 용액은 롤투롤 공정을 사용하여 증착된다. 예를 들면, 용액은 롤투롤 공정 기술을 위한 잉크를 포함한다.

[0106] 몇몇 실시형태에서, 용액은 비극성 용매를 포함한다(516). 몇몇 실시형태에서, 용액은 지방족 용매를 포함한다(518)(예컨대, 지방족 용매는 C14-C16 분자를 포함함). 몇몇 실시형태에서, 금속 화합물은 비극성 용매에서 가용성이 되도록 기능화된 전도성 입자를 포함한다(520). 예를 들면, 지방족 용매에 대해, 전도성 입자는 용매를 포함하는 동일한 탄소 체인(예컨대, C14-C16 체인)을 포함하도록 기능화될 수 있다.

[0107] 몇몇 실시형태에서, 부분 OLED 스택의 복수의 층의 각각의 층은 비극성 용매에서 불용성이다(예컨대, 층이 가교되었거나 층이 비극성 용매에서 결코 가용성이지 않았기 때문에). 몇몇 실시형태에서, 방법(400)(도 4)을 참조하여 설명된 바와 같은 플래시 경화는 그렇지 않으면 비극성 용매에서 가용성일 층을 가교시키기 위해 사용된다.

[0108] 방법(500)은 부분 OLED 스택을 위한 캐소드를 형성하기 위해 용액의 금속 화합물로부터 전도성 고체층을 형성하는 단계(522)를 포함한다. 몇몇 실시형태에서, 캐소드를 형성하는 것은 (보호를 위해 장벽 층 또는 라미네이트와 같은 부가적인 층이 부가될 수 있지만) 전자 기능성 OLED를 완성한다.

[0109] 몇몇 실시형태에서, 금속 화합물은 전도성 입자를 포함한다(524). 부분 OLED 스택을 위한 캐소드를 형성하기 위해 용액으로부터 전도성 고체층을 형성하는 단계는 용액을 열경화(예컨대, 소결)하는 단계를 포함한다. 따라서, 이러한 실시형태에서, 결과적인 캐소드는 복수의 소결된 전도성 입자를 포함한다(예컨대, 결과적인 캐소드는 다공성 금속 층이다). 소결의 레벨에 의존하여, 전도성 입자는 열경화 후에 개별적으로 식별 가능하지 않을 수 있음에 유의한다.

[0110] 몇몇 실시형태에서, 캐소드는 톨렌스 반응을 사용하여 용액으로부터 증착된다. 그 목적을 달성하기 위하여, 용액은 환원제(예컨대, 환원당)를 포함한다(526). 부분 OLED 스택을 위한 캐소드를 형성하기 위해 용액으로부터 전도성 고체층을 형성하는 단계는 용액으로부터 금속을 침전시키기 위해 금속 화합물에서 금속(예컨대, Al 또는 Ag)을 환원시키는 단계를 포함한다. 몇몇 실시형태에서, 용액에서, 금속은 비 중성 금속(예컨대, 제로가 아닌 산화 상태)이고 따라서 금속 형태가 아니다. 오히려, 용액에서, 금속은 염과 같은, (비록 가능하게 용해된 분자이더라도) 더 큰 분자의 일부이다.

[0111] 몇몇 실시형태에서, 캐소드는 반사성이다(528).

[0112] 본 명세서에서 사용된 바와 같이, 제1 층이 제2 층 "위"에 있는 것으로서 설명될 때, 명시적으로 언급되지 않는 한, 제1 층이 제2 층의 바로 위에 있다는 것을 의미하도록 의도되지 않음에 유의한다. 오히려, 제1 층이 제2 층으로부터 기판에 대해 원위일 때(예컨대, 증착과 관련하여) 제1 층은 제2 층 위에 있다. 다르게 말하면, 제1 층이 제2 층에 후속하여 증착될 때 제1 층은 제2 층 위에 있다. 하나 이상의 개재 층은 제2 층과 제2 층 위에 있는 제1 층 사이에 배치될 수 있다.

[0113] 게다가, 본 명세서에서 사용되는 바와 같이, 용어 "기판"은 부가적인 디바이스 층이 제작되는 하부 물질 또는 층을 언급하기 위해 사용된다. 그러나, 이러한 층이 제작 목적을 위한 기판의 역할을 할 수 있지만, 디바이스의 기능 측면에서 수퍼스트레이트의 역할을 할 수 있음을 이해해야 한다.

[0114] 설명의 목적을 위해, 상기 설명은 특정 실시형태를 참조하여 설명되었다. 그러나, 상기 예시적인 논의는 완전한 것으로 의도되거나 본 발명을 개시된 정확한 형태로 제한하도록 의도되지 않는다. 상기 교시를 고려하여 많은 수정 및 변형이 가능하다. 실시형태는 본 발명의 원리 및 이의 실제 적용을 최상으로 설명하기 위해 선택되고 설명되었고, 그에 의해 당업자가 본 발명 및 고려된 특정한 용도에 적합한 바와 같은 다양한 수정을 갖는 다양한 실시형태를 최상으로 활용하는 것을 가능하게 한다.

[0115] 용어 "제1", "제2", 등이 다양한 요소를 설명하기 위해 본 명세서에서 사용될 수 있지만, 이러한 요소가 이 용어에 의해 제한되어서는 안 된다는 것이 이해될 것이다. 이 용어는 하나의 요소를 또 다른 요소와 구별하기 위해 단지 사용된다. 예를 들면, 물질의 층의 제1 인스턴스(instance)는 물질의 층의 제2 인스턴스로 칭해질 수 있고, 유사하게, 물질의 층의 두 번째 제1 인스턴스는 "물질의 층의 제1 인스턴스"의 모든 발생이 일관되게 재

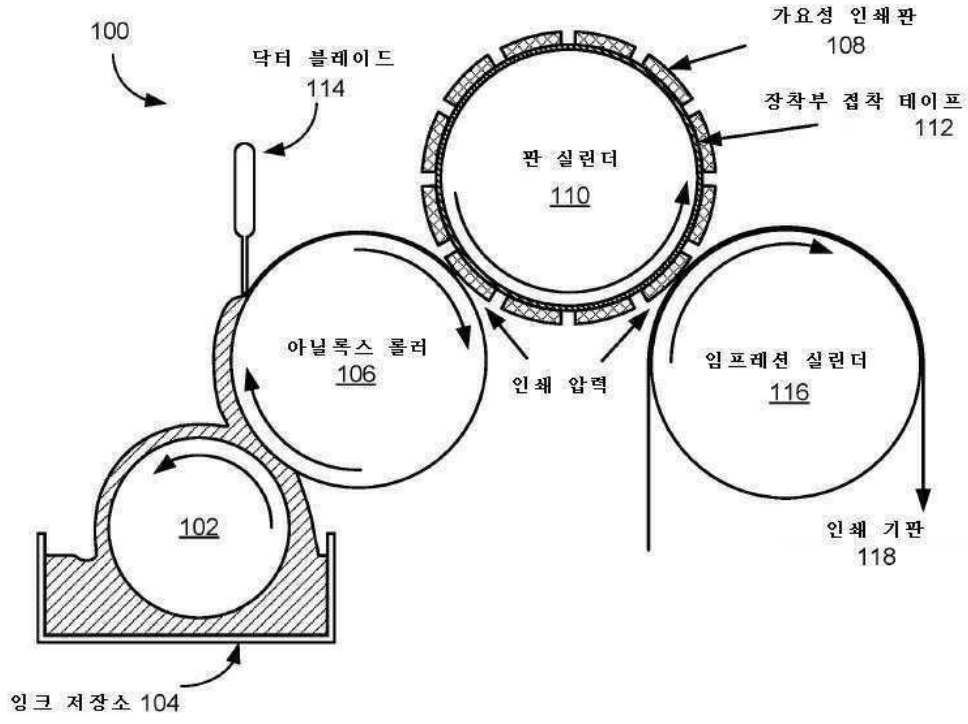
명명되고 "물질의 층의 제2 인스턴스"의 모든 발생이 일관되게 재명명되는 한, 설명의 의미의 변경 없이, 물질의 층의 제1 인스턴스로 칭해질 수 있다. 물질의 층의 제1 인스턴스 및 물질의 층의 두 번째 제1 인스턴스는 둘 모두 물질의 층의 인스턴스이지만, 그들은 물질의 층의 동일한 인스턴스는 아니다.

[0116] 본 명세서에서 사용된 전문용어는 특정한 구현만을 설명하는 목적을 위한 것이고 청구항을 제한하도록 의도되지 않는다. 구현 및 첨부된 청구항의 설명에서 사용된 바와 같이, 단수 형태는 문맥이 명백하게 달리 나타내지 않는 한, 복수 형태를 또한 포함하도록 의도된다. 또한, 본 명세서에서 사용된 바와 같이 용어 "및/또는"이 연관된 나열된 항목 중 하나 이상의 임의의 및 모든 가능한 조합을 언급하고 포함함이 이해될 것이다. 본 명세서에서 사용될 때, 용어 "포함한다(comprises)" 및/또는 "포함하는(comprising)"이 명시된 특징, 정수, 단계, 동작, 요소, 및/또는 구성요소의 존재를 명시하지만, 하나 이상의 다른 특징, 정수, 단계, 동작, 요소, 구성요소, 및/또는 이의 그룹의 존재 또는 부가를 배제하지 않는다는 것이 또한 이해될 것이다.

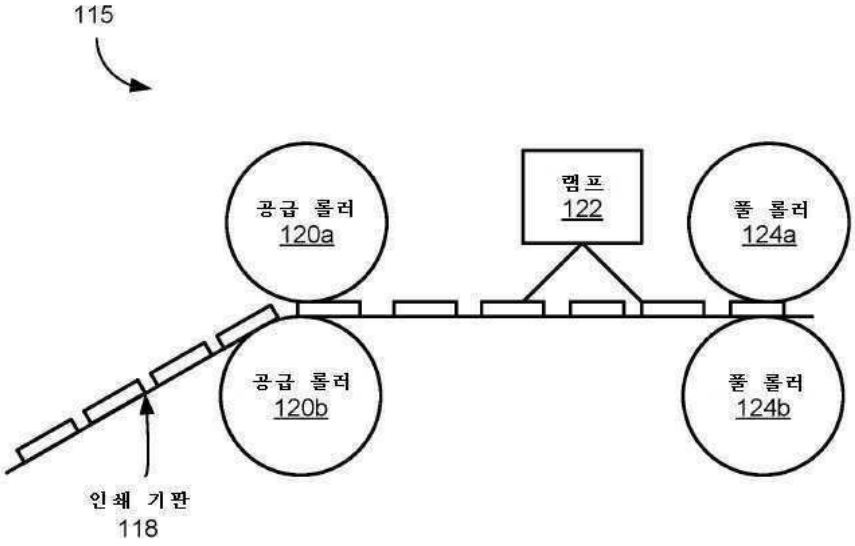
[0117] 본 명세서에서 사용된 바와 같이, 용어 "만약"은 언급된 조건 선례가 문맥에 의존하여 사실일 "때" 또는 "시에" 또는 사실이라고 "결정한 것에 응답하여" 또는 사실이라는 "결정에 따라" 또는 사실이라고 "검출한 것 응답하여"를 의미하도록 해석될 수 있다. 유사하게, 어구 "[언급된 조건 선례가 사실이라고] 결정된 경우" 또는 "[언급된 조건 선례가 사실인]" 경우 또는 "[언급된 조건 선례가 사실일] 때"는 문맥에 의존하여 언급된 조건 선례가 사실이라고 "결정할 때에" 또는 사실이라는 "결정할 때에" 또는 사실이라고 "결정한 것에 응답하여" 또는 사실이라는 "결정에 따라" 또는 사실이라는 것을 "검출할 때에" 또는 사실이라고 "검출한 것에 응답하여"를 의미하도록 해석될 수 있다.

도면

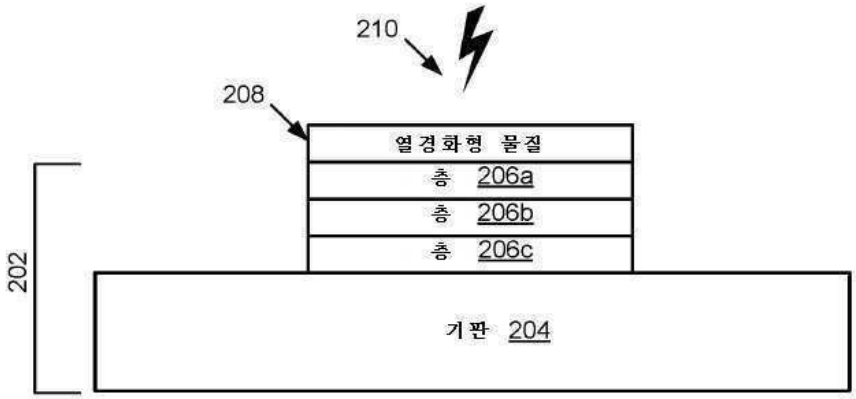
도면1a



도면1b



도면2a



도면2b



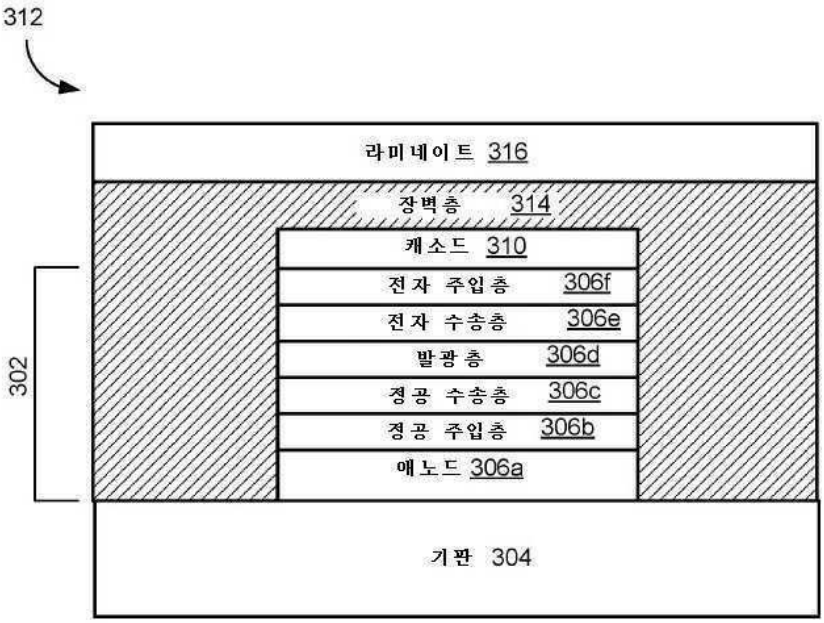
도면2c



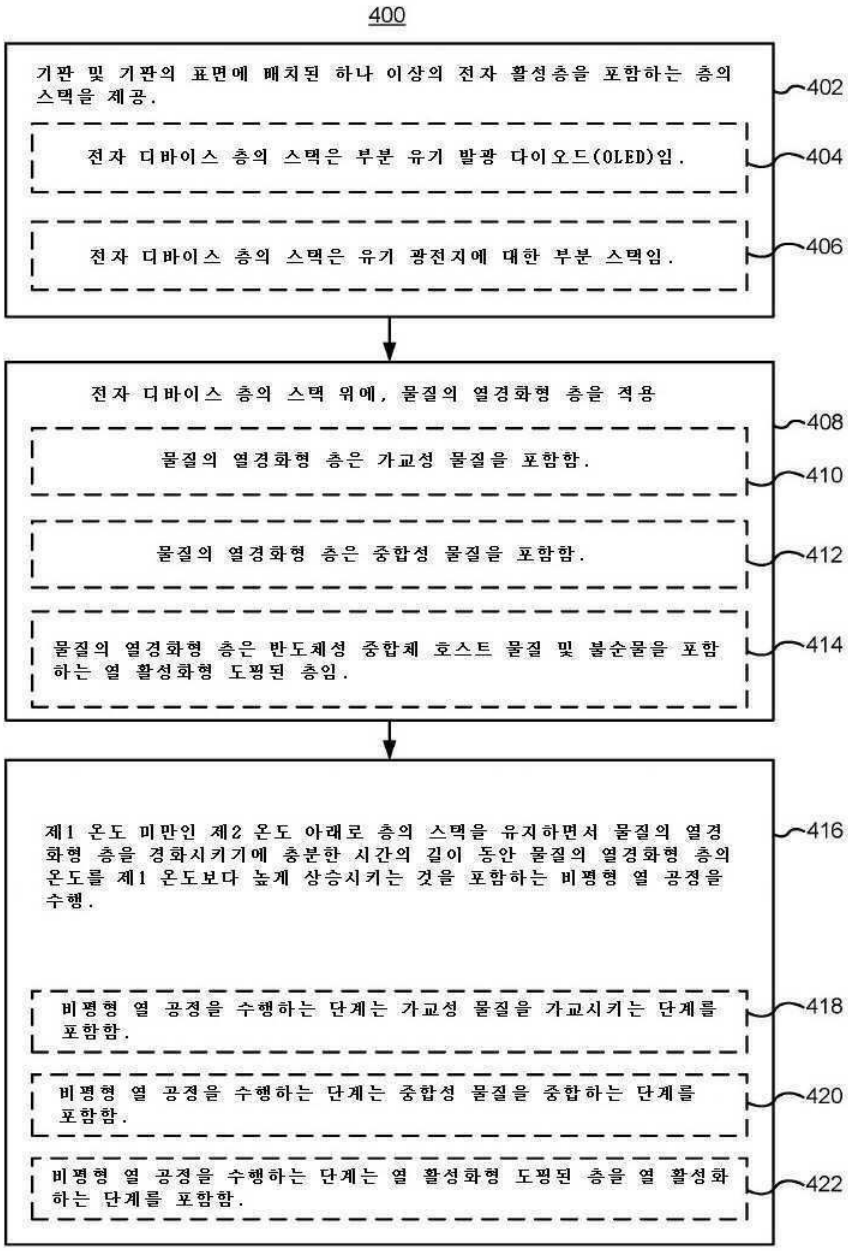
도면3a



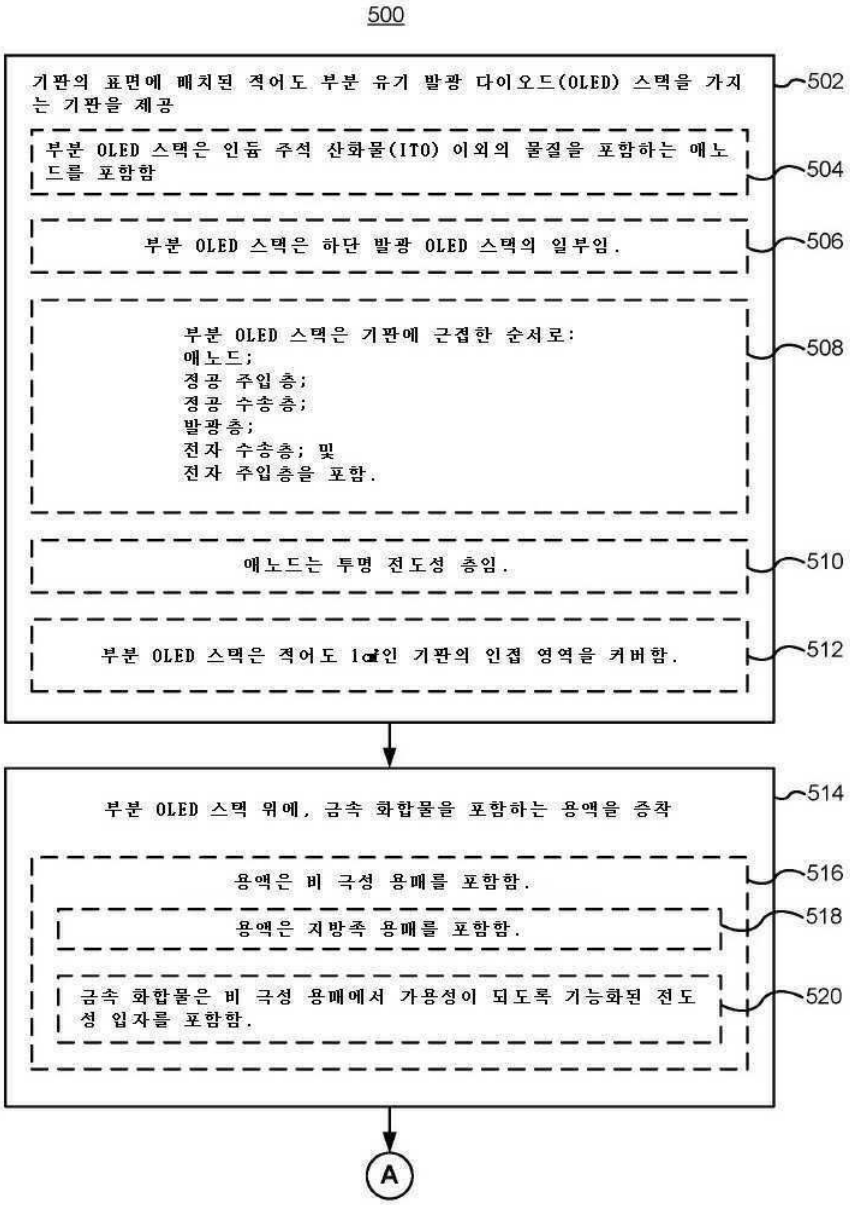
도면3b



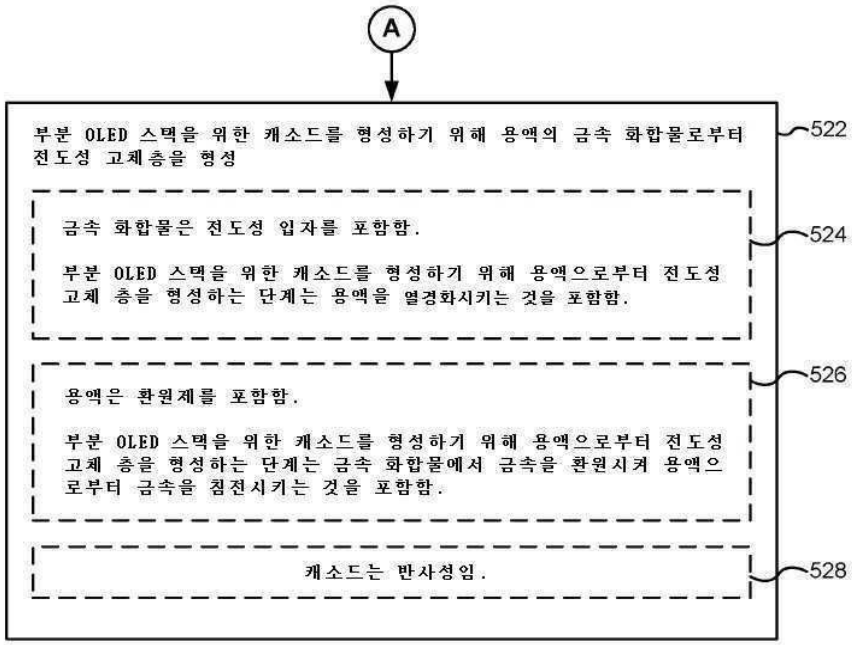
도면4


400
기판 및 기판의 표면에 배치된 하나 이상의 전자 활성층을 포함하는 층의 스택을 제공.
402
전자 디바이스 층의 스택은 부분 유기 발광 다이오드(OLED)임.
404
전자 디바이스 층의 스택은 유기 광전지에 대한 부분 스택임.
406
전자 디바이스 층의 스택 위에, 물질의 열경화형 층을 적용
408
물질의 열경화형 층은 가교성 물질을 포함함.
410
물질의 열경화형 층은 중합성 물질을 포함함.
412
물질의 열경화형 층은 반도체성 중합체 호스트 물질 및 불순물을 포함하는 열 활성화형 도핑된 층임.
414
제1 온도 미만인 제2 온도 아래로 층의 스택을 유지하면서 물질의 열경화형 층을 경화시키기에 충분한 시간의 길이 동안 물질의 열경화형 층의 온도를 제1 온도보다 높게 상승시키는 것을 포함하는 비평형 열 공정을 수행.
416
비평형 열 공정을 수행하는 단계는 가교성 물질을 가교시키는 단계를 포함함.
418
비평형 열 공정을 수행하는 단계는 중합성 물질을 중합하는 단계를 포함함.
420
비평형 열 공정을 수행하는 단계는 열 활성화형 도핑된 층을 열 활성화하는 단계를 포함함.
422

도면5a


500
기판의 표면에 배치된 적어도 부분 유기 발광 다이오드(OLED) 스택을 가지는 기판을 제공
502
부분 OLED 스택은 인듐 주석 산화물(ITO) 이외의 물질을 포함하는 애노드를 포함함
504
부분 OLED 스택은 하단 발광 OLED 스택의 일부임.
506
부분 OLED 스택은 기판에 근접한 순서로:
애노드;
정공 주입층;
정공 수송층;
발광층;
전자 수송층; 및
전자 주입층을 포함.
508
애노드는 투명 전도성 층임.
510
부분 OLED 스택은 적어도 1cm인 기판의 인접 영역을 커버함.
512
부분 OLED 스택 위에, 금속 화합물을 포함하는 용액을 증착
514
용액은 비 극성 용매를 포함함.
516
용액은 지방족 용매를 포함함.
518
금속 화합물은 비 극성 용매에서 가용성이 되도록 기능화된 전도성 입자를 포함함.
520
A

도면5b


A
부분 OLED 스택을 위한 캐소드를 형성하기 위해 용액의 금속 화합물로부터 전도성 고체층을 형성
522
금속 화합물은 전도성 입자를 포함함.
부분 OLED 스택을 위한 캐소드를 형성하기 위해 용액으로부터 전도성 고체 층을 형성하는 단계는 용액을 열경화시키는 것을 포함함.
524
용액은 환원제를 포함함.
부분 OLED 스택을 위한 캐소드를 형성하기 위해 용액으로부터 전도성 고체 층을 형성하는 단계는 금속 화합물에서 금속을 환원시켜 용액으로부터 금속을 침전시키는 것을 포함함.
526
캐소드는 반사성임.
528