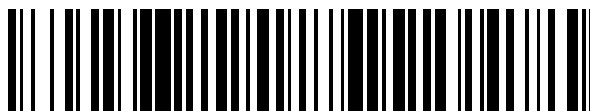


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 728 100**

51 Int. Cl.:

**H03M 13/25** (2006.01)

**H03M 13/27** (2006.01)

**H03M 13/35** (2006.01)

**H03M 13/11** (2006.01)

**H03M 13/29** (2006.01)

**H04L 1/00** (2006.01)

**H04L 1/06** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **18.05.2012 E 15172086 (9)**

97 Fecha y número de publicación de la concesión europea: **06.03.2019 EP 2940879**

54 Título: **Intercalador de bits para un sistema de BICM con códigos QC LDPC**

30 Prioridad:

**18.05.2011 EP 11004125**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**22.10.2019**

73 Titular/es:

**PANASONIC CORPORATION (100.0%)  
1006, Oaza Kadoma Kadoma-shi  
Osaka 571-8501, JP**

72 Inventor/es:

**PETROV, MIHAIL**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

ES 2 728 100 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Intercalador de bits para un sistema de BICM con códigos QC LDPC

La presente divulgación se refiere al campo de comunicaciones digitales, y más específicamente a un intercaldador de bits para un sistema de codificación y modulación de bits intercalados con códigos de comprobación de paridad de baja densidad cuasi cíclicos.

En los últimos años, los sistemas de codificación y modulación de bits intercalados (en lo sucesivo, BICM) se han usado en el campo de las comunicaciones digitales (véase, por ejemplo, la norma DVB-T2 ETSI EN 302 755 V1.2.1).

Los sistemas de BICM generalmente incorporan las siguientes tres etapas.

(1) Codificar bloques de datos en palabras de código usando, por ejemplo, códigos de comprobación de paridad de baja densidad cuasi cíclicos (en lo sucesivo, QC LDPC) o similares.

(2) Realizar intercalación de bits en los bits de cada palabra de código.

(3) Dividir cada palabra de código intercalada de bits en palabras de constelación que tienen un número de bits de constelación, y mapear las palabras de constelación en constelaciones.

Un intercaldador convencional para modulador de código entrelazado de bits con códigos de verificación de paridad de baja densidad se describe, por ejemplo, en el artículo "Macro Interleaver Design for Bit Interleaved Coded Modulation with Low-Density Parity-Check Codes" por Frank Kienle y Norbert Wehn (IEEE Vehicular Technology Conference. VTC Spring 2008, NJ, Estados Unidos).

Típicamente, se desea eficiencia en el entrelazado aplicado a las palabras de código de los códigos de verificación de paridad de baja densidad casi cíclica.

La presente invención dirige esta necesidad mediante un procedimiento de intercalación que posibilita que se aplique intercalación eficaz a las palabras de código de códigos de comprobación de paridad de baja densidad cuasi cíclicos, así como un intercaldador de bits correspondiente, un procedimiento de procesamiento de señales y un procesador de señales.

La invención se establece en la primera realización con  $N$  sin ser un múltiplo de  $M$  y en la tercera realización con  $F=1$  (sin plegado). Las otras realizaciones son ejemplos que no forman parte de la invención, pero que representan la técnica anterior que es útil para entender la invención. El alcance de la invención se define en las reivindicaciones adjuntas.

**[Breve descripción de los dibujos]**

La Figura 1 es un diagrama de bloques que muestra la configuración de un transmisor que incluye un codificador de BICM típico.

La Figura 2 ilustra un ejemplo de una matriz de comprobación de paridad para códigos de comprobación de paridad de baja densidad cuasi cíclicos que tienen una tasa de codificación de  $1/2$ .

La Figura 3 ilustra un ejemplo de una matriz de comprobación de paridad para códigos de comprobación de paridad de baja densidad cuasi cíclicos de repetir-acumular que tienen una tasa de codificación de  $2/3$ .

La Figura 4 ilustra una matriz de comprobación de paridad para los códigos de comprobación de paridad de baja densidad cuasi cíclicos de repetir-acumular de la Figura 3 después de una permutación de fila.

La Figura 5 ilustra una matriz de comprobación de paridad para los códigos de comprobación de paridad de baja densidad cuasi cíclicos de repetir-acumular de la Figura 3 después de una permutación de fila y una permutación de paridad.

La Figura 6 describe diferentes niveles de robustez de los bits codificados en ocho símbolos de PAM.

La Figura 7 es un diagrama de bloques que muestra la configuración de un intercaldador de bits típico donde el factor cíclico  $Q$  es 8, el número de bloques cíclicos por palabra de código de comprobación de paridad de baja densidad  $N$  es 12 y el número de bits por constelación  $M$  es 4.

La Figura 8A es un diagrama de bloques que muestra la configuración de un modulador de DVB-T2 usado en la norma DVB-T2 y la Figura 8B es un diagrama de bloques que muestra la configuración de un codificador de BICM para el modulador de DVB-T2 de la Figura 8A.

La Figura 9A ilustra un proceso de escritura para los bits de una palabra de código de 16 K (es decir, un código de LDPC donde la longitud de la palabra de código de LDPC es 16200 bits) según se realiza mediante un intercaldador de comuna-fila que tiene doce columnas, y la Figura 9B ilustra un proceso de lectura para los bits de la palabra de código escritos de la manera indicada mediante la Figura 9A según se realiza mediante el intercaldador de columna-fila.

La Figura 10A ilustra un proceso de escritura para los bits de una palabra de código de 16 K según se realiza mediante un intercaldador de columna-fila que tiene ocho columnas, y la Figura 10B ilustra un proceso de lectura para los bits de la palabra de código escritos de la manera indicada mediante la Figura 10A según se realiza mediante el intercaldador de columna-fila.

- La Figura 11 es un diagrama de bloques que muestra la configuración de un demultiplexor de bit a celda usado para códigos de 16 K de 16-QAM en la norma de DVB-T2.
- La Figura 12 es un diagrama de bloques que muestra la configuración de un demultiplexor de bit a celda usado para códigos de 16 K de 64-QAM en la norma de DVB-T2.
- 5 La Figura 13 es un diagrama de bloques que muestra la configuración de un demultiplexor de bit a celda usado para códigos de 16 K de 256-QAM en la norma de DVB-T2.
- La Figura 14 ilustra un problema que aparece para los códigos de 16 K con un intercalador de bits de DVB-T2 de ocho columnas.
- 10 La Figura 15 ilustra un problema que aparece para los códigos de 16 K con un intercalador de bits de DVB-T2 de doce columnas.
- La Figura 16 ilustra un problema que aparece para los códigos de 16 K con un intercalador de bits de DVB-T2 de ocho columnas cuando se aplica giro de columna.
- La Figura 17 ilustra un problema que aparece para los códigos de 16 K con un intercalador de bits de DVB-T2 de doce columnas cuando se aplica giro de columna.
- 15 Las Figuras 18A y 18B ilustran respectivamente una primera y segunda condiciones descubiertas por los inventores que posibilitan que se proporcione un intercalador extremadamente eficaz.
- La Figura 19 ilustra una función de mapeo mediante un intercalador que pertenece a una realización.
- La Figura 20 es un diagrama de bloques que muestra la configuración de un intercalador que pertenece a una realización.
- 20 La Figura 21A es un diagrama de bloques que muestra la configuración de un permutador de sección que realiza la permutación de sección ilustrada en la Figura 20, y la Figura 21B ilustra una función de mapeo del permutador de sección mostrado en la Figura 21A.
- La Figura 22A es un diagrama de bloques que muestra una configuración alternativa de un permutador de sección que realiza la permutación de sección ilustrada en la Figura 20, y la Figura 22B ilustra una función de mapeo del permutador de sección mostrado en la Figura 22A.
- 25 La Figura 23 es un diagrama de bloques que muestra la configuración de un intercalador que pertenece a otra realización.
- La Figura 24 es un diagrama de bloques que muestra la configuración del intercalador de bits mostrado en la Figura 23.
- 30 La Figura 25 es un diagrama de bloques que muestra la configuración de un transmisor que pertenece a una realización adicional.
- La Figura 26 es un diagrama de bloques que muestra la configuración de un codificador de BICM que pertenece a una realización adicional.
- 35 La Figura 27 es un diagrama de bloques que muestra la configuración de un receptor que incluye un decodificador de BICM no iterativo, que pertenece a una realización adicional.
- La Figura 28 es un diagrama de bloques que muestra la configuración de un receptor que incluye un decodificador de BICM iterativo, que pertenece a una realización adicional.
- La Figura 29 es un diagrama de bloques que muestra la configuración de un decodificador de BICM iterativo que pertenece a una realización adicional.
- 40 La Figura 30 ilustra un ejemplo de bloques cíclicos incluidos en y excluidos de un proceso de intercalador paralelo.
- Las Figuras 31A y 31B ilustran respectivamente una primera y segunda condiciones descubiertas por los inventores que posibilitan que se proporcione un intercalador extremadamente eficaz.
- 45 La Figura 32 es un diagrama de bloques que muestra la configuración de un intercalador que pertenece a otra realización.
- La Figura 33A ilustra una función de mapeo para una situación sin repliegue ( $F=1$ ), y la Figura 33B ilustra una función de mapeo para una situación con repliegue ( $F=2$ ).
- La Figura 34A es un diagrama de bloques que muestra la configuración de un permutador de sección (repliegue) para la situación sin repliegue ( $F=1$ ), y la Figura 34B es un diagrama de bloques que muestra la configuración de un permutador de sección de repliegue para la situación con repliegue ( $F=2$ ).
- 50 La Figura 35 es un diagrama de bloques que muestra la configuración de un intercalador que pertenece a otra realización.
- La Figura 36 es un diagrama de bloques que muestra la configuración del intercalador de bits mostrado en la Figura 35.
- 55 La Figura 37 es un diagrama de bloques que muestra la configuración de un transmisor que pertenece a una realización adicional.
- La Figura 38 es un diagrama de bloques de un receptor que incluye un decodificador de BICM no iterativo, que pertenece a una realización adicional.
- La Figura 39 es un diagrama de bloques de un receptor que incluye un decodificador de BICM iterativo, que pertenece a una realización adicional.
- 60 La Figura 40 ilustra localizaciones de memoria de LLR para repliegue con  $F=2$ , y posiciones de bits para la primera palabra de constelación.
- La Figura 41 representa esquemáticamente mapeo de bloques de constelación que pertenecen a códigos de QPSK+16QAM híbridos.
- 65 La Figura 42 es un diagrama de bloques que muestra la configuración de un intercalador que pertenece a otra realización.

La Figura 43 es un diagrama de bloques que muestra la configuración de un intercalador que pertenece a otra realización.

Las Figuras 44A y 44B son diagramas de bloques que muestran las configuraciones de intercaladores de ejemplo que pertenecen a otra realización; teniendo la Figura 44A  $N = 45$ ,  $Q = 360$ ,  $M = 4$  y  $F = 1$  (sin repliegue), y teniendo la Figura 44B  $N = 45$ ,  $Q = 360$ ,  $M = 4$  y  $F = 2$  (con repliegue).

Las Figuras 45A y 45B son diagramas de bloques que muestran las configuraciones de intercaladores de ejemplo que pertenecen a otra realización; teniendo la Figura 45A  $N = 45$ ,  $Q = 360$ ,  $M = 6$ , y  $F = 1$  (sin repliegue), y teniendo la Figura 45B  $N = 45$ ,  $Q = 360$ ,  $M = 6$ , y  $F = 2$  (con repliegue).

La Figura 46 ilustra la distinción de la conectividad de los nodos de comprobación de matriz de comprobación de paridad 17-24 mostrados en la Figura 5.

La Figura 47 ilustra esquemáticamente la conectividad de los nodos variables de matriz de comprobación de paridad 17-24 mostrados en la Figura 46 para la permutación cíclica.

Las Figuras 48A a 48H ilustran respectivamente mapeo de nodos variables asociados con los nodos de comprobación de matriz de comprobación de paridad 17-24 mostrados en la Figura 46.

Las Figuras 49A a 49H ilustran respectivamente mapeo de constelación para 16-QAM para QB14 y QB15 asociados con los nodos de comprobación 17-24.

Las Figuras 50A a 50H ilustran respectivamente mapeo de constelación para 16-QAM para QB4 y QB5 asociados con los nodos de comprobación 17-24.

La Figura 51A ilustra un intercalador reconfigurable para la permutación de bloques intra-cíclica usando un único rotador, y la Figura 51B ilustra un intercalador reconfigurable para la permutación de bloques intra-cíclica usando dos rotadores.

Las Figuras 52A a 52H ilustran respectivamente desplazar QB14 en dos para evitar nodos de comprobación ineficaces para cada una de las Figuras 49A a 49H.

Las Figuras 53A a 53H ilustran respectivamente desplazar QB4 en tres para evitar nodos de comprobación ineficaces para cada una de las Figuras 50A a 50H.

La Figura 54 ilustra esquemáticamente la configuración de un intercalador de bits paralelo y permutador de bloques cíclico para una realización donde el factor de repliegue es dos.

La Figura 55 es un diagrama de bloques que muestra la configuración de un codificador de BICM cuando  $Q = 8$ ,  $M = 4$  y  $F = 2$ .

La Figura 56 es un diagrama de bloques que muestra la configuración de un decodificador de BICM iterativo cuando  $Q = 8$ ,  $M = 4$  y  $F = 2$ .

### **[Descripción de las realizaciones]**

(Información de antecedentes)

La Figura 1 es un diagrama de bloques que muestra la configuración de un transmisor 100 que incluye un codificador de codificación y modulación de bits intercalados (en lo sucesivo, BICM) típico. Como se muestra, el transmisor 100 incluye un procesador de entrada 110, un codificador de BICM (que incluye a su vez un codificador de comprobación de paridad de baja densidad 120 (en lo sucesivo, LDPC), un intercalador de bits 130 y un mapeador de constelación 140) y un modulador 150.

El procesador de entrada 110 convierte un flujo de bits de entrada en bloques de una longitud predeterminada. El codificador de LDPC 120 codifica los bloques en palabras de código usando códigos de LDPC, y a continuación transmite las palabras de código al intercalador de bits 130. El intercalador de bits 130 aplica un proceso de intercalación a cada palabra de código de LDPC, a continuación divide cada palabra de código intercalada en una secuencia de palabras de celda (es decir, palabras de constelación). El mapeador de constelación 140 mapea cada palabra de celda (es decir, palabra de constelación) a una secuencia de constelaciones (por ejemplo, usando QAM). El modulador genérico 150 en la salida incluye todos los bloques de procesamiento desde la salida del codificador de BICM a un amplificador de potencia de frecuencia de radio (en lo sucesivo, RF).

Un código de LDPC es un código de corrección de errores lineal que se define completamente mediante una matriz de comprobación de paridad (en lo sucesivo, PCM). Una PCM es una matriz dispersa binaria que representa la relación de bits de palabras de código (en lo sucesivo denominado también nodos variables) a las comprobaciones de paridad (en lo sucesivo denominado también nodos de comprobación). Las columnas y las filas de la PCM corresponden respectivamente a los nodos variables y a los nodos de comprobación. En la PCM, una relación entre un nodo variable y un nodo de comprobación se representa mediante un elemento uno.

Los códigos de comprobación de paridad de baja densidad cuasi cíclicos (en lo sucesivo, QC LDPC) son una variedad de los códigos de LDPC. Los códigos QC LDPC tienen una estructura que es particularmente adecuada para implementación de hardware. De hecho, la mayoría de las normas en uso hoy en día emplean códigos QC LDPC. La PCM de un código QC LDPC tiene una configuración especial compuesta de una pluralidad de matrices circulantes. Una matriz circulante es una matriz cuadrada en que cada fila es un desplazamiento cíclico de los elementos en la fila anterior, y tiene una, dos o más diagonales replegadas. Cada matriz circulante tiene un tamaño de  $Q \times Q$ . En este punto,  $Q$  representa el factor cíclico del QC LDPC. La configuración cuasi cíclica anteriormente descrita permite que se procesen  $Q$  nodos de comprobación en paralelo, que es evidentemente beneficioso para la implementación eficaz de hardware.

La Figura 2 muestra la PCM de un código QC LDPC que tiene un factor cíclico  $Q$  de ocho, como un ejemplo. En la Figura 2, así como en las Figuras 3 y 5 descritas más adelante, los cuadrados más pequeños representan cada uno un elemento de la PCM, donde los cuadrados negros son elementos uno y todos los demás cuadrados son elementos cero. La PCM mostrada tiene matrices circulantes con una o dos piezas diagonales replegadas. Este código QC LDPC codifica un bloque de  $8 \times 6 = 48$  bits en una palabra de código de  $8 \times 12 = 96$  bits. Por consiguiente, la tasa de codificación del QC LDPC es  $48/96 = 1/2$ . Los bits de palabra de código se dividen en una pluralidad de bloques de  $Q$  bits cada uno. Los  $Q$  bloques de bits se denominan en lo sucesivo bloques cíclicos (o grupos cíclicos) por esta relación al factor cíclico de  $Q$ .

Una variedad especial de los códigos QC LDPC son los códigos de comprobación de paridad de baja densidad cuasi cíclicos de repetir-acumular (en lo sucesivo, QC LDPC). Los códigos RA QC LDPC son bien conocidos como que son fáciles de codificar, y se usan por lo tanto en una amplia diversidad de normas (por ejemplo, en las normas de DVB de la segunda generación, incluyendo DVB-S2, DVB-T2 y DVB-C2). El lado derecho de la PCM corresponde a los bits de paridad. Los elementos uno en la misma se disponen en una estructura en escalera. La Figura 3 muestra un ejemplo de una PCM para un RA QC LDPC que tienen una tasa de codificación de  $2/3$ .

Anteriormente, y a lo largo de todo el documento, DVB-T es una abreviatura de Difusión de Vídeo Digital - Terrestre, DVB-S2 es una abreviatura de Difusión de Vídeo Digital - Satélite de Segunda Generación, DVB-T2 es una abreviatura de Difusión de Vídeo Digital - Terrestre de Segunda Generación y DVB-C2 es una abreviatura de Difusión de Vídeo Digital - Cable de Segunda Generación.

Aplicando una simple permutación de fila a la PCM mostrada en la Figura 3, se revela la estructura cuasi cíclica de los códigos RA QC LDPC, con la excepción de la porción de paridad, mostrada en la Figura 4. La permutación de fila es un cambio sencillo de la representación gráfica que no tiene influencia en la definición de código.

La estructura cuasi cíclica de la porción de paridad de PCM se imparte aplicando una permutación de fila adecuada a únicamente los bits de paridad de la PCM mostrados en la Figura 4. Esta técnica es ampliamente conocida en el campo y se usa en normas tales como DVB-T2, bajo el nombre de intercalación de paridad o de permutación de paridad. La Figura 5 muestra la PCM obtenida como resultado de aplicar tal permutación de paridad a la PCM mostrada en la Figura 4.

Normalmente, los bits de una palabra de código de LDPC varían en importancia, y los bits de una constelación varían en nivel de robustez. Mapear los bits de una palabra de código de LDPC a una constelación directamente, es decir, sin intercalar, conduce a rendimiento subóptimo. Por lo tanto, los bits de la palabra de código de LDPC requieren intercalación antes de mapear en las constelaciones.

Para este fin, se proporciona el intercalador de bits 130 entre el codificador de LDPC 120 y el mapeador de constelación 140, como se muestra en la Figura 1. Diseñando cuidadosamente el intercalador de bits 130, se mejora la asociación entre los bits de la palabra de código de LDPC y los bits codificados mediante la constelación, que conduce a rendimiento de receptor mejorado. El rendimiento se mide normalmente usando la tasa de errores de bits (en lo sucesivo, BER) como una función de la relación de señal a ruido (en lo sucesivo, SNR).

Los bits de la palabra de código de LDPC se diferencian en importancia principalmente puesto que no todos los bits están necesariamente implicados en el mismo número de comprobaciones de paridad. Cuantas más comprobaciones de paridad (nodos de comprobación) estén implicadas en un bit de palabra de código dado (nodo variable), más importante es el bit de palabra de código dado en un proceso de decodificación de LDPC iterativo. Una razón adicional es que cada uno de los nodos variables tiene diferente conectividad a los ciclos de un grafo de Tanner que representa los códigos de LDPC. Por lo tanto, los bits de palabra de código es probable que se diferencien en importancia a pesar de que estén implicados en el mismo número de comprobaciones de paridad. Estas ideas son bien entendidas en el campo. Como una regla, la importancia de los nodos variables aumenta a medida que aumenta el número de nodos de comprobación conectados entre ellos.

En el caso particular de los códigos QC LDPC, todos los bits incluidos en un bloque cíclico de  $Q$  bits tienen el mismo número de comprobaciones de paridad aplicadas al mismo, y tienen la misma conectividad para los ciclos del grafo de Tanner. Por lo tanto, todos los bits tienen la misma importancia.

De manera similar, es ampliamente conocido que los bits codificados de una constelación tienen diferentes niveles de robustez. Por ejemplo, una constelación de modulación de amplitud en cuadratura (en lo sucesivo, QAM) se compone de dos símbolos de modulación de impulsos en amplitud independientes (en lo sucesivo, PAM), correspondiendo un símbolo a la parte real y correspondiendo el otro símbolo a la parte imaginaria. Los dos símbolos de PAM codifican cada uno  $M$  bits. La Figura 6 muestra 8 símbolos de PAM que usan codificación de Gray. Como se muestra, los bits codificados en cada símbolo de PAM varían en términos de nivel de robustez. La diferencia en robustez es un resultado de la distancia entre dos subconjuntos definidos por cada bit (por ejemplo, 0 o 1) que es diferente para cada uno de los bits. Cuanto mayor es la distancia, más robusto y fiable es el bit. La Figura 6 indica que el bit  $b_3$  tiene el nivel de robustez más alto, mientras el bit  $b_1$  tiene el nivel de robustez más bajo.

Por lo tanto, una constelación 16-QAM codifica cuatro bits y tiene dos niveles de robustez. De manera similar, una constelación 64-QAM codifica seis bits y tiene tres niveles de robustez. También, una constelación 256-QAM codifica

ocho bits y tiene cuatro niveles de robustez.

Los siguientes parámetros se usan en lo sucesivo a lo largo de toda la presente descripción.

Factor cíclico:  $Q = 8$

Número de bloques cíclicos por palabra de código de LDPC:  $N = 12$

5 Número de bits por constelación:  $M = 4$  (es decir, 16-QAM)

Dados los parámetros anteriores, el número de constelaciones a las que se mapea cada palabra de código de LDPC es igual a  $Q \times N / M = 24$ . Normalmente, los parámetros  $Q$  y  $N$  se seleccionan de manera que  $Q \times N$  es igual a un múltiplo de  $M$  para todas las constelaciones soportadas mediante el sistema.

10 La Figura 7 es un diagrama de bloques que muestra la configuración de un intercalador típico cuando se aplican los parámetros anteriores. En la Figura 7, los 12 bloques cíclicos se etiquetan QB1, ..., QB 12, y las 24 constelaciones se etiquetan C1, ..., C24. Un intercalador de bits 710 intercala los 96 bits de la palabra de código de LDPC.

15 Se conoce un intercalador de bits convencional a partir de la norma de DVB-T2 (véase el documento ETSI EN 302 755). La norma de DVB-T2 es una norma de televisión que presenta mejoras sobre la norma de DVB-T, y describe un sistema de transmisión de línea de base de la segunda generación para difusión de televisión digital. La norma de DVB-T2 proporciona los detalles de un sistema de codificación y modulación de canal para servicios de televisión de difusión y datos genéricos.

La Figura 8A es un diagrama de bloques que muestra la estructura de un modulador usado en la norma de DVB-T2 (es decir, un modulador de DVB-T2). El modulador de DVB-T2 800 incluye un procesador de entrada 810, un codificador de BICM 820, un creador de trama 830 y un generador de OFDM 840.

20 El procesador de entrada 810 convierte un flujo de bits de entrada en bloques de una longitud predeterminada. El codificador de BICM 820 aplica procesamiento de BICM a la entrada. El creador de trama 830 usa la entrada desde el codificador de BICM 820 y similares para generar una estructura de trama de distribución en el formato de DVB-T2. El generador de OFDM 840 realiza adición de piloto, aplicación de la transformada de Fourier, inserción de intervalo de guarda y similares en la estructura de trama de distribución, a continuación emite una señal de transmisión en el formato de DVB-T2.

25 El BICM usado en la norma de DVB-T2 se describe en el capítulo 6 de la norma del documento ETSI EN 302 755.

La Figura 8B es un diagrama de bloques que muestra la estructura del codificador de BICM 820 en el modulador de DVB-T2 800 ilustrado en la Figura 8A. La Figura 8B omite la codificación de BCH externa, la rotación de constelación, el intercalador de celda, el intercalador de tiempo y similares.

30 El codificador de BICM 820 incluye un codificador de LDPC 821, un intercalador de bits (que a su vez incluye un intercalador de paridad 822 y un intercalador de columna-fila 823), un demultiplexor de bit a celda 824 y un mapeador de QAM 825.

35 El codificador de LDPC 821 codifica los bloques en palabras de código usando códigos de LDPC. El intercalador de bits (que incluye el intercalador de paridad 822 y el intercalador de columna-fila 823) realiza intercalación en los bits de las palabras de código. El demultiplexor de bit a celda 824 demultiplexa los bits intercalados de las palabras de código en palabras de celda (palabras de constelación). El mapeador de QAM 825 mapea las palabras de celda (palabras de constelación) a símbolos de QAM complejos. Los símbolos de QAM complejos se denominan también celdas. De hecho, el demultiplexor de bit a celda 824 puede considerarse también una parte del intercalador de bits. En tales situaciones, el codificador de BICM que se ajusta a la norma de DVB-T2 puede considerarse que tiene la estructura básica mostrada en la Figura 1.

40 Los códigos de LDPC usados en la norma de DVB-T2 son códigos RA QC LDPC que tienen un factor cíclico de  $Q = 360$ . Se definen dos longitudes de palabra de código para la norma de DVB-T2, siendo una de 16200 bits y siendo la otra de 64800 bits. En el presente documento, los códigos de LDPC que usan una longitud de palabra de código de 16200 bits se denominan como códigos de 16 K (o como códigos de LDPC de 16 K) y los códigos de LDPC que tienen una longitud de palabra de código de 64800 bits se denominan como códigos de 64 K (o como códigos de LDPC de 64 K). El número de bloques cíclicos por palabra de código es 45 para los códigos de 16 K y 180 para los códigos de 64 K. Los códigos disponibles que corresponden a cada longitud de bloque (longitud de palabra de código) se proporciona en las Tablas A1 a A6 del documento ETSI EN 302 755 para la norma de DVB-T2.

50 El intercalador de bits se usa únicamente para constelaciones más largas que las constelaciones de modulación por desplazamiento de fase cuaternaria (en lo sucesivo, QPSK), e incluye el intercalador de paridad 822, el intercalador de columna-fila 823 y el demultiplexor de bit a celda 824. De acuerdo con la norma de DVB-T2, el intercalador de bits no incluye el demultiplexor de bit a celda 824. Sin embargo, el presente documento pertenece a la intercalación como se aplica a los códigos de LDPC antes del mapeo de constelación. Como tal, el demultiplexor de bit a celda 824 se trata como una parte del intercalador de bits.

El intercalador de paridad 822 realiza permutación de paridad en los bits de paridad de cada palabra de código para clarificar la estructura cuasi cíclica de los mismos, como se ha descrito anteriormente (véanse las Figuras 4 y 5).

5 Conceptualmente, el intercalador de columna-fila 823 opera escribiendo los bits de cada palabra de código de LDPC a nivel de columnas en una matriz intercaladora, leyendo a continuación los bits a nivel de filas. El primer bit de la palabra de código de LDPC se escribe en primer lugar, y se lee en primer lugar. Después de escribir y antes de leer los bits de la palabra de código de LDPC, el intercalador de columna-fila 823 desplaza cíclicamente las columnas de bits en un número de posiciones predeterminado. Esto se denomina giro de columna en la norma de DVB-T2. El número de columnas  $N_c$  y el número de filas  $N_r$  en la matriz intercaladora se proporciona en la Tabla 1 para diversos tamaños de constelación, de acuerdo con las dos longitudes de palabra de código de LDPC anteriormente mencionadas.

[Tabla 1]

Longitud de palabra de código de LDPC	Tamaño de constelación	Nº de columnas: $N_c$	Nº de filas: $N_r$
16200	16-QAM	8	2025
	64-QAM	12	1350
	256-QAM	8	2025
64800	16-QAM	8	8100
	64-QAM	12	5400
	256-QAM	16	4050

15 El número de columnas  $N_c$  es dos veces el número de bits por constelación, con la excepción de los códigos de 16 K con una constelación 256-QAM. Esta excepción tiene lugar puesto que la longitud de la palabra de código de LDPC de 16200 no es un múltiplo de 16, es decir, no es dos veces el número de bits por constelación 256-QAM.

20 El proceso de escritura de bits de palabra de código y el proceso de lectura de bits para los códigos de 16 K realizado mediante el intercalador de columna-fila 823 se ilustra en las Figuras 9A y 9B para doce columnas, y en las Figuras 10A y 10B para ocho columnas. Cada uno de los cuadrados pequeños corresponde a un bit de la palabra de código de LDPC. El cuadrado en negro representa el primer bit de la palabra de código de LDPC. Las flechas indican el orden en que se escriben y leen los bits en y desde la matriz intercaladora. Por ejemplo, cuando la matriz intercaladora tiene doce columnas, los bits de la palabra de código del código de 16 K se escriben en el orden dado en la Figura 9A, en concreto (Fila 1, Columna 1), (Fila 2, Columna 1), ..., (Fila 1350, Columna 1), (Fila 1, Columna 2), ..., (Fila 1350, Columna 12), a continuación se leen en el orden dado en la Figura 9B, en concreto (Fila 1, Columna 1), (Fila 1, Columna 2), ..., (Fila 1, Columna 12), (Fila 2, Columna 1), ..., (Fila 1350, Columna 12). Las Figuras 9A, 9B, 10A y 10B no ilustran el proceso de giro de columna.

25 Antes del mapeo de QAM, el demultiplexor de bit a celda 824 demultiplexa las palabras de código de LDPC para obtener una pluralidad de flujos de bits paralelos. El número de flujos es dos veces el número de bits codificados  $M$  por constelación de QAM, es decir,  $2 \times M$ , con la excepción de los códigos de LDPC de 16 K con una constelación 256-QAM. Para los códigos de LDPC de 16 K con una constelación 256-QAM, el número de flujos es igual al número de bits codificados  $M$  por constelación de QAM. Los  $M$  bits codificados por constelación se denominan como una palabra de celda (palabra de constelación). Para los códigos de LDPC de 16 K, el número de palabras de celda por palabra de código es  $16200/M$ , como se da a continuación.

- 35 8100 celdas para QPSK,
- 4050 celdas para 16-QAM,
- 2700 celdas para 64-QAM, y
- 2025 celdas para 256-QAM.

40 De acuerdo con la Tabla 1, proporcionada anteriormente, el número de flujos paralelos es igual al número de columnas en el intercalador de columna-fila para constelaciones más largas que QPSK. Los demultiplexores de bit a celda que corresponden a constelaciones 16-QAM, constelaciones 64-QAM y constelaciones 265-QAM para códigos de LDPC de 16 K se muestran respectivamente en las Figuras 11, 12 y 13. La notación de bits usada es la de la norma de DVB-T2.

Como se muestra en la Figura 11 (y en las Figuras 12 y 13), el demultiplexor de bit a celda 824 incluye un demultiplexor sencillo 1110 (también 1210, 1310) y un permutador de demultiplexación 1120 (también 1220, 1320).

45 Además de haber demultiplexado de manera sencilla las palabras de código de LDPC el demultiplexor sencillo 1110 (1210, 1310), a las que ha aplicado intercalación, el demultiplexor de bit a celda 824 también tiene el permutador de demultiplexación 1120 (1220, 1320) que realiza una permutación en los flujos de bits paralelos demultiplexados.

Sin embargo, cuando se usa el intercalador de columna-fila (es decir, para las constelaciones 16-QAM o más largas), la permutación aplicada a los flujos de bits es idéntica a una permutación aplicada a las columnas del intercalador de columna-fila debido que el número de flujos de bits paralelos es igual al número de columnas. Por lo tanto, la permutación realizada mediante el demultiplexor de bit a celda 824 se considera como una parte del intercalador de bits.

El intercalador de bits usado en la norma de DVB-T2 esencialmente tiene dos problemas.

El primer problema es que el paralelismo se degrada cuando el número de bloques cíclicos en la palabra de código de LDPC no es un múltiplo del número de columnas en la matriz intercaladora de bits. El paralelismo reducido conduce a latencia aumentada. Esto es especialmente problemático cuando se usa decodificación de BICM iterativa mediante el receptor. Esta situación aparece para varias combinaciones de longitud de palabra de código de LDPC y tamaño de constelación en la norma de DVB-T2.

Las Figuras 14 y 15 ilustran la situación anteriormente mencionada para casos de código de LDPC de 16 K donde la matriz intercaladora tiene ocho y doce columnas, respectivamente. Se usan ocho columnas en la matriz intercaladora para constelaciones 16-QAM y constelaciones 265-QAM. Se usan doce columnas en la matriz intercaladora para constelaciones 64-QAM. En las Figuras 14 y 15, la cuadrícula representa una palabra de código de LDPC, los cuadrados pequeños representan cada uno un bit de la palabra de código de LDPC, las filas corresponden a los bloques cíclicos y las columnas corresponden a bits del mismo índice de bit en un bloque cíclico. Los cuadrados en negro representan los bits octavo y duodécimo de la primera fila en la matriz intercaladora. Para facilidad de comprensión, el número de bits por bloque cíclico se ha reducido de 360 a 72. Sin embargo, esto no afecta el entendimiento.

El segundo problema es que, en la norma de DVB-T2, el número de posibles configuraciones de intercalador de bits está limitado por el número de columnas en la matriz intercaladora de bits.

Un problema adicional del intercalador de bits de DVB-T2 es que se degrada la regularidad y el paralelismo de la permutación por el proceso de giro de columna. Las Figuras 16 y 17 ilustran respectivamente las mismas situaciones que las Figuras 14 y 15, con la adición del proceso de giro de columna. Cuando la matriz intercaladora tiene ocho columnas para los códigos de LDPC de 16 K, los valores de giro de columna para las columnas del intercalador de bits de DVB-T2 son (0, 0, 0, 1, 7, 20, 20, 21). De manera similar, cuando la matriz intercaladora tiene doce columnas para los códigos de LDPC de 16 K, los valores de giro de columna para las columnas del intercalador de bits de DVB-T2 son (0, 0, 0, 2, 2, 2, 3, 3, 3, 6, 7, 7).

Por consiguiente, se desea un intercalador de bits que reduzca la latencia mientras mejora el paralelismo. Estas propiedades son particularmente importantes en decodificación de BICM iterativa.

(Descubrimientos del inventor)

El inventor ha descubierto, como el fruto de la experimentación prolongada, que un intercalador que satisface las siguientes dos condiciones es extremadamente eficaz.

(Condición 1)

Los  $M$  bits de cada constelación se mapean cada uno a uno de  $M$  diferentes bloques cíclicos de la palabra de código de LDPC. Esto es equivalente a mapear un bit desde  $M$  diferentes bloques cíclicos de la palabra de código de LDPC a una palabra de constelación. Esto se ilustra esquemáticamente en la Figura 18A.

(Condición 2)

Todas las palabras de constelación mapeadas a los  $M$  bloques cíclicos se mapean únicamente a ese bloque cíclico particular. Esto es equivalente a mapear todos los  $M \times Q$  bits de los  $M$  diferentes bloques cíclicos compuestos cada uno de  $Q$  bits a exactamente  $Q$  constelaciones. Esto se ilustra esquemáticamente en la Figura 18B.

Las condiciones anteriores implican que exactamente se mapean  $Q$  constelaciones a cada conjunto de  $M$  bloques cíclicos.

(Realización 1)

Lo siguiente describe los detalles de un intercalador de bits (es decir, un intercalador de bits paralelo) que satisface las condiciones 1 y 2 proporcionadas anteriormente. En la siguiente descripción, el procesamiento y las unidades que realizan tal procesamiento se etiquetan con los mismos números de referencia siempre que sea aplicable.

En el presente documento, cada grupo de  $M$  bloques cíclicos y cada grupo de  $Q$  palabras de constelación se denomina como una sección (o como una sección de intercalador).

Las Figuras 19 y 20 son diagramas de bloques que ilustran respectivamente la función de mapeo de un intercalador de bits que satisface las condiciones 1 y 2 y que corresponde a los parámetros anteriormente mencionados (es

decir,  $Q = 8$ ,  $M = 4$ ,  $N = 12$ ) y una configuración de muestra para un intercalador de bits de este tipo.

En las Figuras 19 y 20, las palabras de código QC-LDPC se componen de  $N = 12$  bloques cíclicos, cada uno compuesto a su vez de  $Q = 8$  bits. Cada una de las 24 palabras de constelación se compone de  $M = 4$  bits. Cada palabra de constelación indica uno de  $2^M = 16$  puntos de constelación. El intercalador de bits se divide en  $N/M = 3$  secciones. Las 24 palabras de constelación se asocia cada una a una de las tres secciones.

5 Un intercalador de bits 2000 incluye un permutador de bits 2010, que a su vez incluye  $N/M (= 3)$  permutadores de sección 2021, 2022 y 2023, operando cada uno independientemente. Sin embargo, en lugar de proporcionar tres permutadores de sección, puede proporcionarse, por ejemplo, un único permutador de sección para realizar los tres procesos de permutación de sección descritos a continuación, cambiando entre ellos con el tiempo.

10 Los permutadores de sección (2021, 2022 y 2023) realizan cada uno independientemente una permutación de sección en los 32 bits que componen cada uno de los 4 bloques cíclicos, de manera que un bit de cada cuatro bloques cíclicos (es decir, QB1 a QB4, QB5 a QB8 y QB9 a QB12) se mapea a cada grupo de ocho palabras de constelación (es decir, C1 a C8, C9 a C16 y C17 a C24).

15 Las condiciones 1 y 2, anteriormente descritas, aseguran que el intercalador de bits es divisible en  $N/M$  secciones paralelas. Las permutaciones de sección aplicadas a las secciones paralelas pueden aplicar todas las mismas reglas de permutación, pueden aplicar cada una diferentes reglas de permutación o puede implicar que un subconjunto de las secciones aplique idénticas reglas de permutación mientras que otro diferentes.

20 Por ejemplo, los permutadores de sección pueden mapear los  $Q$  bits de un bloque cíclico (que tiene cada uno la misma importancia en decodificación de LDPC) a bits que tienen el mismo índice de bit (es decir, que tienen el mismo nivel de robustez) en las  $Q$  palabras de constelación. Para cada bloque cíclico, los  $Q$  bits pueden estar en orden secuencial o permutado. El último caso se describe con referencia a las Figuras 21A y 21B, mientras que el primer caso se describe con referencia a las Figuras 22A y 22B.

La Figura 21A ilustra estructuralmente el permutador de sección de la Figura 20.

25 El permutador de sección 2101 incluye los permutadores de bloques intra-cíclicos 2111 a 2114 y un permutador de columna-fila 2131. En lugar de proporcionar cuatro permutadores de bloques intra-cíclicos, por ejemplo, puede proporcionarse un único permutador de bloques intra-cíclico y realizar los cuatro procesos de permutación de bloques intra-cíclica, descrito más adelante, cambiando entre ellos con el tiempo.

30 Los permutadores de bloques intra-cíclicos (2111-2114) cada uno realiza una permutación de bloques intra-cíclica en los bloques cíclicos (QB1-QB4) de  $Q$ -bit (8 bits). Las permutaciones de bloques intra-cíclicas aplicadas a los bloques cíclicos en cada sección pueden aplicar todas las mismas reglas de permutación, pueden aplicar cada una diferentes reglas de permutación o puede implicar que un subconjunto de las secciones aplique idénticas reglas de permutación mientras que otro diferentes.

35 El permutador de columna-fila 2131 realiza una permutación de columna-fila en cada grupo de  $M \times Q (= 32)$  bits. Específicamente, el permutador de columna-fila 2131 escribe los  $M \times Q$  bits a nivel de filas en una matriz de  $M \times Q (8 \times 4)$ , a continuación lee los  $M \times Q$  bits a nivel de columna desde los mismos, aplicando por lo tanto la permutación de columna-fila. La permutación de columna-fila aplicada mediante el permutador de columna-fila 2131 se asemeja a la permutación aplicada a la matriz  $12 \times 1350$  mostrada en las Figuras 9A y 9B, donde se usan  $Q$  columnas y  $M$  filas, el proceso de escritura tiene lugar a nivel de columnas y el proceso de lectura tiene lugar a nivel de filas.

40 La Figura 21B es una representación estructural del permutador de sección mostrado en la Figura 21A. Como se muestra, las palabras de constelación de  $M = 4$  bits se indican cada una b1 a b4.

Sin embargo, es también plausible una variación en que el proceso de permutación de bloques intra-cíclico no es parte del proceso de permutación de sección.

45 Por ejemplo, se muestra una permutación de sección implementada sin ejecutar la permutación de bloques intra-cíclica y una estructura de mapeo mediante el permutador de sección en las Figuras 22A y 22B. El permutador de sección 2201 incluye un permutador de columna-fila 2131 y realiza una permutación de columna-fila sencilla. En la Figura 22B, las palabras de constelación de  $M = 4$  bits se indican cada una b1 a b4.

La permutación de sección descrita en las Figuras 21A, 21B, 22A y 22B puede aplicarse a los bloques cíclicos QB5-QB8 y QB9-QB12.

50 Ventajosamente, puede aplicarse una permutación de bloques cíclica adicional a los  $N$  bloques cíclicos antes de que el intercalador de bits realice la permutación de sección. La Figura 23 es un diagrama estructural de la permutación de bloques cíclica adicional aplicada mediante el intercalador de bits 2300. En este contexto, la permutación de bloques cíclica desempeña un papel similar a la de la permutación realizada mediante el demultiplexor de bit a celda en la norma de DVB-T2.

El intercalador de bits 2300 mostrado en la Figura 23 incluye un permutador de bloques cíclico 2310 y un permutador de bits 2010 (que a su vez incluye los permutadores de sección 2021-2023).

El permutador de bloques cíclico 2310 realiza permutaciones de bloques cíclicas 2311-2318 en los bloques cíclicos QB1-QB12. En este punto, las permutaciones de bloques cíclicas 2311-2318 todas siguen las mismas reglas de permutación.

La permutación de bloque cíclica realizada en los  $N$  bloques cíclicos es particularmente ventajosa al posibilitar mapeado optimizado de los bits de la palabra de código de LDPC en los bits de constelación, dando como resultado rendimiento optimizado.

La Figura 24 es un diagrama de bloques esquemático del intercalador de bits 2300 mostrado en la Figura 23. El intercalador de bits 2400 mostrado en la Figura 24 incluye tres etapas, A, B y C.

- Etapa A: (inter) permutación de bloques cíclica
- Etapa B: permutación de bloques intra-cíclica
- Etapa C: permutación de columna-fila

La permutación de bloques (inter) cíclica se aplica a los  $N$  bloques cíclicos que componen la palabra de código, la permutación de bloques intra-cíclica se aplica a los  $Q$  bits de cada bloque cíclico y la permutación de columna-fila se aplica a las  $M \times Q$  secciones.

El intercalador de bits 2400 mostrado en la Figura 24 incluye el permutador de bloques cíclico 2310 y el permutador de bits 2010 (que a su vez incluye los permutadores de sección 2101-2103). El permutador de sección 2101 (2102, 2013) incluye los permutadores de bloques intra-cíclicos 2111-2114 (2115-2118, 2119-2122) y el permutador de columna-fila 2131 (2132, 2133).

En el intercalador de bits 2400, la permutación de bloques (inter) cíclica se realiza mediante el permutador de bloques cíclico 2310 (etapa A), la permutación de bloques intra-cíclica se realiza mediante los permutadores de bloques intra-cíclicos 2111-2122 (etapa B) y la permutación de columna-fila se realiza mediante los permutadores de columna-fila 2131-2133 (etapa C).

Los permutadores de bloques intra-cíclicos 2111-2122 pueden eliminarse del intercalador de bits 2400 mostrado en la Figura 24, de manera que el intercalador de bits se configura para no realizar la permutación de bloques intra-cíclica. También, el intercalador de bits 2400 puede realizar la permutación de bloques (inter) cíclica antes de la permutación de bloques intra-cíclica en lugar de después de la permutación de bloques intra-cíclica, o puede realizar la permutación de bloques (inter) cíclica antes y después de la permutación de bloques intra-cíclica.

Los permutadores de bloques intra-cíclicos pueden tener estructuras similares. Esto es ventajoso en que los permutadores de bloques intra-cíclicos pueden implementarse por lo tanto usando recursos idénticos (por ejemplo, bloques de hardware). Como alternativa, las permutaciones de bloques intra-cíclicas pueden consistir en desplazamientos cíclicos, que permiten implementación de hardware eficaz usando desplazadores cilíndricos. Es también posible una implementación usando los desplazadores cilíndricos en el decodificador de LDPC.

Lo siguiente describe un transmisor que incluye el intercalador de bits que realiza un proceso de intercalación de bits que satisface las condiciones 1 y 2, con referencia a la Figura 25.

La Figura 25 es un diagrama de bloques de un transmisor que pertenece a una realización adicional de la presente divulgación. Como se muestra en la Figura 25, un transmisor 2500 incluye un codificador de BICM (que a su vez incluye un codificador de LDPC 2510, un intercalador de bits 2520 y un mapeador de constelación 2530) y un modulador 2540.

El codificador de LDPC 2510 codifica bloques de entrada en palabras de código usando códigos QC-LDPC, y a continuación transmite las palabras de código al intercalador de bits 2520.

El intercalador de bits 2520 recibe la palabra de código del código QC-LDPC desde el codificador de LDPC 2510. La palabra de código se compone de  $N = 12$  bloques cíclicos, incluyendo cada bloque cíclico  $Q = 8$  bits. El intercalador de bits 2520 realiza intercalación en los bits de las palabras de código para permutar los bits de cada una de las palabras de código. El intercalador de bits 2520 divide la palabra de código intercalada en una pluralidad de palabras de constelación, cada una compuesta de  $M = 4$  bits y que indica uno de  $2^M = 16$  puntos de constelación, a continuación emite las palabras de constelación al mapeador de constelación 2530. El intercalador de bits 2520 puede aplicar el proceso de intercalación de bits analizado con referencia a las Figuras 19 a 22A y 22B, o puede aplicar un proceso de permutación de bits variante. También, el intercalador de bits 2520 puede aplicar un proceso de permutación de bloques cíclico adicional, tal como el proceso analizado con referencia a las Figuras 23 y 24 o una variación del mismo.

El mapeador de constelación 2530 recibe las palabras de constelación desde el intercalador de bits 2520 y realiza mapeo de constelación en las palabras de constelación así recibidas.

El modulador 2740 genera una señal de transmisión usando multiplexación por división ortogonal de frecuencia (en lo sucesivo, OFDM) o similar.

Lo siguiente describe un codificador de BICM que incluye el intercalador de bits que realiza un proceso de intercalación de bits que satisface las condiciones 1 y 2, con referencia a la Figura 26.

- 5 La Figura 26 es un diagrama de bloques de un codificador de BICM de ejemplo que pertenece a una realización adicional de la divulgación. En la Figura 26, el codificador de BICM 2600 corresponde a los parámetros anteriormente proporcionados (es decir,  $Q = 8$ ,  $N = 12$ ,  $M = 4$ ).

10 El codificador de BICM 2600 mostrado en la Figura 26 incluye una memoria principal 2601, un controlador de LDPC 2611, un rotador 2612, un grupo de procesadores de nodo de comprobación 2613, un des-rotador 2614, un contador de QB 2631, la tabla A 2632, el intercalador B 2633, un grupo de registros 2634, el intercalador C 2635 y un grupo de mapeadores 2651.

En la Figura 26, dado que  $Q = 8$ , la memoria principal 2601 lee ocho bits a la vez, el grupo de procesadores de nodo de comprobación 2613 incluye ocho procesadores de nodo de comprobación, y el grupo de mapeadores 2651 incluye ocho mapeadores. También, dado que  $M = 4$ , el grupo de registros 2634 incluye cuatro registros.

- 15 La memoria principal 2601 recibe una secuencia de bits para transmisión desde, por ejemplo, el procesador de entrada (no representado) y almacena la secuencia de bits recibida.

20 El controlador de LDPC 2611 emite una dirección de lectura a la memoria principal 2601. La memoria principal 2601 emite en consecuencia la secuencia de bits, ocho bits a la vez empezando con el bit inicial, al rotador 2612. El rotador 2612 se controla mediante el controlador de LDPC 2611 para realizar un número predeterminado de desplazamientos cíclicos en los ocho bits suministrados al mismo mediante la memoria principal 2601, y a continuación emite los ocho bits desplazados cíclicamente a los procesadores de nodo de comprobación del grupo de procesadores de nodo de comprobación 2613, un bit a la vez, estando los bits y los procesadores de nodo de comprobación en correspondencia uno a uno. Cada procesador de nodo de comprobación del grupo de procesadores de nodo de comprobación 2613 se controla mediante el controlador de LDPC 2611 para realizar procesamiento de nodo de comprobación en cada bit introducido al mismo, a continuación emite los resultados al des-rotador 2614. El des-rotador 2614 se controla mediante el controlador de LDPC 2611 para realizar un número predeterminado de desplazamientos cíclicos en los ocho bits recibidos desde el grupo de procesadores de nodo de comprobación 2613 para cancelar el desplazamiento cíclico aplicado mediante el rotador 2612, y a continuación emite los ocho bits desplazados a la memoria principal 2601. El controlador de LDPC 2611 emite una dirección de escritura a la memoria principal 2601. La memoria principal 2601 almacena en consecuencia los ocho bits suministrados a la misma mediante el des-rotador 2614. El controlador de LDPC 2611, el rotador 2612, el grupo de procesadores de nodo de comprobación 2613 y el des-rotador 2614 componen el codificador de BICM en el codificador de LDPC 2510 mostrado en la Figura 25.

35 El contador de QB 2631 cuenta desde 0 a 11 y emite el valor de contador a la tabla A 2632. La operación de recuento del contador de QB 2631 se define en consideración de  $N = 12$ .

40 La Tabla A 2632 es una tabla de búsqueda sencilla en que se almacenan las reglas de permutación de bloques cíclicos. Es decir, la Tabla A 2632 almacena  $N = 12$  piezas de información de orden de lectura de bloques cíclicos (información que asocia un bloque cíclico diferente con cada uno de los 12 valores de contador del contador de QB 2631). La Tabla A 2632 emite una dirección de lectura a la memoria principal 2601 de manera que los bits de un bloque cíclico (es decir,  $Q = 8$  bits) que corresponden al valor de contador suministrado mediante el contador de QB 2631 se suministran desde la memoria principal 2601 al intercalador B 2633. Por lo tanto, la memoria principal 2601 emite los bits de un bloque cíclico que corresponde al valor de contador del contador de QB 2631 al intercalador B 2633. El procesamiento que usa la tabla A 2632 se ejecuta como el proceso de permutación de bloques cíclico (etapa A).

45 El intercalador B 2633 realiza un número predeterminado de desplazamientos cíclicos en los bits del bloque cíclico suministrado mediante la memoria principal 2601, y emite los resultados a un primer nivel de registro del grupo de registros 2634. El procesamiento mediante el intercalador B 2633 se ejecuta como el proceso de permutación de bloque intra-cíclico (etapa B). Cada registro en el grupo de registros 2634 almacena un bloque cíclico de bits con temporización que coincide con la recepción de un pulso de control, y emite los bloques cíclicos de bits antes de recibir el siguiente pulso de control.

50 Cuando el contador de QB 2631 realiza el proceso anteriormente mencionado para los valores de contador de 0 a 3, los bits de cuatro bloques cíclicos (es decir, 32 bits) se introducen al intercalador C 2635. En este momento, el intercalador C 2635 intercala los bits de los cuatro bloques cíclicos introducidos al mismo, y los mapeadores del grupo de mapeadores 2651 emiten una palabra de constelación de bits (es decir,  $M = 4$  bits). A través del proceso de intercalación, cuatro bits, es decir, uno de cada uno de los cuatro registros en el grupo de registros 2634, se suministra a cada mapeador. Este procesamiento mediante el intercalador C 2635 se ejecuta como el proceso de permutación de columna-fila (etapa C).

El contador de QB 2631, la tabla A 2632, el intercalador B 2633, el grupo de registros 2634 y el intercalador C 2635 componen el intercalador de bits 2520 del codificador de BICM mostrado en la Figura 25.

5 Los mapeadores del grupo de mapeadores 2651 mapean cada uno cuatro bits suministrados a los mismos desde el intercalador C 2635 a una constelación, a continuación emiten los resultados. El grupo de mapeadores 2651 compone el mapeador de constelación 2530 del codificador de BICM mostrado en la Figura 25.

Para cada palabra de código, el conjunto anteriormente descrito de procesos se aplica tres veces, una vez para cada valores de contador 0-3, 4-7 y 8-11 del contador de QB 2631.

10 La realización representada en la Figura 26 incluye  $Q$  mapeadores que operan en paralelo. Sin embargo, los mapeadores pueden realizarse también como un codificador de BICM para reducir o aumentar el paralelismo. Por ejemplo, el número de secciones de intercalador paralelas en el intercalador de bits, es decir, el cociente de  $N/M$ , evidentemente puede aumentarse para mejorar fácilmente el paralelismo. Tales procedimientos posibilitan que se optimice el paralelismo paralelizando los  $Q \times N/M$  mapeadores. Implementar tal paralelismo, sin desventajas, en el intercalador de bits es beneficioso.

15 Lo siguiente describe un receptor que recibe señales desde un transmisor que incluye el intercalador de bits que realiza un proceso de intercalación de bits que satisface las condiciones 1 y 2, con referencia a la Figura 27.

La Figura 27 es un diagrama de bloques de un receptor de ejemplo, que incluye un decodificador de BICM no iterativo, que pertenece a una realización adicional de la divulgación. El receptor realiza las operaciones inversas del transmisor.

20 El receptor 2700 mostrado en la Figura 27 incluye un demodulador 2710 y un decodificador de BICM no iterativo (que a su vez incluye un desmapeador de constelación 2720, un desintercalador de bits 2730 y un decodificador de LDPC 2740).

El demodulador 2710 realiza un proceso de demodulación a través de OFDM, por ejemplo, y emite los resultados demodulados.

25 El desmapeador de constelación 2720 del decodificador de BICM no iterativo genera una secuencia de bits flexible aplicando un proceso de desmapeo a la entrada desde el demodulador 2710, y emite la secuencia de bits flexible así generada al desmapeador de constelación 2730. Los bits flexibles son una medida de probabilidad de que un bit dado sea un bit cero o un bit uno. Normalmente, los bits flexibles se representan como relaciones de probabilidad logarítmica (en lo sucesivo, LLR), definidos como sigue.

$$\text{LLR}(b) = \ln [p(b = 0)/p(b = 1)]$$

30 donde  $p(b = 0)$  indica la probabilidad de que el bit  $b$  sea un bit cero, y  $p(b = 1)$  representa la probabilidad de que el bit dado  $b$  sea un bit uno. Por supuesto,  $p(b = 0) + p(b = 1) = 1$ .

35 El desintercalador de bits 2730 realiza un proceso de intercalación en una secuencia de bits flexible emitida mediante el desmapeador de constelación (es decir, un proceso de des-intercalación de bits) para cancelar el proceso de intercalación de bits aplicado a la secuencia de bits mediante el intercalador de bits en el transmisor ilustrado en la Figura 25.

El decodificador de LDPC 2740 recibe la secuencia de bits flexible desintercalada mediante el desintercalador de bits 2730, y realiza un proceso de decodificación de LDPC usando la secuencia de bits flexible así recibida.

Una técnica mejorada que ofrece ganancias de rendimiento significativas es la decodificación de BICM iterativa. La Figura 28 ilustra un decodificador de BICM iterativo.

40 La Figura 28 es un diagrama de bloques de un receptor de ejemplo, que incluye un decodificador de BICM iterativo, que pertenece a una realización adicional de la divulgación. El receptor realiza las operaciones del transmisor a la inversa.

45 Como se muestra en la Figura 28, un receptor 2800 incluye el demodulador 2710 y un decodificador de BICM iterativo (que a su vez incluye el desmapeador de constelación 2720, el desintercalador de bits 2730, el decodificador de LDPC 2740, un restador 2760 y un intercalador de bits 2750).

El receptor 2800 de la Figura 28 tiene el desmapeador de constelación 2720 que realiza un proceso de desmapeo de constelación, el desintercalador de bits 2730 que realiza un proceso de desintercalación de bits y el decodificador de LDPC 2740 que realiza un proceso de decodificación de LDPC.

50 Después de una o más iteraciones de decodificación de LDPC, la información extrínseca, obtenida mediante el restador 2760 que resta la entrada al decodificador de LDPC 2740 desde la salida del decodificador de LDPC 2740, se emite al intercalador de bits 2750. El intercalador de bits 2750 realiza un proceso de intercalación en la información extrínseca usando las mismas reglas de intercalación a aquellas aplicadas a la secuencia de bits

mediante el intercalador de bits del transmisor representado en la Figura 25. El intercalador de bits 2750 a continuación realimenta la información extrínseca intercalada al desmapeador de constelación 2720. El desmapeador de constelación 2720 usa la información extrínseca así realimentada como información a priori para calcular valores de LLR más fiables. El desintercalador de bits 2730 a continuación realiza un proceso de intercalación en los valores de LLR nuevamente calculados (es decir, un proceso de des-intercalación de bits) para cancelar el proceso de intercalación de bits aplicado a la secuencia de bits mediante el intercalador de bits en el transmisor representado en la Figura 25 y restaura el orden original de la secuencia de bits. El decodificador de LDPC 2740 usa los valores de LLR así des-intercalados en el proceso de decodificación de LDPC.

Como se muestra en la Figura 28, un bucle de decodificación iterativo se compone de cuatro elementos, en concreto el desmapeador de constelación 2720, el desintercalador de bits 2730, el decodificador de LDPC 2740 y el intercalador de bits 2750. El desintercalador de bits 2730 y el intercalador de bits 2750 tienen beneficiosamente muy poca latencia, idealmente cero y baja complejidad. Esto da como resultado una implementación de receptor más eficaz. El desintercalador de bits 2730 y el intercalador de bits 2750 anteriormente descritos satisfacen ambas de estas condiciones.

La Figura 29 ilustra un decodificador de BICM iterativo que realiza implementación en paralelo muy eficaz.

La Figura 29 es un diagrama de bloques de un decodificador de BICM de ejemplo que pertenece a una realización adicional de la divulgación. En la Figura 29, el decodificador de BICM 2900 corresponde a los parámetros anteriormente proporcionados (es decir,  $Q = 8$ ,  $N = 12$ ,  $M = 4$ ).

Como se muestra, el decodificador de BICM 2900 incluye una memoria de LLR principal 2901, una memoria de LLR de memoria intermedia 2902, un controlador de LDPC 2911, un rotador 2912, un grupo de procesadores de nodo de comprobación 2913, un des-rotador 2914, un contador de QB 2931, la tabla A 2932, un grupo de restadores 2933, el intercalador B 2934, el grupo de registros 2935, el intercalador C 2936, un grupo de desmapeadores 2937, el desintercalador C 2938, el grupo de registros 2939, el desintercalador B 2940 y un retardador 2941.

En la Figura 29, dado que  $Q = 8$ , la memoria de LLR principal 2901 y la memoria de LLR de memoria intermedia 2902 cada una leen ocho valores de LLR a la vez, el grupo de procesadores de nodo de comprobación 2913 incluye ocho procesadores de nodo de comprobación y el grupo de desmapeadores 2937 incluye ocho desmapeadores. También, considerando que  $M = 4$ , los grupos de registros 2935 y 2939 incluyen cada uno cuatro registros.

Los desmapeadores en el grupo de desmapeadores 2937 cada uno realizan un proceso de desmapeo en la salida de un demodulador (no representado), a continuación emiten los valores de LLR así obtenidos al desintercalador C 2938. El grupo de desmapeadores 2937 compone el desmapeador de constelación 2720 del decodificador de BICM iterativo mostrado en la Figura 28.

El desintercalador C 2938 aplica un proceso de desintercalación a los valores de LLR (es decir, un nuevo proceso de intercalación que cancela el proceso de intercalación aplicado mediante el transmisor durante la etapa C), a continuación emite los valores de LLR desintercalados a los registros del grupo de registros 2939. Cada registro almacena un bloque cíclico de valores de LLR (es decir, ocho valores de LLR). En el grupo de registros 2939, el bloque cíclico de los valores de LLR almacenados mediante cada registro se emite secuencialmente a un último nivel de manera que el contenido de cada registro se actualiza secuencialmente. El desintercalador B 2940 aplica un proceso de desintercalación al bloque cíclico de (ocho) valores de LLR (es decir, un nuevo proceso de intercalación que cancela el proceso de intercalación aplicado mediante el transmisor durante la etapa B), a continuación escribe los resultados a la memoria de LLR principal 2901 y a la memoria de LLR de memoria intermedia 2902 de acuerdo con la tabla A 2932 (analizada más adelante). Se consigue un proceso de intercalación que cancela el proceso de intercalación aplicado mediante el transmisor durante la etapa A mediante esta escritura a la memoria de LLR principal 2901 y a la memoria de LLR de memoria intermedia 2902 de acuerdo con el contenido de la Tabla A 2932.

Por lo tanto, la memoria de LLR principal 2901 almacena los valores de LLR posteriores a la desintercalación, y se usa también mediante el decodificador de LDPC (es decir, el controlador de LDPC 2911, el rotador 2912, el grupo de procesadores de nodo de comprobación 2913 y el des-rotador 2914). El proceso de decodificación de LDPC es un proceso iterativo que implica una o más iteraciones. En cada iteración de decodificación de LDPC, se actualizan los valores de LLR en la memoria de LLR principal 2901. Para calcular la información extrínseca necesaria para la decodificación de BICM iterativa, los valores de LLR antiguos se graban en la memoria de LLR de memoria intermedia 2902.

Lo siguiente describe las operaciones del decodificador de LDPC.

El controlador de LDPC 2911 emite la dirección leída a la memoria de LLR principal 2901 de acuerdo con la matriz de comprobación de paridad de los códigos de LDPC. Por lo tanto, la memoria de LLR principal 2901 emite secuencialmente un bloque cíclico de valores de LLR al rotador 2912. El rotador 2912 se controla mediante el controlador de LDPC 2911 para realizar un número predeterminado de desplazamientos cíclicos en el bloque cíclico de valores de LLR suministrados secuencialmente mediante la memoria de LLR principal 2901, a continuación emite los valores de LLR así desplazados a los procesadores de nodo de comprobación del grupo de procesadores de nodo de comprobación 2913 uno a la vez. Los procesadores de nodo de comprobación del grupo de procesadores

de nodo de comprobación 2913 se controlan mediante el controlador de LDPC 2911 para realizar un proceso de nodo de comprobación en la secuencia de valores de LLR introducidos secuencialmente a los mismos. A continuación, los procesadores de nodo de comprobación del grupo de procesadores de nodo de comprobación 2913 se controlan mediante el controlador de LDPC 2911 para emitir secuencialmente los valores de LLR resultantes del proceso de nodo de comprobación. El des-rotador 2914 se controla mediante el controlador de LDPC 2911 para realizar un número predeterminado de desplazamientos cíclicos que cancelan el desplazamiento cíclico aplicado al bloque cíclico secuencialmente recibido desde el grupo de procesadores de nodo de comprobación 2913 mediante el rotador 2912, a continuación emite secuencialmente los resultados desplazados a la memoria de LLR principal 2901. El controlador de LDPC 2911 emite la dirección de escritura a la memoria de LLR principal 2901 de acuerdo con la matriz de comprobación de paridad de los códigos de LDPC. Por lo tanto, la memoria de LLR principal 2901 almacena el bloque cíclico de resultados suministrados secuencialmente a la misma mediante el des-rotador 2914. El controlador de LDPC 2911 ejecuta repetitivamente el procesamiento anteriormente descrito de acuerdo con la matriz de comprobación de paridad de los códigos de LDPC.

Después de un número predeterminado de iteraciones de LDPC, se realiza una iteración de BICM. Las iteraciones de LDPC y de BICM se denominan también respectivamente como iteraciones internas y externas. Estos dos tipos de iteraciones pueden solapar también en algunas implementaciones. Esto posibilita que se aumente la velocidad de convergencia. Los procesos de decodificación de BICM y de LDPC son bien conocidos en el campo, y por lo tanto se omiten los detalles de los mismos.

El contador de QB 2931 cuenta desde 0 a 11 y emite el valor de contador a la tabla A 2932. La operación de recuento del contador de QB 2931 se define en consideración de  $N = 12$ .

La Tabla A 2932 es una tabla de búsqueda sencilla en la que se almacenan las reglas de permutación de bloques cíclicos. Es decir, la Tabla A 2932 almacena  $N = 12$  piezas de información de orden de lectura (y escritura) de bloques cíclicos (es decir, con información que asocia un bloque cíclico diferente con cada uno de los 12 valores de contador desde el contador de QB 2631). La Tabla A 2932 emite la dirección de lectura a la memoria de LLR principal 2901 y a la memoria de LLR de memoria intermedia 2902 de manera que se suministra un bloque cíclico de valores de LLR que corresponde al valor de contador suministrado mediante el contador de QB 2931 al grupo de restadores 2933 mediante la memoria de LLR principal 2901 y a la memoria de LLR de memoria intermedia 2902. Por lo tanto, la memoria de LLR principal 2901 y la memoria de LLR de memoria intermedia 2902 emiten cada una un bloque cíclico de valores de LLR que corresponden al valor de contador del contador de QB 2931 al restador 2933. El retardador 2941 realiza un ajuste de retardo de manera que la posición del valor de LLR leído desde la memoria de LLR principal 2901 y desde la memoria de LLR de memoria intermedia 2902 coincide con la posición de escritura de los mismos valores de LLR a la memoria de LLR principal 2901 y a la memoria de LLR de memoria intermedia 2902. El procesamiento que usa la tabla A 2932 se ejecuta como el proceso de permutación de bloques cíclicos (etapa A).

El restador 2933 en el grupo de restadores resta la salida de la memoria de LLR de memoria intermedia 2902 desde la salida de la memoria de LLR principal 2901, a continuación emite la información extrínseca para un bloque cíclico obtenido de esta manera (es decir, ocho piezas de información extrínseca) al intercalador B 2934.

El intercalador B 2634 realiza un número predeterminado de desplazamientos cíclicos en las piezas de información extrínseca para uno de los bloques cíclicos suministrados mediante el restador 2933, y emite los resultados a un primer registro de nivel del grupo de registros 2935. El procesamiento realizado mediante el intercalador B 2934 corresponde a la permutación de bloques intra-cíclica (etapa B). Cada registro en el grupo de registros 2935 almacena ocho bits con temporización que coincide con la recepción de un pulso de control, y emite los ocho bits antes de recibir el siguiente pulso de control.

Cuando el contador de QB 2631 realiza el proceso anteriormente mencionado para los valores de contador de 0 a 3, la información extrínseca para cuatro bloques cíclicos (es decir, 32 piezas de información extrínseca) se introduce al intercalador C 2936. En este momento, el intercalador C 2936 realiza un proceso de intercalación en la información extrínseca introducida al mismo para cuatro bloques cíclicos, a continuación emite una palabra de constelación de información extrínseca (es decir,  $M = 4$  piezas de información extrínseca) a cada desmapeador del grupo de desmapeadores 2937. A través del proceso de intercalación, las cuatro piezas de información extrínseca se suministran a los desmapeadores del grupo de desmapeadores 2951 desde los cuatro registros en el grupo de registros 2935, uno a la vez. Este procesamiento mediante el intercalador C 2936 se ejecuta como el proceso de permutación de columna-fila (etapa C).

El contador de QB 2931, la tabla A 2932, el intercalador B 2934, el grupo de registros 2935 y el intercalador C 2936 componen el intercalador de bits 2750 del decodificador de BICM mostrado en la Figura 28.

Los desmapeadores del grupo de desmapeadores 2937 usan las cuatro piezas de información extrínseca suministrada mediante el intercalador C 2936 como información a priori para realizar un proceso de desmapeo, a continuación emiten los valores de LLR resultantes al desintercalador C 2938.

El desintercalador C 2938 aplica un proceso de desintercalación a los valores de LLR (es decir, un nuevo proceso de

intercalación que cancela el proceso de intercalación aplicado mediante el transmisor durante la etapa C), a continuación emite los valores de LLR desintercalados a los registros del grupo de registros 2939. Cada registro almacena un bloque cíclico de valores de LLR (es decir, ocho valores de LLR). En el grupo de registros 2939, el bloque cíclico de valores de LLR almacenado mediante cada registro se emite secuencialmente a un último nivel de manera que el contenido de cada registro se actualiza secuencialmente. El desintercalador B 2940 aplica un proceso de desintercalación al bloque cíclico de (ocho) valores de LLR (es decir, un nuevo proceso de intercalación que cancela el proceso de intercalación aplicado mediante el transmisor durante la etapa B), a continuación escribe los resultados a la memoria de LLR principal 2901 y a la memoria de LLR de memoria intermedia 2902. La memoria de LLR principal 2901 y la memoria de LLR de memoria intermedia 2902 reciben la dirección de escritura desde la tabla A 2932 mediante el retardador 2941, a continuación almacenan un bloque cíclico de valores de LLR (es decir, ocho valores de LLR) recibido desde el desintercalador 2940 de acuerdo con la dirección de escritura recibida. Se consigue un proceso de intercalación que cancela el proceso de intercalación aplicado mediante el transmisor durante la etapa A mediante esta escritura de acuerdo con el contenido de la tabla A 2932.

Para cada palabra de código, se aplica el conjunto de procesos anteriormente descrito tres veces, una vez para cada valores de contador 0-3, 4-7 y 8-11 del contador de QB 2931.

El contador de QB 2931, la tabla A 2932, el desintercalador B 26938, el grupo de registros 2939 y el intercalador C 2940 componen el intercalador de bits 2730 del decodificador de BICM mostrado en la Figura 28.

El intercalador B 2934 y el desintercalador B 2940 son reconfigurables. Esto requiere un cierto coste de hardware, pero este coste se minimiza mediante el diseño con atención. El intercalador C 2936 y el desintercalador 2938 implementan la permutación de columna-fila. Esta permutación es uniforme para un tamaño de constelación predeterminado. Por lo tanto, se reduce el coste de la implementación.

La realización representada en la Figura 29 incluye  $Q$  desmapeadores que operan en paralelo. Sin embargo, los desmapeadores pueden realizarse también como un decodificador de BICM iterativo reduciendo o aumentando el paralelismo. Por ejemplo, el número de secciones de intercalador paralelas en el intercalador de bits, es decir, el cociente de  $N/M$ , evidentemente puede aumentarse para mejorar fácilmente el paralelismo. Tales procedimientos posibilitan que se optimice el paralelismo paralelizando los  $Q \times N/M$  desmapeadores. El intercalador de bits anteriormente descrito tiene el mérito de poderse implementar con tal paralelismo sin problemas.

(Descubrimientos adicionales del experimentador)

Los intercaladores que satisfacen las condiciones 1 y 2 anteriormente proporcionadas (es decir, intercaladores paralelos) suponen que el número de bits por palabra de constelación  $M$  es un divisor del número de bloques cíclicos  $N$ . Sin embargo,  $M$  no es normalmente un divisor de  $N$ . Por ejemplo, los códigos de LDPC de 16 K usados en la norma de DVB-T2 tienen  $N = 45$  bloques cíclicos por palabra de código de LDPC de 16 K. Cuando  $M$  no es un divisor de  $N$ , el mapeo de constelaciones cuadradas, tal como constelaciones de QAM donde  $M$  es par, no es directo.

Por lo tanto, se propone una solución particular que implica excluir uno o más de los  $N$  bloques cíclicos e implementar el intercalador analizado en la realización 1 anterior (es decir el intercalador paralelo), únicamente a los restantes bloques cíclicos.

En otras palabras, se seleccionan  $N'$  bloques cíclicos de entre los  $N$  bloques cíclicos de manera que  $N'$  es un múltiplo del número de bits por palabras de constelación  $M$  en el intercalador de bits. El intercalador de bits divide los  $N'$  bloques cíclicos seleccionados en  $N'/M$  secciones de manera que cada sección incluye  $M$  bloques cíclicos, a continuación realiza una permutación de sección en cada sección. Los bits del bloque cíclico excluido (es decir, no seleccionado) pueden o pueden no intercalarse.

Específicamente, se pretende un procedimiento de intercalación de bits que pertenece a la divulgación para un sistema de comunicación que usa códigos de comprobación de paridad de baja densidad cuasi cíclicos, y comprende: una etapa de recepción para recibir una palabra de código de los códigos de comprobación de paridad de baja densidad cuasi cíclicos compuesta de  $N$  bloques cíclicos incluyendo cada uno  $Q$  bits; una etapa de permutación de bits para aplicar un proceso de permutación de bits a la palabra de código para permutar los bits en la palabra de código; una etapa de división para dividir la palabra de código, después del proceso de permutación de bits, en una pluralidad de palabras de constelación, estando compuesta cada una de las palabras de constelación de  $M$  bits e indicando uno de  $2^M$  puntos de constelación predeterminados; y una etapa de selección para seleccionar un subconjunto de  $N'$  bloques cíclicos de entre los  $N$  bloques cíclicos de manera que  $N'$  es un múltiplo de  $M$ , en el que antes del proceso de permutación de bits, la palabra de código se divide en  $N'/M$  secciones, incluyendo cada una de las secciones  $M$  de los bloques cíclicos, y estando asociada cada una de las palabras de constelación con una de las  $N'/M$  secciones, y en la etapa de permutación de bits, el proceso de permutación de bits se aplica de manera que los  $M$  bits en cada una de las palabras de constelación incluye un bit de cada uno de los  $M$  diferentes bloques cíclicos en una sección dada con una palabra de constelación dada, y de manera que todos los bits en la sección dada se mapean a únicamente  $Q$  de las palabras de constelación asociadas con la sección dada.

De manera similar, se pretende un intercalador de bits que pertenece a la divulgación para usar en un sistema de

- comunicación que usa códigos de comprobación de paridad de baja densidad cuasi cíclicos, y comprende: una unidad de permutación de bits que recibe una palabra de código de los códigos de comprobación de paridad de baja densidad cuasi cíclicos compuesta de  $N$  bloques cíclicos incluyendo cada uno  $Q$  bits, aplicar un proceso de permutación de bits a la palabra de código para permutar los bits en la palabra de código, y dividir la palabra de código, para emitir después del proceso de permutación de bits, en una pluralidad de palabras de constelación, estando compuesta cada una de las palabras de constelación de  $M$  bits e indicando uno de  $2^M$  puntos de constelación predeterminados; y una unidad de selección que selecciona un subconjunto de  $N'$  bloques cíclicos de entre los  $N$  bloques cíclicos de manera que  $N'$  es un múltiplo de  $M$ , en el que antes del proceso de permutación de bits, la palabra de código se divide en  $N'/M$  secciones, incluyendo cada una de las secciones  $M$  de los bloques cíclicos, y estando asociada cada una de las palabras de constelación con una de las  $N'/M$  secciones, y la unidad de permutación de bits aplica el proceso de permutación de bits de manera que los  $M$  bits en cada una de las palabras de constelación incluye un bit de cada uno de los  $M$  diferentes bloques cíclicos en una sección dada asociada con una palabra de constelación dada, y de manera que todos los bits en la sección dada se mapean a únicamente  $Q$  de las palabras de constelación asociadas con la sección dada.
- 5 También, los bits en la palabra de código pueden incluir un grupo de bits que es uno de: no incluido en el subconjunto seleccionado de  $N'$  bloques cíclicos y dejar como está sin redistribución; y no incluido en el subconjunto seleccionado de  $N'$  bloques cíclicos, y someter a un proceso de redistribución que es independiente del proceso de permutación de bits y que se aplica únicamente a algunos bloques cíclicos no seleccionados.
- 10 De acuerdo con esta configuración, se aplica intercalación de bits a un número maximizado de bloques cíclicos.
- 20 Por ejemplo, los bloques cíclicos excluidos pueden ser los bloques cíclicos que tienen un nodo variable del peso más bajo. Para el ejemplo de los códigos RA QC LDPC (véase La Figura 5), los bloques cíclicos excluidos son el bloque cíclico de la sección de paridad (que tiene un peso de nodo variable de dos) y son beneficiosos el último o más bloques cíclicos de la palabra de código.
- 25 Además, la etapa de selección puede usarse también para seleccionar los bloques cíclicos de acuerdo con la importancia de los bits incluidos en los mismos.
- La importancia de los bits incluidos en los bloques cíclicos se determina de acuerdo con el número de bits de paridad asociados entre ellos.
- 30 Cuando la palabra de código es para códigos de comprobación de paridad de baja densidad cuasi cíclicos de repetir-acumular, los bloques cíclicos no seleccionados corresponden a la sección de paridad de la palabra de código.
- De acuerdo con esta configuración, la mayoría de los bits que corresponden a la palabra de código están implicados en la intercalación óptima. Reducir el número de bits implicados en la intercalación da como resultado eficacia global enormemente mejorada.
- 35 Además, el subconjunto de  $N'$  bloques cíclicos seleccionados puede formarse de  $N'$  bloques cíclicos continuos que empiezan con el primer bit de la palabra de código.
- De acuerdo con esta configuración, la implementación de hardware se simplifica adicionalmente. Particularmente, para el ejemplo de la matriz de comprobación de paridad en códigos de comprobación de paridad de baja densidad cuasi cíclicos de repetir-acumular, el último bit de la palabra de código es el bit que tiene la menor capacidad de asociación.
- 40 La Figura 30 ilustra un bloque cíclico sometido a y un bloque cíclico excluido de (es decir, un bloque excluido de) el proceso de intercalación anteriormente descrito (es decir, la realización 1). En la Figura 30, el código es código de LDPC de 16 K que se ajusta a la norma de DVB-T2 y la constelación es una constelación 16-QAM. Como se muestra, 44 de los bloques cíclicos se someten a intercalación (es decir, los bloques 1 a 44), y el bloque cíclico 45, en la última fila, es el bloque cíclico no sometido a intercalación (es decir, el bloque excluido). Los cuatro cuadrados en negro representan los cuatro bits de la primera constelación.
- 45 En general, el número de secciones de intercalador (compuesta cada una de  $M$  bloques cíclicos) se proporciona mediante  $\text{floor}(N/M)$ , y el número de bloques cíclicos excluidos se proporciona mediante  $\text{rem}(N, M)$ . En este punto,  $\text{floor}(N/M)$  es una función que devuelve el mayor entero menor o igual que  $N/M$ , y  $\text{rem}(N, M)$  es una función que devuelve el resto de dividir  $N$  por  $M$ .
- 50 La Tabla 2 indica el número de secciones y el número de bloques cíclicos excluidos para diversos tamaños de constelación (es decir, número de bits por constelación  $M$ ), para los códigos de LDPC de 16 K de la norma de DVB-T2 (donde se usan  $N = 45$  bloques cíclicos).

[Tabla 2]

Tamaño de constelación	M	Nº de secciones	Nº de bloques excluidos
QPSK	2	22	1
16-QAM	4	11	1
64-QAM	6	7	3
256-QAM	8	5	5

De acuerdo con el procedimiento de intercalación que satisface las condiciones 1 y 2 como se ha descrito anteriormente, cada palabra de constelación se mapea en  $M$  bloques cíclicos. Sin embargo, para constelaciones grandes (es decir, constelaciones que tienen muchos puntos de constelación), un procedimiento de intercalación que satisface las condiciones 1 y 2 requiere una cantidad extremadamente grande de registros de retardo (véase la implementación descrita con referencia a las Figuras 26 a 29). Usar una cantidad extremadamente grande de registros conduce a un aumento en el área de circuito y consumo de energía eléctrica. Además, reducir el número de bloques cíclicos en cada palabra de constelación que se mapea es beneficioso para aumentar el solapamiento entre las iteraciones externas (BICM) y las iteraciones internas (LDPC), reduciendo a su vez la latencia de decodificación de BICM global.

Mapeando dos o más bits de cada palabra de constelación en el mismo bloque cíclico, se reduce el número de bloques cíclicos en los que se mapea cada palabra de constelación. El número de bits de palabras de constelación mapeados en el mismo bloque cíclico se denomina el factor de repliegue y se indica  $F$ . Por ejemplo, cuando  $F = 2$  para una constelación 16-QAM, cada palabra de constelación se mapea en cuatro bloques cíclicos en lugar de en dos. La única restricción es que el factor de repliegue  $F$  (que es un entero mayor de uno) debe ser un divisor de tanto  $M$  como de  $Q$ . Cuando  $F = 1$ , no se implica repliegue, es decir, la situación corresponde a la realización 1, anteriormente descrita.

Un símbolo de constelación de QAM complejo se descompone en dos símbolos de PAM reales idénticos. Por lo tanto, los  $M$  bits de la constelación de QAM se dividen en dos símbolos de PAM reales idénticos, que son conjuntos de  $M/2$  bits. Los bits de cada palabra de constelación se mapean a continuación en el mismo número  $M/2$  de bloques cíclicos. Un factor de repliegue de  $F = 2$  es ventajoso para la constelación de QAM.

Para constelaciones complejas que no pueden descomponerse en números reales, tales como 8-PSK (modulación por desplazamiento de fase), 16-APSK (modulación por desplazamiento de fase y amplitud), 32-APSK y así sucesivamente en la norma de DVB-S2, el procedimiento de repliegue no es aplicable fácilmente. Sin embargo, el procedimiento de repliegue es usable cuando  $F$  es un divisor de  $M$ . Desafortunadamente, esto evita alguna garantía de que cada bloque cíclico tenga únicamente bits del mismo nivel de robustez desde las constelaciones mapeadas al mismo.

Beneficiosamente, el procedimiento de repliegue se aplica, por ejemplo, de manera que únicamente se mapean los bits del mismo nivel de robustez en las constelaciones a los bloques cíclicos.

El repliegue es también beneficioso al reducir el número de bloques cíclicos excluidos, o incluso eliminando la necesidad de excluir algún bloque cíclico. Como se ha descrito anteriormente, un cierto número de bloques cíclicos que componen la palabra de código deben excluirse cuando se usa el intercalador descrito en la realización 1 (es decir, un intercalador paralelo).

Sin repliegue (es decir, cuando  $F = 1$ ), el número de grupos de  $M$  bloques cíclicos (es decir, el número de secciones) es  $\text{floor}(N/M)$ , y el número de bloques cíclicos excluidos es  $\text{rem}(N, M)$ . Con repliegue, el número de grupos de  $M/F$  bloques cíclicos es  $\text{floor}(N/(M/F))$ , y el número de bloques cíclicos excluidos es  $\text{rem}(N, M/F)$ . Se proporciona el ejemplo específico de estos números en la Tabla 3, para los códigos de LDPC usados en la norma de DVB-T2.

[Tabla 3]

Longitud de palabra de código de LDPC	Tamaño de constelación	M	Sin repliegue		Con repliegue	
			Nº de secciones	Nº de bloques excluidos	Nº de secciones	Nº de bloques excluidos
16 K ( $N = 45, Q = 360$ )	QPSK	2	22	1	44	1
	16-QAM	4	11	1	22	1
	64-QAM	6	7	3	15	0
	256-QAM	8	5	5	11	1

40

(continuación)

Longitud de palabra de código de LDPC	Tamaño de constelación	M	Sin repliegue		Con repliegue	
			Nº de secciones	Nº de bloques excluidos	Nº de secciones	Nº de bloques excluidos
64 K ( $N = 180$ , $Q = 360$ )	QPSK	2	90	0	180	0
	16-QAM	4	45	0	90	0
	64-QAM	6	30	0	60	0
	256-QAM	8	22	4	45	0

El inventor descubrió que, para realizar repliegue (donde  $F$  es un entero igual a o mayor de dos), deben modificarse las condiciones 1 y 2 en las condiciones 1A y 2A, como se proporciona a continuación.

5 (Condición 1A)

Los  $M$  bits de cada palabra de constelación se mapean cada uno a uno de  $M/F$  diferentes bloques cíclicos de la palabra de código de LDPC. Esto es equivalente a mapear un bit desde  $M/F$  diferentes bloques cíclicos de la palabra de código de LDPC a una palabra de constelación. Esto se ilustra esquemáticamente en la Figura 31A.

(Condición 2A)

- 10 Todas las palabras de constelación mapeadas a los  $M/F$  bloques cíclicos se mapean únicamente a ese bloque cíclico particular. Esto es equivalente a mapear todos los  $M \times Q/F$  bits de los  $M/F$  diferentes bloques cíclicos cada uno compuesto de  $Q$  bits a exactamente  $Q/F$  constelaciones. Esto se ilustra esquemáticamente en la Figura 31B.

Cuando  $F = 1$ , no se implica repliegue, y por lo tanto las condiciones 1A y 2A son equivalentes a las condiciones 1 y 2.

15 (Realización 2)

Lo siguiente describe los detalles de un intercalador de bits (es decir, un intercalador de bits paralelo) que satisface las condiciones 1A y 2A, proporcionadas anteriormente. En la siguiente descripción, se etiqueta el procesamiento y las unidades que realizan tal procesamiento con los mismos números de referencia siempre que sea aplicable.

- 20 En el presente documento, cada uno de los  $M/F$  bloques cíclicos de las  $Q/F$  palabras de constelación se denomina como una sección de repliegue (o como una sección de intercalador de repliegue).

Cuando  $F = 1$  (es decir, no repliegue), las secciones de intercalador de repliegue coinciden con las secciones de intercalador y el intercalador de bits está configurado idénticamente al intercalador de bits de la realización 1.

La Figura 32 es un diagrama de bloques que ilustra la configuración de un intercalador de bits que satisface las condiciones 1A y 2A, cuando  $Q = 8$ ,  $M = 4$ ,  $N = 12$  y  $F = 2$ , como otra realización de la divulgación.

- 25 En la Figura 32, las palabras de código de QC-LDPC se componen de  $N = 12$  bloques cíclicos QB1 a QB12, cada uno a su vez compuesto de  $Q = 8$  bits. Cada una de las 24 palabras de constelación se compone de  $M = 4$  bits. Cada palabra de constelación indica uno de  $2^M = 16$  puntos de constelación. El intercalador de bits se divide en  $F \times N/M = 6$  secciones de repliegue, y cada una de las 24 palabras de constelación están asociadas con una de las  $F \times N/M = 6$  secciones de repliegue.

- 30 El intercalador de bits 2000A incluye un permutador de bits 2010A. El permutador de bits 2010A incluye  $F \times N/M = 6$  permutadores de sección de repliegue 2021A-2026A operando cada uno independientemente. En lugar de proporcionar seis permutadores de sección de repliegue, puede proporcionarse un único permutador de sección de repliegue para realizar seis procesos de permutación de sección de repliegue (descrito más adelante), cambiando entre ellos con el tiempo.

- 35 Los permutadores de sección de repliegue (2021A, 2022A, 2023A, 2024A, 2025A, 2026A) son independientes y aplican cada uno un proceso de permutación de sección de repliegue a los 16 bits de dos bloques cíclicos de manera que  $F = 2$  bits de cada uno de los  $M/F = 2$  bloques cíclicos (QB1-QB2, QB3-QB4, QB5-QB6, QB7-QB8, QB9-QB10, QB11-QB12) se mapean a un conjunto dado de cuatro palabras de constelación (C1-C4, C5-C8, C9-C12, C13-C16, C17-C20, C21-C24).

- 40 Las condiciones 1A y 2A, anteriormente descritas, aseguran de manera sencilla que el intercalador de bits es divisible en  $F \times N/M$  secciones de repliegue paralelas. Las permutaciones de sección de repliegue aplicadas a las secciones de repliegue paralelas pueden aplicar las mismas reglas de permutación, pueden aplicar cada una diferentes reglas de permutación o puede implicar que un subconjunto de las secciones aplique idénticas reglas de

permutación mientras que otros diferentes.

Por ejemplo, los permutadores de sección de repliegue pueden mapear  $Q$  bits de cada bloque cíclico a bits de  $Q/F$  palabras de constelación que tienen el mismo nivel de robustez. Esto se ilustra en las Figuras 33A, 33B, 34A y 34B para una situación donde  $Q = 8$  y  $M = 4$ .

- 5 La Figura 34A es un diagrama de bloques de un permutador de sección (repliegue) cuando  $F = 1$  (es decir, sin repliegue), y es similar a la Figura 22A.

La Figura 34B es un diagrama de bloques de dos permutadores de sección de repliegue de la Figura 32 donde  $F = 2$  (es decir, con repliegue).

- 10 Sin embargo, en el ejemplo de la Figura 34B, las constelaciones son constelaciones 16-QAM. Por lo tanto, los bits de las constelaciones tienen dos niveles de robustez. Los bits  $b_1$  y  $b_3$  tienen el mismo nivel de robustez, y los bits  $b_2$  y  $b_4$  tienen el mismo nivel de robustez, siendo el primer nivel de robustez diferente del último nivel de robustez.

Los permutadores de sección de repliegue 2201A (y 2202A) incluyen cada uno un permutador de columna-fila 2131A (o 2132A).

- 15 Los permutadores de columna-fila 2131A (y 2132A) cada uno realizan un proceso de permutación de columna-fila en  $Q \times M/F = 16$  bloques cíclicos QB1 y QB2 (o QB3 y QB4). Para ser exactos, los permutadores de columna-fila 2131A (y 2132A) escriben  $Q \times M/F = 16$  bits a nivel de filas en una matriz  $Q \times M/F$  ( $8 \times 2$ ), a continuación leen los 16 bits así escritos a nivel de columnas para realizar el proceso de permutación de columna-fila. La permutación de columna-fila aplicada mediante los permutadores de columna-fila 2131A y 2132A se asemeja a la permutación aplicada a la matriz  $12 \times 1350$  mostrada en las Figuras 9A y 9B, donde se usan  $Q$  columnas y  $M/F$  filas, el proceso de escritura tiene lugar a nivel de filas y el proceso de lectura tiene lugar a nivel de columnas.
- 20

El repliegue con un factor de repliegue de  $F$  reduce el número de bloques cíclicos mapeados a una única palabra de constelación. Por lo tanto, la matriz usada en la permutación de columna-fila se reduce en tamaño, de  $M$  filas a  $M/F$  filas.

- 25 La Figura 33A ilustra la función de mapeo realizada mediante el permutador de sección (repliegue) de la Figura 34A. La Figura 33B ilustra la función de mapeo realizada mediante los dos permutadores de sección de repliegue de la Figura 34B. En las Figuras 33A y 33B, cada palabra de constelación de  $M = 4$  bits se indica  $b_1$  a  $b_4$ . Las porciones indicadas en líneas más gruesas representan las porciones mapeadas a la constelación C1.

- 30 Como se muestra en las Figuras 33A y 34A, los ocho bits de un bloque cíclico (que son de igual importancia) se mapean cada uno a los bits de ocho palabras de constelación que tienen el mismo índice de bit (es decir, que tienen el mismo nivel de robustez). También, en las Figuras 33B y 34B, los ocho bits de un bloque cíclico (que son de igual importancia) se mapean a los bits de cuatro palabras de constelación que tienen el mismo nivel de robustez.

La permutación de sección de repliegue descrita en la Figura 34B puede aplicarse a los bloques cíclicos QB5-QB6, QB7-QB8, QB9-QB10 y QB11-QB12.

- 35 Los permutadores de sección de repliegue de las Figuras 34A y 34B pueden incluir también una subunidad que realiza una permutación de bloques intra-cíclica en los bits de los bloques cíclicos QB1-QB4 antes de la permutación de columna-fila.

Ventajosamente, puede aplicarse una permutación de bloques cíclica adicional a los  $N$  bloques cíclicos antes de que el intercalador de bits realice la permutación de sección de repliegue. La Figura 35 es un diagrama estructural de la permutación de bloques cíclica adicional aplicada mediante el intercalador de bits.

- 40 El intercalador de bits 2300A mostrado en la Figura 35 incluye el permutador de bloques cíclico 2310 y un permutador de bits 2010A (que a su vez incluye los permutadores de sección de repliegue 2021A-2026A).

La Figura 36 es un diagrama de bloques esquemático del intercalador de bits 3500 mostrado en la Figura 35.

El intercalador de bits 2400A mostrado en la Figura 36 incluye el permutador de bloques cíclico 2310 y un permutador de bits 2200A (que a su vez incluye los permutadores de sección de repliegue 2201A-2206A).

- 45 Los permutadores de sección de repliegue 2201A-2206A incluyen cada uno un permutador de columna-fila 2131A-2136A. Los permutadores de sección de repliegue 2133A-2136A realizan cada uno sustancialmente idénticas permutaciones con los permutadores de columna-fila 2131A-2132A.

- 50 Los intercaladores de bits mostrados en las Figuras 35 y 36 pueden cada uno incluir una subunidad adicional que realiza una permutación de bloques intra-cíclica en los bits de bloques cíclicos QB1-QB12 antes o después de la permutación de bloques cíclica.

Lo siguiente describe un transmisor que incluye el intercalador de bits que realiza un proceso de intercalación de bits

que satisface las condiciones 1A y 2A, con referencia a la Figura 37.

La Figura 37 es un diagrama de bloques de un transmisor que pertenece a una realización adicional de la presente divulgación. El transmisor 2500A mostrado en la Figura 37 está configurado de manera similar al transmisor 2500 de la Figura 25, que se diferencia en que el intercalador de bits 2520 se sustituye con un intercalador de bits 2520A.

- 5 El intercalador de bits 2520A recibe la palabra de código en código QC-LDPC desde el codificador de LDPC 2510. La palabra de código se compone de  $N = 12$  bloques cíclicos, incluyendo cada bloque cíclico  $Q = 8$  bits. El intercalador de bits 2520A realiza intercalación en los bits de las palabras de código. El intercalador de bits 2520A divide la palabra de código intercalada en una pluralidad de palabras de constelación, cada una compuesta de  $M = 4$  bits e indicando uno de  $2^M = 16$  puntos de constelación, a continuación emite las palabras de constelación al mapeador de constelación 2530. El intercalador de bits 2520A puede aplicar el proceso de intercalación de bits analizado con referencia a las Figuras 32 a 34, o puede aplicar un proceso de permutación de bits variante (excluyendo los casos donde  $F = 1$ ). También, el intercalador de bits 2520A puede aplicar un proceso de permutación de bloques cíclica adicional (excluyendo los casos donde  $F = 1$ ), tal como el proceso analizado con referencia a las Figuras 35 y 36 o una variación del mismo.
- 10
- 15 Lo siguiente describe un receptor que recibe señales desde un transmisor que incluye el intercalador de bits que realiza un proceso de intercalación de bits que satisface las condiciones 1A y 2A.

La Figura 38 es un diagrama de bloques de un receptor de ejemplo, que incluye un decodificador de BICM no iterativo, que pertenece a una realización adicional de la divulgación. El receptor realiza las operaciones del transmisor a la inversa. El receptor 2700A mostrado en la Figura 38 está configurado de manera similar al receptor 2700 de la Figura 27, que se diferencia en que el desintercalador de bits 2730 se sustituye mediante un desintercalador de bits 2730A.

- 20 El desintercalador de bits 2730A realiza un proceso de intercalación en la secuencia de bits flexible emitida desde el desmapeador de constelación 2720 para cancelar el proceso de intercalación de bits aplicado a la secuencia de bits mediante el intercalador de bits 2520A en el transmisor 2500A.
- 25 La Figura 39 es un diagrama de bloques de un receptor de ejemplo, que incluye un decodificador de BICM no iterativo, que pertenece a una realización adicional de la divulgación. El receptor realiza las operaciones del transmisor a la inversa. El receptor 2800A mostrado en la Figura 39 está configurado de manera similar al receptor 2800 de la Figura 28, que se diferencia en que el desintercalador de bits 2730 y el intercalador de bits 2750 se sustituyen mediante un desintercalador de bits 2730A y un desintercalador de bits 2750A.
- 30 El intercalador de bits 2750A realiza un proceso de intercalación en la información extrínseca usando las mismas reglas de intercalación que el proceso de intercalación aplicadas a la secuencia de bits mediante el intercalador de bits 2520A en el transmisor 2500A.

Desde una perspectiva de implementación en hardware, el repliegue es deseable en que, por ejemplo, los bits de una constelación se localizan de esta manera en menos localizaciones de memoria de LLR. Normalmente, la memoria de LLR en el decodificador incluye  $G \times N$  localizaciones de memoria direccionables, pudiendo almacenar cada localización  $Q/G$  valores de LLR. En este punto,  $G$  es un parámetro de implementación que es un divisor de  $Q$  y se denomina en lo sucesivo como granularidad de memoria. Las localizaciones de memoria de LLR en el decodificador y los valores de LLR de la primera constelación se muestran en la Figura 40, donde  $M = 4$ ,  $F = 2$ ,  $Q = 12$  y  $G = 1-12$ .

- 35
- 40 El número de valores de LLR por localización de memoria, es decir, el valor de  $Q/G$ , es necesariamente un múltiplo de  $F$ . Los valores de LLR de cada constelación se almacenan por lo tanto en la misma posición en todas las localizaciones de memoria. Esto asegura, que los valores LLR de cualquier palabra de constelación se almacenan en  $M/F$  localizaciones de memoria. Se proporciona un ejemplo contrario en la Figura 40 donde  $G = 4$  y  $12/4 = 3$  valores de LLR se almacenan en cada localización de memoria. Los valores de LLR de la segunda y quinta palabras de constelación se almacenan cada uno en cuatro localizaciones de memoria en lugar de en dos localizaciones de memoria.
- 45

Además de las constelaciones de QAM sencillas donde es aplicable el repliegue con  $F = 2$ , el repliegue es incluso más útil cuando se decodifican conjuntamente dos o más símbolos de constelación. La decodificación conjunta es necesaria, por ejemplo, para la máxima probabilidad de decodificación de códigos de bloques (por ejemplo, códigos de espacio-tiempo, códigos de espacio-frecuencia y similares) y para constelaciones rotadas en dos o más dimensiones.

- 50
- 55 En general, un código de bloques codifica dos o más símbolos de entrada (por ejemplo,  $X_1, \dots, X_k$ ) en dos o más símbolos de salida (por ejemplo,  $y_1, \dots, y_L$ ). En este punto,  $L$  es al menos igual a  $K$ . Los códigos de bloques se modelan en una matriz generadora  $L \times K$ . En este punto, el vector de señal de salida  $Y$  se obtiene como resultado de multiplicar a la izquierda el vector de señal de entrada  $X$  por la matriz generadora  $G$  (es decir,  $Y = GX$ ).

Los elementos del vector de señal de entrada  $X$  y del vector de señal de salida  $Y$ , así como los elementos de la

matriz generadora  $G$ , pueden ser reales o complejos. Dependiendo del tipo de código, el vector de señal de salida  $Y$  puede transmitirse en diferentes intervalos de tiempo o en diferentes intervalos de frecuencia, puede transmitirse a través de diferentes antenas o puede transmitirse usando diversos intervalos de tiempo, intervalos de frecuencia y antenas diferentes.

- 5 En el receptor, se requiere la máxima probabilidad de decodificación para decodificar todos los elementos del vector de señal de entrada  $X$ . Ejemplos de códigos de bloques para sistemas de múltiple entrada múltiple salida (en lo sucesivo, MIMO) incluyen códigos de Alamouti, códigos de Golden y multiplexación espacial.

10 Cuando se codifican  $K$  símbolos en el mismo bloque, puede usarse evidentemente un factor de repliegue de hasta  $K$ . Además, con la condición de que los símbolos sean símbolos de QAM (incluyendo dos símbolos de PAM divisibles), entonces el factor de repliegue puede aumentarse hasta  $2K$ .

De acuerdo con un aspecto adicional de la presente divulgación, cuando se codifican conjuntamente constelaciones de diferentes tamaños, es decir, constelaciones híbridas, las dos constelaciones tienen diferentes niveles de robustez. Por lo tanto, por ejemplo, el bloque cíclico al que se mapean los bits de una palabra de constelación es distinto del bloque cíclico al que se mapean los bits de la otra palabra de constelación.

- 15 Lo siguiente describe un ejemplo de un sistema de MIMO de multiplexación espacial codificada que usa dos antenas de transmisión. La señal compleja antes de codificar es  $X = [x_1 \ x_2]$ . En este punto,  $x_1$  es una señal a la que se ha aplicado QPSK, y  $x_2$  es una señal a la que se ha aplicado 16-QAM. La señal compleja después de decodificar es  $Y = [y_1 \ y_2]$ . En este punto,  $y_1$  e  $y_2$  son señales transmitidas respectivamente mediante una primera antena y una segunda antena. Y se obtiene a través de una multiplicación a la izquierda de  $X$  con una matriz generadora  $G$  de  $2 \times 2$  (donde los elementos de  $G$  pueden ser reales o complejos) (es decir,  $Y = GX$ ).

20 La Figura 41 ilustra un ejemplo para mapear con un factor de repliegue de  $F = 2$ , cuando se multiplexa los símbolos de QPSK con símbolos 16-QAM en un único código de bloque. La Figura 41 indica únicamente los primeros siete bits de los bloques cíclicos. Los dos símbolos complejos  $x_1$  y  $x_2$  se configuran como sigue.

$x_1$  es un símbolo de QPSK que tiene una parte real  $b_1$  y una parte imaginaria  $b_2$ .

- 25  $x_2$  es un símbolo 16-QAM que tiene la parte real  $b_3$  y  $b_4$  y que tiene las partes imaginarias  $b_5$  y  $b_6$ .

Los dos símbolos se decodifican conjuntamente mediante el receptor y por lo tanto forman un bloque de constelación o bloque generado.

Todo el bloque de constelación de 6 bits tiene tres niveles de robustez.

- 30 Nivel 1: 1: los bits de QPSK  $b_1$  y  $b_2$  se mapean a QB1  
 Nivel 2: los bits de 16-QAM  $b_3$  y  $b_5$  se mapean a QB2  
 Nivel 3: los bits de 16-QAM  $b_4$  y  $b_6$  se mapean a QB3

Cuando una de las constelaciones tiene  $M_1$  bits y la otra constelación tiene  $M_2$  bits, los  $N$  grupos cíclicos se dividen en uno o más grupos de  $M_1$  bloques cíclicos y uno o más grupos de  $M_2$  bloques cíclicos para realizar el proceso de intercalación de bits.

- 35 (Realización 3)

Lo siguiente describe un ejemplo de un intercalador que realiza repliegue en una situación donde  $N$  no es un múltiplo de  $M$ .

- 40 La Figura 42 ilustra un bloque cíclico sometido a y un bloque cíclico excluido (es decir, un bloque excluido) del proceso de intercalación donde  $F = 2$ , anteriormente descrito. En la Figura 42, el código es código de LDPC de 16 K que se ajusta a la norma de DVB-T2, y la constelación es una constelación 16-QAM. Como se muestra, 44 de los bloques cíclicos se someten a intercalación (es decir, los bloques 1 a 44), y el bloque cíclico 45, en la última fila, es el bloque cíclico que no se somete a intercalación (es decir, el bloque excluido). Los cuatro cuadrados en negro representan los cuatro bits de la primera constelación.

- 45 La Figura 43 es un diagrama de bloques esquemático de un intercalador de bits que realiza repliegue cuando  $N$  no es un múltiplo de  $M$ . Por simplicidad, se mantienen los siguientes valores:  $N = 13$ ,  $Q = 8$ ,  $M = 4$  y  $F = 2$ .

El número de secciones de repliegue es  $\text{floor}(N/(M/F)) = 6$ , y el número de bloques cíclicos excluidos es  $\text{rem}(N, M/F) = 1$ .

- 50 El intercalador de bits 2000B selecciona  $13-1 = 12$  bloques cíclicos de entre los bloques cíclicos QB1-QB13, de manera que los bloques cíclicos QB1-QB12 seleccionados satisfacen las condiciones A1 y A2 y se someten a intercalación. El permutador de bits 2010A en el intercalador de bits 2000B realiza el proceso de permutación descrito con referencia a la Figura 32 en los doce bloques cíclicos seleccionados. Aunque los bits del bloque cíclico QB13 se mapean en este punto a una palabra de constelación sin intercalación, puede aplicarse también

intercalación antes de mapear a la palabra de constelación.

Como un ejemplo de un intercalador que no realiza repliegue cuando  $N$  no es un múltiplo de  $M$ , el permutador de bits 2010A mostrado en la Figura 43 puede sustituirse por el permutador 2010 mostrado en la Figura 20.

5 Lo siguiente describe un ejemplo específico de una permutación de sección realizada en códigos de LDPC usando la norma de DVB-T2 como se describe en la Tabla 3.  
(Ej. 1A) Cuando  $N = 45$ ,  $Q = 360$ ,  $M = 4$  y sin repliegue (es decir,  $F = 1$ )

La Figura 44A es un diagrama de configuración de una permutación de sección para una situación donde  $N = 45$ ,  $Q = 360$ ,  $M = 4$  y sin repliegue (es decir,  $F = 1$ ).

10 El intercalador de bits 4400A selecciona un subconjunto de 44 bloques cíclicos QB1-QB44 de entre 45 bloques cíclicos QB1-QB45.

El subconjunto se divide a continuación en once secciones 1-11 incluyendo cada una cuatro bloques cíclicos. Por ejemplo, la sección 1 incluye los bloques cíclicos QB1-QB4 y la sección 11 incluye los bloques cíclicos QB41-QB44.

Once permutadores de sección (4401-4411) en el intercalador de bits 4400A cada uno realiza un proceso de permutación en los cuatro bloques cíclicos respectivos, como se ha descrito con referencia a la Figura 32.

15 Los bits del bloque cíclico QB45 se mapean en este punto a una palabra de constelación sin intercalación.  
(Ej. 1B) Cuando  $N = 45$ ,  $Q = 360$ ,  $M = 4$  y con repliegue (es decir,  $F = 2$ )

La Figura 44B es un diagrama de configuración de una permutación de sección para una situación donde  $N = 45$ ,  $Q = 360$ ,  $M = 4$  y con repliegue (es decir,  $F = 2$ ).

20 El intercalador de bits 4400B selecciona un subconjunto de 44 bloques cíclicos QB1-QB44 de entre 45 bloques cíclicos QB1-QB45.

El subconjunto se divide a continuación en once secciones 1-11 incluyendo cada una dos bloques cíclicos.

En este punto, 22 permutadores de sección (4421, 4422, ..., 4442) en el intercalador de bits 4400B cada uno realiza un proceso de permutación en los dos bloques cíclicos respectivos, como se describe con referencia a la Figura 32.

25 Los bits del bloque cíclico QB45 se mapean en este punto a una palabra de constelación sin intercalación.  
(Ej. 2A) Cuando  $N = 45$ ,  $Q = 360$ ,  $M = 6$  y sin repliegue (es decir,  $F = 1$ )

La Figura 45A es un diagrama de configuración de una permutación de sección para una situación donde  $N = 45$ ,  $Q = 360$ ,  $M = 6$  y sin repliegue (es decir,  $F = 1$ ).

El intercalador de bits 4500A selecciona un subconjunto de 42 bloques cíclicos QB1-QB42 de entre 45 bloques cíclicos QB1-QB45.

30 El subconjunto se divide a continuación en siete secciones 1-7 incluyendo cada una seis bloques cíclicos. Por ejemplo, la sección 1 incluye los bloques cíclicos QB1-QB6 y la sección 7 incluye los bloques cíclicos QB37-QB42.

Siete permutadores de sección (4501 a 4507) en el intercalador de bits 4500A cada uno realiza un proceso de permutación en los seis bloques cíclicos respectivos, como se describe con referencia a la Figura 32.

En este punto, los bloques cíclicos QB43-QB45 no se incluyen en ningún subconjunto.

35 Los bits de bloques cíclicos QB43 y QB44 se mapean en este punto a palabras de constelación sin intercalación.

En contraste, los bits del bloque cíclico QB45 se someten a permutación de bloques intra-cíclica mediante el permutador de bloques intra-cíclico 4545.

40 Es decir, los bits de bloques cíclicos QB43 y QB44 que no se incluyen en ningún subconjunto y que no se someten a permutación. Sin embargo, aunque los bits del bloque cíclico QB45 no se incluyen de manera similar en ningún subconjunto, estos bits se someten a permutación mediante un permutador de bloques intra-cíclico 4545 que está separado de los permutadores de sección (4501 a 4507).

45 En el ejemplo de la Figura 45A, el bloque cíclico QB45 en solitario de entre los bloques cíclicos QB43 a QB45 se somete a permutación. Sin embargo, los tres bloques cíclicos QB43 a QB45 pueden someterse también a permutación. Como alternativa, puede aplicarse una permutación de bloques intra-cíclica a los bloques cíclicos QB43 a QB45.

(Ej. 2B) Cuando  $N = 45$ ,  $Q = 360$ ,  $M = 6$  y con repliegue (es decir,  $F = 2$ )

La Figura 45B es un diagrama de configuración de una permutación de sección para una situación donde  $N = 45$ ,  $Q = 360$ ,  $M = 6$  y con repliegue (es decir,  $F = 2$ ).

El intercalador de bits 4500B selecciona todos los 45 bloques cíclicos QB1-QB45 de entre los 45 bloques cíclicos QB1-QB45.

El subconjunto se divide a continuación en quince secciones 1-15 incluyendo cada una tres bloques cíclicos.

5 En este punto, 15 permutadores de sección (4511, ..., 4526) en el intercalador de bits 4500B cada uno realiza un proceso de permutación en los tres bloques cíclicos respectivos, como se describe con referencia a la Figura 32.

(Realización 4)

10 Lo siguiente describe un procedimiento de intercalación de bits eficaz. En el proceso de decodificación de LDPC, la capacidad de corrección de errores puede reducirse por la presencia de nodos de comprobación ineficaces. Los inventores han descubierto un procedimiento adicional para evitar la aparición de nodos de comprobación ineficaces, usando el procedimiento anteriormente mencionado. Lo siguiente analiza los medios por los que aparecen nodos de comprobación ineficaces y los medios para cancelar tales nodos.

15 Los nodos de comprobación ineficaces aparecen cuando dos o más nodos variables de LDPC que están conectados al mismo nodo de comprobación tienen bits desde la misma constelación mapeados a los mismos. Suponiendo que una constelación de este tipo experimenta desvanecimiento profundo, los correspondientes valores de LLR emitidos mediante el desmapeador de constelación son entonces muy pequeños o son cero.

20 Hipotéticamente, cuando dos o más nodos variables están conectados al mismo nodo de comprobación, y el nodo de comprobación tiene valores de LLR que son cero o extremadamente pequeños, entonces el nodo de comprobación no puede emplear el proceso de corrección de errores. Por lo tanto, como resultado, se ralentiza la convergencia del valor del proceso iterativo para una primera iteración mediante un decodificador de LDPC. Tales nodos de comprobación se denominan nodos de comprobación ineficaces.

25 Lo siguiente describe la manera en la que aparecen los nodos de comprobación ineficaces, usando un ejemplo específico. Considérese el tercer bloque cíclico de los nodos de comprobación mostrados en la Figura 5 (es decir, los nodos de comprobación CN17 a CN24) del código de LDPC como se define mediante la matriz de comprobación de paridad. La Figura 46 destaca los nodos variables conectados a los nodos de comprobación de paridad 17 a 24. Es decir, los cuadrados en negro representan únicamente las porciones asociadas con los nodos de comprobación y los nodos variables.

30 Estas conexiones se describen también como se muestra en la Figura 47, para claridad añadida de entendimiento con referencia a la estructura en paralelo y las permutaciones cíclicas. Cada uno de los ocho nodos de comprobación se conecta a ocho nodos variables a través de la permutación cíclica. En este punto, la permutación cíclica corresponde a un logaritmo de desplazamiento de manera cíclica de la matriz de comprobación de paridad. Por ejemplo, en la Figura 47, los bits del tercer bloque cíclico (es decir, QB3), están conectados a los nodos de comprobación dos veces. Esto se muestra destacando (en líneas negras gruesas) la conexión entre el primer nodo de comprobación (CN17) y el nodo variable. Este destaque existe únicamente para el fin de ilustrar la conexión entre el nodo de comprobación 17 y el nodo variable, y no tiene significado particular en relación con el nodo de comprobación 17.

35 Como se ha descrito anteriormente, existe una relación de correspondencia entre las Figuras 46 y 47. En la Figura 46, los nodos variables del nodo de comprobación 17 (CN17, la decimoséptima fila de la matriz en la Figura 46) y el segundo bloque cíclico (QB2, que corresponde a las columnas 9 a 16 de la matriz en la Figura 46) están asociados claramente con el nodo variable más a la derecha de QB2 (la decimosexta fila de la matriz en la Figura 46) y al nodo de comprobación 17 (la decimoséptima fila y los cuadrados en negro de la decimosexta fila de la matriz en la Figura 46). De manera similar, en la Figura 47, el nodo de comprobación 17 (los cuadrados en negro más a la izquierda) están asociados con los nodos variables más a la derecha (los círculos en negro) del segundo bloque cíclico (es decir, QB2).

45 Como para los ocho bloques cíclicos conectados a los nodos de comprobación 17 a 24, las Figuras 48A a 48H indican cada una la vista del mapeo. En cada una de las Figuras 48A a 48H, se destacan los nodos variables conectados a los nodos de comprobación 17 a 24. Cada cuadrado representa un nodo variable de un bloque cíclico, y los nodos variables asociados con los nodos de comprobación están en negro. También, la Figura 47 destaca la conexión entre el nodo de comprobación 17 y los nodos variables, y la Figura 48A representa también esta conexión. Las relaciones destacadas mediante las Figuras 48A y 47 por lo tanto corresponden entre sí.

50 Lo siguiente describe dos ejemplos en que aparecen nodos de comprobación ineficaces. Estos ejemplos son una muestra seleccionada.

55 Las Figuras 49A a 49H ilustran el primer ejemplo. Las Figuras 49A a 49H ilustran constelaciones 16-QAM mapeadas en QB 14 y QB15, basándose en el mapeo mostrado en las Figuras 48A a 48H y en un factor de repliegue F de 2. En las Figuras 49A a 49H, cada grupo de cuatro cuadrados redondeados por una silueta gruesa representa una constelación. Como se muestra, cada constelación experimenta desvanecimiento profundo y por lo tanto produce que dos nodos de comprobación sean ineficaces. Los nodos de comprobación que se representan ineficaces

mediante las constelaciones que experimentan el desvanecimiento son como sigue.

- Cuando C1 experimenta desvanecimiento: nodos de comprobación 17 y 18 (véanse las Figuras 49A y 49B)
- Cuando C2 experimenta desvanecimiento: nodos de comprobación 19 y 20 (véanse las Figuras 49C y 49D)
- Cuando C3 experimenta desvanecimiento: nodos de comprobación 21 y 22 (véanse las Figuras 49E y 49F)
- 5 – Cuando C4 experimenta desvanecimiento: nodos de comprobación 23 y 24 (véanse las Figuras 49G y 49H)

Las Figuras 50A a 50H ilustran el segundo ejemplo. Las Figuras 50A a 50H ilustran las constelaciones 16-QAM mapeadas en QB4 y QB5, basándose en el mapeo mostrado en las Figuras 48A a 48H y en un factor de repliegue F de 2. En las Figuras 50A a 50H, cada grupo de cuatro cuadrados redondeados por una silueta gruesa representa una constelación. Como se muestra, cada constelación experimenta desvanecimiento profundo y por lo tanto produce que uno de los nodos de comprobación sea ineficaz. Los nodos de comprobación que se representan ineficaces mediante las constelaciones que experimentan el desvanecimiento son como sigue.

- Cuando C1 experimenta desvanecimiento: nodo de comprobación 21 (véase la Figura 50E)
- Cuando C2 experimenta desvanecimiento: nodo de comprobación 23 (véase la Figura 50G)
- Cuando C3 experimenta desvanecimiento: nodo de comprobación 17 (véase la Figura 50A)
- 15 – Cuando C4 experimenta desvanecimiento: nodo de comprobación 19 (véase la Figura 50C)

La aparición de nodos de comprobación ineficaces puede prevenirse evitando mapear un nodo variable en una constelación conectada al mismo nodo de comprobación. Para el intercalador de bits paralelo, esto se realiza realizando una permutación adicional en los bits de cada bloque cíclico. Esta permutación adicional se denomina a continuación una permutación de bloques intra-cíclica. La permutación de bloques intra-cíclica se aplica normalmente de manera diferente de acuerdo con el bloque cíclico en cuestión.

La implementación se simplifica teniendo la permutación de bloques intra-cíclica usando uno o más desplazamientos cíclicos. Cuando existe únicamente un desplazamiento cíclico, un rotador (reconfigurable) y des-rotador incluidos en el decodificador de LDPC son reutilizables, reduciendo por lo tanto la complejidad de implementación en el circuito. Las Figuras 51A y 51B ilustran respectivamente la estructura del intercalador de bloques intra-cíclico que realiza un desplazamiento y dos desplazamientos por bloque cíclico cuando  $Q = 8$ . Como se muestra, el intercalador de bloques intra-cíclico (5100A o 5100B) incluye la tabla B (5101A o 5101B) que almacena los valores de desplazamiento para realizar los desplazamientos de cada bloque cíclico, y uno o dos rotadores reconfigurables (5102A, 5102B y 5103B). El intercalador de bloques intra-cíclico (5100A o 5100B) recibe un índice de bloque cíclico que indica el bloque cíclico objetivo como entrada, especifica un valor de desplazamiento que corresponde al bloque cíclico como se indica en la tabla B (5101A o 5101B), y configura el rotador con el valor de desplazamiento. El rotador (5102A, 5102B o 5103B) desplaza cíclicamente los bits del bloque cíclico introducidos al mismo mediante el valor de desplazamiento y emite una secuencia de bits desplazada (es decir, un bloque cíclico que ha experimentado una permutación de bloques intra-cíclica). El intercalador de bloques intra-cíclicos corresponde al permutador de bloques intra-cíclicos de las Figuras 21B y 24. Los valores de desplazamiento hacia la derecha indicados mediante la tabla B (5101A o 5101B) son valores almacenados que posibilitan la prevención de una situación donde los nodos de comprobación asociados con los nodos variables se mapean a la misma constelación.

La referencia a las Figuras 49A a 49H y 50A a 50H posibilita que se evite la aparición de nodos de comprobación ineficaces estableciendo los valores de desplazamiento como se describe a continuación. Específicamente, para las Figuras 49A a 49B, el valor de desplazamiento es dos para QB14, de manera que se usan dos desplazamientos cíclicos hacia la derecha. También, para las Figuras 50A a 50H, el valor de desplazamiento es tres para QB4, de manera que se usan tres desplazamientos cíclicos hacia la derecha. Los resultados de aplicar este desplazamiento cíclico a las Figuras 49A a 49H y a las Figuras 50A a 50H se muestran en las Figuras 52A a 52H y en las Figuras 53A a 53H, respectivamente. Por simplicidad en los ejemplos, las Figuras 50A a 50H indican que se aplica un desplazamiento de 3 bits a la derecha a la totalidad de QB4. Sin embargo, para las Figuras 50B, 50D, 50F y 50H, la permutación de bloques intra-cíclica no es necesaria puesto que las constelaciones mapeadas en la misma implican diferentes nodos variables asociados con los nodos de comprobación.

Cuando se introduce un bloque cíclico que no requiere desplazamiento cíclico, el valor de desplazamiento se establece a cero y la secuencia de bits se emite como está, sin desplazamiento cíclico.

Por lo tanto, se minimiza el número de nodos de comprobación ineficaces en los códigos de LDPC seleccionando una permutación apropiada para cada bloque cíclico. Por supuesto, las permutaciones de bloques intra-cíclicas deben adaptarse siempre que se cambien los códigos de LDPC, tal como cuando se cambia la PCM del código empleado. La permutación de bloques intra-cíclica puede realizarse de manera óptima usando un conjunto (limitado) de PCM que incluye una pluralidad de PCM predeterminadas, almacenándose el conjunto con antelación (como alternativa, pueden almacenarse valores de desplazamiento u otros parámetros, definiendo los parámetros el procedimiento de permutación real). La Tabla B para la Figura 51A, analizada anteriormente, se almacena según sea apropiado para el procedimiento de permutación. Por consiguiente, cuando se cambia la tasa de codificación o similar, cambiando por lo tanto la PCM, pueden seleccionarse los parámetros apropiados desde un conjunto, permitiendo que se cambie el procedimiento de permutación óptima. La permutación de bloques intra-cíclica óptima para una PCM dada o un conjunto dado de PCM puede determinarse mediante cualquier proceso de optimización

conocido, incluyendo fuerza bruta, recocido simulado, Monte-Carlo y similares.

La Figura 54 es un diagrama global que indica la configuración de una permutación de bloques intra-cíclica 5410 en el intercalador de bits paralelo 5400 usada para un factor de repliegue de dos, similar al de la Figura 24. Las operaciones de las Figuras 54 y 24 se diferencian únicamente en que el factor de repliegue se cambia de cuatro a dos, y que la permutación de sección se realiza en dos bloques cíclicos. Se omiten explicaciones ya que los detalles son idénticos de otra manera. Como para el receptor, se omite una explicación detallada puesto que las operaciones del mismo son idénticas a aquellas de las transmitidas en todos los aspectos, excepto que la dirección de las flechas en la Figura 54 se invierte.

La Figura 55 es un diagrama de bloques de un codificador de BICM que pertenece a la realización 4, donde  $Q = 8$ ,  $M = 4$  y  $F = 2$ .

Como se muestra en la Figura 55, el codificador de BICM 5500 incluye una memoria principal 5501, un controlador de LDPC 5511, un rotador 5512, un grupo de procesadores de nodo de comprobación 5513, un des-rotador 5514, un contador de QB 5531, una tabla de permutación de QB 5532, el intercalador B 5533, un grupo de registros 5534, el intercalador C 5535, una tabla de desplazamiento de QB 5536, y un grupo de mapeadores 5551.

En contraste a la Figura 26, el codificador de BICM mostrado en la Figura 55 usa un factor de repliegue de dos, y por lo tanto el número de registros en el grupo de registros 5534 y los mapeadores en el grupo de mapeadores 5551 se reduce de cuatro a dos. También, la tabla A se sustituye mediante la tabla de permutación de QB 5532 y la tabla de desplazamiento de QB 5536. Lo siguiente describe los puntos de diferencia de la Figura 26. Se omiten otros aspectos de la configuración como que son idénticos a la Figura 26.

El contador de QB 5531 notifica la tabla de permutación de QB 5532 del número del bloque cíclico objetivo.

La tabla de permutación de QB 5532 es una tabla de consulta similar a la tabla A 2632 de la Figura 26.

La tabla de desplazamiento de QB 5536 almacena valores de desplazamiento para realizar un desplazamiento cíclico en una secuencia de bits para cada uno de los bloques cíclicos. La tabla de desplazamiento de QB 5536 determina el valor de desplazamiento de acuerdo con el número del bloque cíclico en la notificación desde la tabla de permutación de QB 5532, a continuación notifica al rotador (intercalador B) 5533 de lo mismo. La tabla de desplazamiento de QB 5536 es equivalente a la tabla B (5101A, 5101B) en la Figura 51.

El rotador (intercalador B) 5533 realiza un desplazamiento cíclico hacia la derecha mediante el valor de desplazamiento en la secuencia de bits introducida al mismo de acuerdo con el valor de desplazamiento en la notificación, a continuación emite los resultados al grupo de registros 5534. El rotador (intercalador B) 5533 realiza una permutación de bloques intra-cíclica en el codificador de BICM, es decir, corresponde a la permutación de bloques intra-cíclica 5410 de la Figura 54. También, el intercalador de columna-fila (intercalador C) 5535 realiza una permutación de columna-fila como se muestra en la Figura 54. En este punto, esto implica escribir  $8 (Q) \times 2 (M/F)$  bits a nivel de filas en una matriz de  $2 (M/F) \times 8 (Q)$ , a continuación leer a nivel de columnas.

La Figura 56 es un diagrama de bloques de un decodificador de BICM iterativo que pertenece a la realización 4, donde  $Q = 8$ ,  $M = 4$  y  $F = 2$ .

Como se muestra, el decodificador de BICM iterativo 5600 incluye una memoria de LLR principal 5601, una memoria de LLR de memoria intermedia 5602, un controlador de LDPC 5611, un rotador 5612, un grupo de procesadores de nodo de comprobación 5613, un des-rotador 5614, un contador de QB 5631, una tabla 5632, un grupo de restadores 5633, el intercalador B 5634, el grupo de registros 5635, el intercalador C 5636, un grupo desmapeadores 5637, el desintercalador C 5638, el grupo de registros 5639, el desintercalador B 5640, un retardador 5641 y una tabla de desplazamiento de QB 5642.

Como la comparación con la Figura 29 se hace evidente, el decodificador de BICM iterativo 5600 mostrado en la Figura 56 usa un factor de repliegue de dos y por lo tanto, el número de registros en los grupos de registros 5535 y 5539 así como el número de desmapeadores en el grupo de desmapeadores 5637 se reduce de cuatro a dos. También, la tabla A se sustituye por una tabla de permutación de QB 5632 y por una tabla de desplazamiento de QB 5642. Lo siguiente describe los puntos de diferencia de la Figura 29. Se omiten otros aspectos de la configuración ya que son idénticos a la Figura 29.

El contador de QB 5631 notifica la tabla de permutación de QB 5632 del número del bloque cíclico objetivo.

La tabla de permutación de QB 5632 es una tabla de consulta similar a la tabla A 2932 de la Figura 29.

La tabla de desplazamiento de QB 5642 almacena valores de desplazamiento para realizar un desplazamiento cíclico en una secuencia de bits para cada uno de los bloques cíclicos. La tabla de desplazamiento de QB 5642 determina el valor de desplazamiento de acuerdo con el número del bloque cíclico en la notificación desde la tabla de permutación de QB 5632, a continuación notifica al rotador (intercalador B) 5634 en consecuencia. También, el des-rotador (desintercalador B) 5640 se notifica del valor de desplazamiento mediante uno de los retardadores 5641,

para poder deshacer el proceso de intercalación para la permutación de bloques intra-cíclica. La tabla de desplazamiento de QB 5542 es equivalente a la tabla B (5101A, 5101B) en la Figura 51.

5 El rotador (intercalador B) 5634 realiza un desplazamiento cíclico en la secuencia de bits introducida al mismo de acuerdo con el valor de desplazamiento en la notificación desde la tabla de desplazamiento de QB 5642, a continuación emite los resultados al grupo de registros 5635. El rotador (intercalador B) 5634 realiza una permutación de bloques intra-cíclica en el decodificador de BICM iterativo 5600.

10 También, de acuerdo con el valor de desplazamiento en la notificación desde la tabla de desplazamiento de QB 5642, el des-rotador (desintercalador B) 5640 realiza un desplazamiento cíclico en la secuencia de bits introducida al mismo desde el grupo de registros 5639 es decir la inversa del desplazamiento aplicado mediante el rotador (intercalador B) 5634, a continuación emite los resultados a la memoria de LLR principal 5601.

El intercalador de columna-fila (intercalador C) 5636 corresponde al intercalador C de la Figura 29. El desintercalador de columna-fila (desintercalador C) 5638 corresponde al intercalador C 2938 de la Figura 29.

15 De acuerdo con la configuración anterior, el codificador de BICM puede ejecutar de manera sencilla una permutación de bloques intra-cíclica, y se evitan por lo tanto situaciones donde los nodos variables asociados con un nodo de comprobación se mapean a la misma constelación en pluralidad. Por consiguiente, se reduce la probabilidad de aparición de los nodos de comprobación ineficaces, que no pueden usarse en corrección de errores.

(Complemento 1)

20 La presente divulgación no está limitada a las realizaciones anteriormente descritas. Con la condición de que se consigan los objetivos de la invención y los objetivos adjuntos, son posibles también otras variaciones, tales como las siguientes.

(1) La realización se ha descrito anteriormente usando los parámetros  $N = 12$ ,  $Q = 8$  y  $M = 4$ . Sin embargo, no se pretende limitación a los parámetros  $N$ ,  $M$  y  $Q$ . En este punto,  $N$  puede ser cualquier múltiplo de  $M$ . Cuando  $N$  es dos o más veces  $M$ , el procesamiento mediante el intercalador de bits es divisible en una pluralidad de secciones.

25 (2) En la realización 2, cuando se usa repliegue, es decir, cuando  $F$  es dos o mayor, los parámetros dados para el ejemplo son  $N = 12$ ,  $Q = 8$ ,  $M = 4$  y un factor de repliegue de  $F = 2$ . Sin embargo, no se pretende limitación a los parámetros  $N$ ,  $M$ ,  $Q$  y  $F$ . En este punto,  $F$  es un divisor de  $M$  y de  $Q$ , y  $N$  es un múltiplo de  $M/F$ .

30 (3) En la realización 4, cuando se usa repliegue, el valor de  $F$  se da como dos, que es el número de bits que tienen el mismo nivel de robustez en una única constelación 16-QAM. Sin embargo, no se pretende limitación. El valor de  $F$  no necesita ser igual al número de bits que tienen el mismo nivel de robustez en una constelación, y puede de hecho ser distinto al número de bits que tienen el mismo nivel de robustez en una constelación.

35 (4) En la realización 2, cuando se usa repliegue, el ejemplo describe un factor de repliegue de  $F = 2$ , y siendo las constelaciones de QAM constelaciones 16-QAM. Sin embargo, no se pretende limitación. Cuando  $F = 2$ , las constelaciones de QAM pueden ser distintas de las constelaciones 16-QAM (por ejemplo, constelaciones 64-QAM o constelaciones 265-QAM).

40 (5) En la realización 4, la tabla B y la tabla de desplazamiento de QB almacenan valores de desplazamiento cíclico para un desplazamiento hacia la derecha de una secuencia de bits. Sin embargo, estas tablas pueden almacenar también valores para un desplazamiento hacia la izquierda, y los valores de desplazamiento no necesitan ser mínimos absolutos. No se pretende limitación con la condición de que las tablas posibiliten la prevención de una situación donde los nodos variables asociados con un nodo de comprobación se mapean en pluralidad a la misma constelación.

45 También, el desplazamiento cíclico puede sustituirse mediante una permutación de bloques intra-cíclica sin regularidad de manera que, en una constelación dada, ningún nodo de comprobación se asocia con una pluralidad de nodos variables. Sin embargo, cuando se usa una permutación de bloques intra-cíclica sin regularidad, entonces el transmisor debe comunicar el procedimiento de permutación de bloques intra-cíclica al receptor, o el procedimiento para implementar la permutación debe determinarse con antelación entre el transmisor y el receptor.

50 (6) En las realizaciones anteriormente descritas, las constelaciones se describen como 16-QAM (es decir,  $M = 4$ ). Sin embargo, la constelación puede especificarse mediante otros procedimientos de modulación tales como QPSK y QAM, tal como las constelaciones circulares empleadas en la norma de DVB-S2, constelaciones de dimensiones superiores y así sucesivamente.

55 (7) Los procedimientos y dispositivos analizados en las realizaciones anteriores pueden implementarse como software o como hardware. No se pretende limitación particular en este sentido. Específicamente, las realizaciones anteriormente descritas pueden implementarse como un medio legible por ordenador que tiene realizado en el mismo instrucciones ejecutables por ordenador que están adaptadas para permitir a un ordenador, un microprocesador, un microcontrolador y similares ejecutar los procedimientos anteriormente descritos. También, las realizaciones anteriormente descritas pueden implementarse como un Circuito Integrado Específico de la Aplicación (ASIC) o como un Campo de Matriz de Puertas Programables (FPGA).

(Complemento 2)

El procedimiento de intercalación, el intercalador, el procedimiento de desintercalación, el desintercalador y el decodificador de la presente divulgación, y los efectos de los mismos se describen a continuación.

5 En un aspecto, un primer procedimiento de intercalación de bits para un sistema de comunicación que usa códigos de comprobación de paridad de baja densidad cuasi cíclicos comprende: una etapa de recepción para recibir una palabra de código de los códigos de comprobación de paridad de baja densidad cuasi cíclicos compuestos de  $N$  bloques cíclicos incluyendo cada uno  $Q$  bits; una etapa de permutación de bits para aplicar un proceso de permutación de bits a la palabra de código para permutar los bits en la palabra de código; una etapa de división para dividir la palabra de código, después del proceso de permutación de bits, en una pluralidad de palabras de  
10 constelación, estando compuesta cada una de las palabras de constelación de  $M$  bits e indicando uno de  $2^M$  puntos de constelación predeterminados, y una etapa de permutación de bloques intra-cíclica para aplicar un proceso de permutación de bloques intra-cíclica a cada uno de los bloques cíclicos para permutar los bits en cada uno de los bloques cíclicos, en el que la etapa de división implica dividir la palabra de código, después del proceso de permutación de bits, en  $F \times N/M$  secciones, incluyendo cada una  $M/F$  de los bloques cíclicos (siendo  $F$  un entero positivo), y a continuación dividir la palabra de código en las palabras de constelación de manera que cada una de las palabras de constelación se asocie con una de las secciones, y el proceso de permutación de bits se aplica de manera que cada una de las palabras de constelación incluye  $F$  bits extraídos de cada uno de los  $M/F$  diferentes bloques cíclicos sometidos al proceso de permutación, en una sección dada asociada con una dada de las palabras de constelación.

20 En otro aspecto, un primer intercalador de bits para un sistema de comunicación que usa códigos de comprobación de paridad de baja densidad cuasi cíclicos comprende: una unidad de permutación de bits que recibe una palabra de código de los códigos de comprobación de paridad de baja densidad cuasi cíclicos compuestos de  $N$  bloques cíclicos incluyendo cada uno  $Q$  bits, y aplicar un proceso de permutación de bits a la palabra de código para permutar los bits en la palabra de código; una unidad de división que divide la palabra de código, después del  
25 proceso de permutación de bits, en una pluralidad de palabras de constelación, estando compuesta cada una de las palabras de constelación de  $M$  bits e indicando uno de  $2^M$  puntos de constelación predeterminados; y una unidad de permutación de bloques intra-cíclica que aplica un proceso de permutación de bloques intra-cíclica a cada uno de los bloques cíclicos para permutar los bits en cada uno de los bloques cíclicos, en el que la unidad de división divide la palabra de código, después del proceso de permutación de bits, en  $F \times N/M$  secciones, incluyendo cada una  $M/F$  de los bloques cíclicos (siendo  $F$  un entero positivo), y a continuación dividir la palabra de código en las palabras de constelación de manera que cada una de las palabras de constelación se asocie con una de las secciones, y el proceso de permutación de bits se aplica de manera que cada una de las palabras de constelación incluye  $F$  bits extraídos de cada uno de los  $M/F$  diferentes bloques cíclicos sometidos al proceso de permutación, en una sección dada asociada con una dada de las palabras de constelación.

35 En este punto, la división corresponde a la realizada mediante el codificador de BICM y el decodificador de BICM en las realizaciones anteriormente descritas, y a leer la secuencia de bits de bloques cíclicos desde la memoria principal y la memoria de LLR principal.

40 Por consiguiente, se consiguen reducciones en el área de superficie del circuito y en consumo de energía eléctrica, además de posibilitar la realización de un proceso de intercalación de bits que tiene alto paralelismo. Además, ejecutando la permutación de bloques intra-cíclica, es más probable que los nodos de comprobación puedan reducir la probabilidad de que aparezcan nodos de comprobación ineficaces y que no sean usables por el receptor.

En un segundo aspecto de un procedimiento de intercalación de bits, el proceso de permutación de bloques intra-cíclica se realiza de manera que los bits en la palabra de código que están vinculados a un nodo de comprobación común de los códigos QC-LDPC se mapean cada uno a una diferente de las palabras de constelación.

45 También, en un segundo aspecto de un intercalador de bits, la unidad de permutación de bloques intra-cíclica realiza el proceso de permutación de bloques intra-cíclica de manera que los bits en la palabra de código que están vinculados a un nodo de comprobación común de los códigos QC-LDPC se mapean cada uno a una diferente de las palabras de constelación.

50 Esto asegura que los nodos de comprobación pueden reducir la probabilidad de que aparezcan nodos de comprobación ineficaces y que no sean usables por el receptor.

En un tercer aspecto de un procedimiento de intercalación de bits, al menos un caso del proceso de permutación de bloques intra-cíclica aplicado a cada uno de los bloques cíclicos es un desplazamiento cíclico realizado en al menos un subconjunto de una secuencia de bits en cada uno de los bloques cíclicos.

55 También, en un tercer aspecto de un intercalador de bits, al menos un caso del proceso de permutación de bloques intra-cíclica aplicado a cada uno de los bloques cíclicos es un desplazamiento cíclico realizado en al menos un subconjunto de una secuencia de bits en cada uno de los bloques cíclicos.

Por consiguiente, el desplazamiento cíclico tiene una configuración sencilla que posibilita la realización del proceso

de permutación de bloques intra-cíclica.

5 En un cuarto aspecto de un procedimiento de intercalación de bits, una etapa de permutación de columna-fila para aplicar un proceso de permutación de columna-fila a cada una de una pluralidad de secciones de  $Q \times M/F$  bits, realizándose el proceso de permutación de columna-fila escribiendo los  $Q \times M/F$  bits a nivel de filas en una matriz que tiene  $M/F$  filas y  $Q$  columnas, a continuación leyendo los  $Q \times M/F$  bits desde la matriz a nivel de columnas.

También, en un cuarto aspecto de un intercalador de bits, una unidad de permutación de columna-fila que aplica un proceso de permutación de columna-fila a cada una de la pluralidad de secciones de  $Q \times M/F$  bits, realizándose el proceso de permutación de columna-fila escribiendo los  $Q \times M/F$  bits a nivel de filas en una matriz que tiene  $M/F$  filas y  $Q$  columnas, a continuación leyendo los  $Q \times M/F$  bits desde la matriz a nivel de columnas.

10 En un quinto aspecto de un procedimiento de intercalación de bits, el procedimiento de intercalación de bits comprende adicionalmente una etapa de selección para seleccionar un procedimiento de permutación de bloques intra-cíclica para aplicarse a los bloques cíclicos de entre un número predeterminado de procedimientos de permutación de bloques intra-cíclica, realizándose la selección de acuerdo con los códigos QC-LDPC especificados para uso en el sistema de comunicación.

15 También, en un quinto aspecto de un intercalador de bits, el intercalador de bits del primer aspecto comprende adicionalmente una unidad de selección que selecciona un procedimiento de permutación de bloques intra-cíclica para aplicarse a los bloques cíclicos de entre un número predeterminado de procedimientos de permutación de bloques intra-cíclica, realizándose la selección de acuerdo con los códigos QC-LDPC especificados para uso en el sistema de comunicación.

20 Por consiguiente, el procedimiento de permutación de bloques intra-cíclica definido de acuerdo con la PCM se especifica deliberadamente y es usable para codificación.

25 En un aspecto adicional, un procedimiento de desintercalación de bits para un flujo de bits en un sistema de comunicación que usa códigos QC-LDPC comprende: una etapa de recepción para recibir una secuencia de bits compuesta de  $N \times Q$  bits; y una etapa de permutación de bits inversa para aplicar el procedimiento de intercalación de bits del primer aspecto en un orden inverso a la secuencia de bits recibida, para restaurar una palabra de código de los códigos QC-LDPC.

30 También, en otro aspecto más, un desintercalador de bits para un flujo de bits en un sistema de comunicación que usa códigos QC-LDPC comprende una unidad de permutación de bits inversa que recibe una secuencia de bits compuesta de  $N \times Q$  bits y aplica el proceso de permutación de bits aplicado mediante el intercalador de bits del primer aspecto en un orden inverso a la secuencia de bits recibida para restaurar una palabra de código de los códigos QC-LDPC.

35 En otro aspecto, un decodificador para un sistema de intercalación y demodulación de bits que usa códigos de comprobación de paridad de baja densidad cuasi cíclicos, que comprende: un desmapeador de constelación que genera una secuencia de bits flexible que indica una probabilidad de un bit correspondiente que es uno de un bit cero y un bit uno; desintercalando el desintercalador de bits del otro aspecto la secuencia de bits flexible; y un decodificador de comprobación de paridad de comprobación de baja densidad que decodifica la secuencia de bits flexible desintercalada.

40 En un segundo aspecto, un decodificador del otro aspecto comprende adicionalmente: una unidad de resta que calcula una diferencia entre la entrada y salida del decodificador de comprobación de paridad de baja densidad; y el intercalador de bits del primer aspecto, que proporciona la diferencia al desmapeador de constelación como realimentación.

Por consiguiente, es realizable un proceso de intercalación de bits que tiene alto paralelismo.

**[Aplicabilidad industrial]**

45 La presente invención es aplicable a un intercalador de bits en un sistema de codificación y modulación de bits intercalados usado para códigos de paridad de baja densidad cuasi cíclicos, y a un desintercalador de bits que corresponde a un intercalador de bits de este tipo.

**[Lista de signos de referencia]**

	2000A	intercalador de bits
	2010A	permutador de bits
50	2021A	permutador de sección de repliegue
	2131A, 2132A	permutador de columna-fila
	2500A	transmisor
	2510	codificador de LDPC
	2520A	intercalador de bits

	2530	mapeador de constelación
	2700A, 2800A	receptor
	2710	desmapeador de constelación
	2720A	desintercalador de bits
5	2730	decodificador de LDPC
	2740	restador
	2750A	intercalador de bits
	5410	permutador de bloques intra-cíclico

## REIVINDICACIONES

- 5 1. Un procedimiento de entrelazado de bits para entrelazar bits de una palabra de código generada basándose en un esquema de codificación de verificación de paridad de baja densidad cuasi cíclica, que incluye un esquema de codificación de verificación de paridad de baja densidad cuasi cíclica de repetición-acumulación, comprendiendo el procedimiento de entrelazado de bits:
- una etapa de permutación de bits para aplicar un procedimiento de permutación de bits a la palabra de código formada por N bloques cíclicos, cada uno de los cuales consiste en Q bits, para reordenar los bits de la palabra de código de acuerdo con una regla de permutación de bits que define una reordenación de los bits; y
- 10 una etapa de división para dividir la palabra de código después del procedimiento de permutación de bits en una pluralidad de palabras de constelación, estando cada una de las palabras de la constelación compuesta por M bits,
- en el que N no es un múltiplo de M,
- la regla de permutación de bits incluye una primera regla y una segunda regla, aplicándose la primera regla a los N'=N-X bloques cíclicos entre los N bloques cíclicos, aplicándose la segunda regla a los X bloques cíclicos que
- 15 son los de los N bloques cíclicos, excluyendo los N' bloques cíclicos, difiriendo entre sí la primera regla y la segunda regla, en la que X es el resto de N dividido por M, y
- la primera regla define la reordenación de los bits de la palabra de código, de tal modo que los Q bits en cada uno de los N'=N-X bloques cíclicos se asignan a un bit de un índice de bits idéntico en Q palabras de constelación y dichas Q palabras de constelación están compuestas por un bit de cada uno de M diferentes
- 20 bloques cíclicos, siendo dichos M diferentes bloques cíclicos comunes a dichas Q palabras de la constelación.
2. Un intercalador de bits para entrelazar bits de una palabra de código generada basándose en un esquema de codificación de verificación de paridad de baja densidad cuasi cíclica, que incluye un esquema de codificación de verificación de paridad de baja densidad cuasi cíclica de repetición-acumulación, comprendiendo el intercalador de bits:
- 25 un permutador (2010A) de bits para aplicar un procedimiento de permutación de bits a la palabra de código formada por N bloques cíclicos, cada uno de los cuales consta de Q bits, para reordenar los bits de la palabra de código de acuerdo con una regla de permutación de bits que define una reordenación de los bits; y
- un divisor para dividir la palabra de código después del procedimiento de permutación de bits en una pluralidad de palabras de constelación, estando cada una de las palabras de la constelación compuesta por M bits, en el
- 30 que
- N no es un múltiplo de M,
- la regla de permutación de bits incluye una primera regla y una segunda regla, aplicándose la primera regla a los N'=N-X bloques cíclicos entre los N bloques cíclicos, aplicándose la segunda regla a los X bloques cíclicos que son los de los N bloques cíclicos, excluyendo los N' bloques cíclicos, difiriendo entre sí la primera regla y la
- 35 segunda regla, en la que X es el resto de N dividido por M, y
- la primera regla define la reordenación de los bits de la palabra de código, de tal modo que los Q bits en cada uno de los N'=N-X bloques cíclicos se asignan cada uno a un bit de un índice de bits idéntico en Q palabras de constelación y dichas Q palabras de constelación están compuestas por un bit de cada uno de M diferentes bloques cíclicos, siendo dichos M diferentes bloques cíclicos comunes a dichas Q palabras de la constelación.
- 40 3. Un procedimiento de procesamiento de señales para procesar una señal transmitida modulando NxQ/M palabras de constelación, generándose las palabras de constelación al aplicar un procedimiento de reordenación de bits a una palabra de código generada basándose en un esquema de codificación de verificación de paridad de baja densidad cuasi cíclica, que incluye un esquema de codificación de verificación de paridad de baja densidad cuasi cíclica de repetición-acumulación, y dividiendo bits de la palabra de código en las palabras de la constelación,
- 45 estando cada palabra de constelación compuesta de M bits, estando la palabra de código compuesta por N bloques cíclicos, cada uno de los cuales incluye Q bits, comprendiendo el procedimiento de reordenación de bits
- un procedimiento de permutación de bits de reordenación de los bits de la palabra de código de acuerdo con una regla de permutación de bits que define una reordenación de los bits, en el que
- 50 N no es un múltiplo de M,
- la regla de permutación de bits incluye una primera regla y una segunda regla, aplicándose la primera regla a los N'=N-X bloques cíclicos entre los N bloques cíclicos, aplicándose la segunda regla a los X bloques cíclicos que son los de los N bloques cíclicos, excluyendo los N' bloques cíclicos, difiriendo entre sí la primera regla y la segunda regla, en la que X es el resto de N dividido por M, y
- 55 la primera regla define la reordenación de los bits de la palabra de código, de tal modo que los Q bits en cada uno de los N'=N-X bloques cíclicos se asignan cada uno a un bit de un índice de bits idéntico en Q palabras de constelación y dichas Q palabras de constelación están compuestas por un bit de cada uno de M diferentes bloques cíclicos, siendo dichos M diferentes bloques cíclicos comunes a dichas Q palabras de la constelación, y comprendiendo el procedimiento de procesamiento de señales:
- una etapa de demodulación para generar una señal demodulada mediante la demodulación de la señal, que se ha transmitido modulando las NxQ/M palabras de la constelación; y
- 60 una etapa de decodificación de realización, en la señal demodulada, un procedimiento de reversión que cancela

el procedimiento de permutación de bits de acuerdo con la regla de permutación de bits, y un procedimiento de decodificación, generando así datos antes de la codificación de acuerdo con el esquema de codificación de comprobación de paridad de baja densidad cuasi cíclica.

- 5 4. Un procesador de señales para procesar una señal transmitida modulando  $N \times Q/M$  palabras de constelación, generándose las palabras de constelación al aplicar un procedimiento de reordenación de bits a una palabra de código generada basándose en un esquema de codificación de verificación de paridad de baja densidad cuasi cíclica, que incluye un esquema de codificación de verificación de paridad de baja densidad cuasi cíclica de repetición-acumulación, y dividiendo bits de la palabra de código en las palabras de la constelación, estando cada palabra de constelación compuesta de  $M$  bits, estando la palabra de código compuesta por  $N$  bloques cíclicos, cada uno de los cuales incluye  $Q$  bits, comprendiendo el procedimiento de reordenación de bits un procedimiento de permutación de bits de reordenación de los bits de la palabra de código de acuerdo con una regla de permutación de bits que define una reordenación de los bits, en el que
- 10  $N$  no es un múltiplo de  $M$ ,  
la regla de permutación de bits incluye una primera regla y una segunda regla, aplicándose la primera regla a los
- 15  $N' = N - X$  bloques cíclicos entre los  $N$  bloques cíclicos, aplicándose la segunda regla a los  $X$  bloques cíclicos que son los de los  $N$  bloques cíclicos, excluyendo los  $N'$  bloques cíclicos, difiriendo entre sí la primera regla y la segunda regla, en la que  $X$  es el resto de  $N$  dividido por  $M$ , y
- 20 la primera regla define la reordenación de los bits de la palabra de código, de tal modo que los  $Q$  bits en cada uno de los  $N' = N - X$  bloques cíclicos se asignan cada uno a un bit de un índice de bits idéntico en  $Q$  palabras de constelación y dichas  $Q$  palabras de constelación están compuestas por un bit de cada uno de  $M$  diferentes bloques cíclicos, siendo dichos  $M$  diferentes bloques cíclicos comunes a dichas  $Q$  palabras de la constelación, y comprendiendo el procesador de señales:
- 25 un demodulador que genera una señal demodulada mediante la demodulación de la señal, que se ha transmitido modulando las  $N \times Q/M$  palabras de la constelación; y  
un decodificador que realiza, en la señal demodulada, un procedimiento de reversión que cancela el procedimiento de permutación de bits de acuerdo con la regla de permutación de bits, y un procedimiento de decodificación, generando así datos antes de la codificación de acuerdo con el esquema de codificación de comprobación de paridad de baja densidad cuasi cíclica.

FIG. 1

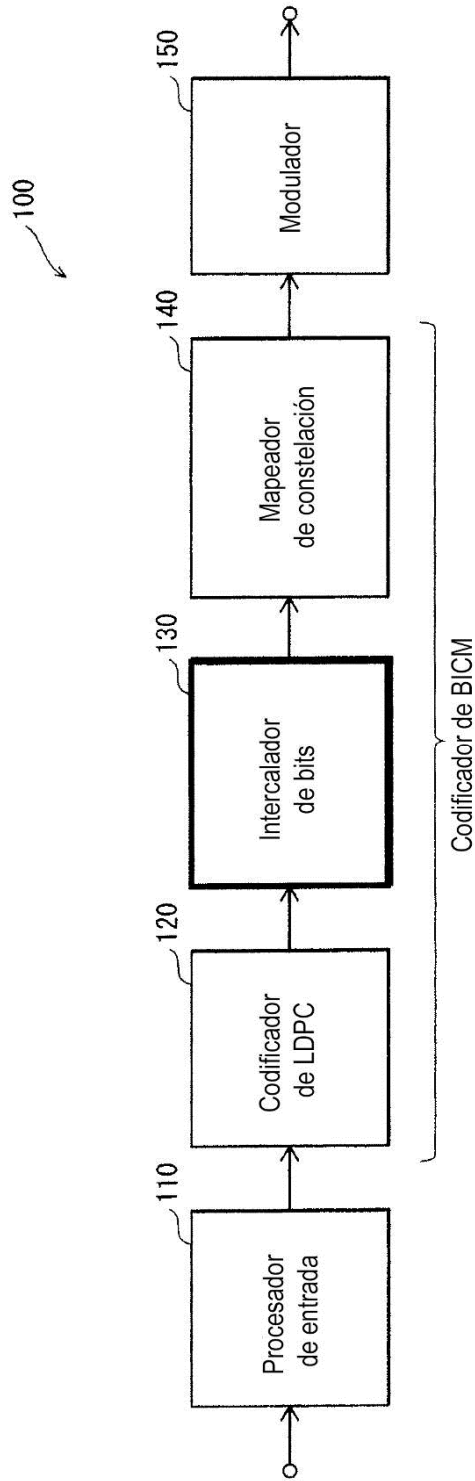


FIG. 2

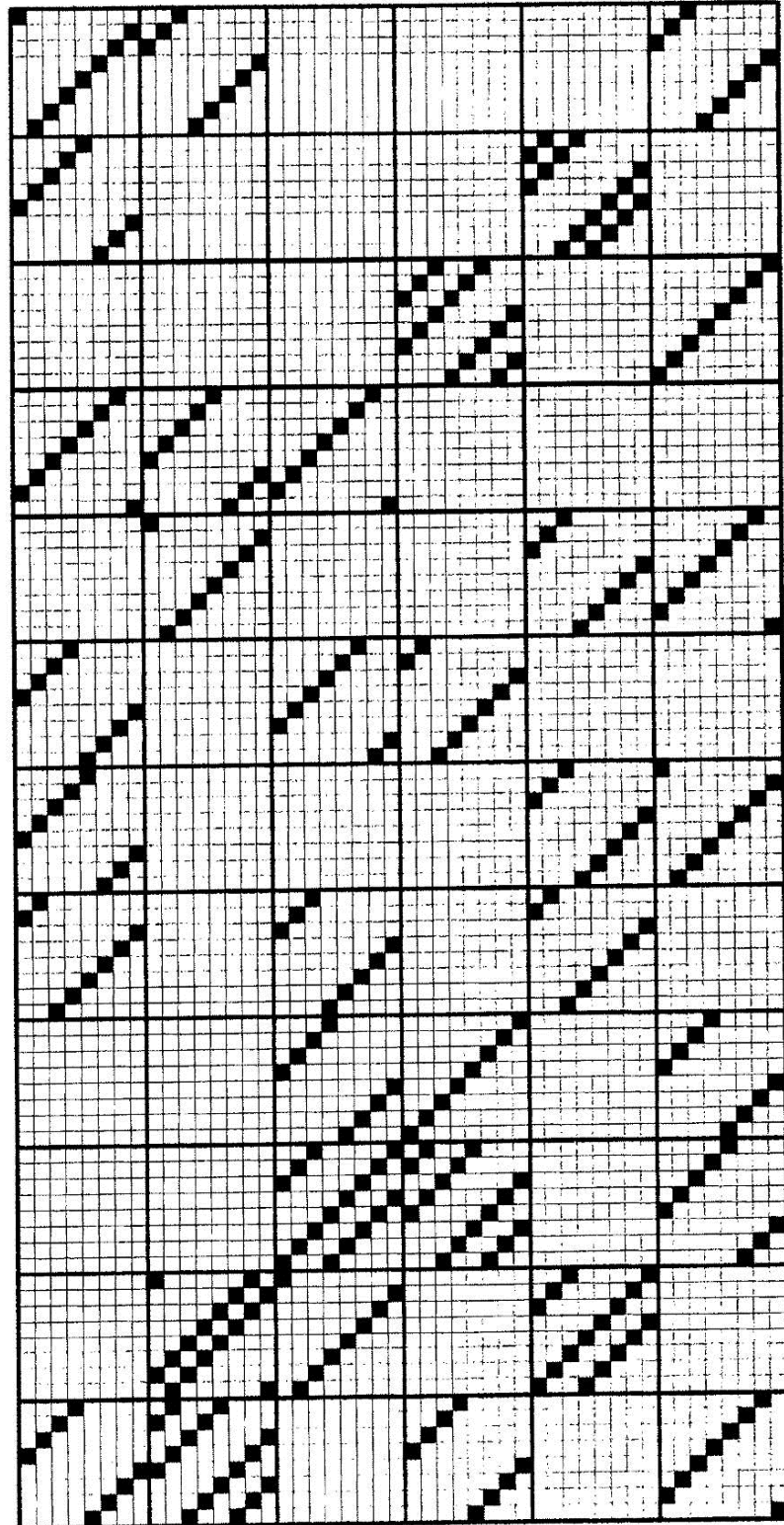


FIG. 3

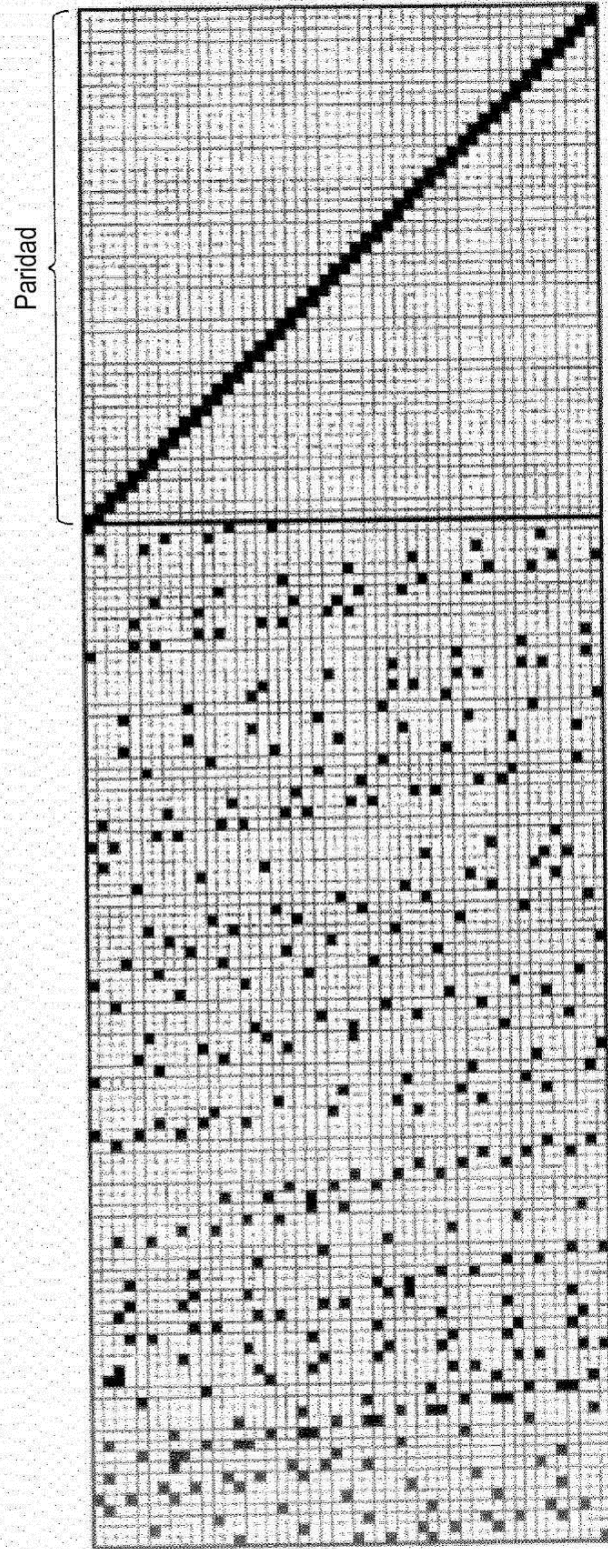
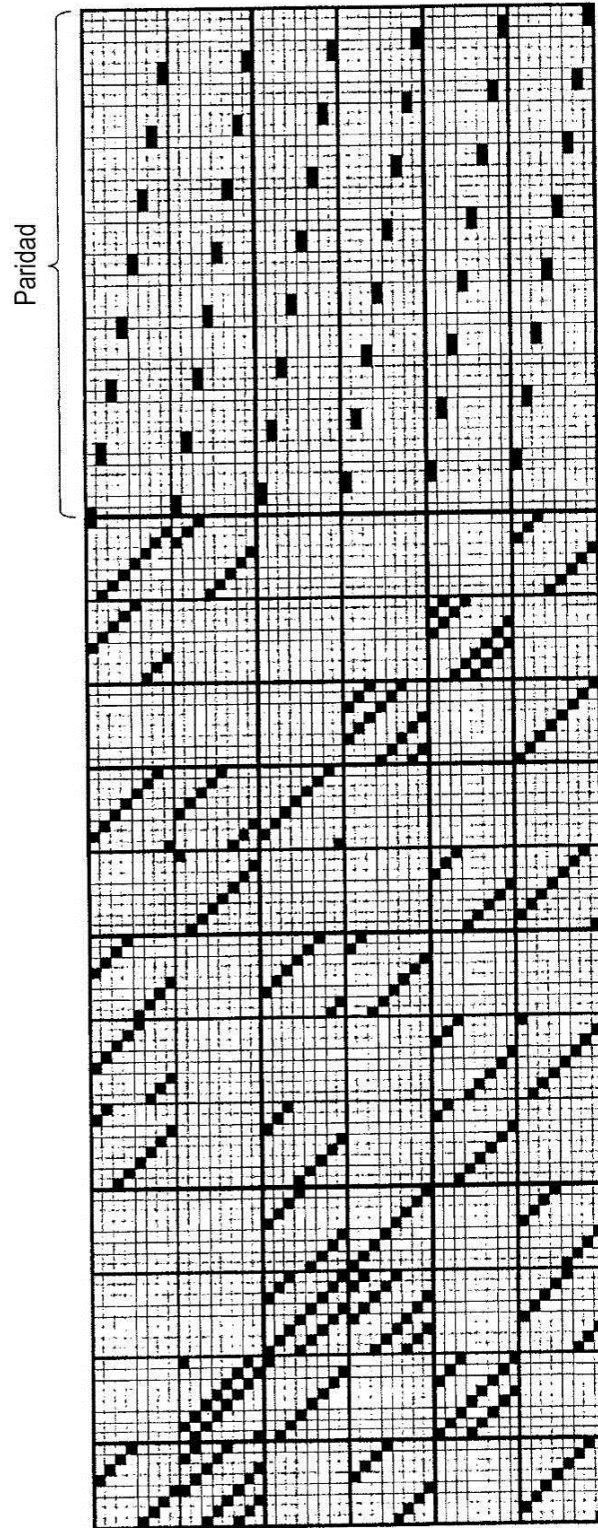


FIG. 4



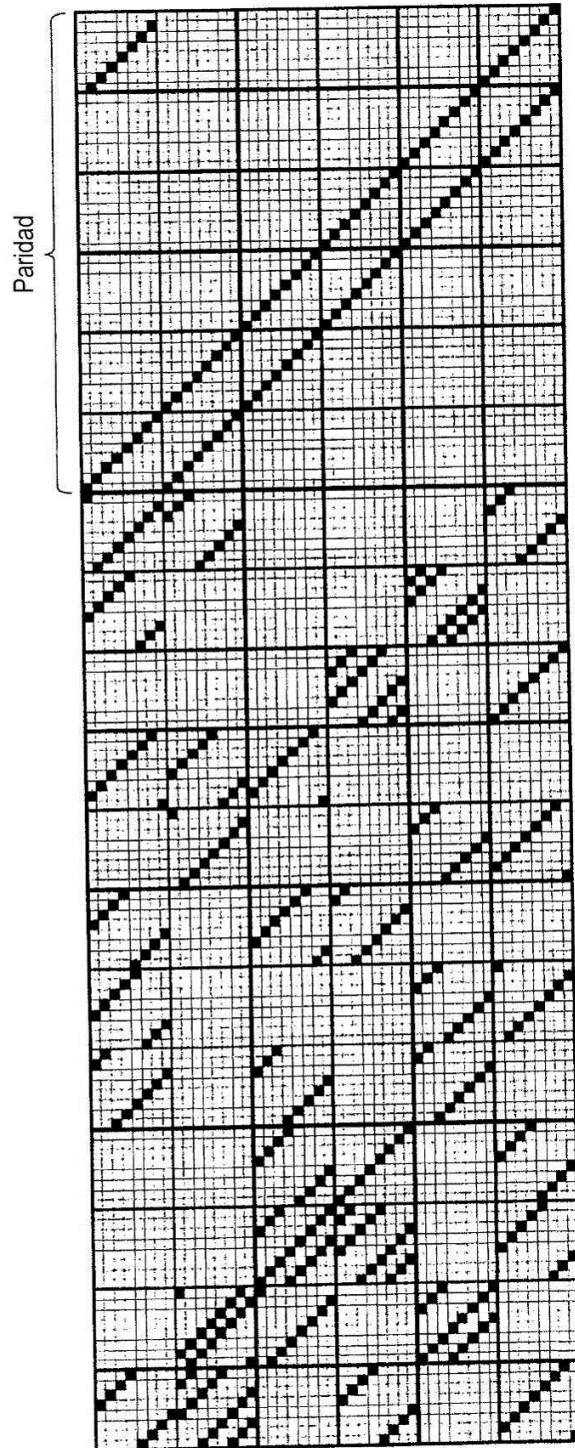


FIG. 5

FIG. 6

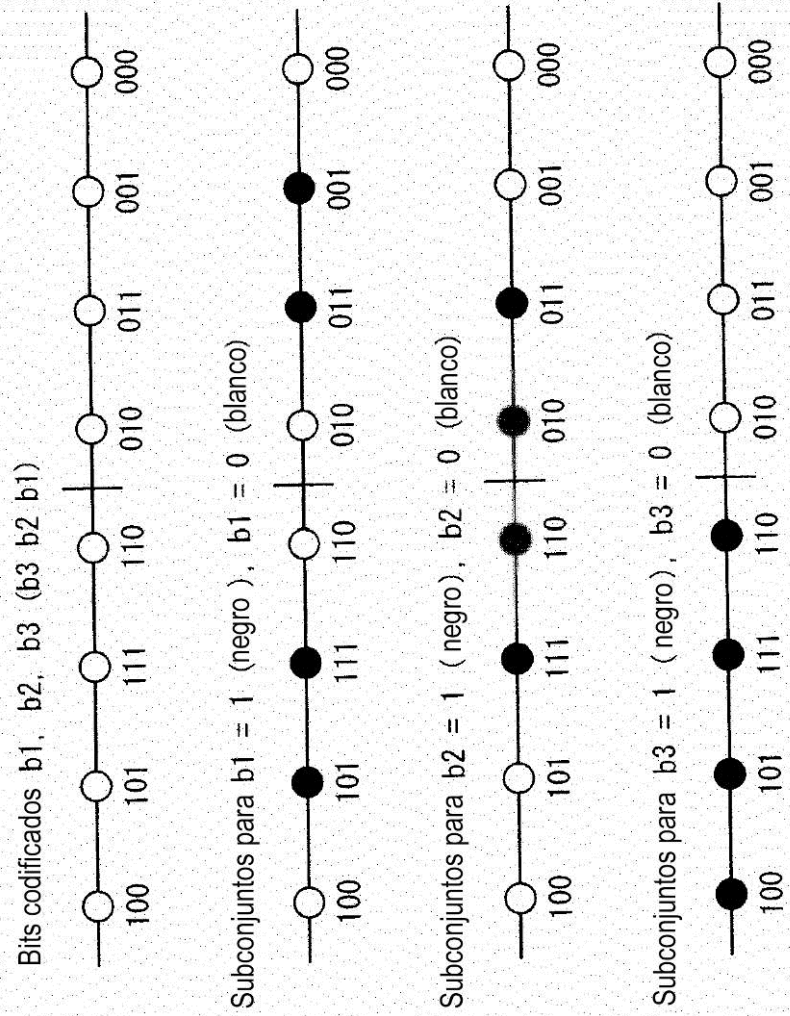
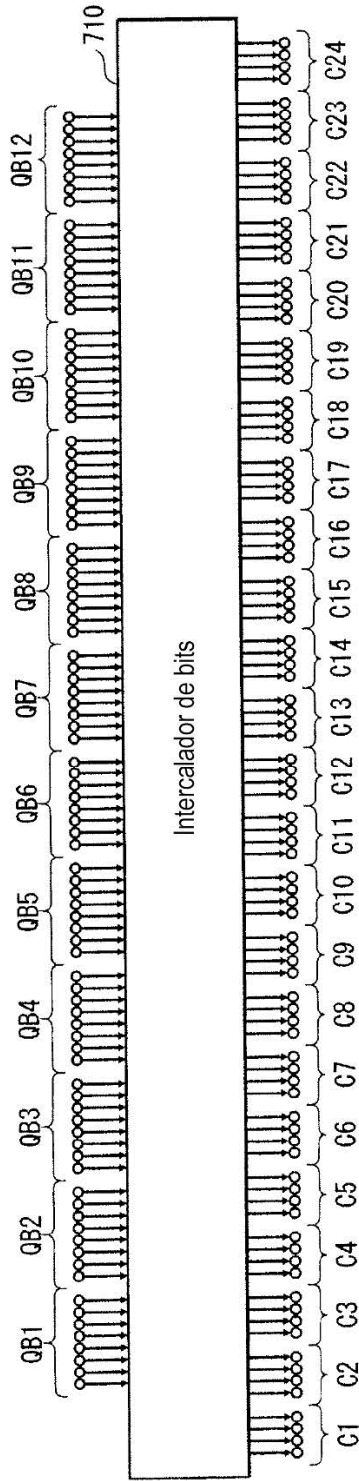


FIG. 7



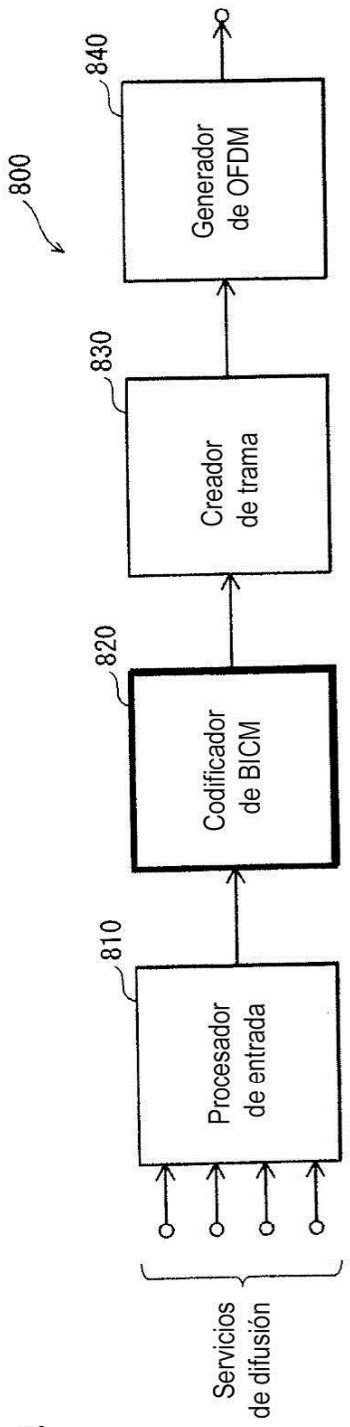


FIG. 8A

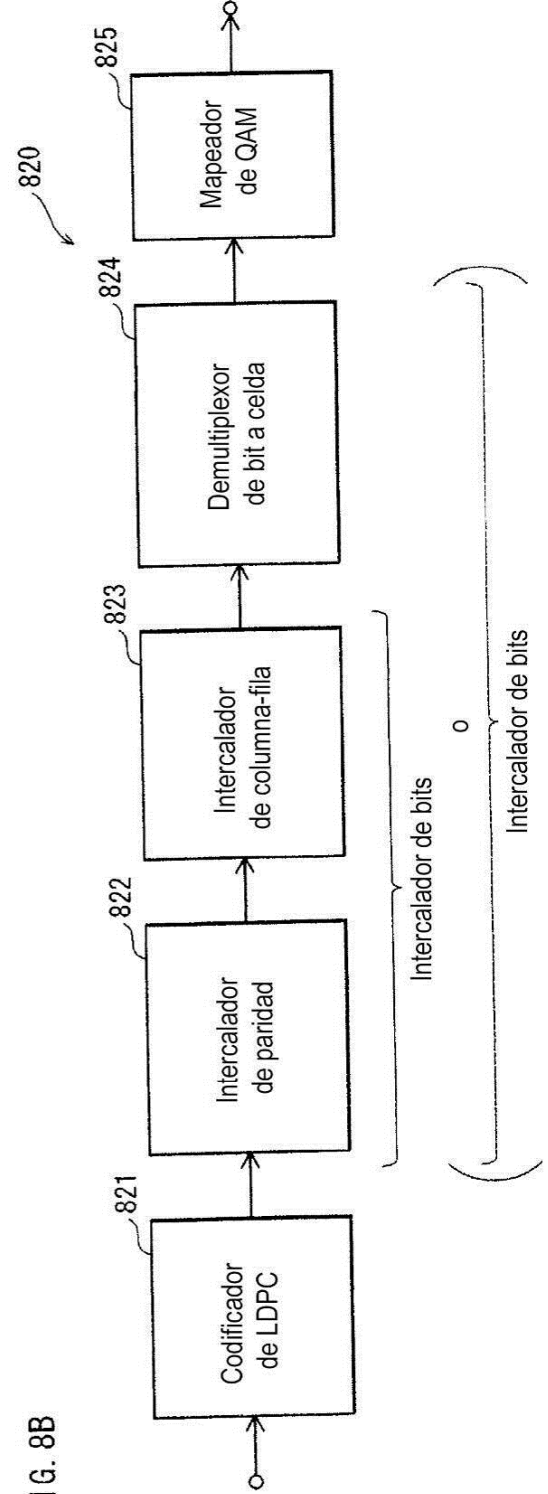


FIG. 8B

FIG. 9B

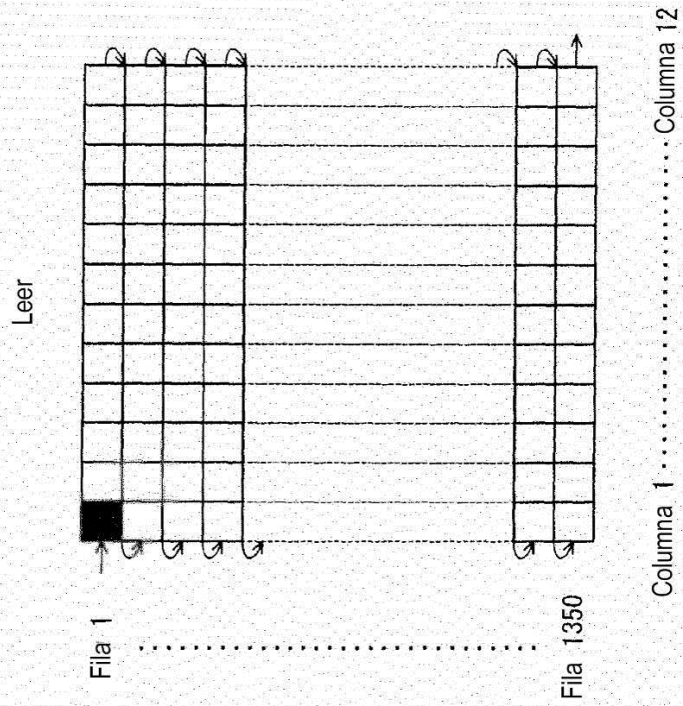


FIG. 9A

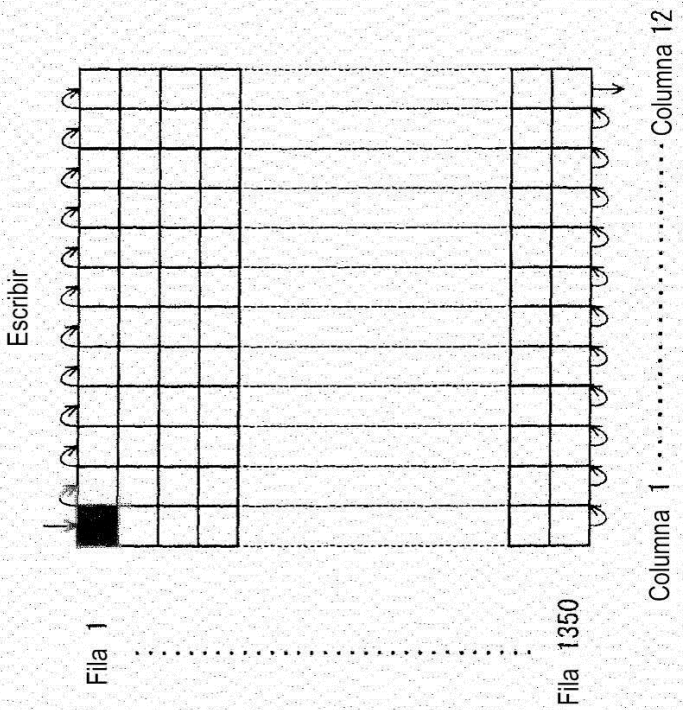


FIG. 10B

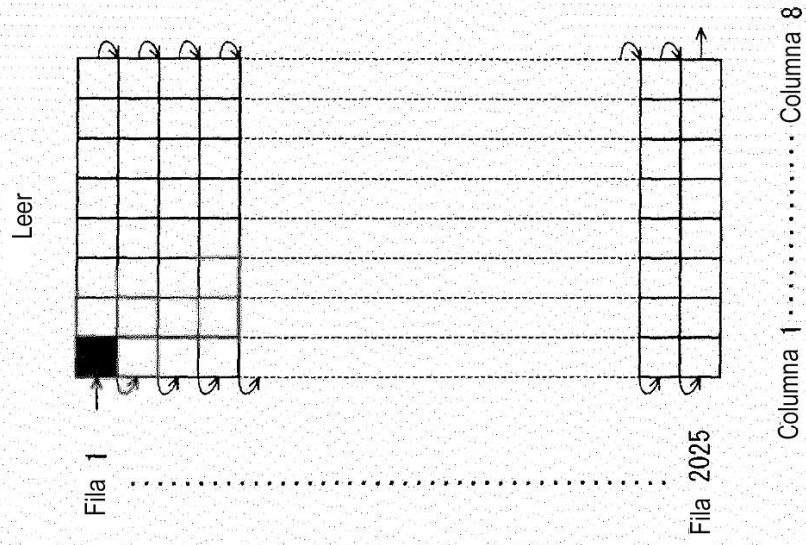


FIG. 10A

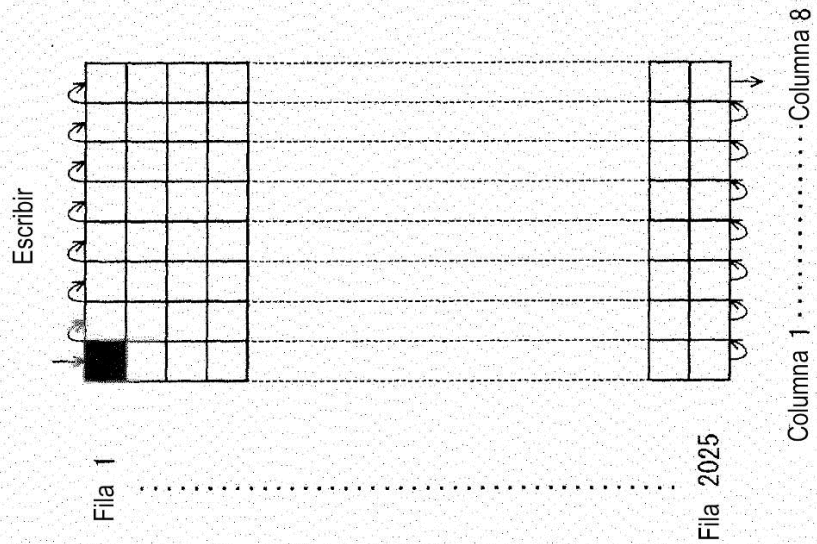


FIG. 11

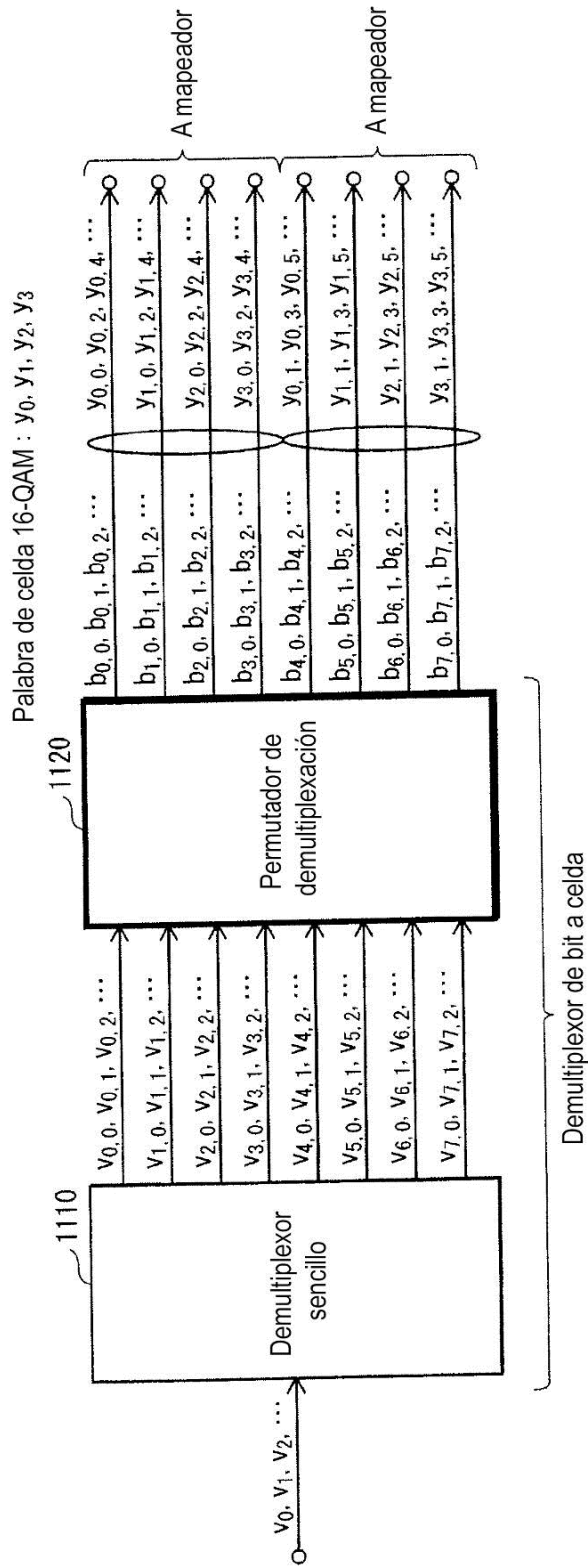


FIG. 12

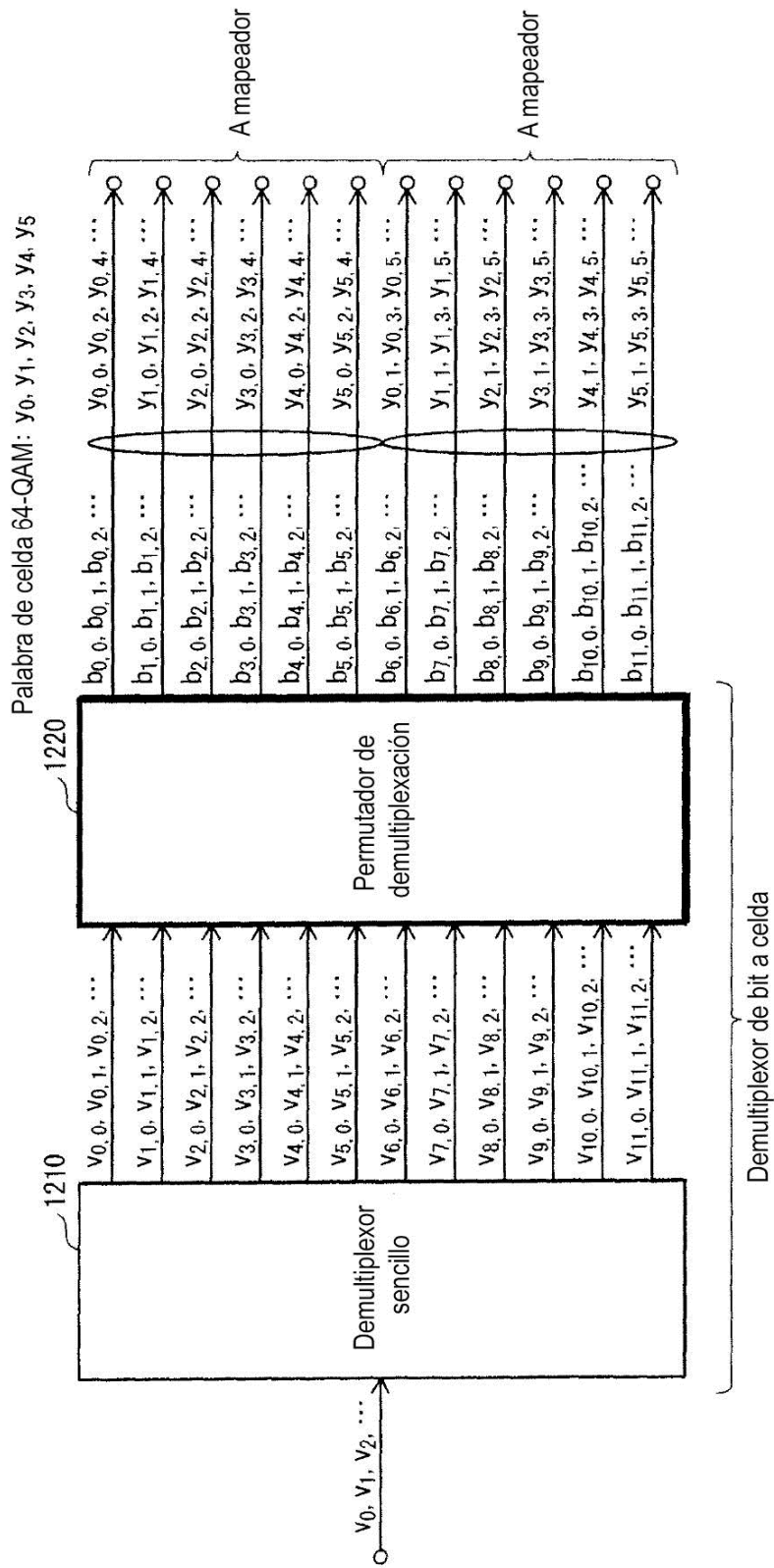
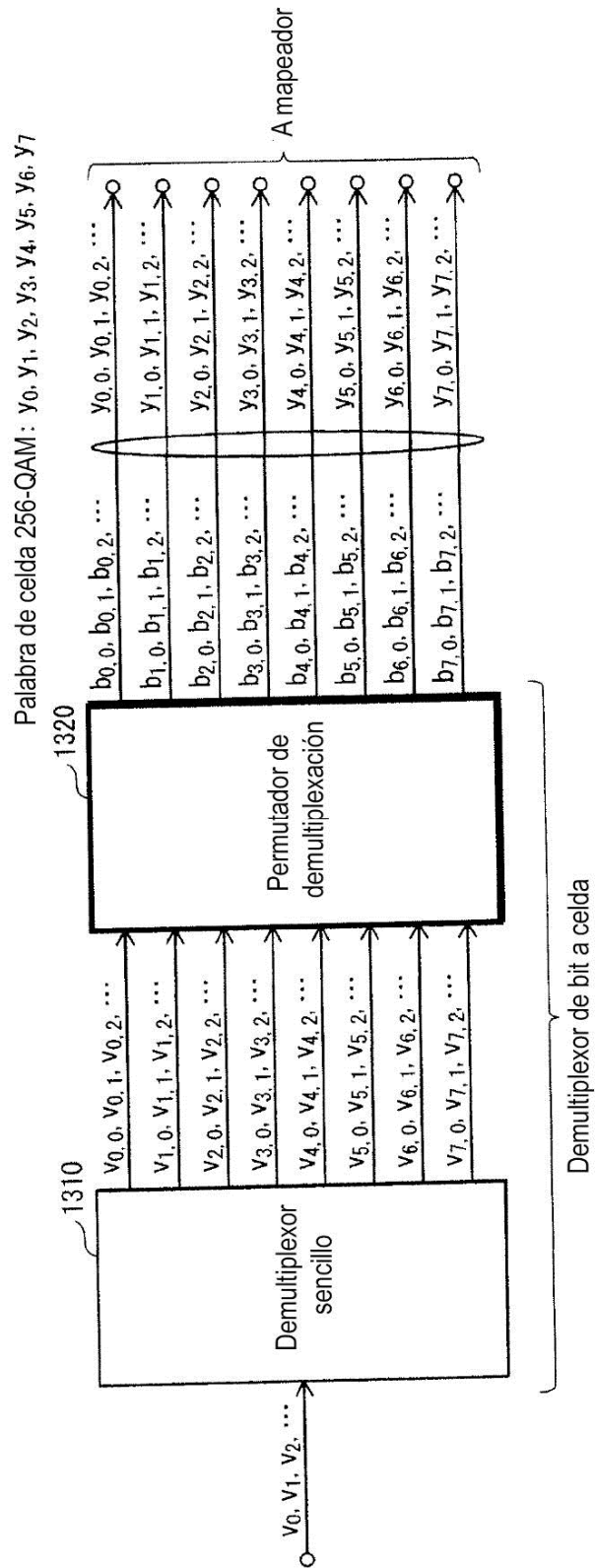
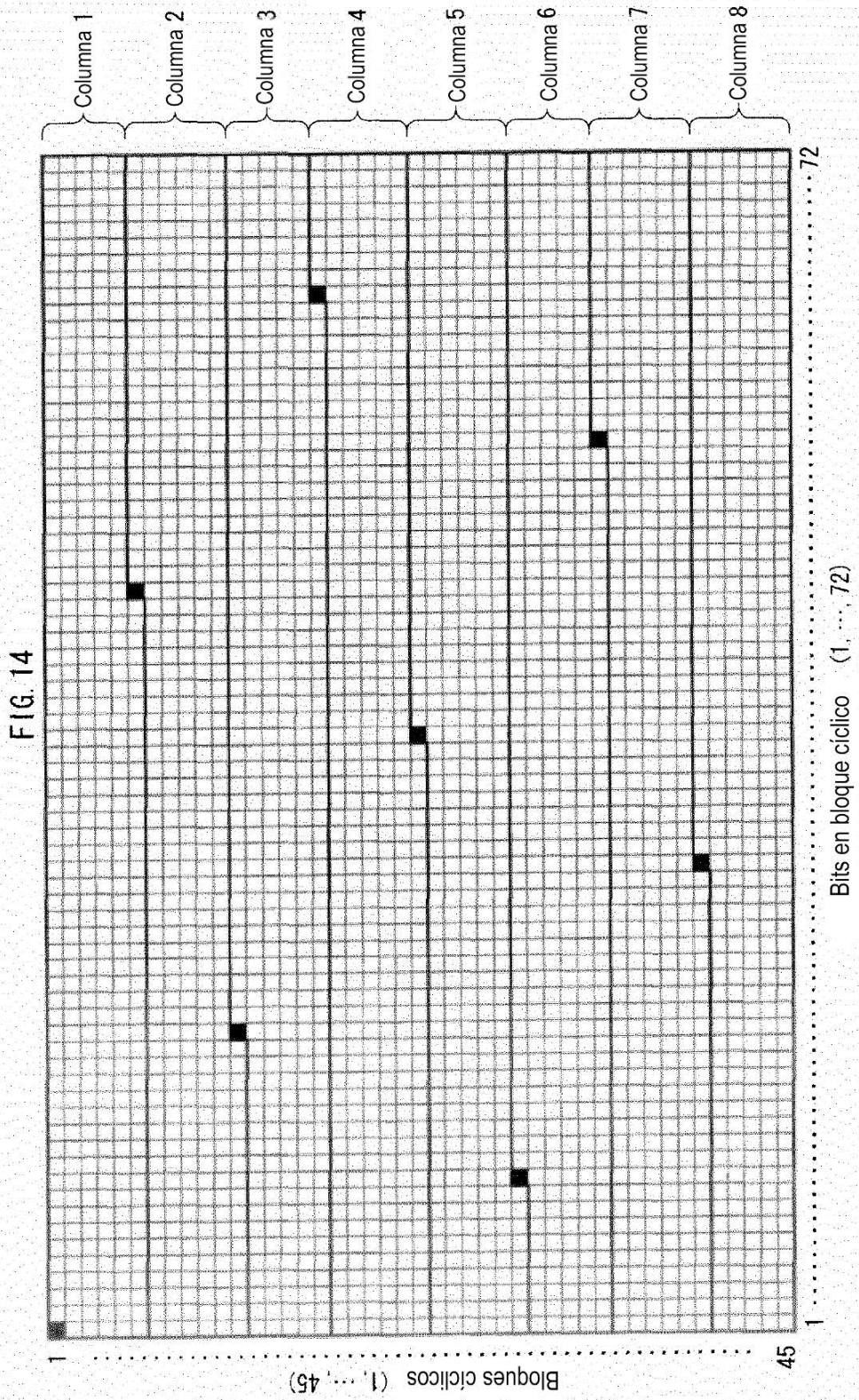
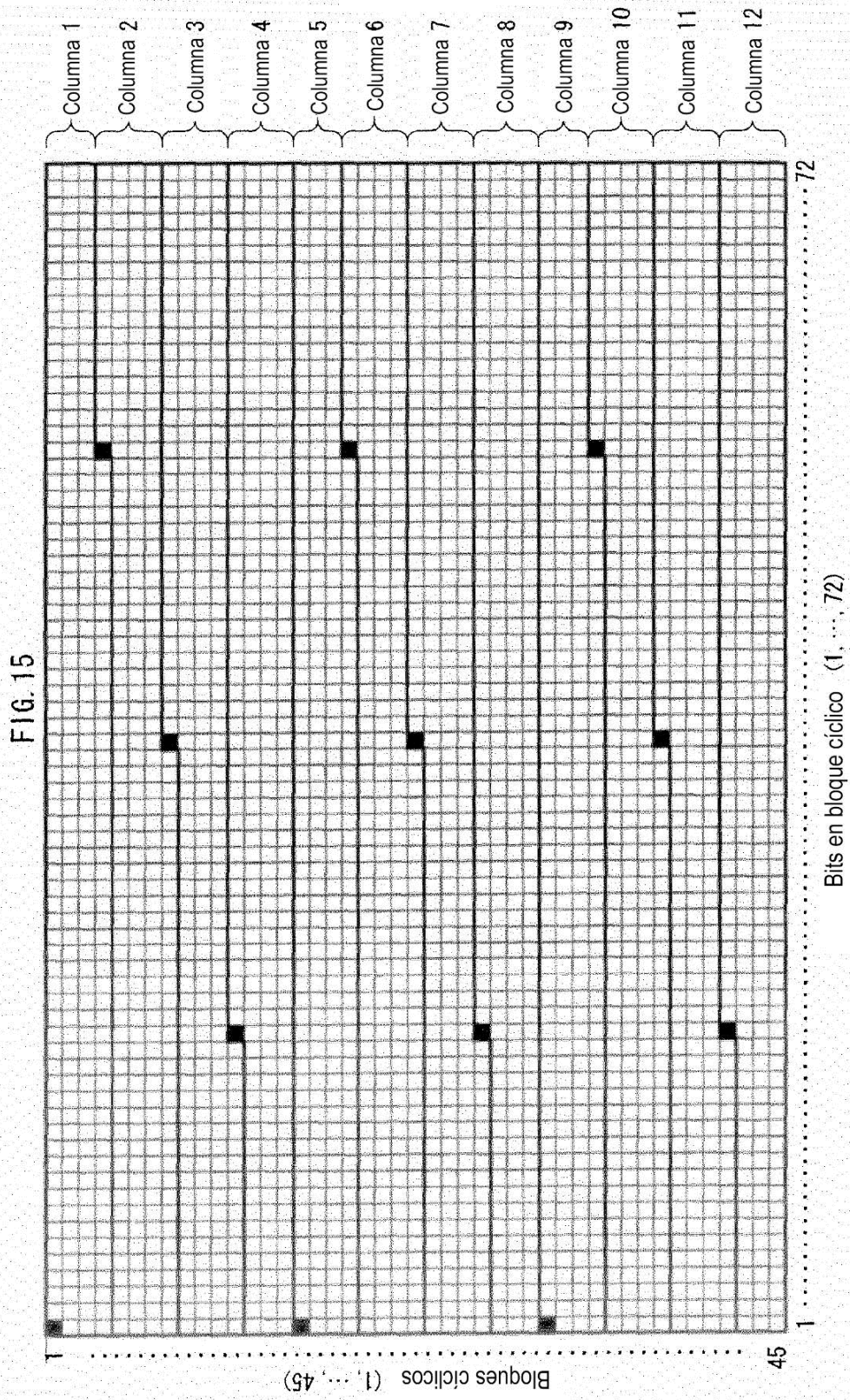


FIG. 13







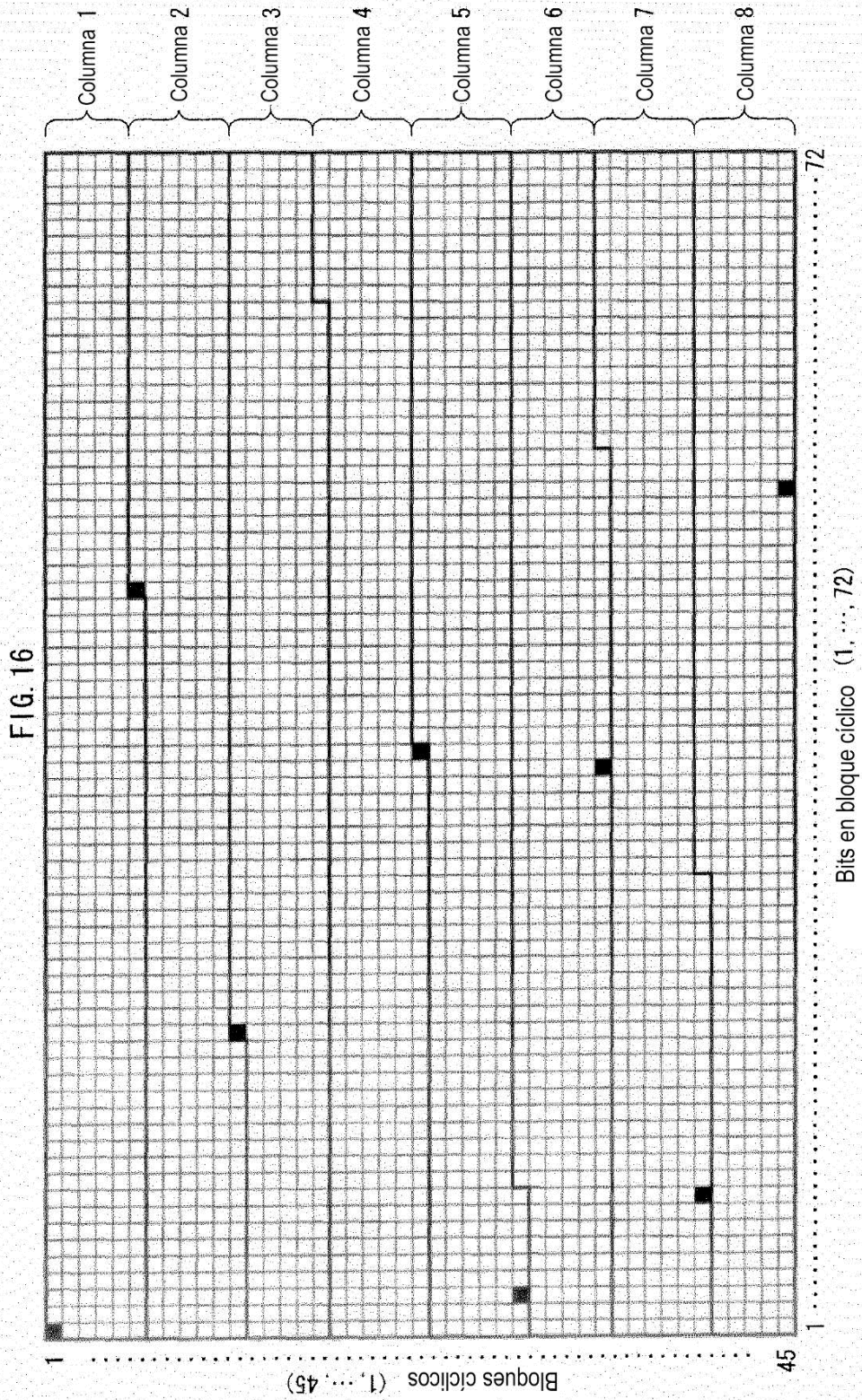


FIG. 17

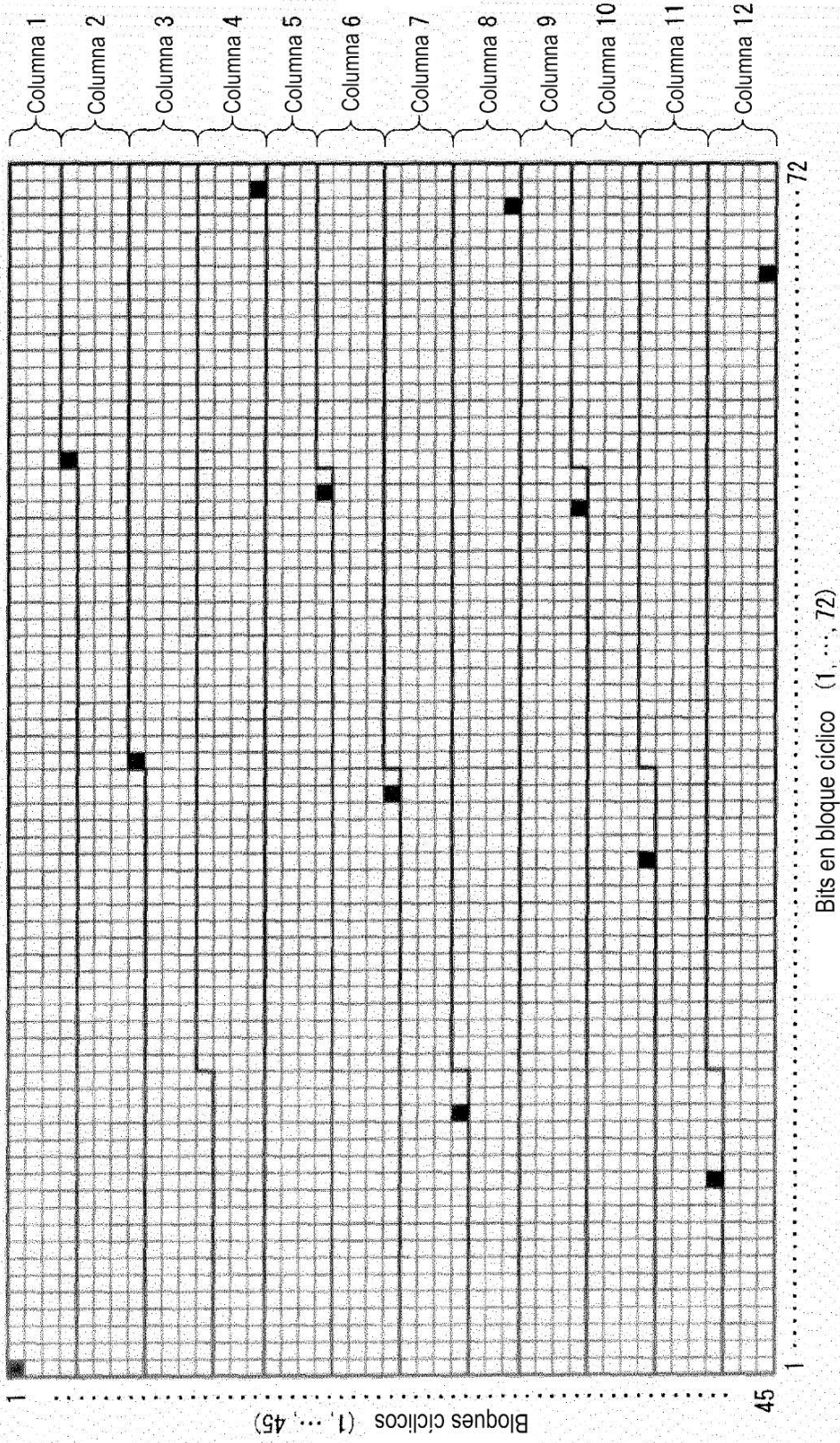


FIG. 18A

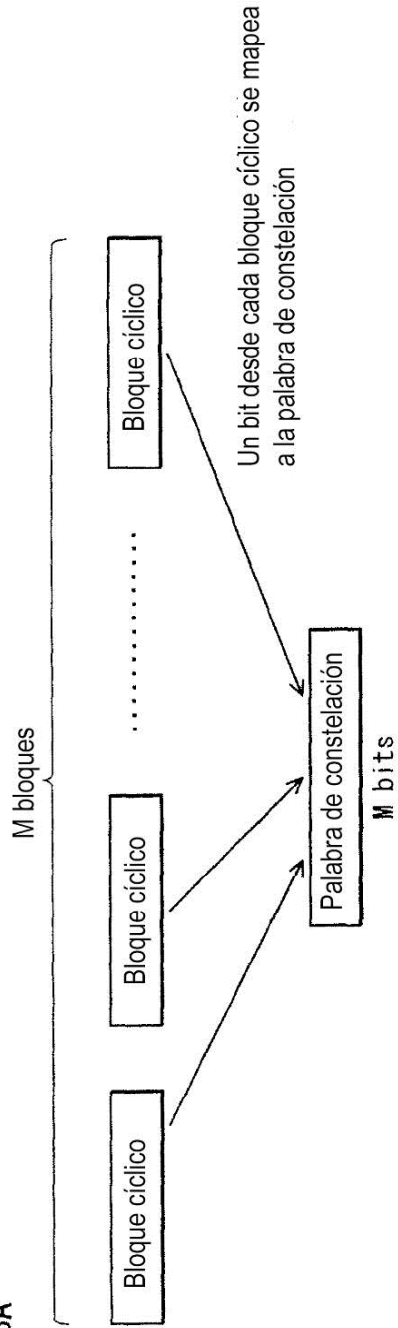


FIG. 18B

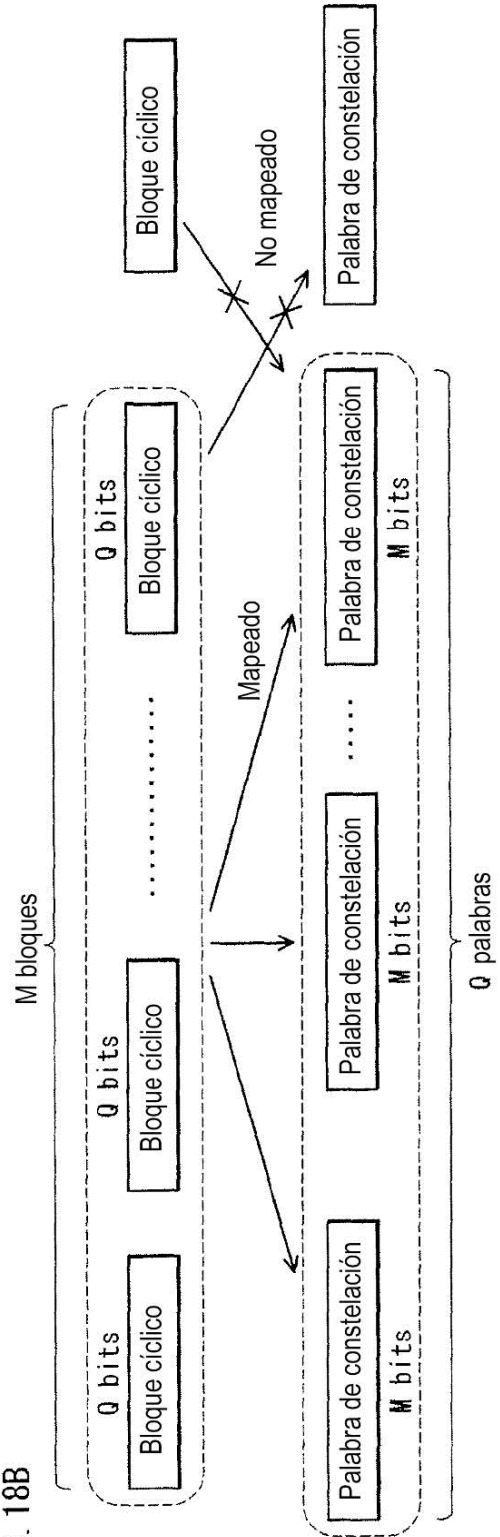


FIG. 19

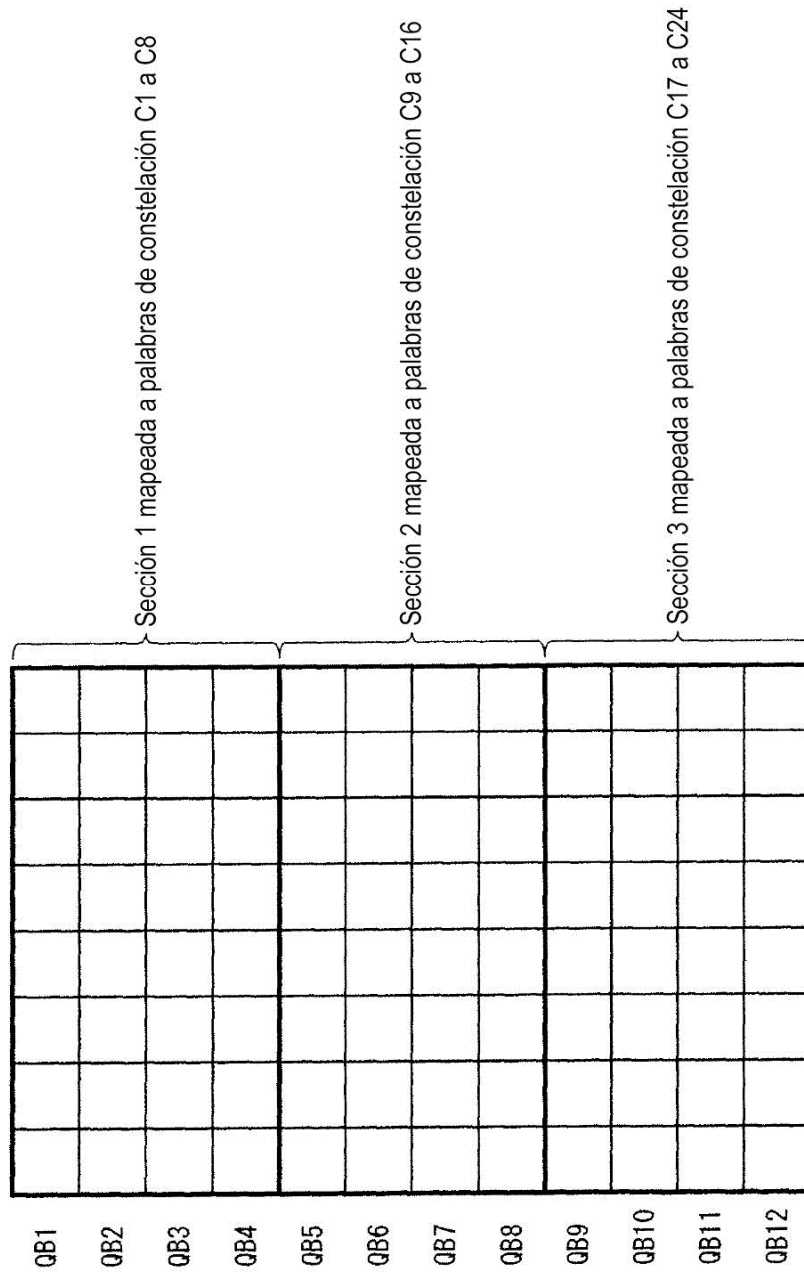


FIG. 20

2000

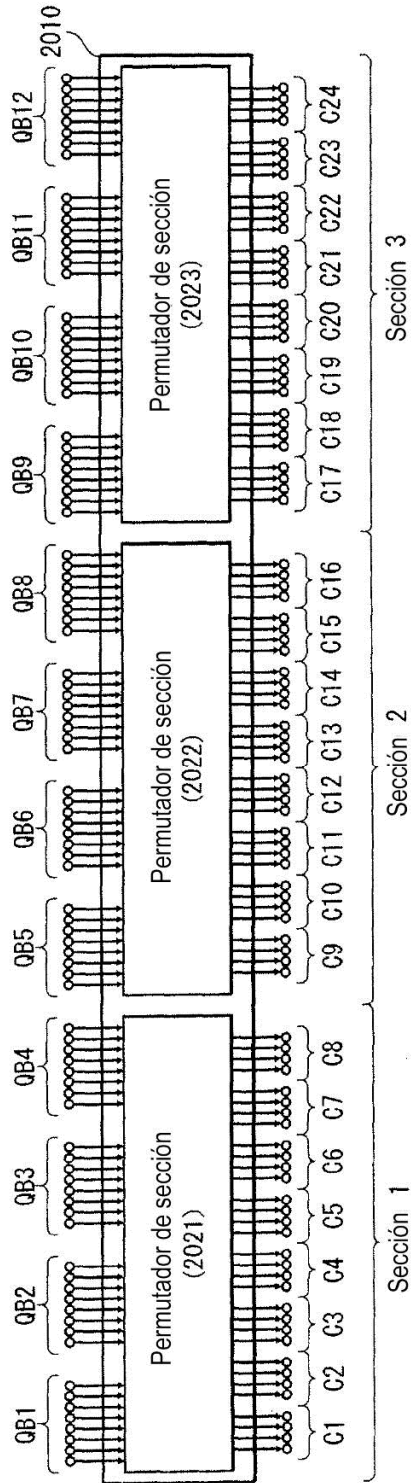


FIG. 21B

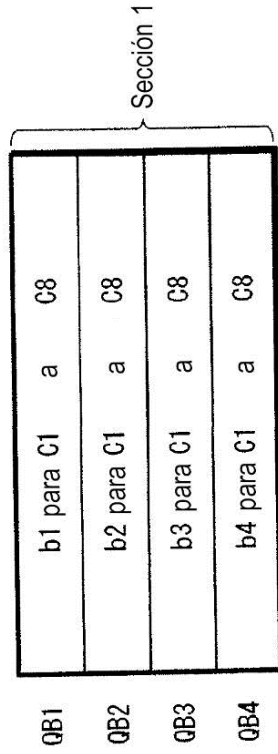


FIG. 21A

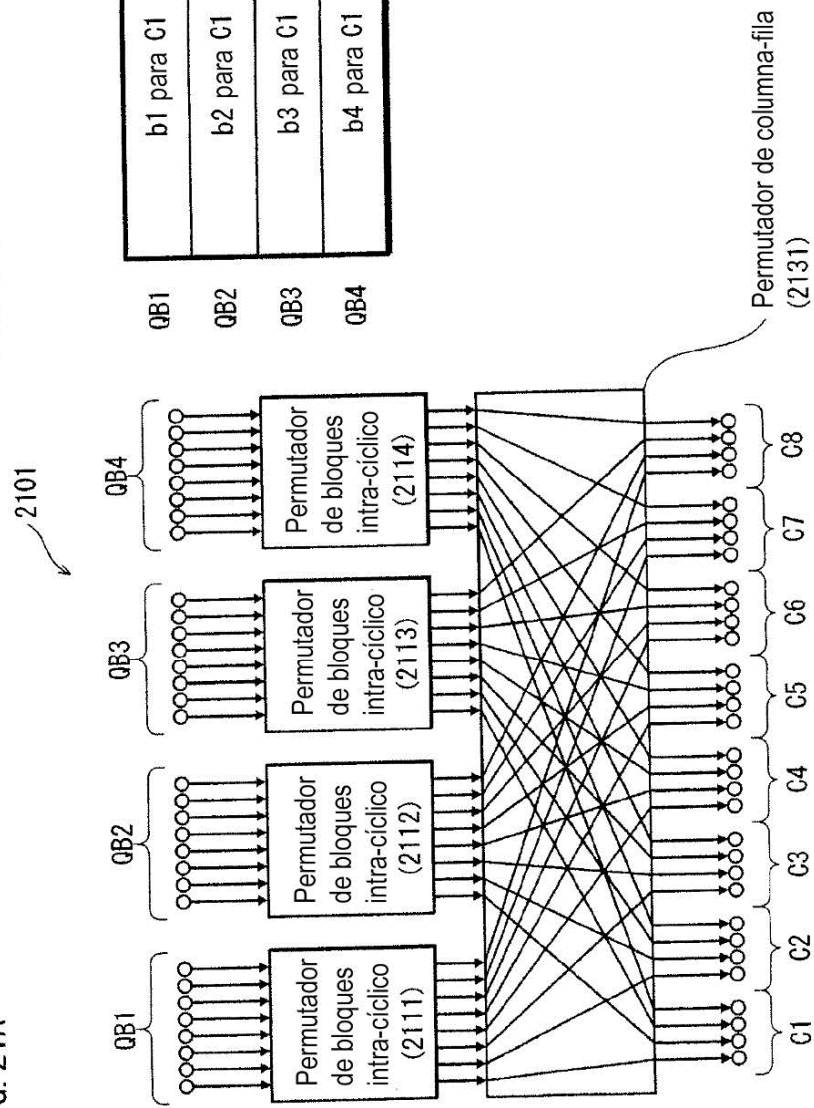


FIG. 22B

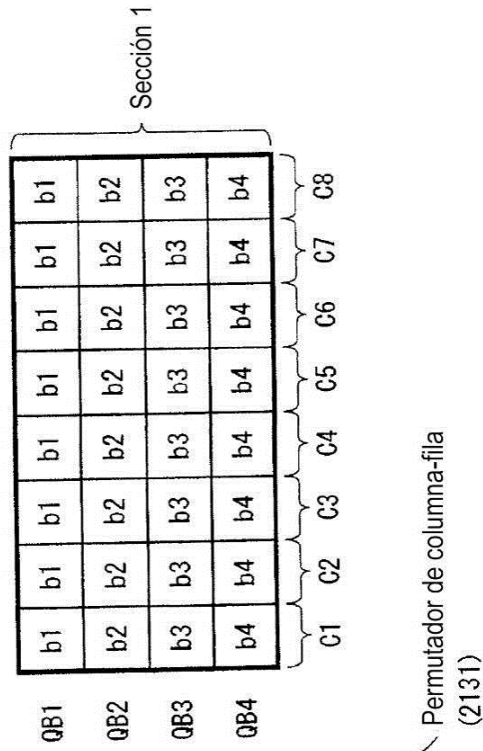


FIG. 22A

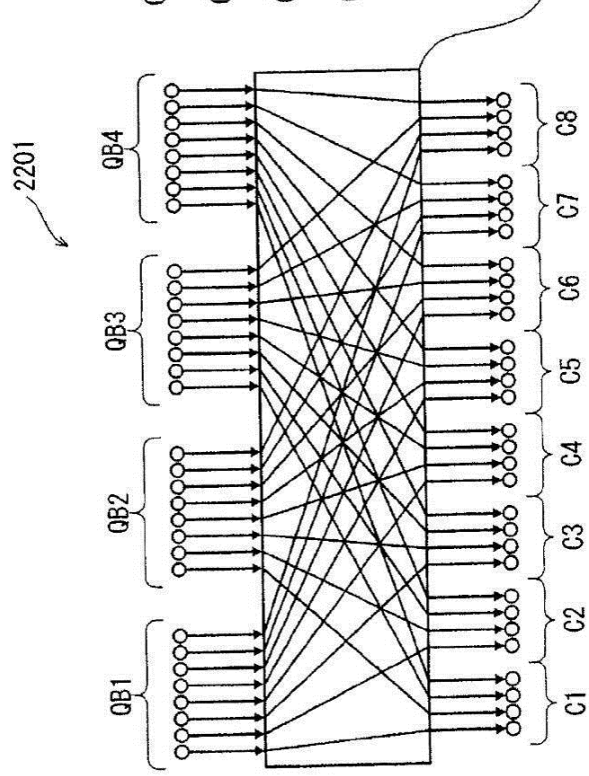


FIG. 23

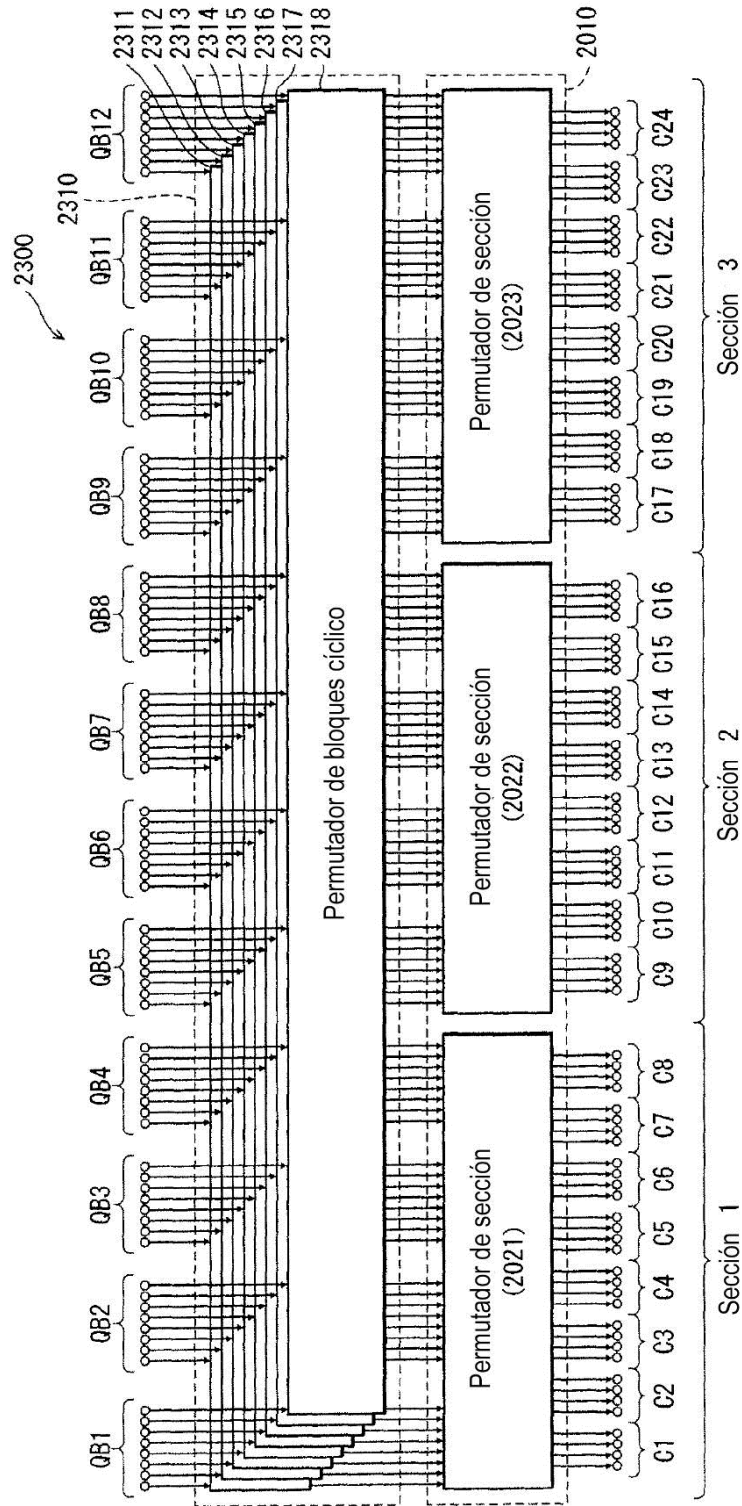


FIG. 24

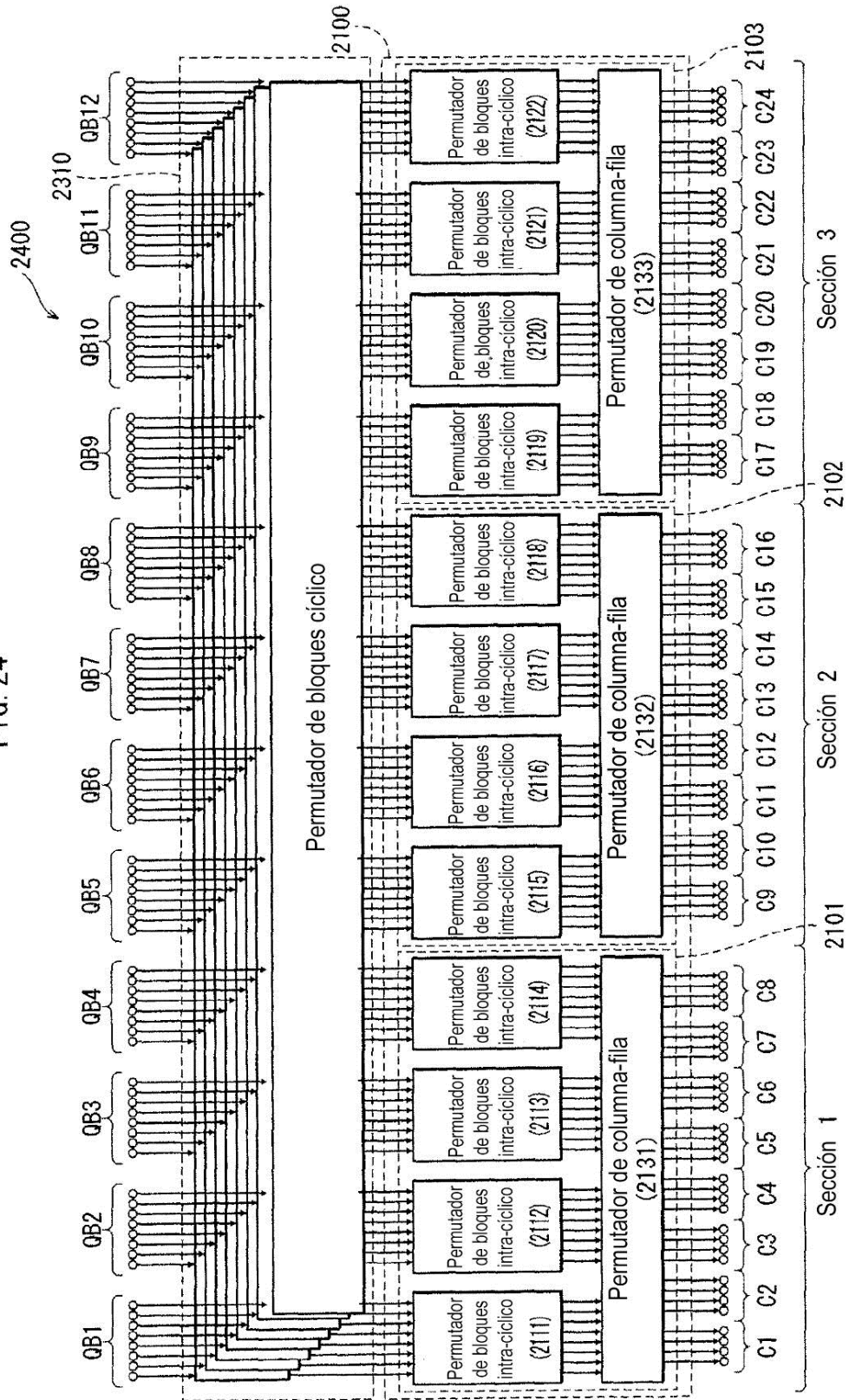
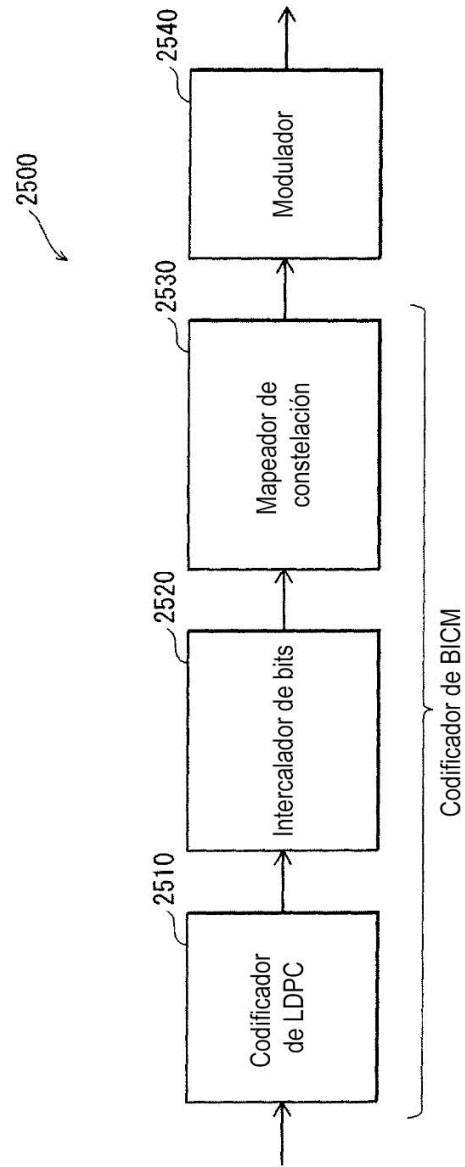


FIG. 25



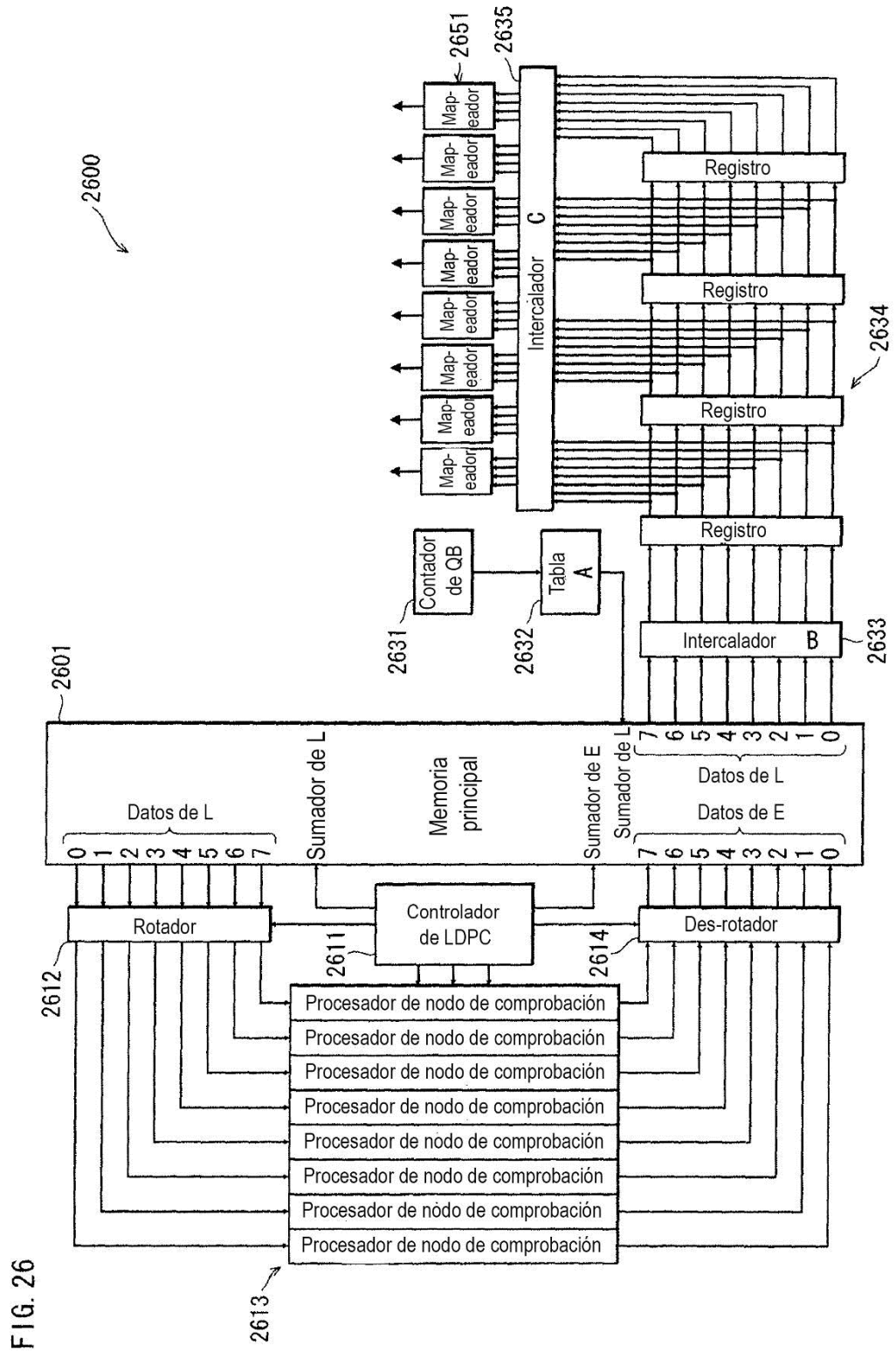


FIG. 26

FIG. 27

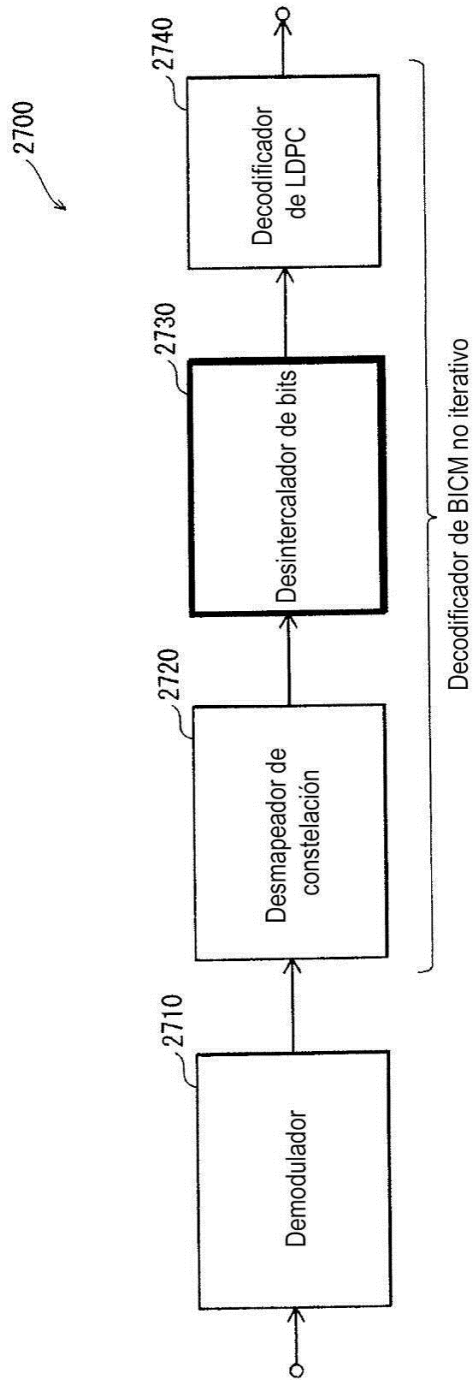
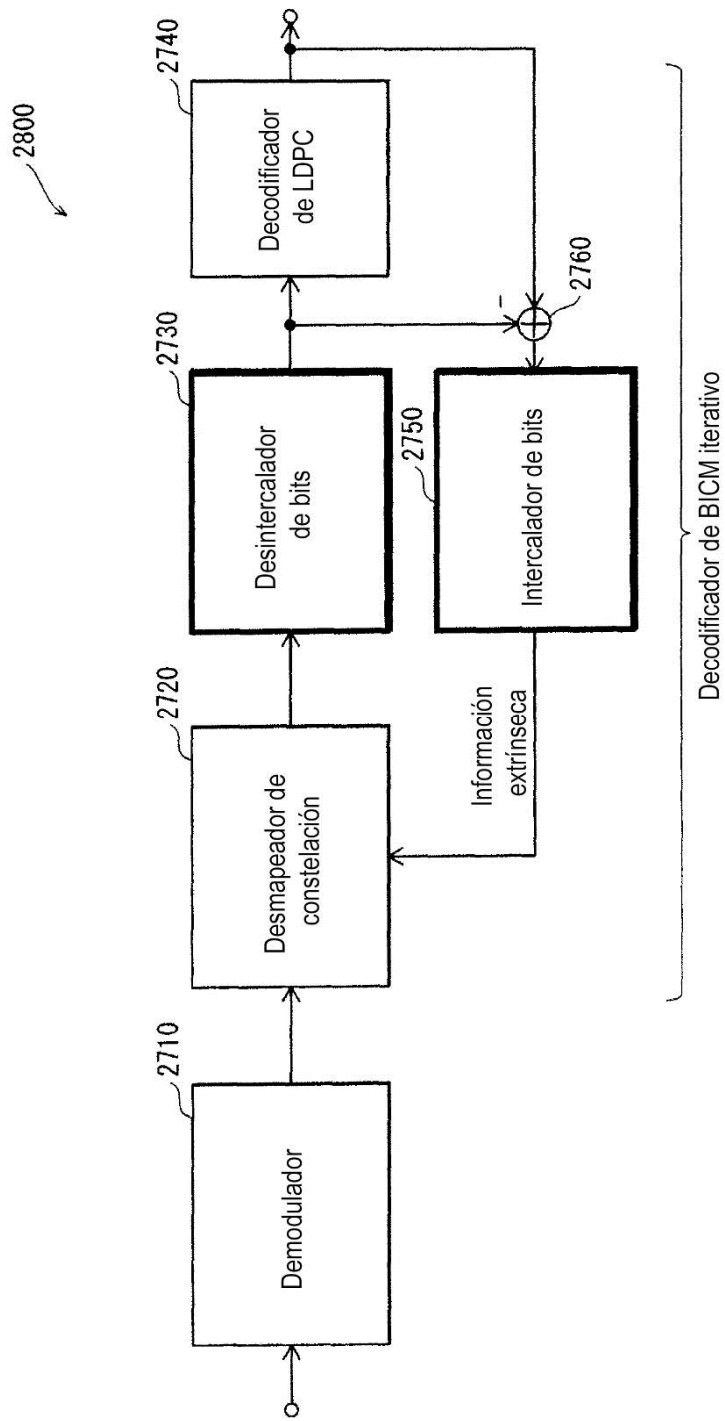


FIG. 28



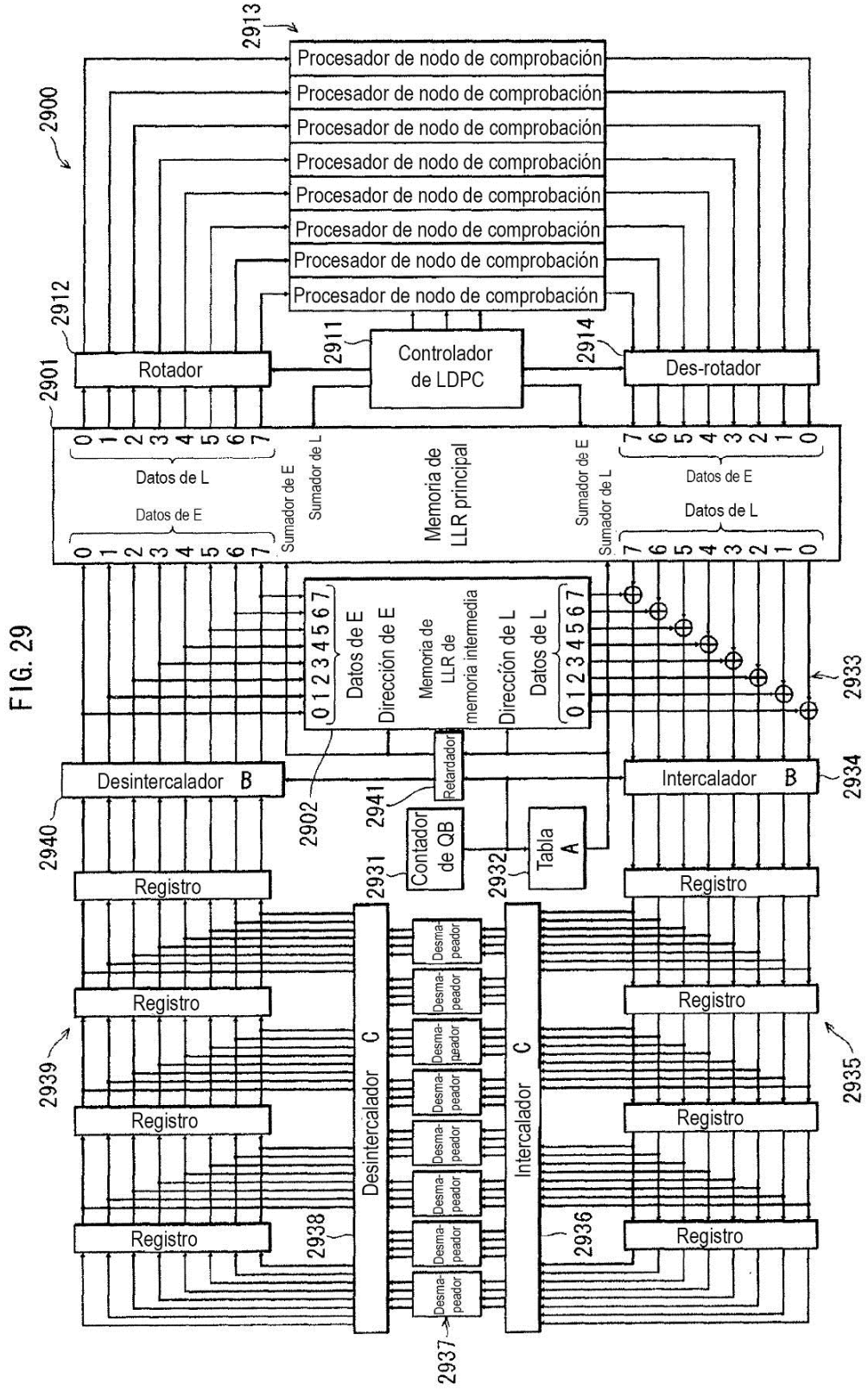


FIG. 30

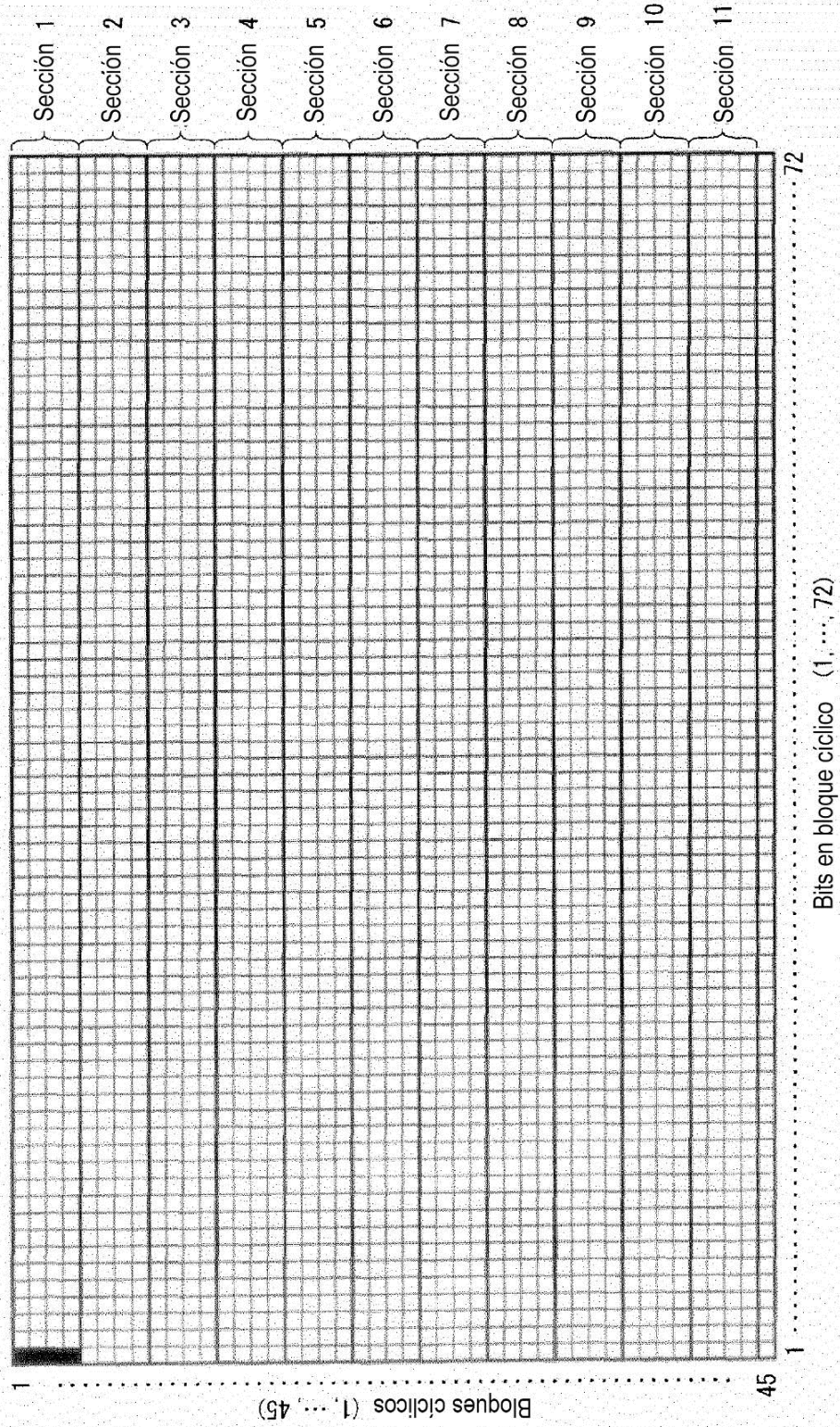


FIG. 31A

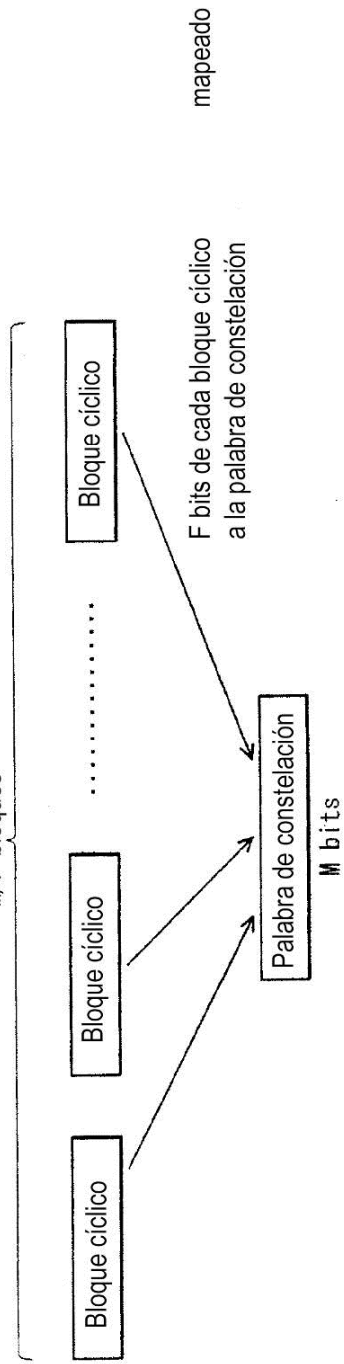


FIG. 31B

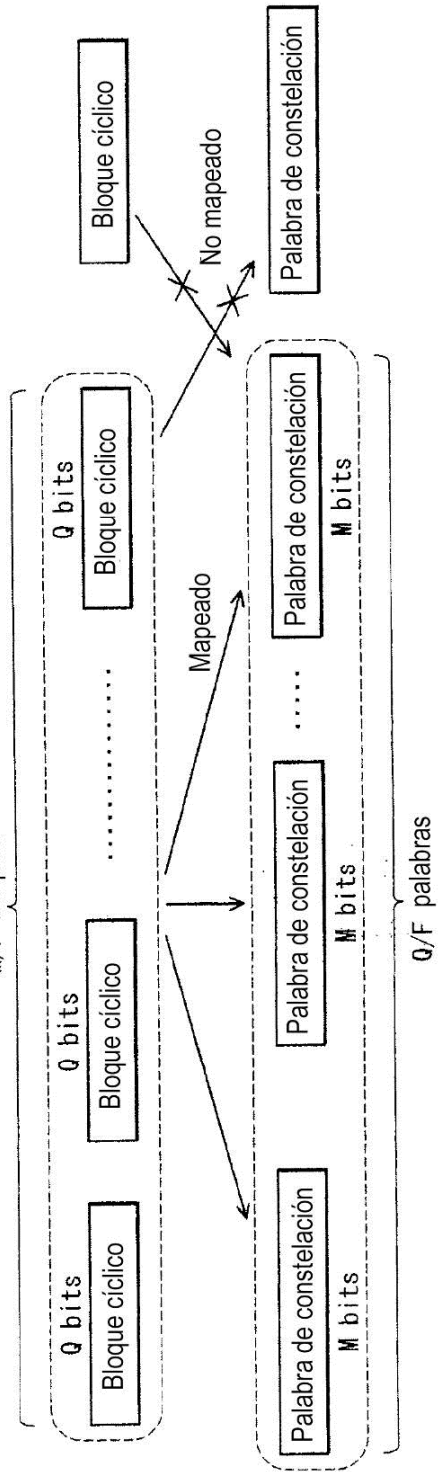


FIG. 32

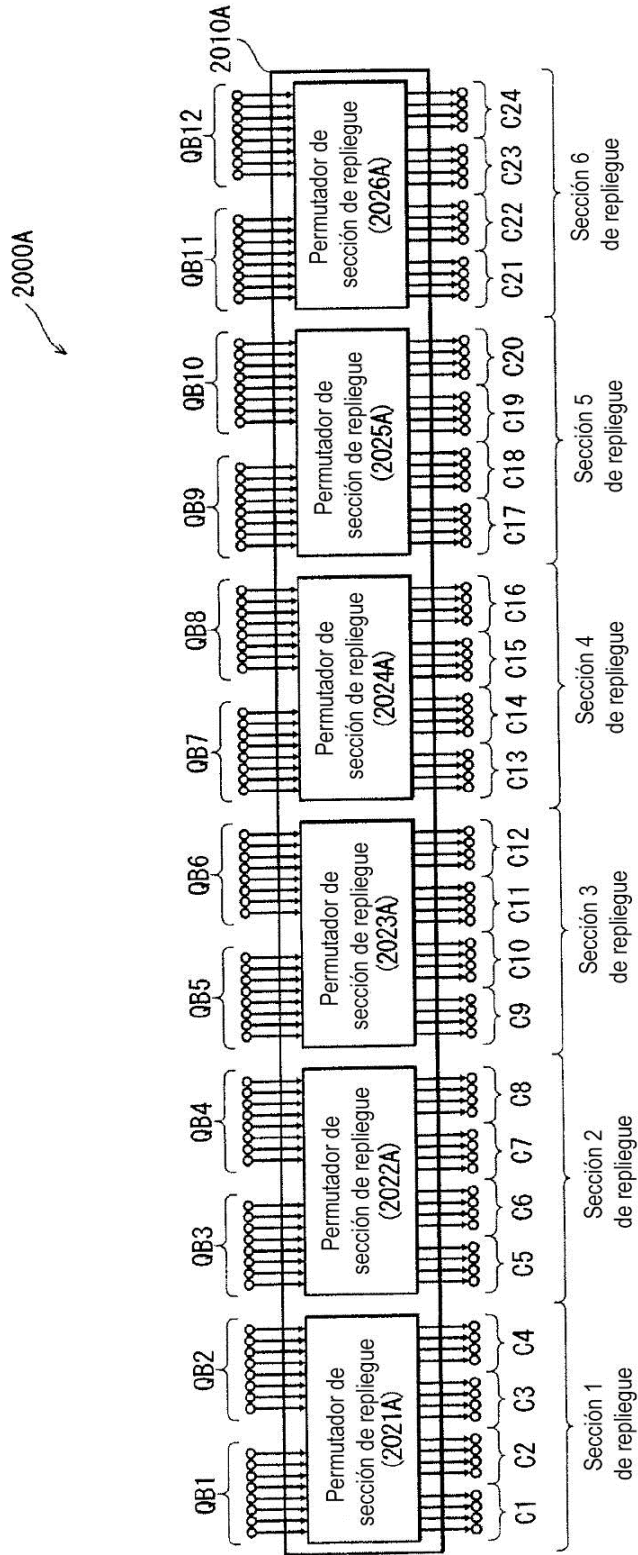


FIG. 33A

Sin repliegue QB1 QB2 QB3 QB4	b1 C1	b1 C2	b1 C3	b1 C4	b1 C5	b1 C6	b1 C7	b1 C8
	b2 C1	b2 C2	b2 C3	b2 C4	b2 C5	b2 C6	b2 C7	b2 C8
	b3 C1	b3 C2	b3 C3	b3 C4	b3 C5	b3 C6	b3 C7	b3 C8
	b4 C1	b4 C2	b4 C3	b4 C4	b4 C5	b4 C6	b4 C7	b4 C8
	Sección 1 de repliegue (Sección 1)							

FIG. 33B

Con repliegue (F = 2) QB1 QB2 QB3 QB4	b1 C1	b3 C1	b1 C2	b3 C2	b1 C3	b3 C3	b1 C4	b3 C4
	b2 C1	b4 C1	b2 C2	b4 C2	b2 C3	b4 C3	b2 C4	b4 C4
	b1 C5	b3 C5	b1 C6	b3 C6	b1 C7	b3 C7	b1 C8	b3 C8
	b2 C5	b4 C5	b2 C6	b4 C6	b2 C7	b4 C7	b2 C8	b4 C8
	Sección 1 de repliegue				Sección 2 de repliegue			

FIG. 34B

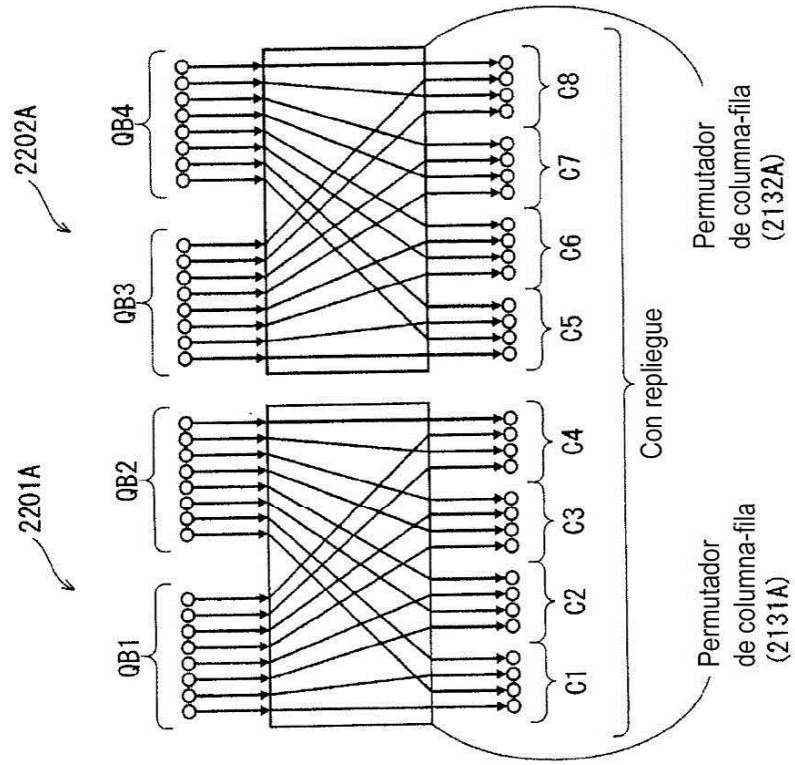


FIG. 34A

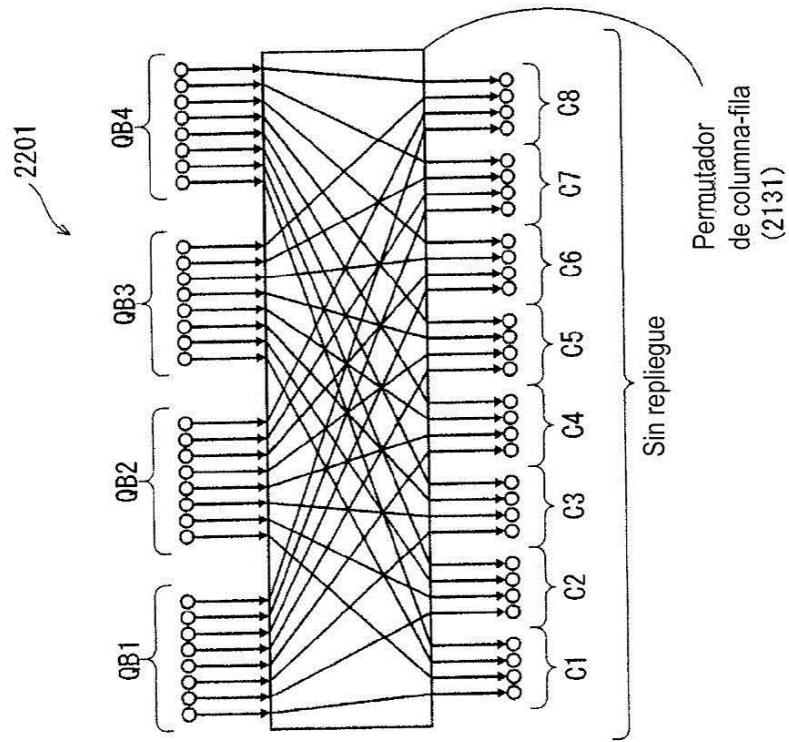


FIG. 35

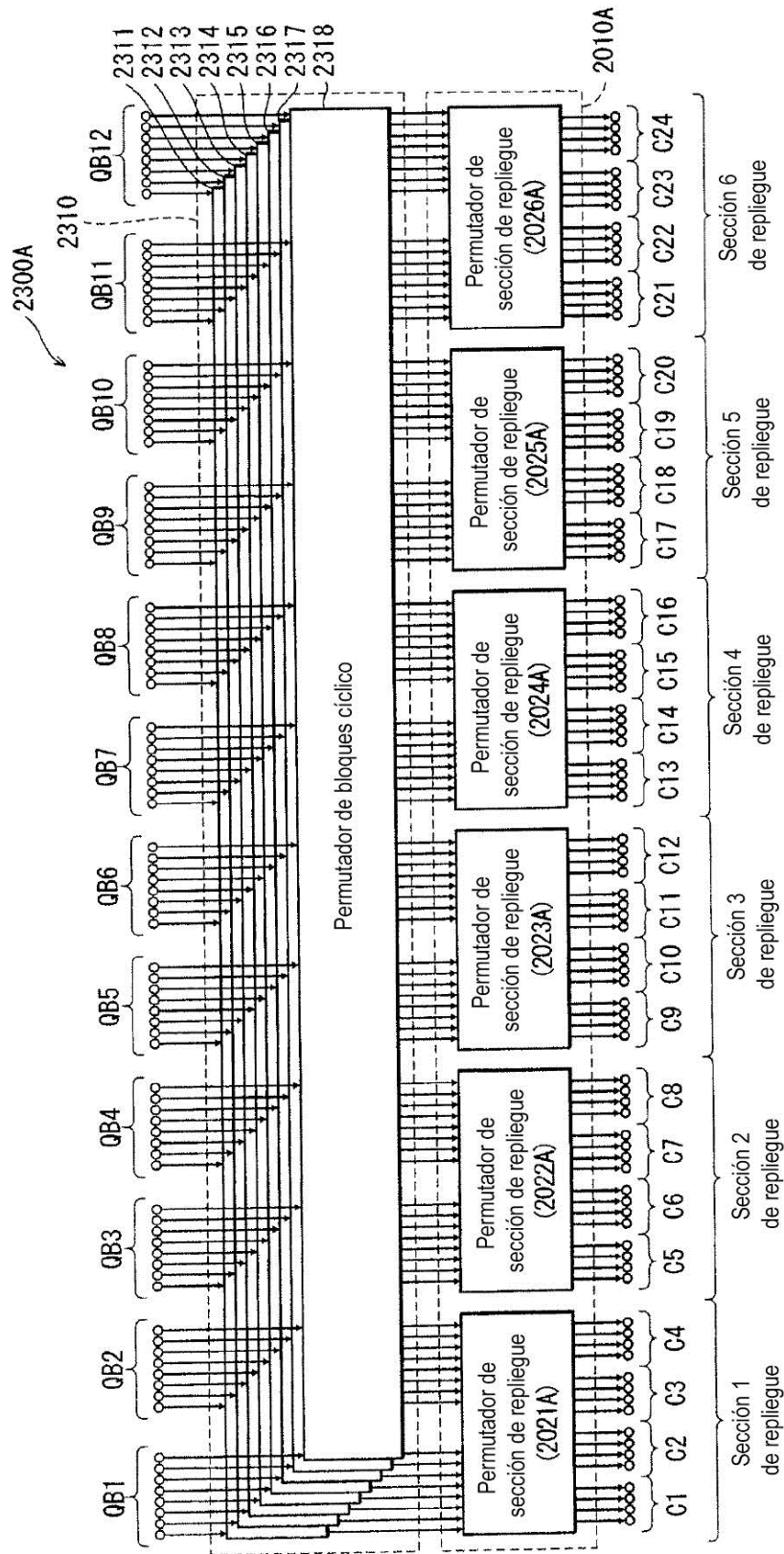


FIG. 36

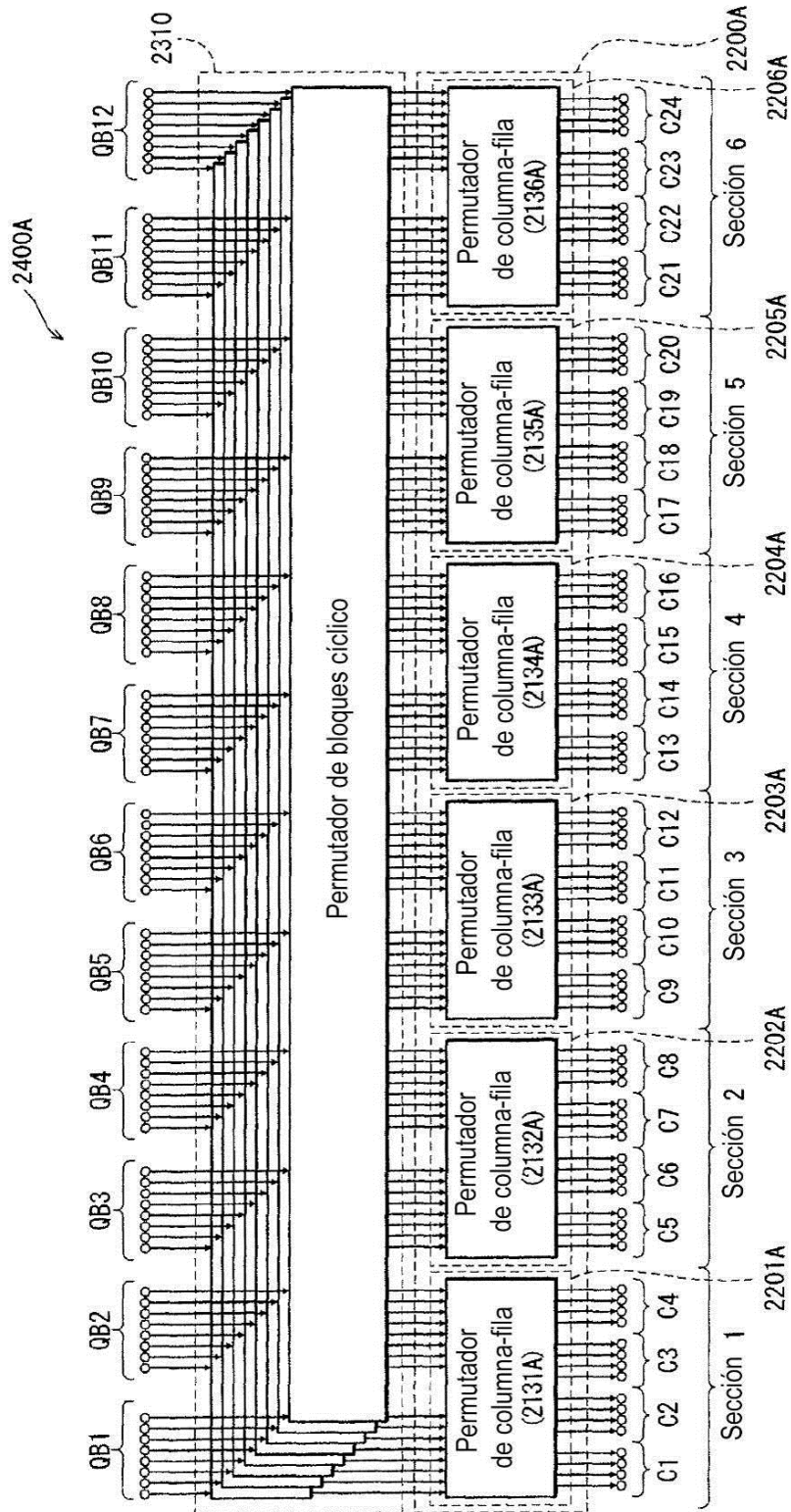


FIG. 37

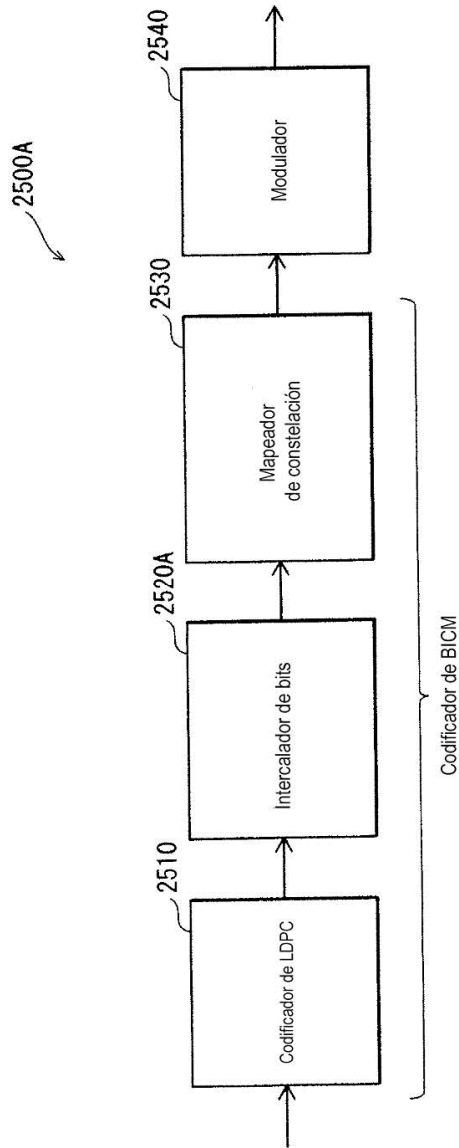


FIG. 38

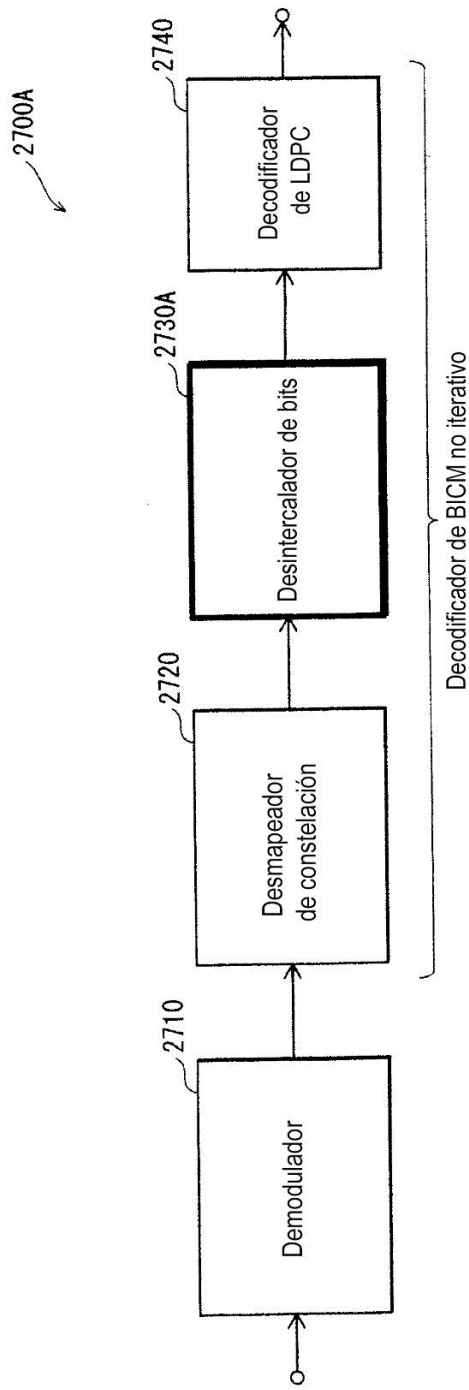


FIG. 39

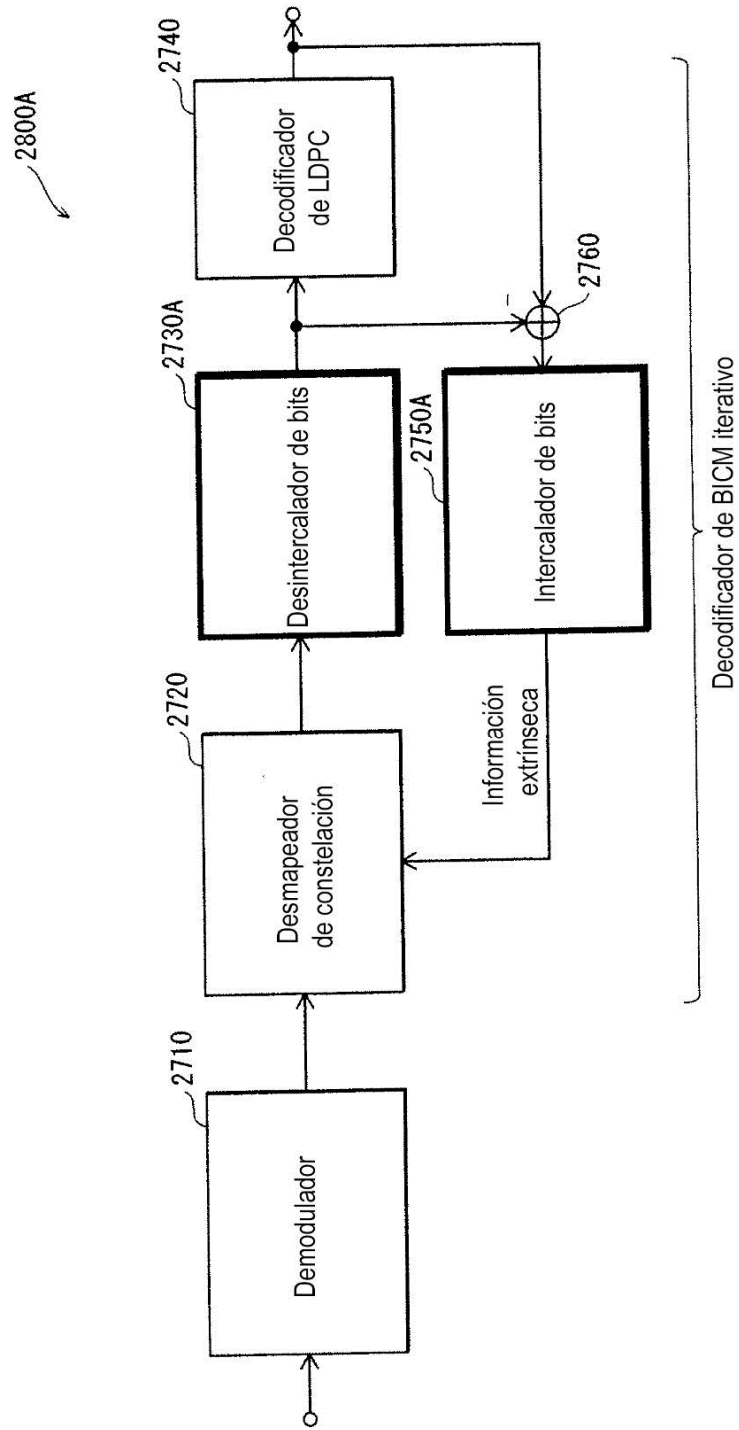


FIG. 40

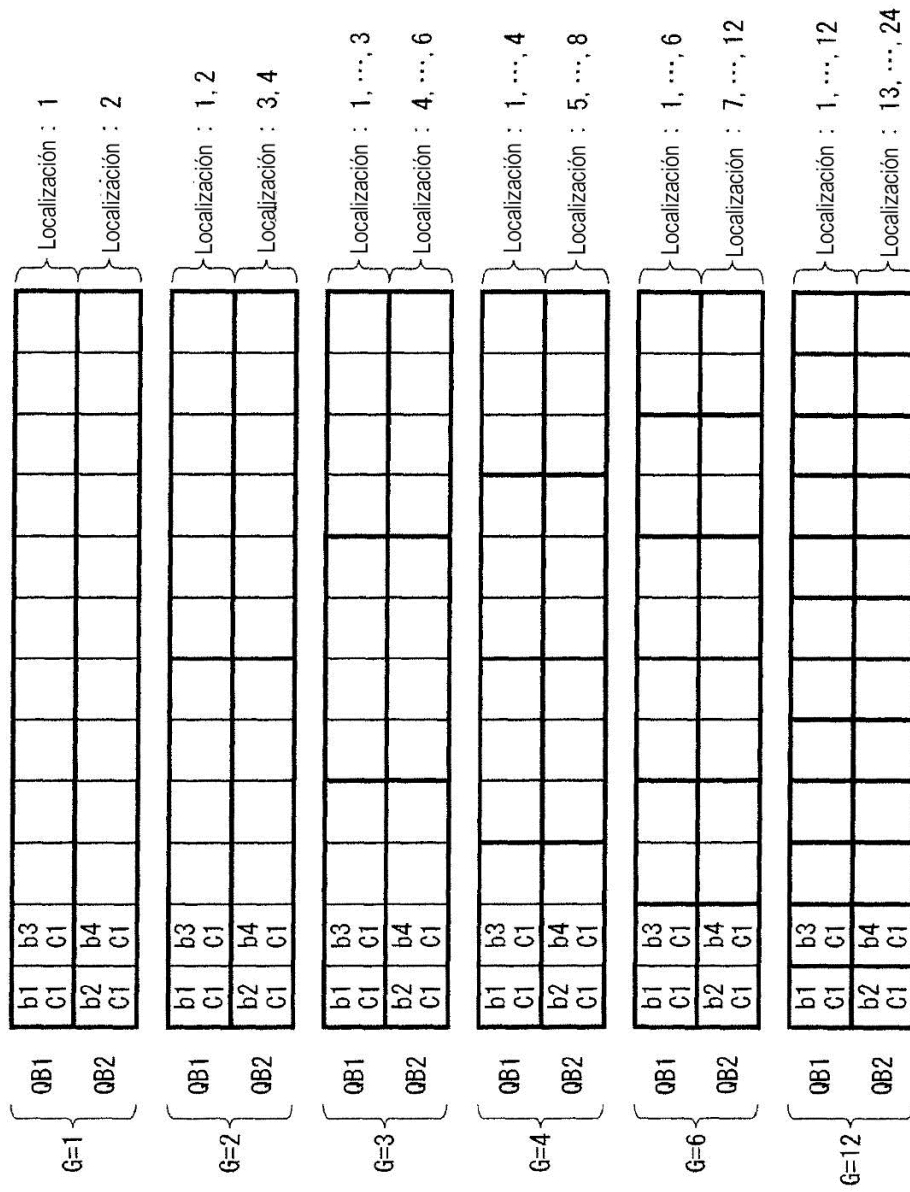


FIG. 41

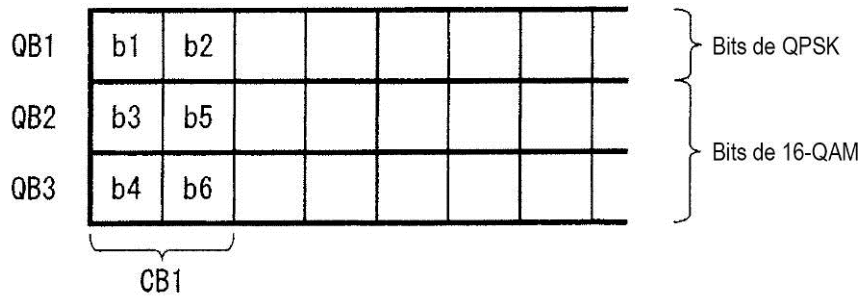


FIG. 42

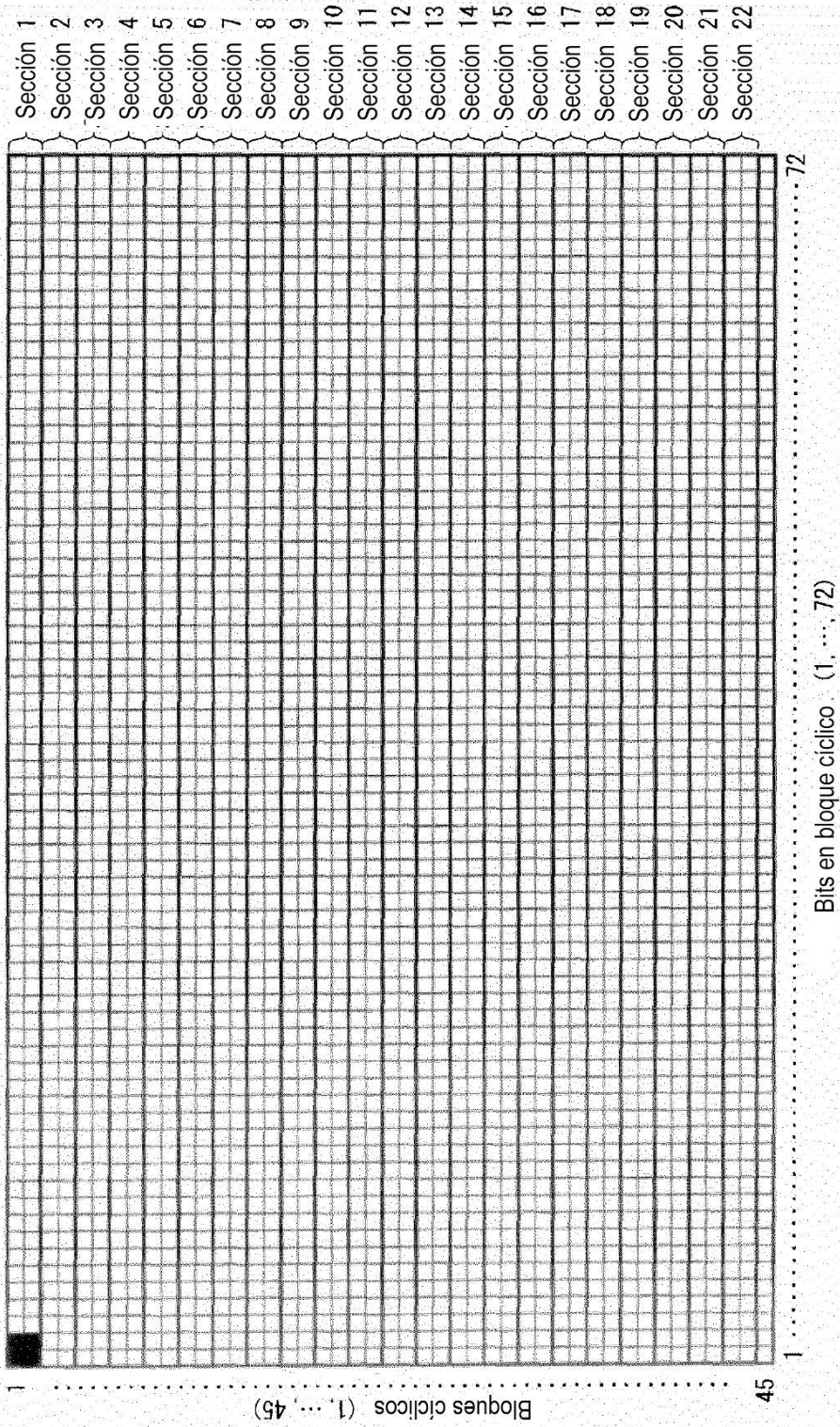


FIG. 43

2000B

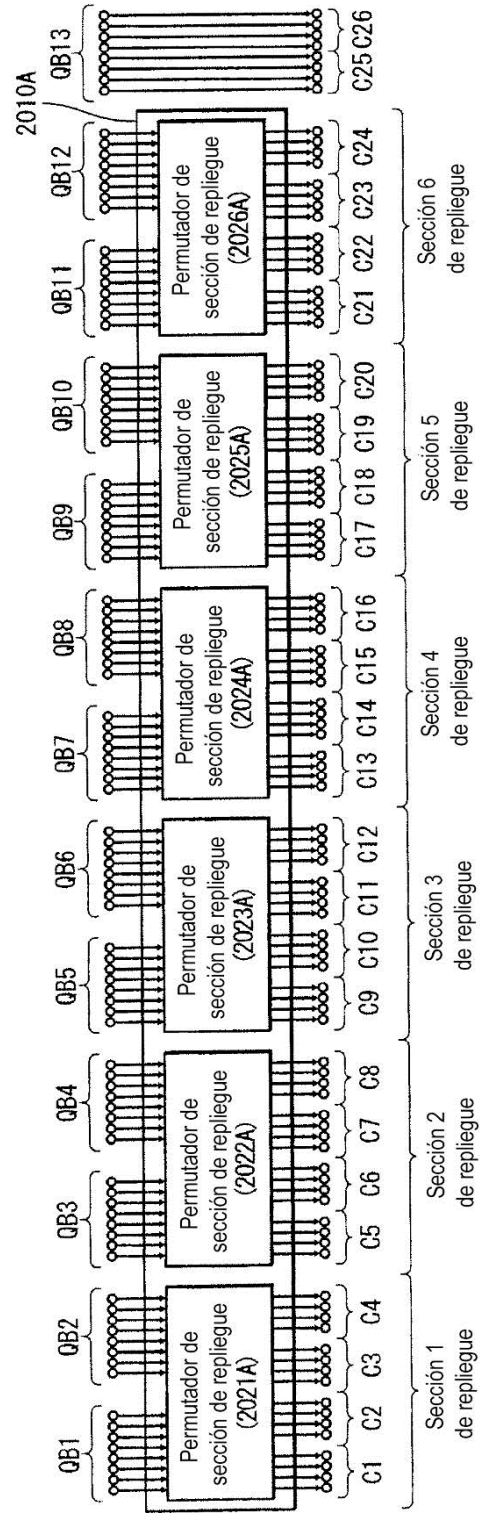


FIG. 44A

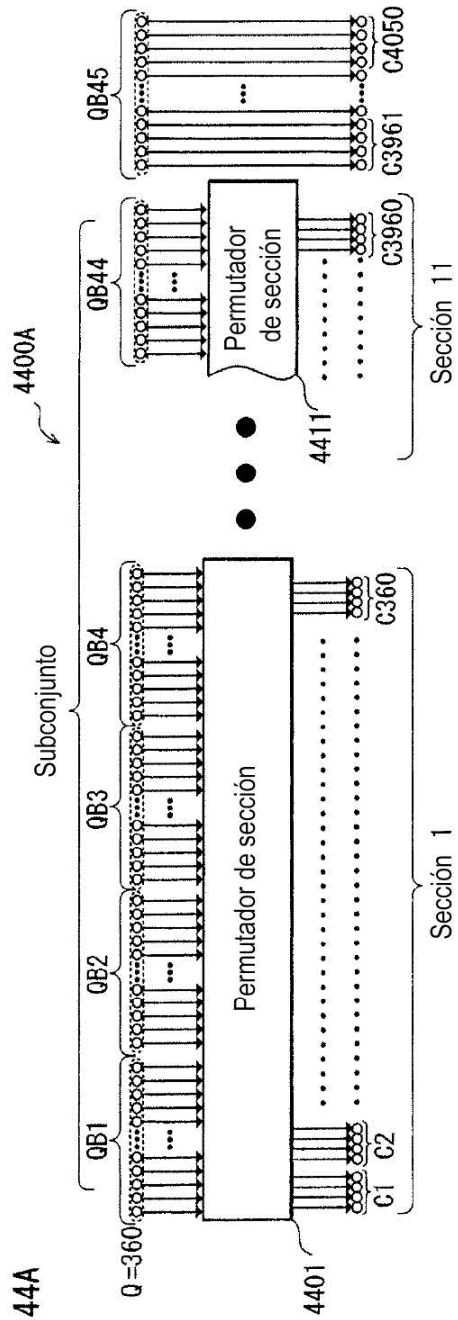


FIG. 44B

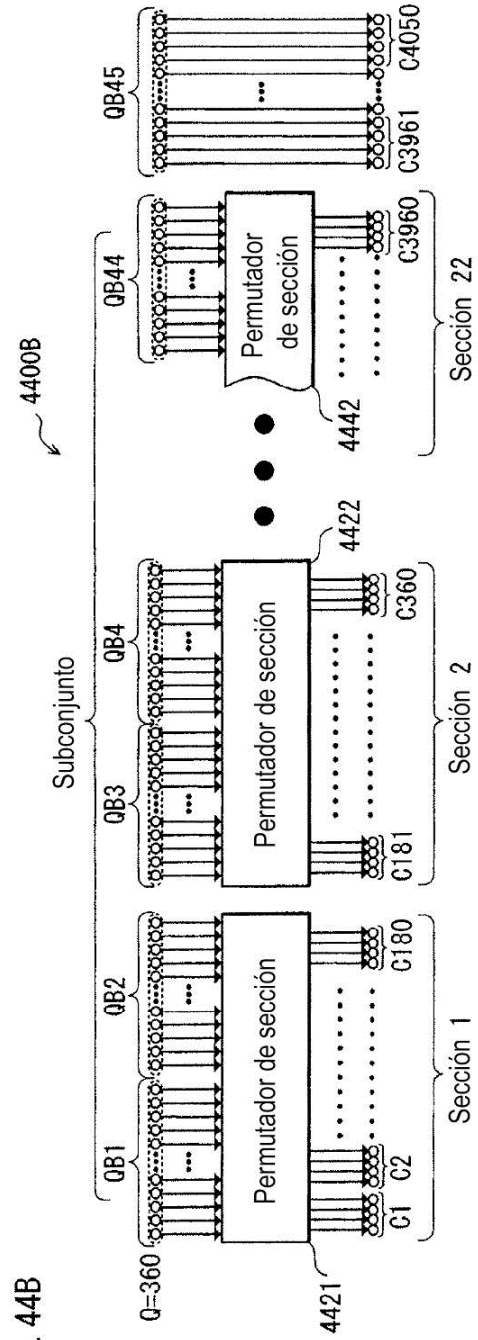


FIG. 45A

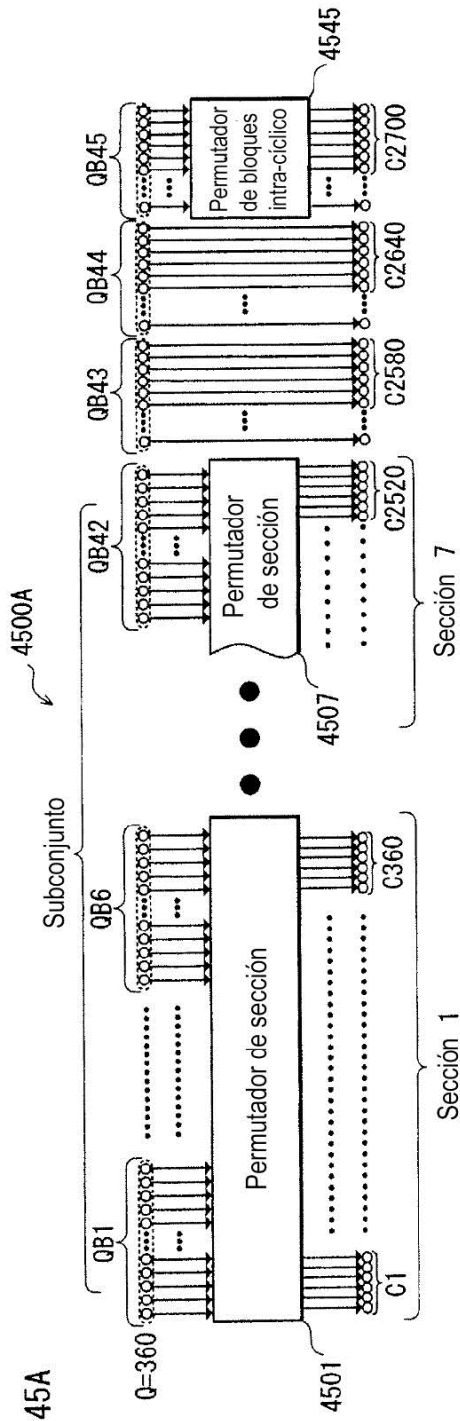


FIG. 45B

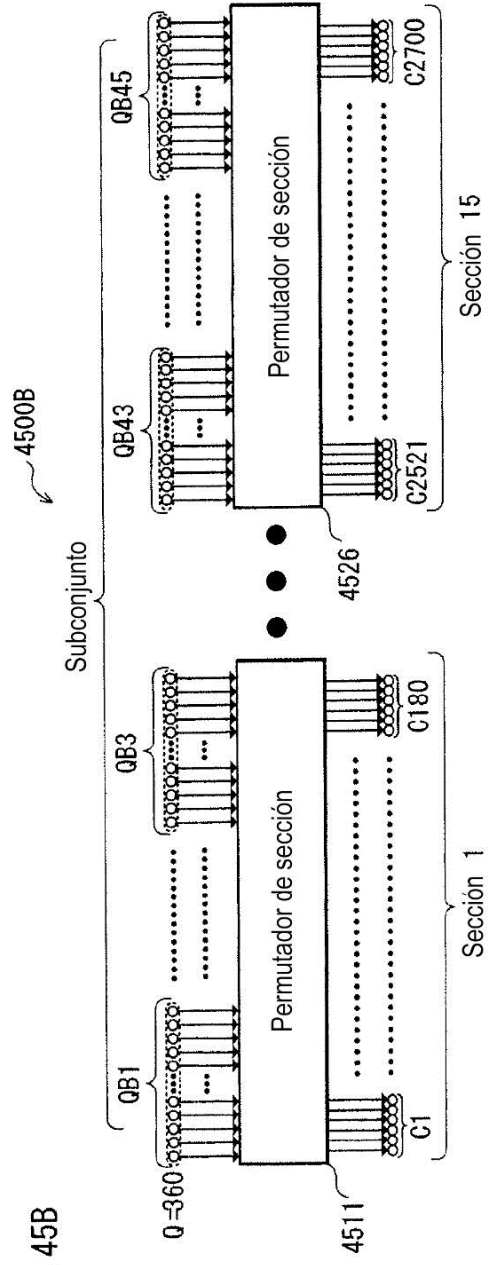


FIG. 46

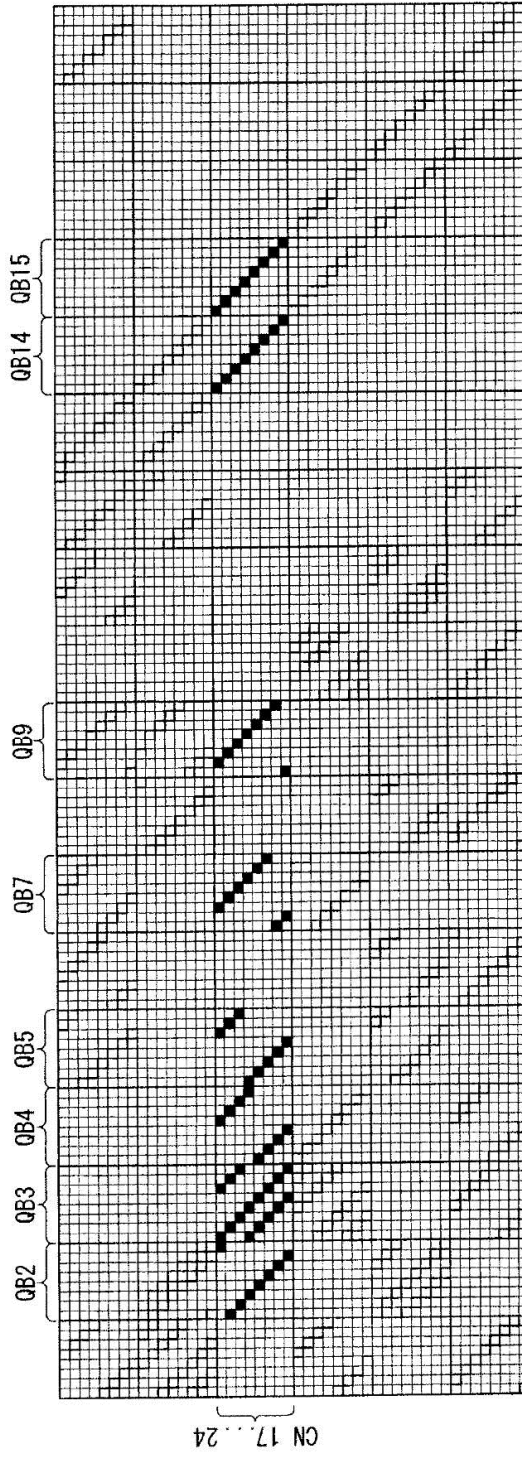


FIG. 47

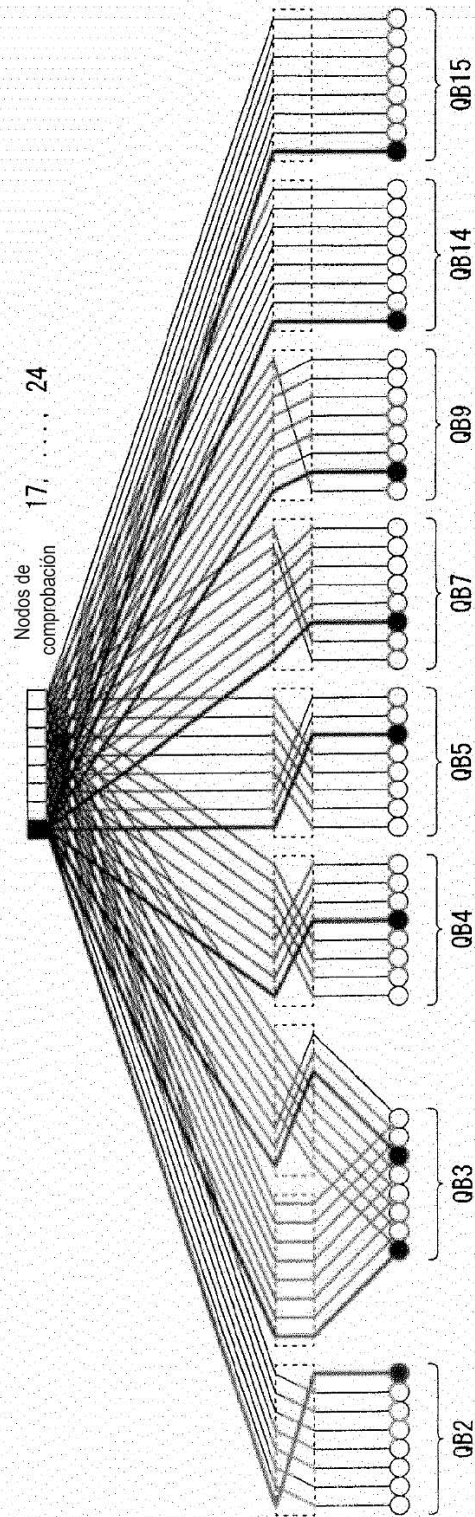




FIG. 49A

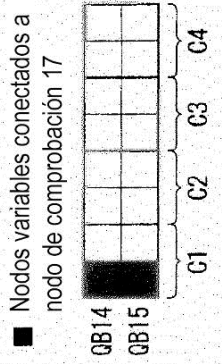


FIG. 49B

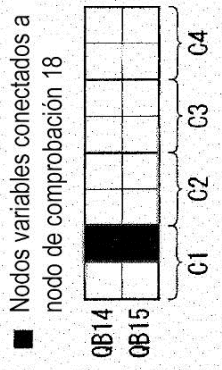


FIG. 49C

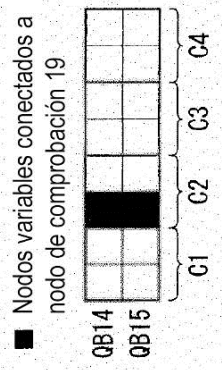


FIG. 49D

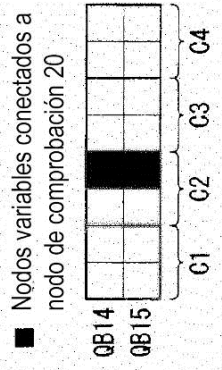


FIG. 49E

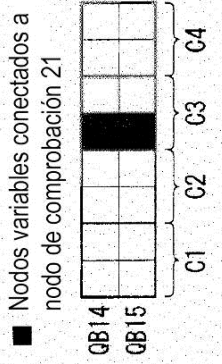


FIG. 49F

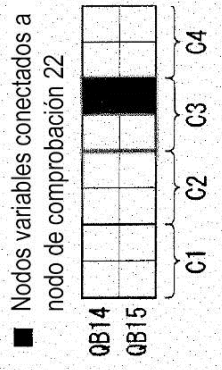


FIG. 49G

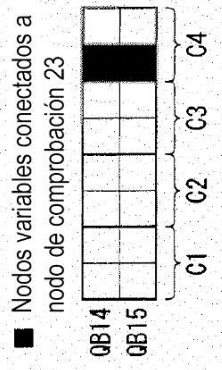
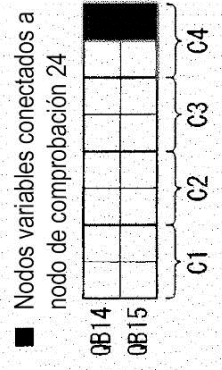


FIG. 49H





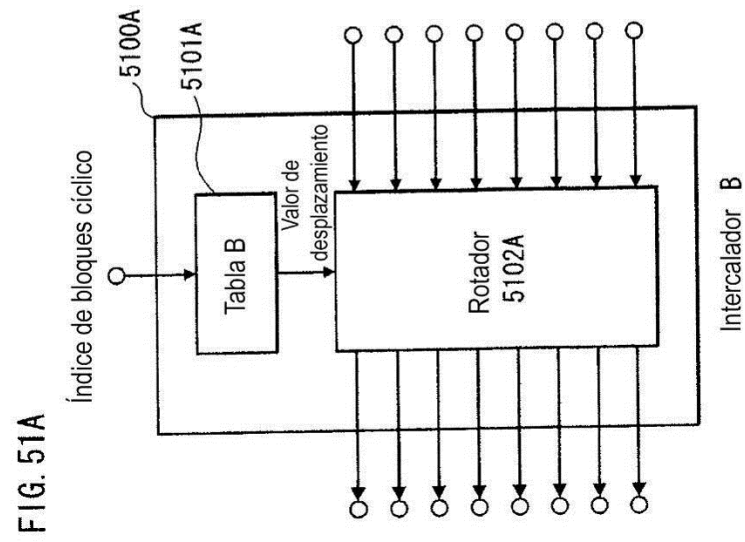
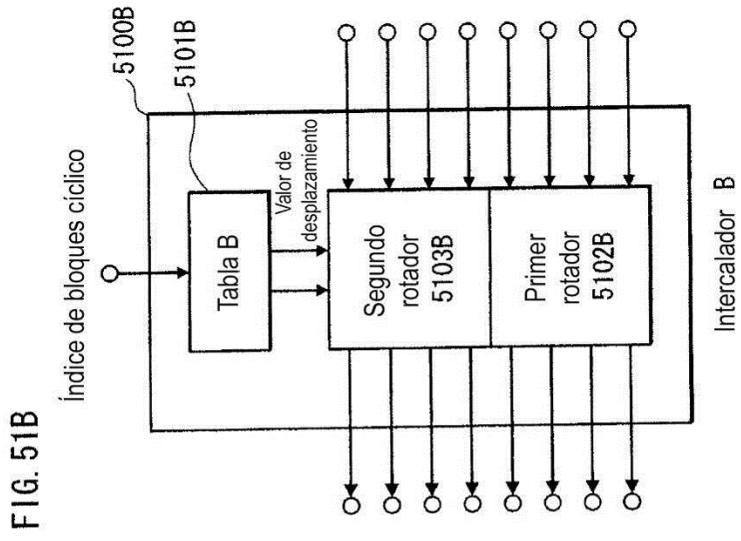


FIG. 52A

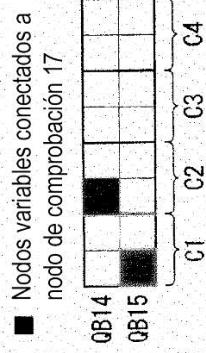


FIG. 52B

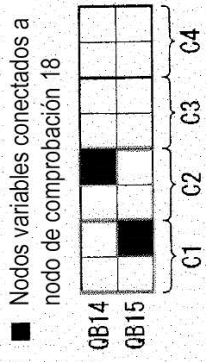


FIG. 52C

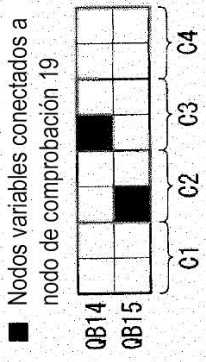


FIG. 52D

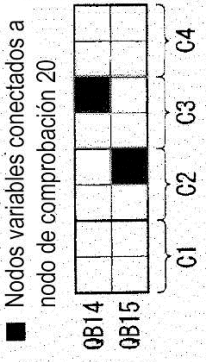


FIG. 52E

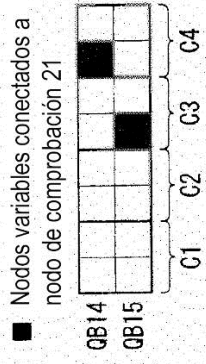


FIG. 52F

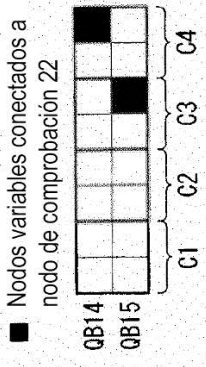


FIG. 52G

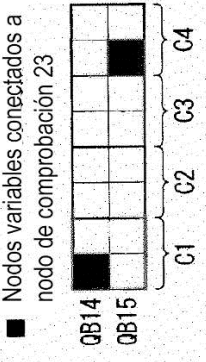


FIG. 52H

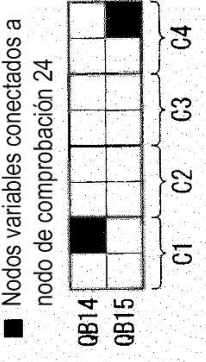


FIG. 53A

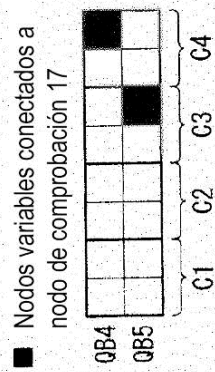


FIG. 53B

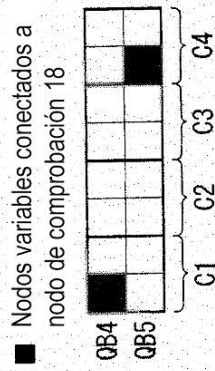


FIG. 53C

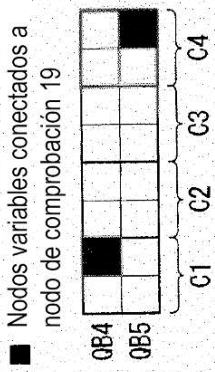


FIG. 53D

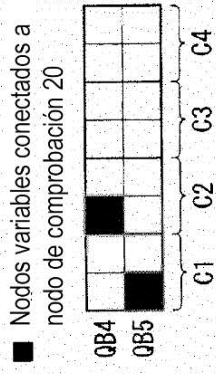


FIG. 53E

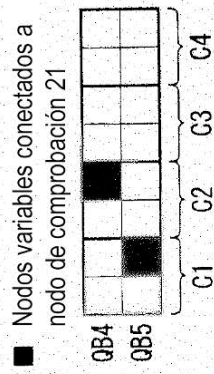


FIG. 53F

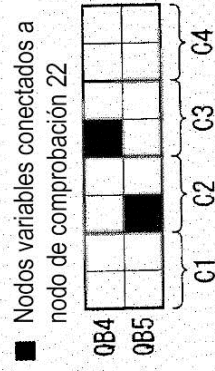


FIG. 53G

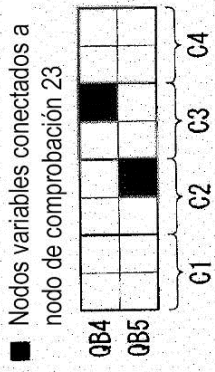


FIG. 53H

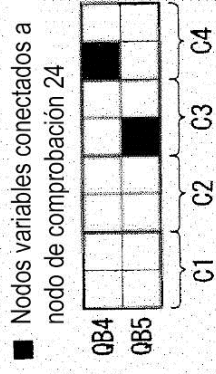


FIG. 54

