

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008 年 10 月 2 日 (02.10.2008)

PCT

(10) 国際公開番号
WO 2008/117718 A1

- (51) 国際特許分類:
H01L 29/47 (2006.01) H01L 29/872 (2006.01)
- (21) 国際出願番号: PCT/JP2008/055089
- (22) 国際出願日: 2008 年 3 月 19 日 (19.03.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-078275 2007 年 3 月 26 日 (26.03.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 宮崎 富仁 (MIYAZAKI, Tomihito) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社大阪製作所内 Osaka (JP). 木山 誠 (KIYAMA, Makoto) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋

一丁目 1 番 3 号 住友電気工業株式会社大阪製作所内 Osaka (JP).

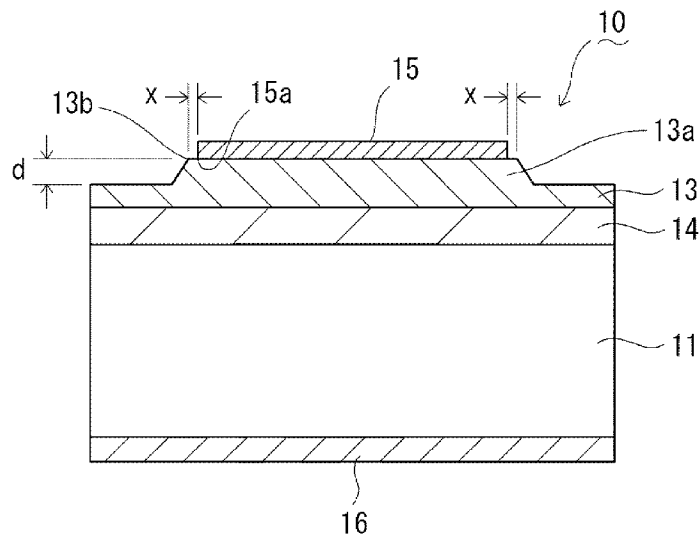
- (74) 代理人: 中野 稔, 外 (NAKANO, Minoru et al.); 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: SCHOTTKY BARRIER DIODE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: ショットキーバリアダイオードおよびその製造方法

[図1]



(57) Abstract: A Schottky barrier diode is provided with an epitaxially grown layer, which is formed on a substrate and has a mesa section, and a Schottky electrode formed on the mesa section. A distance between an end section of the Schottky electrode and an upper surface end section of the mesa section is $2\mu\text{m}$ or shorter. With a distance (x) of $2\mu\text{m}$ or shorter, the Schottky barrier diode having a remarkably reduced leak current, an improved breakdown voltage and excellent withstand voltage characteristics is provided.

[続葉有]

WO 2008/117718 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(57) 要約: ショットキーバリアダイオードは、基板の上に形成された、メサ部を有するエピタキシャル成長層と、メサ部上に形成されたショットキー電極とを備え、ショットキー電極の端部と、メサ部の上面端部との間の距離は、 $2\mu\text{m}$ 以下であり、距離 x が $2\mu\text{m}$ 以下であることにより、リーク電流が顕著に低減され、ブレークダウン電圧が向上し、耐圧特性の優れたショットキーバリアダイオードを提供する。

明 細 書

ショットキーバリアダイオードおよびその製造方法

技術分野

[0001] 本発明は、ショットキーバリアダイオードに係り、特に、耐圧特性の改善対策に関する。

背景技術

[0002] 従来より、高電圧スイッチング素子(パワー素子)として、たとえば特許文献1の図6 Aおよび図6Bに開示されるように、サファイア基板上に、GaN層をエピタキシャル成長させて、エピタキシャル成長層の上にメサ型やプレーナ型のショットキーバリアダイオードを設ける技術が知られている。同文献の図1には、エピタキシャル成長層のドーピング濃度を低減することにより、理論的に予測されるGaN整流器の逆耐圧特性が開示されている。

[0003] 特許文献1:特表2005-530334号公報

発明の開示

発明が解決しようとする課題

[0004] しかしながら、同文献には、現実にはいかなる逆耐圧が得られるのかが開示されておらず、かつ、プレーナダイオードと、メサダイオードとの差異についても明確に言及されていない。すなわち、パワー用ショットキーバリアダイオード、特に、メサ構造を設けたショットキーバリアダイオードについて、特性改善のための有意義な提案は、なされていないのが現状である。

[0005] 本発明の目的は、メサ構造とショットキー電極との構造の改善により、耐圧特性の良好なショットキーバリアダイオードを提供することにある。

課題を解決するための手段

[0006] 本発明のショットキーバリアダイオードは、メサ部を有するn型化合物半導体層の上に形成されたショットキー電極を備えており、ショットキー電極の側端部とメサ部の上面端部との間の距離を所定値以下に制限したものである。

[0007] 本発明のショットキーバリアダイオードにより、メサ部の上面端部において電界の緩

和作用が得られる。そして、図5Aに示すように、ショットキー電極の端部とメサ部の端部との距離が小さいほど、リーク電流が低減し、リーク電流値で規定されるブレイクダウン耐圧が向上することがわかった。よって、ショットキーバリアダイオードの種類に応じて、ショットキー電極の端部とメサ部の端部との距離を所定値以下に制限することにより、耐圧特性の向上を図ることができる。

[0008] 特に、図5Aに示すように、ショットキー電極の端部とメサ部の端部との距離を $2\mu\text{m}$ 以下に制限することにより、顕著な耐圧の向上が可能となる。

[0009] 図6に示すように、メサ部の段差が $0.2\mu\text{m}$ よりも大きいことにより、さらに耐圧の高いショットキーバリアダイオードが得られる。

[0010] 本発明の第1のショットキーバリアダイオードの製造方法(製法1)は、ショットキー電極を形成してから、マスク膜を用いて、メサ部形成のためのエッチングを行う方法である。

[0011] この方法により、マスク膜とショットキー電極とのオーバーラップ量を小さくすれば、上記本発明のショットキーバリアダイオードの構造が容易に実現される。

[0012] 特に、マスク膜とショットキー電極とのオーバーラップ量を $2\mu\text{m}$ 以下にすることにより、耐圧特性が特に優れたショットキーバリアダイオードが得られる。

[0013] 本発明の第2のショットキーバリアダイオードの製造方法(製法2)は、メサ部を形成してから、裏面電極を形成し、その後、ショットキー電極を形成する方法であって、この製法2によって、図5Bに示すように、ショットキー電極の端部とメサ部の端部との距離が所定値以下の場合に、第1の製造方法と同じ作用効果が得られる。

[0014] 上記製法1または製法2において、メサ部を形成する際には、プラズマエッチングによりメサ部の外形を形成した後、ウェットエッチングにより表面層を除去することにより、プラズマエッチングによって比較的正確なメサ形状を能率よく仕上げるとともに、プラズマエッチングによって形成されるダメージ層をウェットエッチングにより除去することができる。

メサ部の表面部にダメージ層が残存していると、ダメージ層中の欠陥準位等に起因して、リーク電流が発生しやすいことがわかってきた。特に、製法1のごとく、ショットキー電極の側端部とメサ部の上面端部との間の距離を所定値以下に制限した場合、ダ

メージ層によるリーク電流が発生しやすい。そこで、ウエットエッチングにより、ダメー
ジ層を除去することにより、リーク電流の発生を抑制することができ、さらに耐圧の高
いショットキーバリアダイオードが得られる。

発明の効果

[0015] 本発明のショットキーバリアダイオードまたはその製造方法によると、耐圧特性の向
上を図ることができる。

図面の簡単な説明

[0016] [図1]図1は、実施の形態に係るショットキーバリアダイオードの断面図である。

[図2A]図2Aは、製法1-1に係るショットキーバリアダイオードの製造工程(バッファ
層、エピタキシャル層および裏面電極を形成)を示す断面図である。

[図2B]図2Bは、製法1に係るショットキーバリアダイオードの製造工程(ショットキー電
極を形成)を示す断面図である。

[図2C]図2Cは、製法1に係るショットキーバリアダイオードの製造工程(ショットキー電
極の上面および側面を覆うレジストマスクを形成)を示す断面図である。

[図2D]図2Dは、製法1に係るショットキーバリアダイオードの製造工程(エピタキシャ
ル成長層をエッチング後、レジストマスクを除去)を示す断面図である。

[図3A]図3Aは、製法1-1に係るショットキーバリアダイオードの製造工程(バッファ
層およびエピタキシャル層を形成)を示す断面図である。

[図3B]図3Bは、製法1-1に係るショットキーバリアダイオードの製造工程(ショットキ
ー電極を形成)を示す断面図である。

[図3C]図3Cは、製法1-1に係るショットキーバリアダイオードの製造工程(ショットキ
ー電極の上面および側面を覆うレジストマスクを形成)を示す断面図である。

[図3D]図3Dは、製法1-1に係るショットキーバリアダイオードの製造工程(エピタキ
シャル成長層をエッチング)を示す断面図である。

[図3E]図3Eは、製法1-1に係るショットキーバリアダイオードの製造工程(裏面電極
を形成)を示す断面図である。

[図4A]図4Aは、製法2-1および2-2に係るショットキーバリアダイオードの製造工
程(エピタキシャル成長層にメサ部を形成後、レジストマスクを除去)を示す断面図で

ある。

[図4B]図4Bは、製法2-1および2-2に係るショットキーバリアダイオードの製造工程(レジストマスクを除去、裏面電極を形成)を示す断面図である。

[図4C]図4Cは、製法2-1および2-2に係るショットキーバリアダイオードの製造工程(ショットキー電極を形成)を示す断面図である。

[図5A]図5Aは、製法1-1によるショットキーバリアダイオードのリーク電流特性の実測データを示す図である。

[図5B]図5Bは、製法2-1によるショットキーバリアダイオードのリーク電流特性の実測データを示す図である。

[図6]製法1-1、2-1によって形成されたショットキーバリアダイオードのメサ段差に対する耐圧値の実測データを示す図である。

符号の説明

- [0017] 10 ショットキーバリアダイオード
- 11 GaN基板
- 11a 上部
- 13 エピタキシャル成長層
- 13a メサ部
- 13b 上面端部
- 15 ショットキー電極
- 15a 端部
- 16 裏面電極
- 20 レジストマスク

発明を実施するための最良の形態

- [0018] 以下、本発明の実施の形態を説明する。なお、図面の説明においては、同一要素には同一符号を付し、重複する説明を省略する。また、図面の寸法比率は、説明のものと必ずしも一致していない。

実施例

- [0019] (実施の形態1)

ーショットキーバリアダイオードの構造ー

図1は、本発明の実施の形態に係るショットキーバリアダイオードの構造を示す断面図である。

[0020] 図1に示すように、本実施の形態に係るショットキーバリアダイオード10は、厚さ約400 μm の自立のGaN基板11と、GaN基板11の上に形成された、厚さ約7 μm のエピタキシャル成長層13とを備えている。エピタキシャル成長層13は、底部から上方に突出したメサ部13aを有している。本実施の形態においては、メサ部13aの側面は、傾斜した形状を有しているが、側面が垂直な壁であってもよい。そして、メサ部13aの上面上には、Auからなるショットキー電極15が設けられている。ショットキー電極15の平面形状は、径が約200 μm の円形である。また、GaN基板11の裏面には、Ti／Al／Ti／Auからなるオーミックの裏面電極16が形成されている。

[0021] GaN基板11の本体部は、約 $3 \times 10^{18} \text{cm}^{-3}$ の比較的高濃度のn型ドーパントを含んでいる。また、エピタキシャル成長層13(ドリフト層)は、 $5 \times 10^{15} \text{cm}^{-3}$ 程度の低濃度のn型ドーパントを含んでいる。エピタキシャル成長層13とGaN基板11との間の厚さ1 μm 程度の領域は、バッファ層14であり、 $1 \times 10^{17} \text{cm}^{-3}$ 程度の比較的低濃度のドーパントを含んでいる。

[0022] そして、本実施の形態におけるショットキーバリアダイオード10においては、ショットキー電極15の端部15aと、メサ部13aの上面端部13bとの間の距離xが、2 μm 以下となっている。このような構造は、後述する製法1または製法2によって、実現する。また、本実施の形態におけるメサ部13aと底部との段差であるメサd(=メサ厚さ)は、0.2 μm 以上、たとえば約1 μm である。

[0023] ーショットキーバリアダイオードの製造工程ー
(製法1-1)

図2A～図2Dは、製法1に係るショットキーバリアダイオードの製造工程を示す断面図である。

まず、図2Aに示す工程で、GaN基板11の上に、バッファ層14およびエピタキシャル成長層13を成長させる。成長に際しては、周知の有機金属成長法を用い、バッファ層14には、キャリア濃度が約 $1 \times 10^{17} \text{cm}^{-3}$ のn型ドーパントを含ませ、エピタキシャ

ル成長層13には、キャリア濃度が約 $5 \times 10^{15} \text{ cm}^{-3}$ ($1 \times 10^{16} \text{ cm}^{-3}$ 以下)のn型ドーパントを含ませる。なお、エピタキシャル成長層13は、アンドープ層であってもよい。次に、有機洗浄を行ない、さらに、10%塩酸にて3分間の洗浄を行なった後、GaN基板11の裏面に、多層膜であるTi/Al/Ti/Au膜(厚さ20/100/20/200nm)を蒸着法によって堆積し、600°C、2分間の合金化熱処理を行うことにより、GaN基板11にオーミック接触する裏面電極16を形成する。

[0024] 次に、図2Bに示す工程で、有機洗浄を行ない、さらに、10%塩酸にて3分間の洗浄を行なった後、エピタキシャル成長層13の上に、周知のリフトオフ法により、厚さ約400nmの蒸着によるAu膜からなるショットキー電極15を形成する。ショットキー電極15の平面形状は、上述のように、径が200 μm の円形である。

[0025] 次に、図2Cに示す工程で、ショットキー電極15の上面および側面を覆うレジストマスク20を形成する。レジストマスク20は、ノボラック樹脂等のフォトリソレジスト樹脂からなり、ショットキー電極15よりも2 μm 大きい径を有している。したがって、マスクのアライメント誤差を考慮しても、ショットキー電極15の全周において、レジストマスク20でショットキー電極15は、確実に覆われている。そして、ショットキー電極15のいずれかの部位においも、レジストマスク20とショットキー電極15の端部との距離xは、2 μm 以下である。ただし、ショットキー電極15の少なくとも上面が覆われていればよい。エッチングマスクを構成する材料として、フォトリソレジスト樹脂以外に、SiN、SiON、SiO₂、Au、Pt、W、Ni、Ti等を用いることができる。また、ショットキー電極自体を、エッチングマスクとして用いることもできる。その場合には、セルフアライメントにより、距離xをゼロにすることができる。

[0026] そして、レジストマスク20を付けた状態で、平行平板型プラズマ装置(RIE)を用い、エッチングガスとして、Cl₂およびBCl₂を流しながら、エピタキシャル成長層13をエッチングする。本例のエッチング条件は、電力密度が0.004W/mm²、チャンバ内圧力が10mTorr~200mTorr、電極温度が25°C~40°C、ガス流量は、Cl₂ 40sccm、BCl₂が4sccmである。ただし、以上の条件に限定されるものではない。

[0027] なお、エッチングガスとして、Cl₂単体でもよく、Cl₂とAr、Cl₂とN₂、Cl₂とBCl₂、N₂などをを用いてもよい。これらのエッチングガスを用いることにより、エピタキシャル成長層

13に与えるダメージを極力抑制することができる。なお、プラズマ発生装置は、RIEタイプに限定されるものではなく、ICP等、他のタイプの装置を用いることも可能である。

[0028] 次に、図2Dに示す工程で、エピタキシャル成長層13を深さ1 μ mまでエッチングした時点で、エッチングを終了して、アッシング等により、レジストマスク20を除去する。これにより、メサ部13aの外形が形成される。そして、ショットキーバリアダイオードの製造工程を終了する。この状態で、メサ部13aの上面端部13bとショットキー電極15の端部15aとの距離xは、ショットキー電極15の全周において、2 μ m以下となっている。

[0029] (製法1-2)

図3A～図3Eは、製法1-2に係るショットキーバリアダイオードの製造工程を示す断面図である。

まず、図3Aに示す工程で、製法1-1と同じ条件で、GaN基板11の上に、バッファ層14およびエピタキシャル成長層13を成長させる。ただし、裏面電極16は形成しない。

[0030] 次に、図3Bおよび図3Cに示す工程で、製法1-1と同じ条件で、Au膜またはNi/Au膜からなるショットキー電極15を形成した後、ショットキー電極15の上面および側面を覆うレジストマスク20を形成する。

ただし、図3Cに示す距離xは、少なくとも次のウエットエッチングによる除去量以上であることが好ましい。

[0031] そして、レジストマスク20を付けた状態で、平行平板型プラズマ装置(RIE)を用い、エピタキシャル成長層13をプラズマエッチングする。このとき、製法1-1と同じエッチングガスを同じ条件で、用いることができる。また、使用するプラズマ発生装置は、RIEタイプに限定されるものではなく、ICP等、他のタイプのプラズマ発生装置を用いることも可能である。

[0032] 次に、図3Dに示す工程で、エピタキシャル成長層13を深さ1 μ mまでエッチングした時点で、プラズマエッチングを終了して、アッシング等により、レジストマスク20を除去する。このプラズマエッチングにより、メサ部13aの外形が形成される。

[0033] その後、基板全体を、25%TMAH水溶液(水酸化テトラメチルアンモニウム水溶液)に浸漬し、温度薬85°Cで、GaNのウエットエッチングを行なう。この処理により、上記プラズマエッチングによって、エピタキシャル成長層13の表面部に生じたダメージ層を除去する。用いるプラズマ発生装置やプラズマエッチングの条件によって異なるが、メサ部13aを含むエピタキシャル成長層13aの表面部には、深さ数nm(1nm〜20nm程度)に亘ってエッチングダメージ層が発生している。このウエットエッチング工程は、エッチングダメージ層が実質的に除去されるまで行われる。「実質的に除去される」とは、エッチングダメージ層が完全に除去されていなくても、後述するリーク電流に影響を及ぼさない程度まで除去されていればよいことを意味している。

[0034] なお、図3Dに示す工程では、アッシング等により、レジストマスク20を除去する処理は、必ずしも必要でない。25%TMAH水溶液によるウエットエッチングの時間によっては、レジストマスク20を除去することも可能だからである。

[0035] また、上記ウエットエッチングを行なうためのエッチング液は、TMAH水溶液に限られず、基板の材質(本実施形態では、GaN)に応じて適切なものを用いることができる。TMAH水溶液を用いる場合でも、その濃度は、25%に限られるものではなく、温度等の条件も含め、適宜選択することができる。

[0036] 次に、図3Eに示す工程で、有機洗浄を行ない、さらに、10%塩酸にて3分間の洗浄を行なった後、GaN基板11の裏面に、多層膜であるTi/Al/Ti/Au膜(厚さ20/100/20/200nm)を蒸着法によって堆積し、450°C、2分間(注:この条件を確認してください。)の合金化熱処理を行なうことにより、GaN基板11にオーミック接触する裏面電極16を形成する。このとき、ショットキー電極15と、エピタキシャル成長層13とのショットキー接触が保たれる温度、時間で、裏面電極16の合金化処理を行なう。

[0037] (製法2-1)

図4A〜図4Cは、製法2-1に係るショットキーバリアダイオードの製造工程を示す断面図である。

まず、図4Aに示す工程で、エピタキシャル成長層を製法1-1と同様の条件で成長させた後、メサ部13aに、製法1-1と同様のレジストマスク20を形成し、レジストマス

ク20を付けた状態で、エピタキシャル成長層13をプラズマエッチングする。用いるプラズマ発生装置およびプラズマエッチング条件は、製法1-1と同じである。

[0038] 次に、図4Bに示す工程で、レジストマスク20を除去した後、GaN基板11の裏面上に裏面電極16を形成する。裏面電極16の形成条件、材質、合金化处理条件は、製法1-1と同じである。

[0039] さらに、図4Cに示す工程で、レジストマスク20よりも径が $2\mu\text{m}$ 小さいショットキー電極15を形成する。形成方法は、製法1-1と同じである。

つまり、製法2-1では、処理手順のみを製法1-1と変えている。

以上の処理によって、メサ部13aの上面端部13bとショットキー電極15の端部15aとの距離 x が $2\mu\text{m}$ 以下である、ショットキーバリアダイオードが形成される。

ただし、後述するデータに示されるように、製法2-1の製造工程を採用した場合も、メサ部13aの上面端部13bとショットキー電極15の端部15aとの距離 x が所定値(この例では、 $2\mu\text{m}$)以下にすることで、リーク電流を抑制することが可能である。

[0040] (製法2-2)

製法2-2においては、製法2-1における図4A～図4Cに示す処理と基本的に同じ処理を行なう。

ただし、製法2-2においては、図4Bに示す工程で、裏面電極16を形成する前に、製法1-2と同じ条件で、25%TMAH水溶液によるウエットエッチングを行なうことにより、プラズマエッチングによってエピタキシャル成長層13の表面部に生じたダメージ層を除去する。

[0041] なお、裏面電極16を形成してから、25%TMAH水溶液によるウエットエッチングを行なってもよい。その場合、GaN基板11の裏面に、裏面電極16を覆うように、エッチング保護膜を形成することが好ましい。エッチング保護膜としては、25%TMAH水溶液に対する耐性を有する絶縁膜、たとえばシリコン酸化膜やシリコン窒化膜を用いることができる。その後、上記絶縁膜をその材質に応じた周知のエッチング液によって除去してから、図4Cに示す工程を実施すればよい。

[0042] ショットキーバリアダイオードの特性

図5Aおよび図5Bは、順に、製法1-1および製法2-1によるショットキーバリアダイ

オードのリーク電流特性の実測データを示す図である。図5Aおよび図5Bにおいて、横軸は、メサ部13aの上面端部13bとショットキー電極15の端部15aとの距離 x を表し、縦軸は、逆電圧200Vを印加したときのリーク電流(A)を表している。

[0043] 図5Aに示すように、製法1-1によって形成されたショットキーバリアダイオードの場合、距離 x が小さくなるほどリーク電流が低減される傾向が顕著に表れている。リーク電流は、降伏電圧(ブレイクダウン電圧)を判断する閾値のパラメータとなっているので、リーク電流が小さいことは、耐圧が高いことを意味する。したがって、本発明のごとく、メサ部13の上面端部13bとショットキー電極15の端部15aとの間の距離 x を所定値以下に制限することにより、ショットキーバリアダイオードの耐圧の向上を図ることができる。

[0044] 特に、距離 x を $2\mu\text{m}$ 以下に制限することにより、リーク電流が顕著に低減されているので、耐圧も大幅に向上することがわかる。

一方、特許文献1のように、自立GaN基板でなく、他基板(たとえばサファイア基板)上にエピタキシャル成長された半導体層を用いた場合は、転位等の欠陥を多く含んでいるために、メサ構造やショットキー電極の構造を改善しても、十分な特性の向上につながらない場合もあり得る。それに対し、自立のGaN基板(バルク基板)を用いることで、本発明の効果をより顕著に発揮することができる。

[0045] また、図5Bに示すように、製法2-1によって形成されたショットキーバリアダイオードの場合にも、距離 x が小さくなるほどリーク電流が低減される傾向が表れている。したがって、製法2によって製造されたショットキーバリアダイオードも、製法1の場合と同様に耐圧の向上効果を発揮することができる。

[0046] 図6は、製法1-1、2-1によって形成されたショットキーバリアダイオードのメサ段差 d に対する耐圧値の実測データを示す図である。同図に示すように、メサ段差 d が、0のときに比べて、いずれも耐圧が向上し、大きいほど耐圧は、向上している。すなわち、プレーナ型のショットキーバリアダイオードに比べて、メサ型構造を採用することにより、耐圧が向上することがわかる。そして、メサ段差 d が $0.2\mu\text{m}$ 以上の場合には、耐圧が800(V)程度ないしそれ以上となっており、顕著な耐圧の向上が見られる。

[0047] ところで、製法1-1, 2-1においては、メサ部13aを形成するためのプラズマエッチングを行なったときに、メサ部13aを含むエピタキシャル成長層13の表面部にプラズマエッチングによるダメージ層が残存している。このダメージ層中の欠陥準位により、リーク電流が発生しやすい状態となっている。しかも、本発明のように、メサ部13aの上面端部13bとショットキー電極15の端部15aとの間の距離 x を所定値以下に制限した場合、ダメージ層によるリーク電流が発生しやすいことがわかっている。

そこで、ダメージ層を除去することにより、図5Aおよび図5Bに示すリーク電流を、さらに低減することが期待できる。

[0048] すなわち、上記製法1-2, 2-2のように、プラズマエッチングによるダメージ層を除去するためのウェットエッチングを行なうことにより、さらに耐圧の高いショットキーバリアダイオードの提供を図ることができる。

また、メサ部13aを形成するためのプラズマエッチングは、エッチング能率を高くしようとすると、ダメージ層も深くなり、ダメージ深さを抑制しようとすると、プラズマエッチングを緩やかな条件で行なうために、エッチング能率が悪化する。したがって、プラズマエッチング後にウェットエッチングを導入することで、メサ部13aを形成するための能率を向上させることもできる。

[0049] 上記実施の形態においては、半導体層としてGaN基板およびGaNエピタキシャル成長層を設けた例について説明したが、本発明のショットキーバリアダイオードは、SiC、Siに対しても適用することができる。

[0050] なお、上記実施の形態、特に製法2において、ショットキー電極15がメサ部13の上面からはみ出た構造となってもよい。

[0051] 上記開示された本発明の実施の形態の構造は、あくまで例示であって、本発明の範囲は、これらの記載の範囲に限定されるものではない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味及び範囲内でのすべての変更を含むものである。

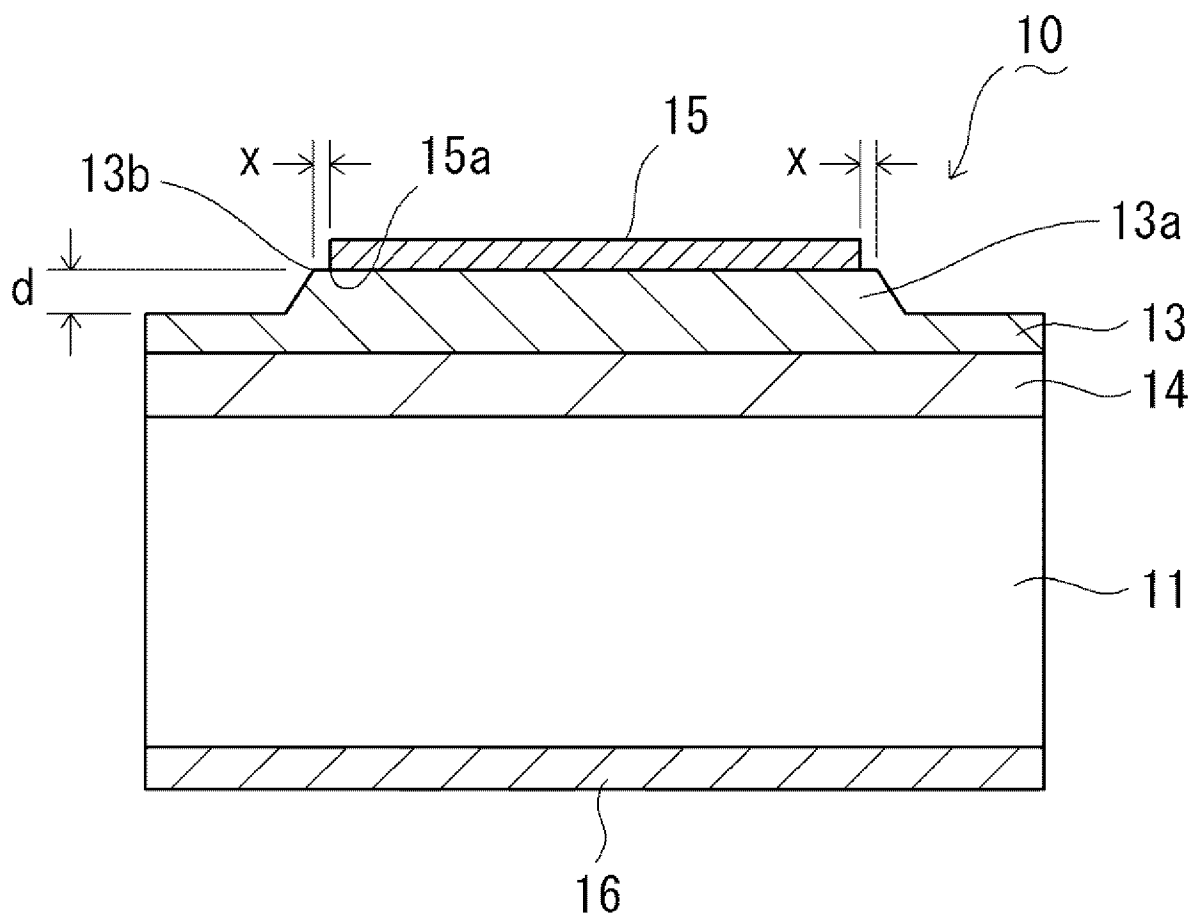
産業上の利用可能性

[0052] 本発明は、携帯電話などの電気機器に搭載される多心同軸ケーブルと他の配線板との配線間の電気接続を行うコネクタとして利用することができる。

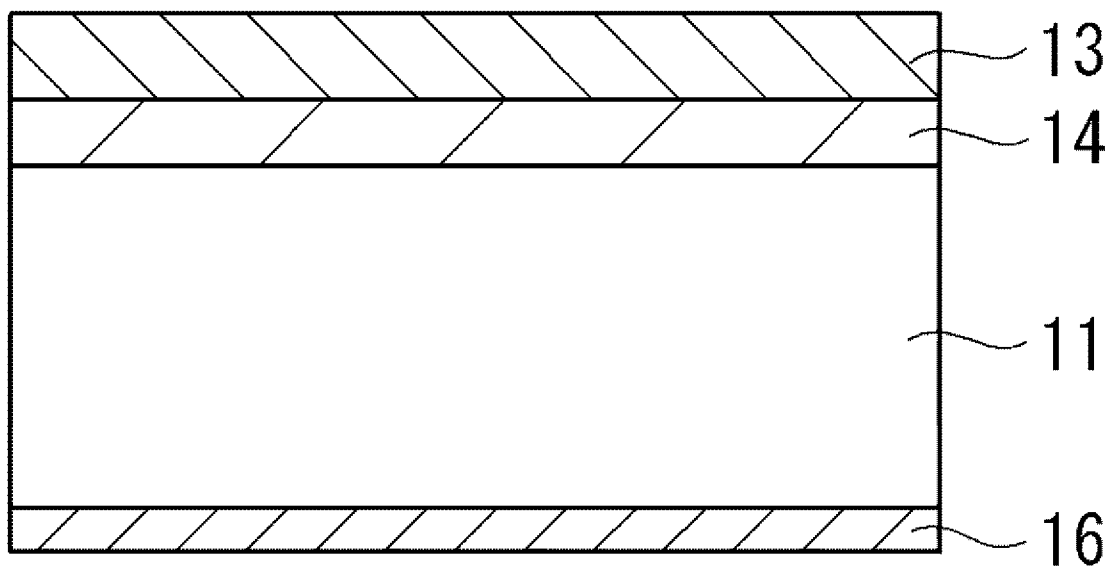
請求の範囲

- [1] メサ部を有する半導体層と、
前記メサ部の上面上に形成されたショットキー電極とを備え、
前記ショットキー電極の側端部と前記メサ部の上面端部との間の距離は、所定値以下である、ショットキーバリアダイオード。
- [2] 請求項1記載のショットキーバリアダイオードにおいて、
前記所定値は、 $2\mu\text{m}$ である、ショットキーバリアダイオード。
- [3] 請求項1または2記載のショットキーバリアダイオードにおいて、
前記メサ部の段差は、 $0.2\mu\text{m}$ よりも大きい、ショットキーバリアダイオード。
- [4] 半導体層の上に、ショットキー電極を形成する工程Aと、
前記工程Aの後で、ショットキー電極またはマスク膜を用いて、前記半導体層をエッチングして、メサ形状を形成する工程Bと、
を含むショットキーバリアダイオードの製造方法。
- [5] 請求項4記載のショットキーバリアダイオードの製造方法において、
前記工程Bでは、前記マスク膜として、前記ショットキー電極とのオーバーラップ量が $2\mu\text{m}$ 以下であるレジスト膜を用いる、ショットキーバリアダイオードの製造方法。
- [6] 請求項4または5記載のショットキーバリアダイオードの製造方法において、
前記工程Aでは、プラズマエッチングによりメサ部の外形を形成した後、ウエットエッチングにより表面層を除去する、ショットキーバリアダイオードの製造方法。
- [7] 基板の主面側の半導体層をエッチングして、メサ部を形成する工程Aと、
前記工程Aの後で、前記基板の裏面上に裏面電極を形成する工程Bと、
前記工程Bの後で、前記メサ部の上に、ショットキー電極を形成する工程Cと、
を含むショットキーバリアダイオードの製造方法。
- [8] 請求項7記載のショットキーバリアダイオードの製造方法において、
前記工程Aでは、プラズマエッチングによりメサ部の外形を形成した後、ウエットエッチングにより表面層を除去する、ショットキーバリアダイオードの製造方法。

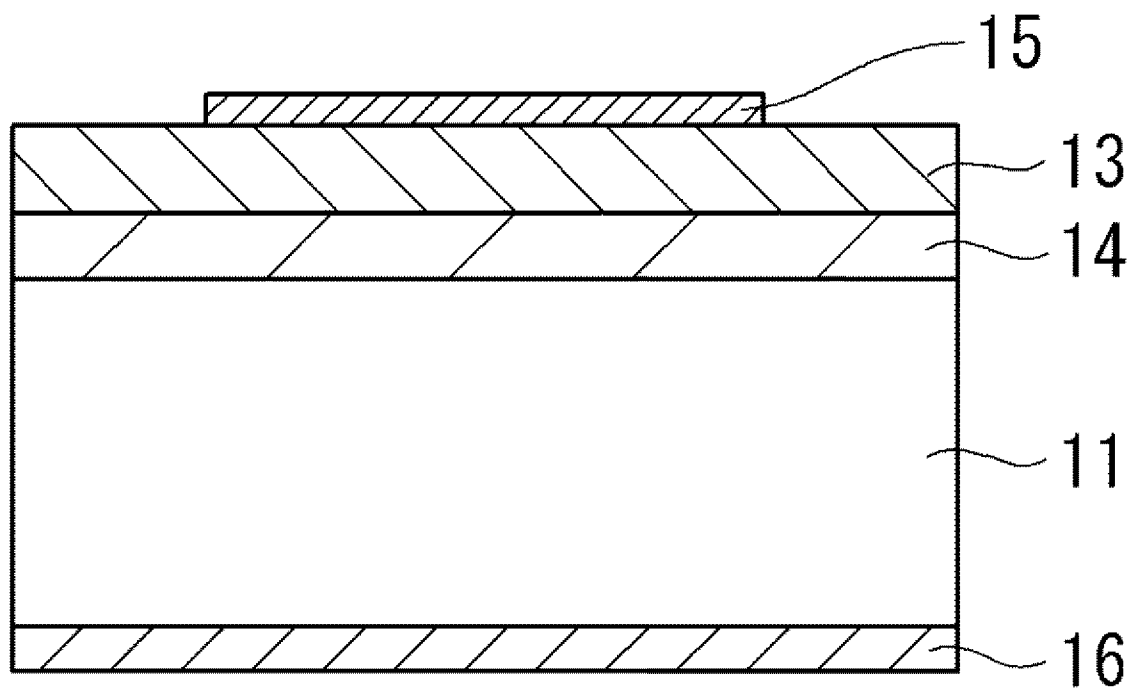
[図1]



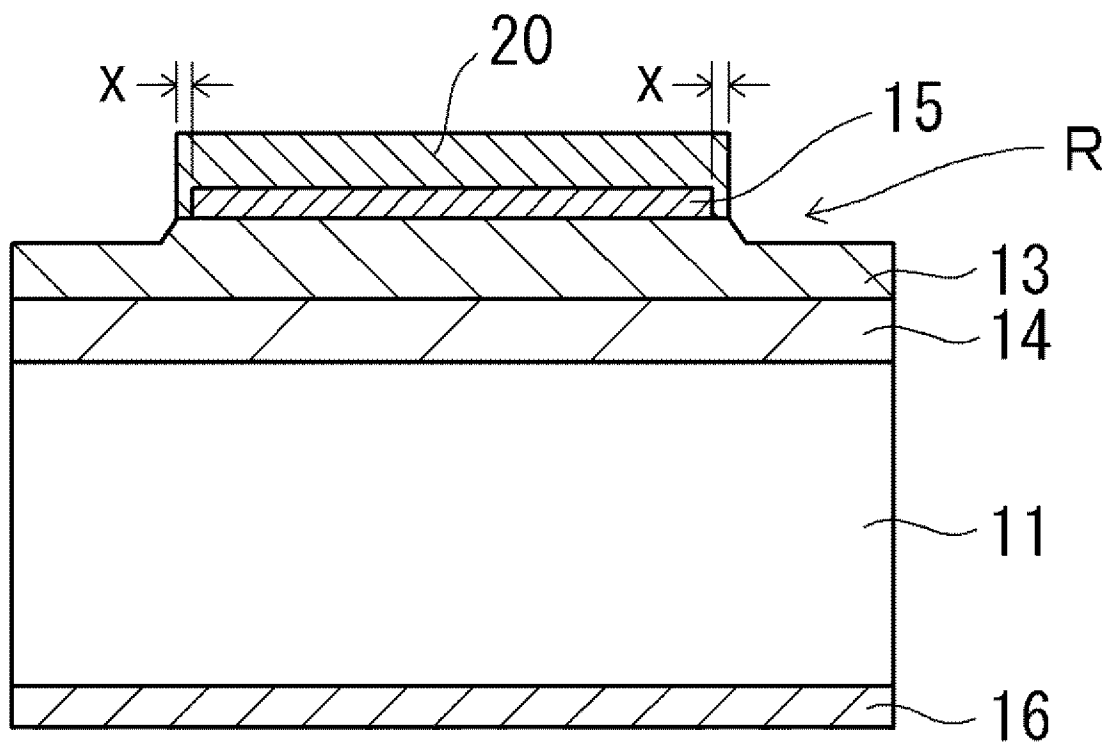
[図2A]



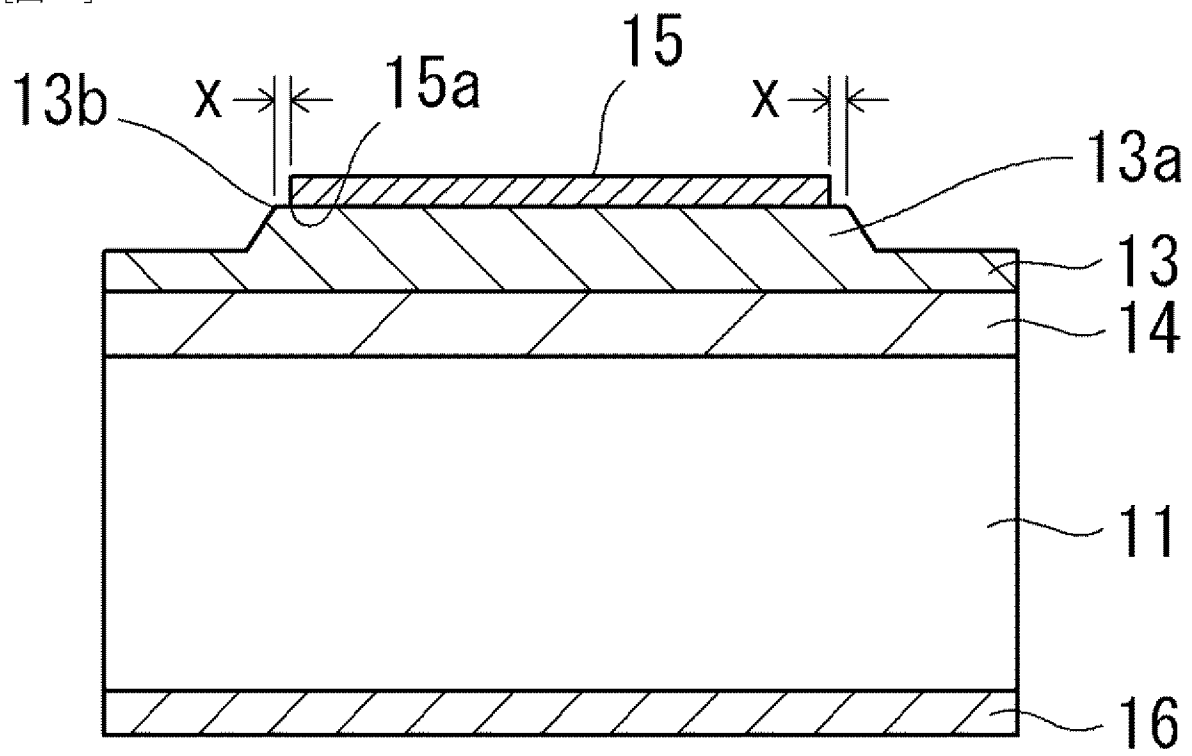
[図2B]



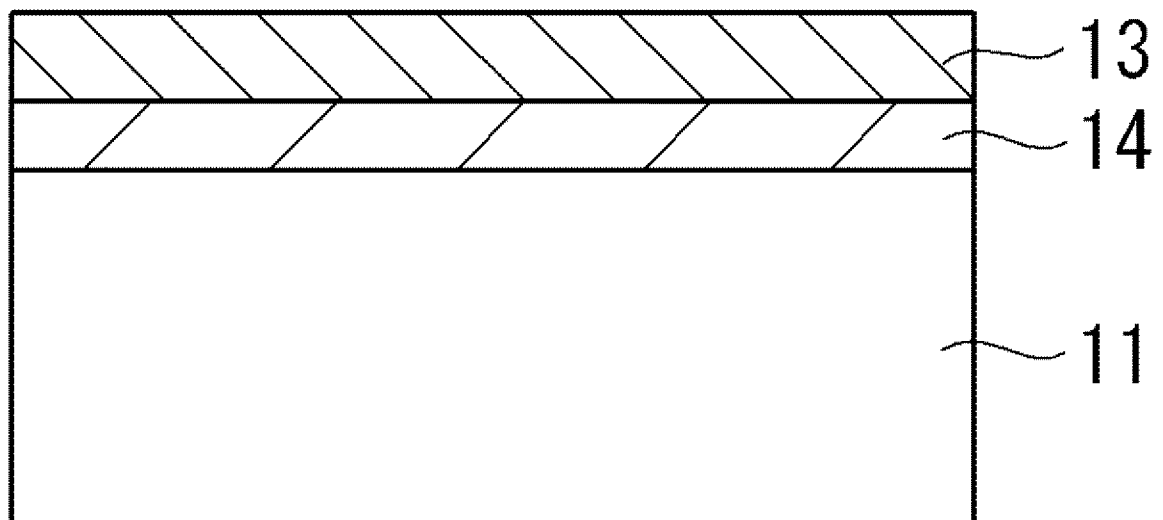
[図2C]



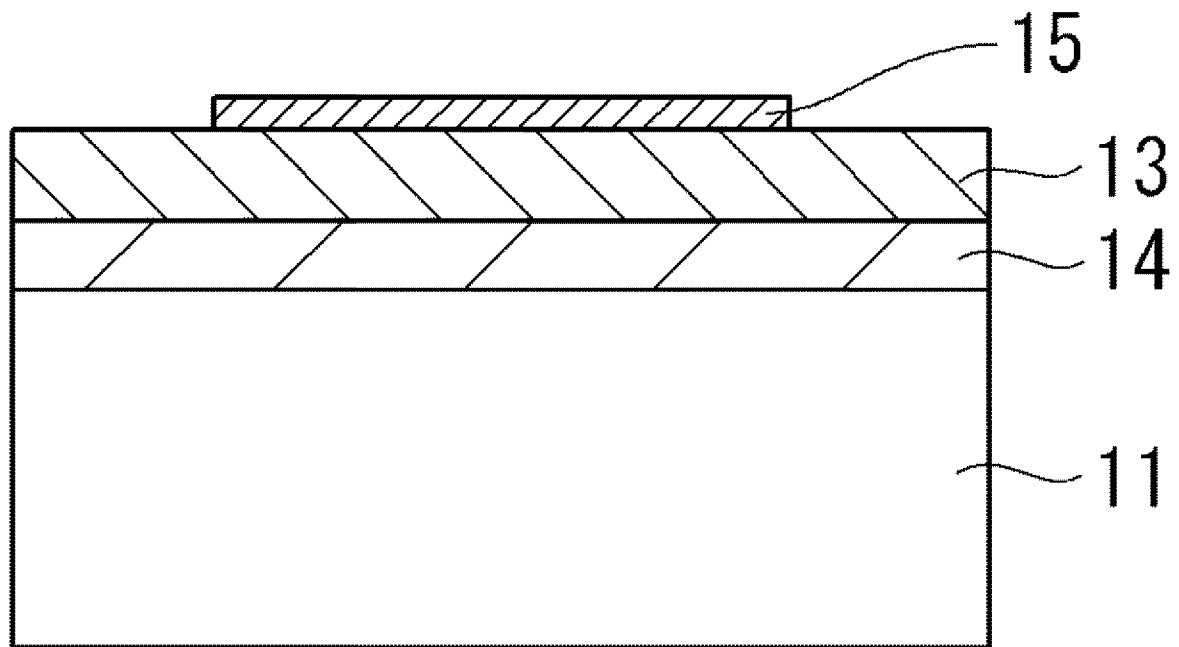
[図2D]



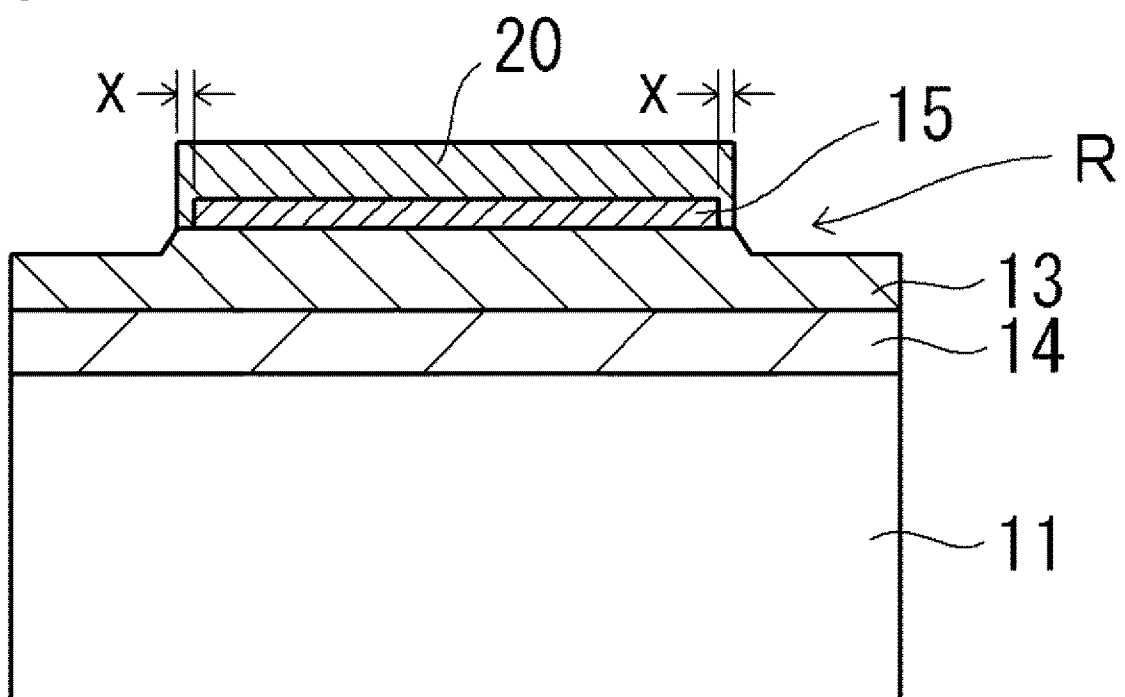
[図3A]



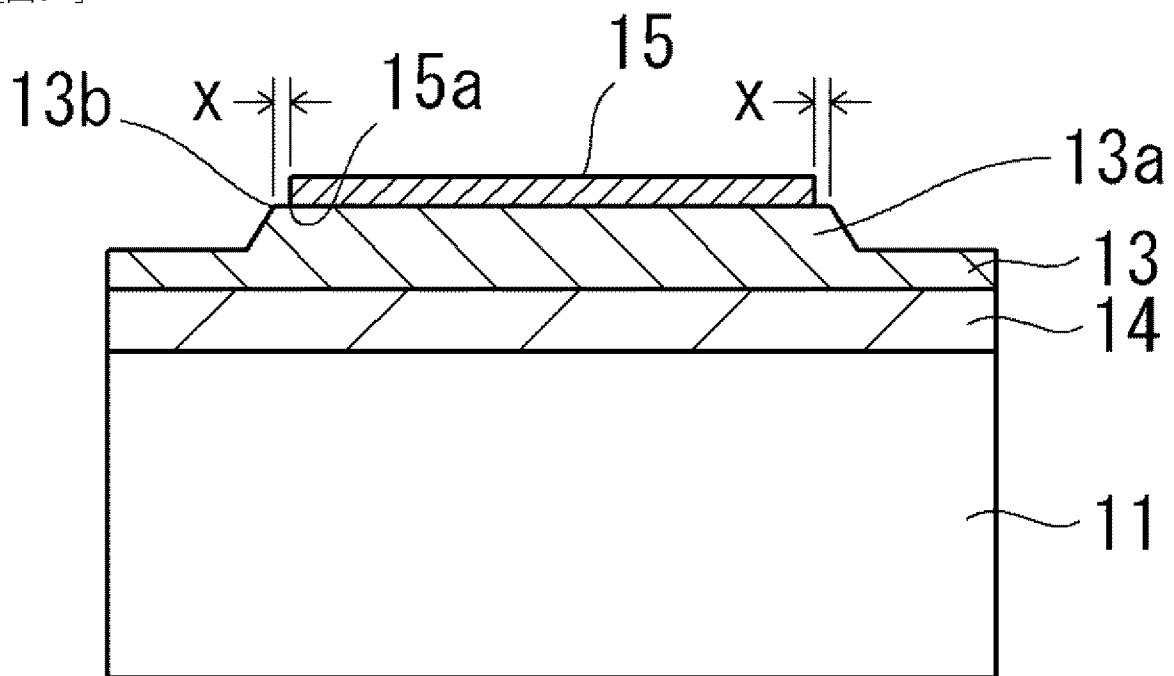
[図3B]



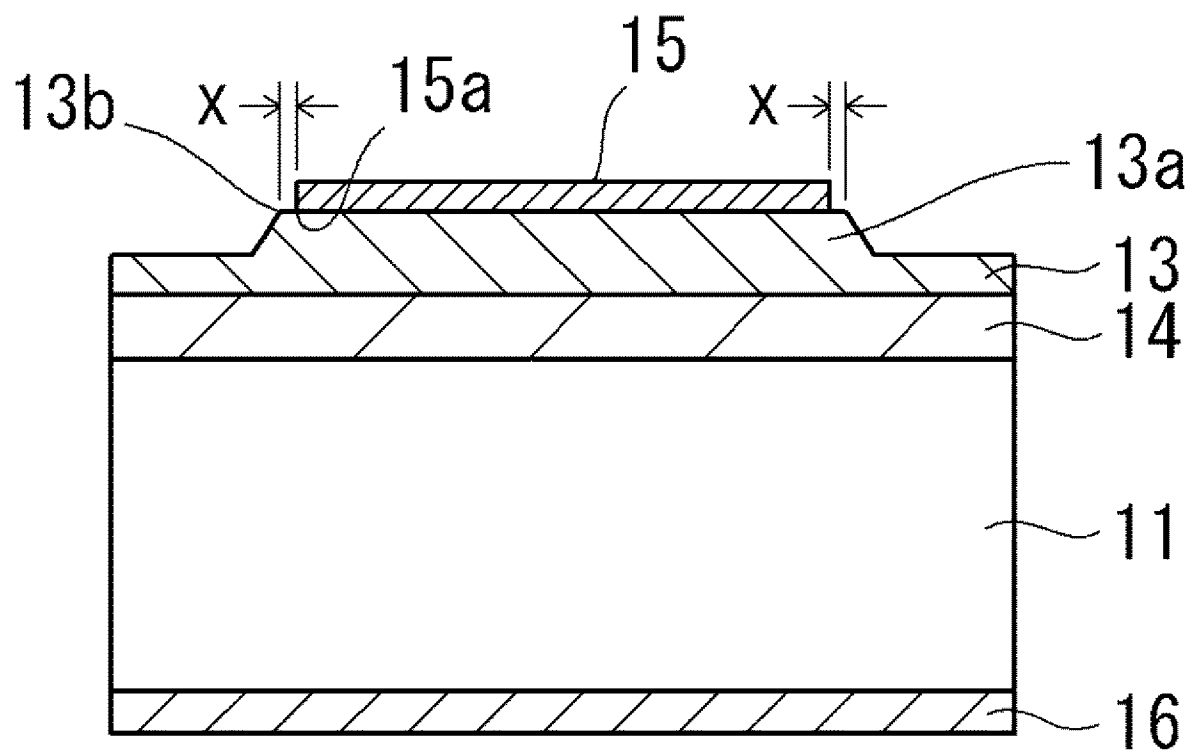
[図3C]



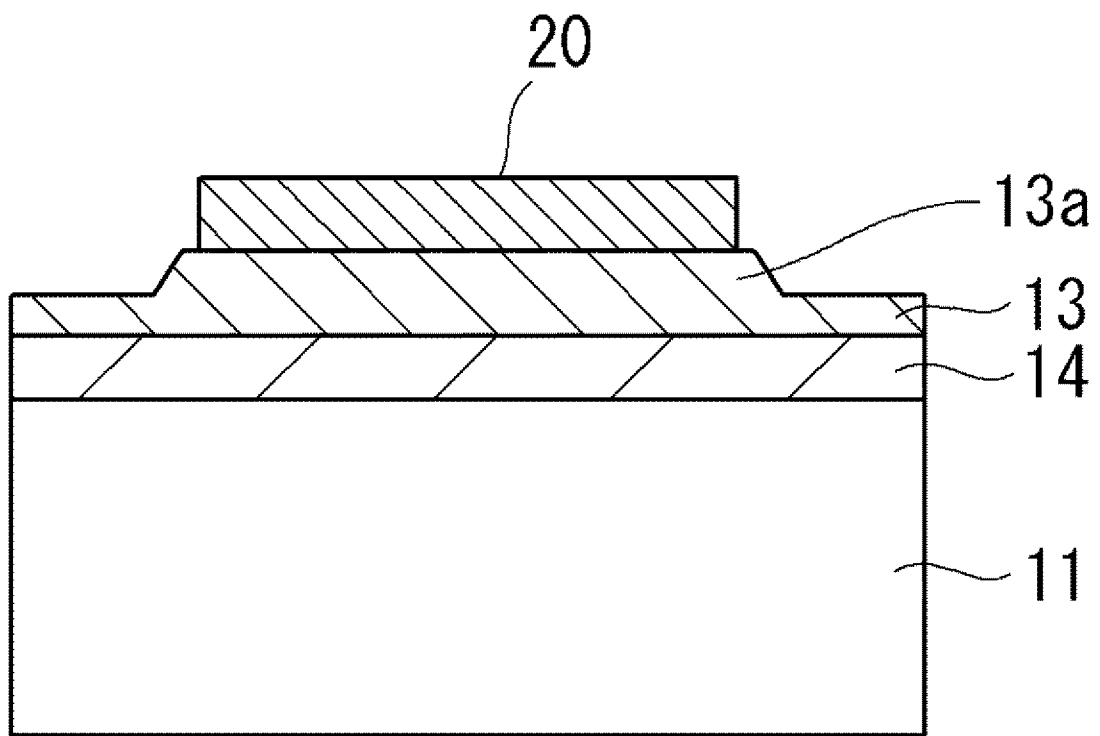
[図3D]



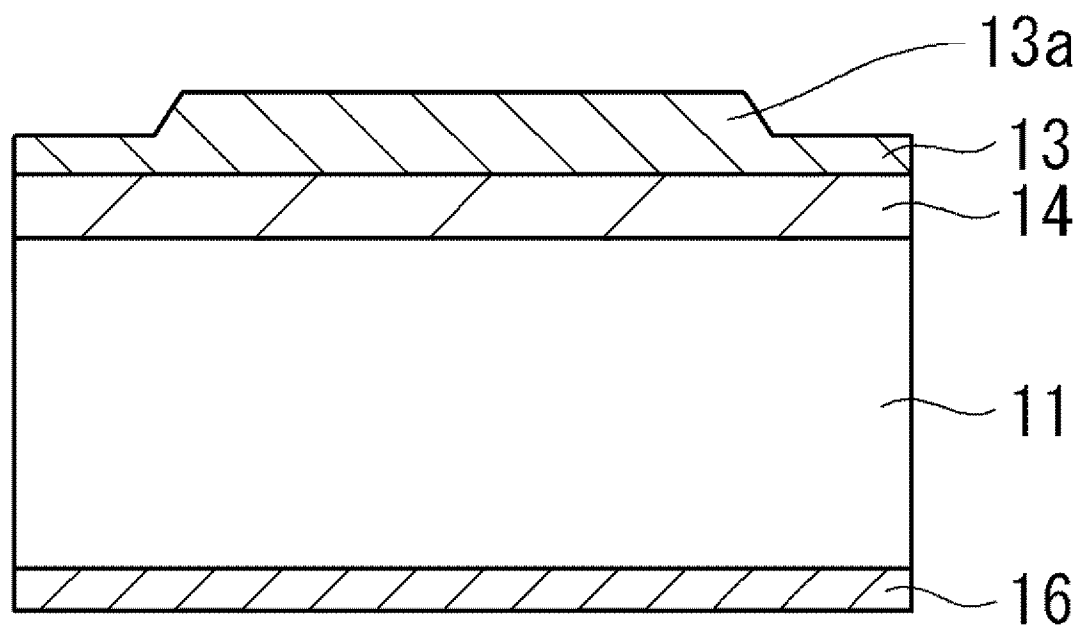
[図3E]



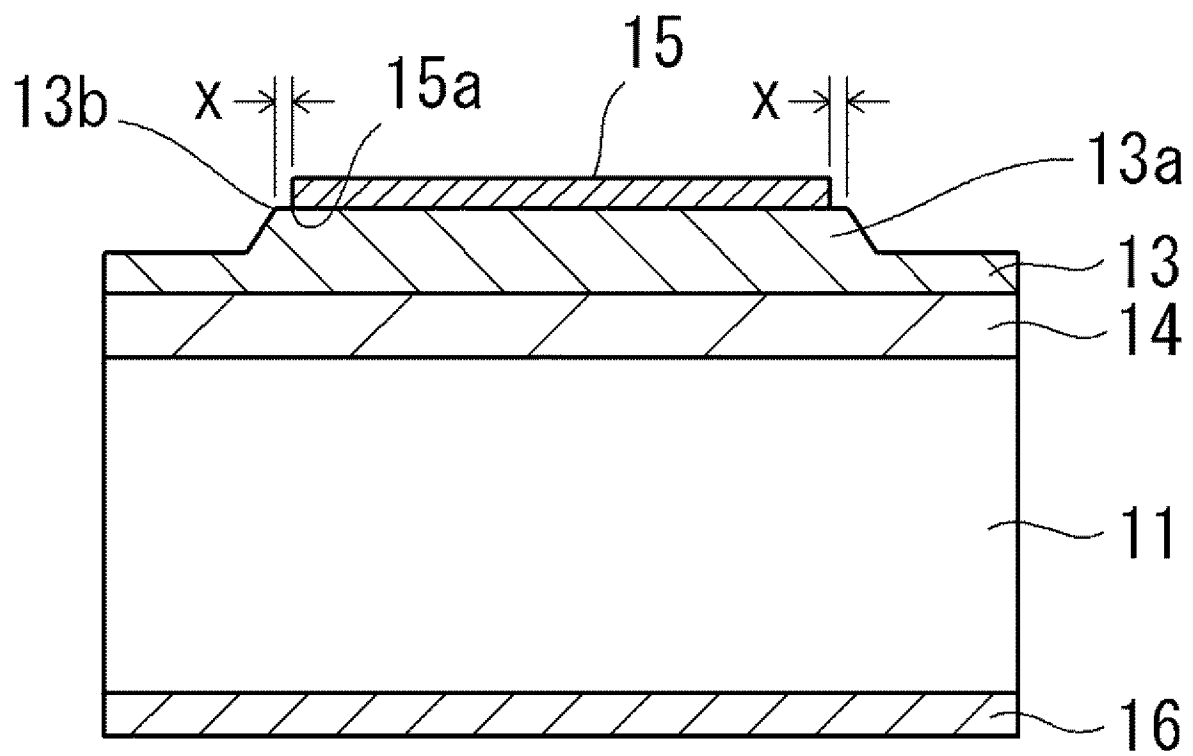
[図4A]



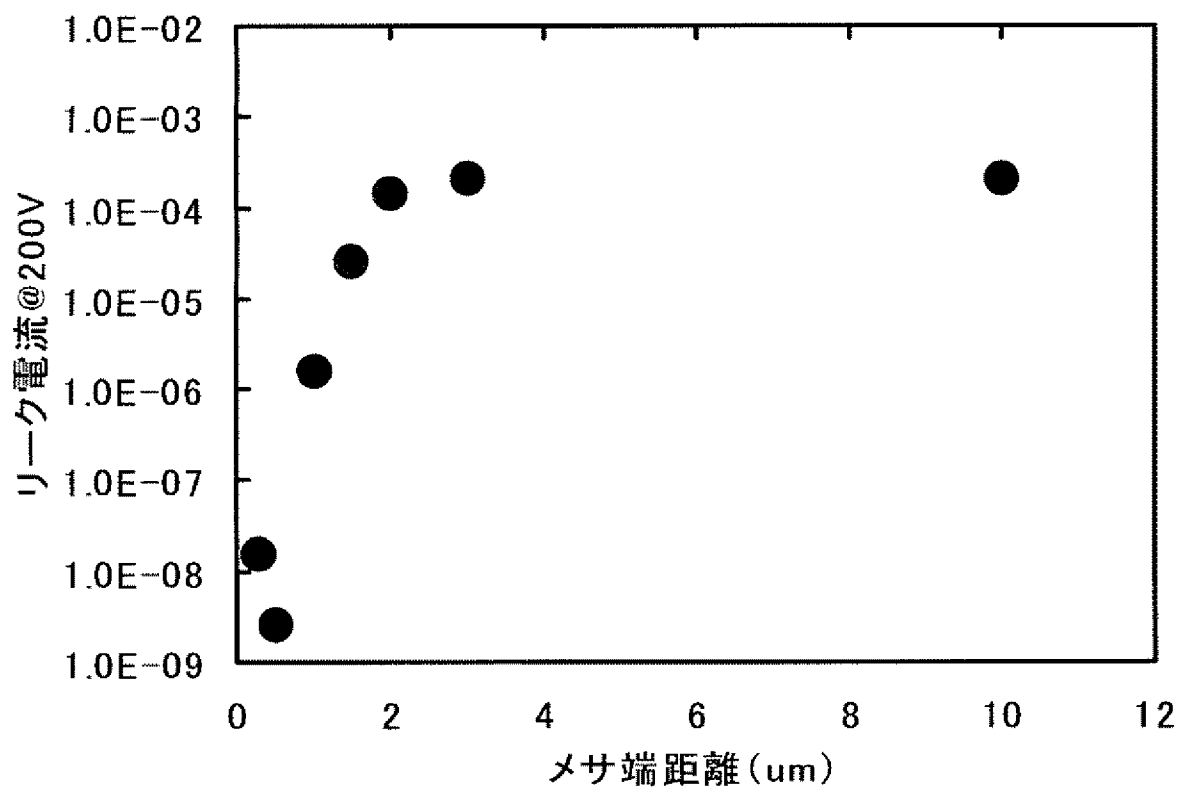
[図4B]



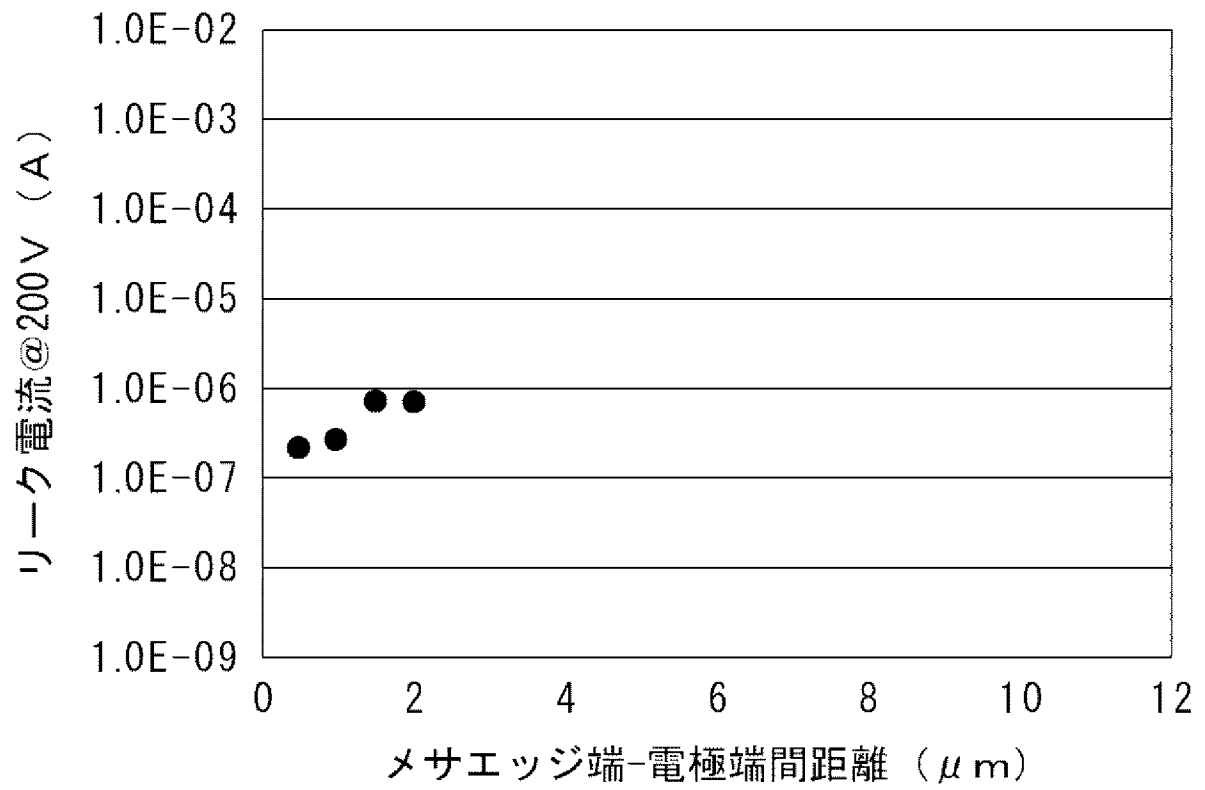
[図4C]



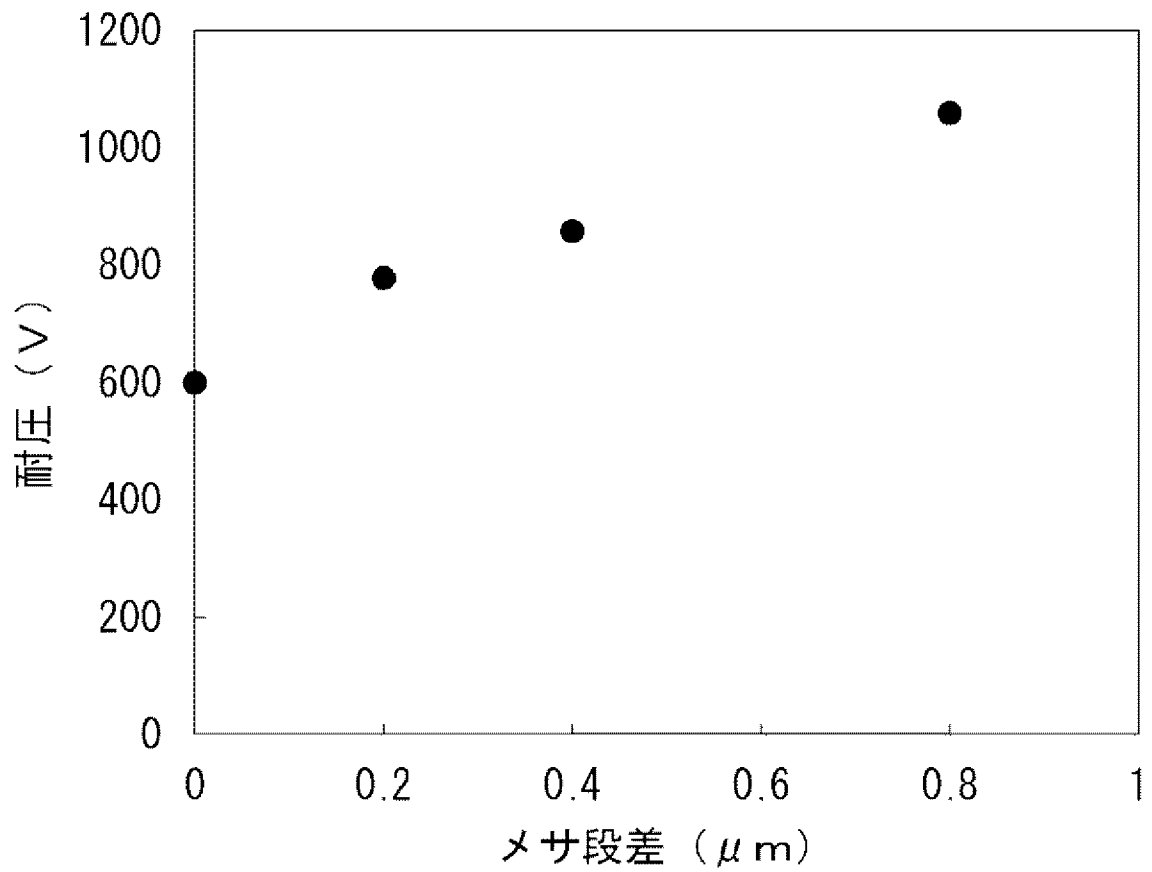
[図5A]



[図5B]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/055089

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/47(2006.01) i, H01L29/872(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/47, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008

Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 48-027504 B1 (Varian Associates), 23 August, 1973 (23.08.73), Full text; all drawings & US 3562606 A & GB 1322369 A & FR 2058238 A	1, 4, 6 2, 3, 5, 7, 8
X A	JP 48-022390 B1 (Tokyo Shibaura Electric Co., Ltd.), 05 July, 1973 (05.07.73), Full text; all drawings (Family: none)	1, 4, 6 2, 3, 5, 7, 8
X A	JP 45-017247 B1 (Matsushita Electronics Corp.), 15 June, 1970 (15.06.70), Full text; all drawings (Family: none)	1, 4, 6 2, 3, 5, 7, 8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 May, 2008 (14.05.08)Date of mailing of the international search report
27 May, 2008 (27.05.08)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/055089

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 48-013273 B1 (Nippon Telegraph & Telephone Public Corp.), 26 April, 1973 (26.04.73), Full text; all drawings (Family: none)	1, 7, 8 2-6

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/47(2006.01)i, H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/47, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 4 8 - 0 2 7 5 0 4 B 1 (バリアン・アソシエイツ) 1 9 7 3 . 0 8 . 2 3, 全文, 全図	1, 4, 6
A	& U S 3 5 6 2 6 0 6 A & G B 1 3 2 2 3 6 9 A & F R 2 0 5 8 2 3 8 A	2, 3, 5, 7, 8
X	J P 4 8 - 0 2 2 3 9 0 B 1 (東京芝浦電気株式会社) 1 9 7 3 . 0 7 . 0 5, 全文, 全図 (ファミリーなし)	1, 4, 6
A		2, 3, 5, 7, 8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 5 . 2 0 0 8

国際調査報告の発送日

2 7 . 0 5 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小野田 誠

4 L

8 4 2 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 4 5 - 0 1 7 2 4 7 B 1 (松下電子工業株式会社)	1, 4, 6
A	1 9 7 0 . 0 6 . 1 5 , 全文, 全図 (ファミリーなし)	2, 3, 5, 7, 8
X	J P 4 8 - 0 1 3 2 7 3 B 1 (日本電信電話公社)	1, 7, 8
A	1 9 7 3 . 0 4 . 2 6 , 全文, 全図 (ファミリーなし)	2-6