



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월28일
(11) 등록번호 10-0972756
(24) 등록일자 2010년07월22일

(51) Int. Cl.

H01P 1/22 (2006.01)

(21) 출원번호 10-2008-0052583

(22) 출원일자 2008년06월04일

심사청구일자 2008년06월04일

(65) 공개번호 10-2009-0126485

(43) 공개일자 2009년12월09일

(56) 선행기술조사문헌

JP06152301 A*

JP08008675 A*

KR1020070082993 A*

JP11205067 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

금오공과대학교 산학협력단

경상북도 구미시 양호동 1 금오공과대학교 내

(72) 발명자

김영

경상북도 칠곡군 석적면 중리 141 3공단 부영아파트 111동 1206호

김일규

대구광역시 동구 신천4동 코오롱아파트 1동 401호

(뒷면에 계속)

(74) 대리인

김순용

전체 청구항 수 : 총 3 항

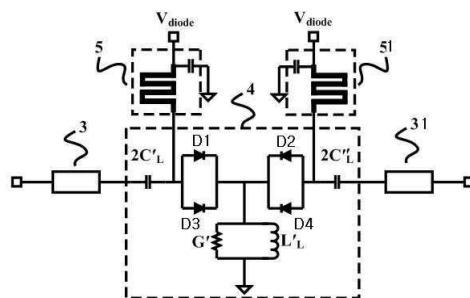
심사관 : 권기원

(54) 광대역 감쇠기

(57) 요약

본 발명은 광대역 감쇠기에 관한 것으로, 입력부와 출력부를 양단에 가지고, 입력 임피던스를 일정 값으로 정합하여, 전력 신호의 크기 가변을 위한 가변 감쇠기에 있어서, 제공되는 전원의 크기에 따라 입력 신호를 가변적으로 감쇠하는 입력측 핀다이오드부와, 상기 입력 핀다이오드부와 대칭적으로 구성되어 출력 임피던스를 일정값으로 정합하고 상기 입력 핀다이오드부와 대칭적으로 구성되어 출력 임피던스를 일정값으로 정합하고 상기 입력 핀다이오드부를 통한 신호를 상기 입력 핀다이오드부에 제공되는 전원의 크기에 따라 가변적으로 감쇠하는 출력 핀다이오드부와, 외부로부터 크기가 조절된 전원을 상기 입력 핀다이오드부와 출력 핀다이오드부에 동시에 제공하여 입출력 신호의 감쇠량을 제어하도록, 상기 대칭 배열된 입출력 핀다이오드부의 애노드단에 각각 연결되어 상호 연동하는 입출력측 전원부를 포함하여 이루어져서, 메타 재질(Metamaterial)에 기초한 Composite Right/Left- Handed(CRLH) 전송선로 구조에 근거하여 등가적으로 가변 저항 역할을 하는 핀 다이오드를 이용하여 다이오드에 인가되는 전압 변화에 따라 감쇠 특성을 추출 및 조절할 수 있도록 하였다.

대표도 - 도4



(72) 발명자

손강호

인천광역시 부평구 십정2동 432-12 광명7차아파트
가동 507호

김승환

대구광역시 서구 평리6동 606-6번지

특허청구의 범위

청구항 1

입출력측 전송 선로에 각각 설치되어 저주파 통과 여파기 특성을 갖는 입출력측 RH 전송선로와,

상기 입출력측 RH 전송선로 사이에 접속되고, 핀다이오드를 포함하며, 고주파 통과 여파기 특성을 갖는 LH 전송선로와,

상기 LH 전송 선로의 핀다이오드에 안정적인 구동 전압을 공급하는 입출력측 전원부를 포함하고,

상기 LH 전송선로는, 입출력부에 각각 직렬 접속되며 고주파 통과 특성을 가진 입출력측 커패시터와, 상기 입출력측 커패시터 각각에 대해 순방향 접속되며 감쇠 특성을 가진 한 쌍의 핀 다이오드로된 감쇠부와, 상기 핀 다이오드의 캐소드단에 공통으로 접속되는 G'-L'L 병렬접속회로를 포함하며,

상기 감쇠부를 N단으로 구성하여, 최대 감쇠 값이 $10^{\frac{N}{2}}$ 배로 증가하도록 한 것을 특징으로 하는 광대역 가변 감쇠기.

청구항 2

제 1 항에 있어서,

상기 감쇠는, 상기 입출력측 핀 다이오드에 인가되는 선택적인 전압에 의해 다이오드의 등가저항의 증가로서 감쇠 상수가 팽창하여 감쇠 비를 각각 조정하도록 된 것을 특징으로 하는 광대역 가변 감쇠기.

청구항 3

제 1 항에 있어서,

상기 입출력측 전원부는, 상기 핀 다이오드부의 직류 전압을 안정적으로 공급하기 위하여 RFC 역할을 하는 $\lambda/4$ 고 임피던스와 바이패스 커패시터를 포함하여 이루어진 것을 특징으로 하는 광대역 감쇠기.

청구항 4

삭제

청구항 5

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 CRLH 전송선로 구조에 핀 다이오드를 이용하여 다이오드의 전압 값에 따라 내부 저항 값을 변하게 하여 광대역에서 감쇠 상수를 조정하는 광대역 가변 감쇠기에 관한 것이다.

배경기술

[0002] 현대 무선 이동통신 시스템에서 가변 감쇠기는 가변 위상 변환기와 함께 시스템 내에 신호의 크기와 위상을 조정하기 위해 널리 사용되고 있다. 특히, 피드-포워드(Feed-Forward)나 전치왜곡(Predistortion)과 같은 선형화 기와 같이 복잡성이 큰 회로에 배치되기 위해서는 정확한 크기와 위상 조정이 요구된다.

[0003] 가변 감쇠기는 신호의 크기를 조정하기 위한 것으로 대부분 등가 저항 역할을 하는 핀 다이오드 및 쇼트키(Schottky) 다이오드를 이용하고, 그 방법에는 위상 변화를 최소화하여 감쇠를 조정하는 방법이 있다. 또한, 핀 다이오드를 이용할 경우, 전압제어에 의해 감쇠가 조정되므로 거기에 따른 온도 보상을 하는 방법도 있으며,

BJT나 FET를 이용하여 이득을 가지는 감쇠기 설계 방법 등이 있다.

- [0004] 다이오드를 이용한 가변 감쇠기의 대표적인 방법으로는 반사형 저위상 변화 감쇠 방법과 0dB 커플러를 이용한 감쇠 방법이 있다.
- [0005] 상기의 방법들은 저위상 변화에 감쇠 조정이 용이하지만, 회로의 크기가 크고, 협대역 특성을 가지는 단점이 있다. 0dB 커플러를 이용한 감쇠 방법의 경우에는 위상도 상대적으로 변화폭이 크다.
- [0006] 상기 방법 중, 온도 보상을 하는 감쇠기의 경우에는, -15℃에서 60℃까지 적당한 온도 보상과 감쇠 특성을 가지지만, 온도 보상을 위하여 핀 다이오드를 Π -형이나 병렬로 구성하여 회로가 복잡해지고, 크기가 커지며 비용도 많이 드는 단점이 있다.
- [0007] 또한, 상기 방법 중, BJT나 FET를 이용하는 감쇠 방법은 이득을 가지면서 감쇠 조정이 가능한 특성을 가지므로 기존의 삽입 손실의 단점을 보완할 수 있지만, 감쇠에 따른 위상의 변화가 심하여 부가적인 위상 보상 회로가 필요하다는 단점을 내포하고 있었다.

발명의 내용

해결 하고자하는 과제

- [0008] 이에 본 발명은 상기와 같은 종래의 제반 문제점을 해결하기 위해 제안된 것으로, 본 발명의 목적은 종래의 협대역 특성을 갖는 감쇠기의 대역을 개선하기 위해 CRLH 전송선로 구조에 핀 다이오드를 이용하여 다이오드의 전압 값에 따라 내부 저항 값을 변하게 하여 광대역에서 감쇠 상수를 조정하는데 있다.
- [0009] 특히, 본 발명의 동작 원리는 하기의 설명으로 기술하였으며, 기존의 감쇠기보다 훨씬 소형화 할 수 있음을 쉽게 알 수 있을 것이다.

과제 해결수단

- [0010] 상기와 같은 목적을 달성하기 위하여, 본 발명에 따른 광대역 감쇠기는,
- [0011] 입력부와 출력부를 양단에 가지고, 입력 임피던스를 일정 값으로 정합하여, 전력 신호의 크기 가변을 위한 가변 감쇠기에 있어서,
- [0012] 제공되는 전원의 크기에 따라 입력 신호를 가변적으로 감쇠하는 입력측 핀다이오드부(1)와,
- [0013] 상기 입력 핀다이오드부(D1)와 대칭적으로 구성되어 출력 임피던스를 일정값으로 정합하고 상기 입력 핀다이오드부(D1)와 대칭적으로 구성되어 출력 임피던스를 일정값으로 정합하고 상기 입력 핀다이오드부(D1)를 통한 신호를 상기 입력 핀다이오드부(D1)에 제공되는 전원의 크기에 따라 가변적으로 감쇠하는 출력 핀다이오드부(D2)와,
- [0014] 외부로부터 크기가 조절된 전원을 상기 입력 핀다이오드부(D1)과 출력 핀다이오드부(D2)에 동시에 제공하여 입출력 신호의 감쇠량을 제어하도록, 상기 대칭 배열된 입출력 핀다이오드부(D1, D2)의 애노드단에 각각 연결되어 상호 연동하는 입출력측 전원부(5, 51)를 포함하여,
- [0015] 감쇠 상수와 전파 상수를 가변시켜 주기 위한 핀다이오드부가 포함된 CRLH 전송선로 구조로 된 것을 특징으로 한다.
- [0016] 또, 본 발명은, 저대역 통과 여파기 특성을 갖는 Right-Handed(RH) 전송선로와; 증가적으로 가변 저항 역할을 하는 핀 다이오드를 포함하고 고대역 통과 여파기 특성을 갖는 Left-Handed(LH) 전송선로로 구성할 수 있으나, 소자의 파라미터 성분들에 의해서 CRLH 전송선로로 구성되어 핀다이오드의 전압 값에 따라 감쇠상수를 조정할 수 있는 감쇠기로 구현하고, 광대역 특성을 가지고, 소형, 경량으로 제작되어 기지국, 중계기뿐 만 아니라 단말기에도 내장될 수 있게 된 것을 특징으로 한다.

발명의 실시를 위한 구체적인 내용

- [0017] 이와 같이 구성된 본 발명에 의한 광대역 감쇠기의 바람직한 실시예를 첨부한 도면에 의거하여 상세히 설명하면

다음과 같다. 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서, 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있으며, 이에 따라 각 용어의 의미는 본 명세서 전반에 걸친 내용을 토대로 해석되어야 할 것이다.

[0018] 이에 도시된 바와 같이, 도 1은 본 발명의 이론의 근거인 단위 길이 $\Delta\Phi$ 를 가지는 CRLH 전송선로의 등가회로로서, 손실을 가지는 직렬 공진 소자(1)와 손실을 가지는 병렬 공진 소자(2)로 구성되어 있다.

[0019] 이 때, 직렬 공진 소자(1)와 병렬 공진 소자(2)를 단위 길이 당 임피던스(Impedance)와 어드미턴스(admittance)로 나타내면 <수학식 1>과 <수학식 2>로 나타낼 수 있다.

수학식 1

[0020]
$$Z' = R' + jX' \text{ with } X' = \left(\omega L'_R - \frac{1}{\omega C'_L} \right)$$

수학식 2

[0021]
$$Y' = G' + jB' \text{ with } B' = \left(\omega C'_R - \frac{1}{\omega L'_L} \right)$$

[0022] 상기 <수학식 1>과 <수학식 2>를 이용하여 복소 전파 상수를 계산하면 <수학식 3>과 같고, 특성 임피던스는 <수학식 4>와 같다.

수학식 3

[0023]
$$\gamma = \alpha + j\beta = \sqrt{ZY'} = \sqrt{(R'G' - X'B') - j(R'B' + G'X')}$$

수학식 4

[0024]
$$Z_c = R_0 + jX_0 = \sqrt{\frac{Z'}{Y'}} = \sqrt{\frac{R' + jX'}{G' + jB'}}$$

[0025] CRLH 전송선로가 손실이 없다고 가정한다면, 상기 <수학식 3>과 <수학식 4>에서 $R'=G'=0$ 이 된다.

[0026] 그러나, 이상적이지 않는 CRLH 전송선로의 손실 효과를 알아보기 위해서는 상기 <수학식 3>을 간소화할 필요가 있고, 저대역 통과 특성을 갖는 RH 소자의 영향을 받지 않는 상대적으로 낮은 주파수에서 해석한다면, $L'_R=C'_R=0$ 으로 복소 전파 상수를 <수학식 5>와 같이 표현할 수 있다.

수학식 5

[0027]
$$\gamma_i = j \sqrt{\frac{1 - R'G'(\frac{\omega\omega'_L}{\omega})^2 + j\omega(C'_R R'_L + L'_R G')}{\omega\omega'_L}} = \alpha_i + j\beta_i$$

[0028] 도 2는 상기 도 1의 등가 전송선로를 T-형태로 표현하였고, <수학식 6>에서 ABCD 파라미터로 표현하였다. 이 때, Z' 와 Y' 는 <수학식 1>과 <수학식 2>에서 정의되어 있다.

수학식 6

[0029]
$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 + \frac{Z'}{2Y} & \frac{Z'}{2} \left(1 + \frac{Z'}{Y} \right) \\ \frac{1}{2Y} \left(1 + \frac{Z'}{Y} \right) & 1 + \frac{Z'}{2Y} \end{bmatrix}$$

수학식 7

[0030]
$$\begin{bmatrix} S_{11,N} & S_{12,N} \\ S_{21,N} & S_{22,N} \end{bmatrix} = \frac{1}{A_N + B_N/Z_c + C_N Z_c + D_N} \gamma$$

[0031]
$$\begin{bmatrix} A_N + B_N/Z_c + C_N Z_c + D_N & 2(A_N D_N - B_N C_N) \\ 2 & -A_N + B_N/Z_c - C_N Z_c + D_N \end{bmatrix}$$

[0032] 또한, 도 2의 전송선로가 N 단위 셀이라면, S 파라미터는 <수학식 7>과 같이 표현할 수 있고, <수학식 8>과 같이 $S_{21,N}$ 의 계수를 추출하여 감쇠상수, α 를 <수학식 9>와 같이 계산할 수 있다. <수학식 8>과 <수학식 9>에서의 l 은 전송선로의 총 물리적 길이이다.

[0033] 도 3은 상기 <수학식 5>를 이용하여 R 값의 변화에 따라 주파수 대비 감쇠 상수의 특성을 보여주고, R 값이 커짐에 따라 감쇠 상수의 변화가 커지는 것을 확인할 수 있다.

수학식 8

[0034]
$$S_{21,N} = |S_{21,N}| e^{j\phi(S_{21,N})} = e^{-\alpha l} e^{-j\beta l}$$

수학식 9

[0035]
$$\alpha = -\ln |S_{21,N}| / l$$

[0036] 도 4는 R 값에 따라 감쇠 상수를 조정하기 위해 본 발명에 따른 감쇠기의 장치 도면이다. RH 전송선로(3)은 하기 <수학식 10>과 <수학식 11>에 의해 구현되었고, 이 때, <수학식 11>에서 N은 단위 셀의 수이다.

수학식 10

[0037]
$$Z_{CR} = \sqrt{\frac{L_R}{C_R}}$$

수학식 11

[0038]
$$\Phi^{RH} = -N\omega \sqrt{L_R Y C_R}$$

[0039] LH 전송선로(4)는 도 3의 등가 전송선로와 동일하게 구현되었고, R 대신에 핀 다이오드를 배치하였다. 핀 다이오드의 직류 전압을 안정적으로 공급하기 위하여 RFC 역할을 하는 $\lambda/4$ 고 임피던스와 바이패스(bypass) 캐패시터를 포함한 입출력측 전원부(5, 51)를 입출력부 양측에 배치하였다.

[0040] 본 발명에 따른 광대역 가변 감쇠기는, 입, 출력측 전송 선로에 각각 설치되어 저주파 통과 여파기 특성을 갖는 입출력측 RH 전송선로(3, 31)와, 상기 입출력측 RH 전송선로(3, 31) 사이에 접속되고, 핀 다이오드를 포함하며, 고주파 통과 여파기 특성을 갖는 LH 전송 선로(4)와, 상기 LH 전송 선로(4)의 핀 다이오드에 안정적인 구동 전압을 공급하는 입, 출력측 전원부(5)를 포함하여 이루어진다.

[0041] 또한, 상기 LH 전송 선로(4)는, 입, 출력측 단자에 각각 직렬 접속되며 고주파 통과 특성을 가진 입출력 캐패시터($2C'L$, $2C''L$)와, 상기 입, 출력 캐패시터($2C'L$, $2C''L$) 각각에 대해 순방향 접속되며 감쇠 특성을 가진 한 쌍 이상의 핀 다이오드(D1, D2, ...)로된 감쇠부와, 상기 핀 다이오드(D1, D2)의 캐소드단에 공통으로 접속되는 G'-L'L 병렬접속회로를 포함하여 이루어진다.

[0042] 환언하면, 상기 광대역 가변 감쇠기는, 입력부와 출력부를 양단에 가지고, 입력 임피던스를 일정 값으로 정합하여, 전력 신호의 크기 가변을 위한 가변 감쇠기의 일환으로서, 제공되는 전원의 크기에 따라 입력 신호를 가변적으로 감쇠하는 입력측 핀다이오드부(D1)와, 상기 입력 핀다이오드부(D1)와 대칭적으로 구성되어 출력 임피던스를 일정값으로 정합하고 상기 입력 핀다이오드부(D1)와 대칭적으로 구성되어 출력 임피던스를 일정값으로 정합하고 상기 입력 핀다이오드부(D1)를 통한 신호를 상기 입력 핀다이오드부(D1)에 제공되는 전원의 크기에 따라 가변적으로 감쇠하는 출력 핀다이오드부(D2)와, 외부로부터 크기가 조절된 전원을 상기 입력 핀다이오드부(D1)과 출력 핀다이오드부(D2)에 동시에 제공하여 입출력 신호의 감쇠량을 제어하도록, 상기 대칭 배열된 입출력 핀다이오드부(D1, D2)의 애노드단에 각각 연결된 입출력측 전원부(5, 51)를 포함하여 이루어진다.

[0043] 이때, 상기 입출력측 전원부(5, 51)는 상호 연동하도록 동일 라인에 일체형으로 접속되어 있다.

[0044] 이와 같이 감쇠기는, 감쇠 상수와 전파 상수를 가변시켜 주기 위한 핀다이오드부가 포함된 CRLH 전송선로 구조

로 이루어진다.

- [0045] 또한, 상기 입력측 핀다이오드부(D1)에는, 감쇠 상수와 전파 상수를 가변시키기 위해, 상기 입력부와 출력부의 직렬 라인에서 입력측의 전송선로(3)에 직렬 연결된 입력측 커패시터(2C'_L)가 직렬 연결되어 있다.
- [0046] 또, 상기 출력측 핀다이오드부(D2)는, 상기 입력측 핀다이오드부(D1)와 대칭적으로 구성되어 출력 임피던스를 일정 값으로 정합하고 상기 입력측 핀다이오드부(D1)를 통한 신호를 출력측의 전송선로(31)에 직렬 연결된 출력측 커패시터(2C"_L)에 직렬 연결되어 있다.
- [0047] 또한, 상기 출력측 전원부(51)는 상기 출력측 핀다이오드부에서 출력측 전송선로(31)와 출력측 커패시터(2C"_L) 사이에 병렬 연결되어 있다.
- [0048] 상기 감쇠는, 상기 입출력 핀다이오드에 인가되는 선택적인 전압에 의해 다이오드의 등가저항의 증가로서 감쇠 상수가 팽창하여 감쇠 비를 각각 조정하도록 되어 있다.
- [0049] 물론, 저항을 줄여 손실을 저감하도록 추가의 핀다이오드(D3 및 D4)가 각각 입출력측 핀다이오드부(D1, D2)에 복수로 병렬연결되도록 구성해도 된다.
- [0050] 상기 입출력측 핀다이오드부(D1, D2)를 포함하는 감쇠부를 N단으로 구성하여, 최대 감쇠 값이 $10^{\frac{N}{2}}$ 배로 증가하도록 구성해도 된다.
- [0051] 이와 같이 구성된 감쇠기의 작동을 후술한다.
- [0052] 일례로, 초단파 혹은 극초단파 대역의 입력신호를 감쇠하고자 할 경우 원하는 감쇠량에 따른 DC전원이 감쇠기에 공급되는 것으로 가정하여, 입력 신호의 감쇠량을 크게 하고자 할 경우 공급 전원의 크기는 큰 값으로 설정되고, 입력 신호의 감쇠량을 작게 하고자 할 경우 공급 전원의 크기는 작은 값으로 설정되게 된다.
- [0053] 물론, 입력 신호를 감쇠하지 않고자 할 경우에는 전원을 공급하지 않는다.
- [0054] 여기에서는 전원이 온되는 경우와 오프되는 경우로 나누어 가변 감쇠기의 동작을 설명한다.
- [0055] 먼저, 입력 신호를 감쇠시키지 않을 경우, 외부로부터 제어된 전원이 가변 감쇠기에 바이어스된다. 즉, 전원부(V diode)의 전원이 핀다이오드부(D1, D2)를 큰 전압으로 온시키면, 상기 입력 핀다이오드부(D1)와 출력 핀다이오드부(D2)는 동시에 온 상태가 되고, 신호경로에 직렬로 접속된 입출력 핀다이오드부(D1, D2)는 전송선로를 통해 쇼트상태가 된다. 따라서, 신호 경로에 대해서는 아무런 영향을 주지 못하며, 이에 따라 입력 신호는 감쇠없이 그대로 출력된다.
- [0056] 다음으로, 입력 신호를 감쇠시키고자 할 경우, 전원부(V diode)의 전원이 충분히 크지 않은 상태로 바이어스 된다. 이때 공급된 전원은 핀다이오드(D1, D2) 내부 저항값을 변화시키고, 신호 경로에 직렬로 접속된 입출력 핀다이오드부(D1, D2)는 전송선로에 영향을 주어 입력 신호를 감쇠시킨다.
- [0057] 또, 외부의 제어에 의해 전원부(V diode)의 전원은 가변 감쇠기에 공급되지 않는다. 그러면 입력 및 출력 핀다이오드(D1, D2)는 오프 상태가 되고, 상기 핀다이오드(D1, D2)의 내부 저항값이 커져서 입출력 부에서 보면 큰 임피던스값을 갖게 된다. 통상적으로 입출력 임피던스는 50 오옴으로 정합을 시키는데 이와 같은 조건에서는 매칭을 수행할 수가 없다.
- [0058] 그래서, 도 5 내지 도 10 에 예시된 바와 같이, 데이터에서 전압의 가변 범위가 0.63 V ~ 1 V가 되도록 하는 것이다.
- [0059] 결국, 입출력 임피던스가 50 오옴으로 매칭되는 즉, 입출력 반사 계수값이 0.3 이하가 되는 전압의 범위에서만 동작할 수 있도록 전압값의 조정 범위를 제한하고, 이러한 제한된 전압 범위에서 감쇠기를 동작시키면 위상의 변화가 작게 나타남으로써, 별도의 위상 변환 회로를 필요로 하지 않게 되는 것이다.
- [0060] 상기한 바와 같이, 전송되는 신호를 감쇠함에 있어, 공급되는 DC전원의 크기를 달리하면서 감쇠 정도를 변화시킬 수 있다. 이때, 입출력 임피던스는 50 오옴으로 유지되어, 감쇠 정도의 변화에 따른 반사 계수의 악화가 발생하지 않게 되는 것이다.
- [0061] 따라서, 감쇠 정도에 상관없이 일정 이상의 임피던스 정합을 유지하도록 하여 반사계수의 악화 발생을 방지하는데 일조를 하게 되는 장점이 있다.

- [0062] 또한, 입출력 핀다이오드부(D1, D2)와 같은 집중소자로 대치함으로써 전체적인 회로의 사이즈를 소형화할 수 있는 등의 매우 뛰어난 효과가 있는 것이다.
- [0063] 상기 구성된 감쇠기를 1단위 셀로 구성하여 애질런트 사의 ADS 시뮬레이션을 통해 확인한 결과, 도 5와 같이 핀다이오드의 전압에 따라 감쇠 특성과 위상 특성이 조정되는 것을 확인하였다. 1단위 셀의 경우, 1.5에서 3GHz의 대역에서 0.76V에서 1V의 핀 다이오드 전압 가변 시, 3.8dB의 감쇠와 25°의 위상 변화 특성을 확인하였다.
- [0064] 또한, 도 6와 도 7에서는 각각 2단위 셀과 3단위 셀로 구성된 감쇠기의 핀 다이오드 전압에 따른 감쇠 특성과 위상 특성을 나타낸다.
- [0065] 상기 결과 중, 도 6은 도 5와 동일한 대역에서 5.2dB의 감쇠와 53°의 위상 변화를 보여주고, 도 7 역시, 상기와 동일한 대역에서 6.4dB 감쇠 특성과 84°의 위상 변화를 보여준다.
- [0066] 상기 시뮬레이션 특성을 근거로 제작 및 측정된 결과, 1.5GHz에서 3GHz의 대역에서 0.63V에서 1V의 다이오드 바이어스 조건에 따른 1단위 셀과 2단위 셀, 3단위 셀의 실제 특성을 도 8, 도 9, 및 도 10에서 보여주고 있다.
- [0067] 1단위 셀의 경우, 9.5dB의 감쇠 특성과 15°의 위상 특성을 도 7에 명세하였고, 도 8에서는 2단위 셀 구성에서 17.5dB의 감쇠특성과 19.5°의 위상 특성을 보여주고, 3단위 셀을 구성하여 26.8dB의 감쇠와 12°의 위상 변화 특성을 도 9에서 확인하였다.
- [0068] 상기와 같은 본 발명은 CRLH 전송선로 등가 모델에서 R 소자의 위치에 핀 다이오드를 대체하여 구성된 감쇠기로서 핀다이오드의 전압 값에 따라 감쇠 상수를 조정할 수 있는 효과가 있다.
- [0069] 또한, 상기 핀다이오드가 포함된 CRLH 전송선로 구조로 구현할 경우, 별도의 위상 보상 회로를 소요하지 않는 등, 기존의 가변 감쇠기 구조보다 훨씬 소형화할 수 있다는 장점을 가진다.
- [0070] 이러한 구성은 소형 및 경량으로 구현할 수 있어서 중계기와 기지국 및 단말기에도 이용될 수 있으며, 기존의 감쇠기보다 광대역으로 이용할 수 있는 장점을 가지고 있다.
- [0071] 이상에서 본 발명의 바람직한 실시예에 한정하여 설명하였으나, 본 발명은 이에 한정되지 않고 다양한 변화와 변경 및 균등물을 사용할 수 있다. 따라서 본 발명은 상기 실시예를 적절히 변형하여 응용할 수 있고, 이러한 응용도 하기 특허청구범위에 기재된 기술적 사상을 바탕으로 하는 한 본 발명의 권리범위에 속하게 됨은 당연하다 할 것이다.

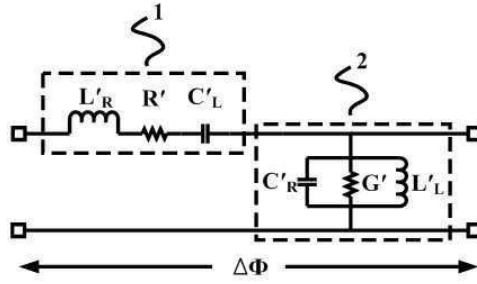
도면의 간단한 설명

- [0072] 도 1 은 CRLH 전송선로 이론에 기초한 단위 길이 당 전송선로의 등가회로를 보인 도면,
- [0073] 도 2 는 도 1의 등가회로를 T-형태로 보인 도면,
- [0074] 도 3 은 본 발명에 따른 CRLH 전송선로로 구성에서 저항 값에 따른 감쇠상수 특성을 매트랩으로 보인 도면,
- [0075] 도 4 는 본 발명에 따른 핀 다이오드가 포함된 CRLH 전송선로로 구성된 가변 감쇠기를 보인 도면,
- [0076] 도 5 는 본 발명에 따른 1 단위 셀 구성의 가변 감쇠기의 크기와 위상 특성을 애질런트 사의 ADS 시뮬레이션으로 보인 도면,
- [0077] 도 6 은 본 발명에 따른 2 단위 셀 구성의 가변 감쇠기의 크기와 위상 특성을 애질런트 사의 ADS 시뮬레이션으로 보인 도면,
- [0078] 도 7 은 본 발명에 따른 3 단위 셀 구성의 가변 감쇠기의 크기와 위상 특성을 애질런트 사의 ADS 시뮬레이션으로 보인 도면,
- [0079] 도 8 은 본 발명에 따른 1 단위 셀 구성의 가변 감쇠기를 제작하여 애질런트 사의 8753D 회로망 분석기를 통하여 가변 감쇠기의 크기와 위상 특성을 보인 도면,
- [0080] 도 9 는 본 발명에 따른 2 단위 셀 구성의 가변 감쇠기를 제작하여 애질런트 사의 8753D 회로망 분석기를 통하여 가변 감쇠기의 크기와 위상 특성을 보인 도면,
- [0081] 도 10 은 본 발명에 따른 3 단위 셀 구성의 가변 감쇠기를 제작하여 애질런트 사의 8753D 회로망 분석기를 통하여

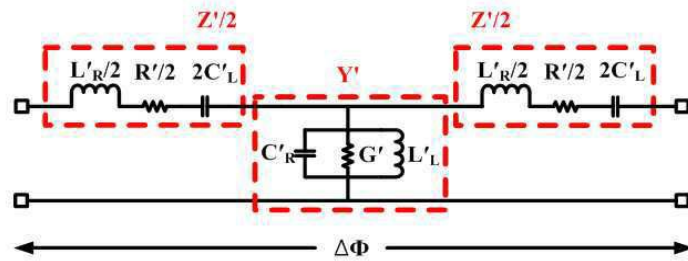
여 가변 감쇠기의 크기와 위상 특성을 보인 도면이다.

도면

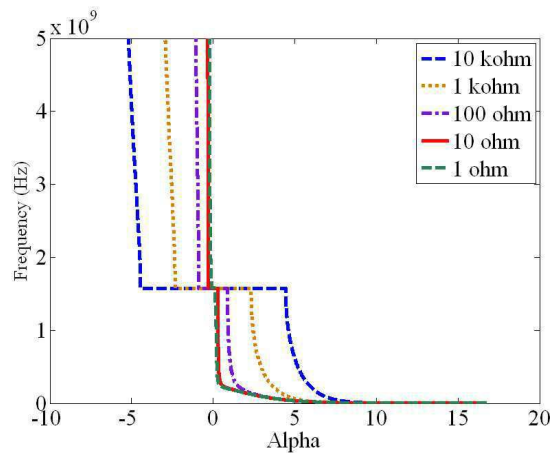
도면1



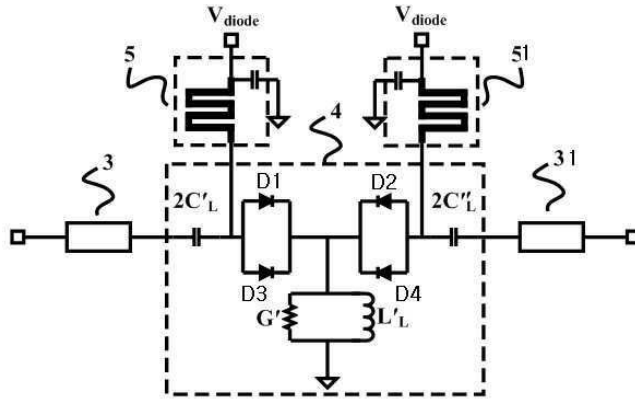
도면2



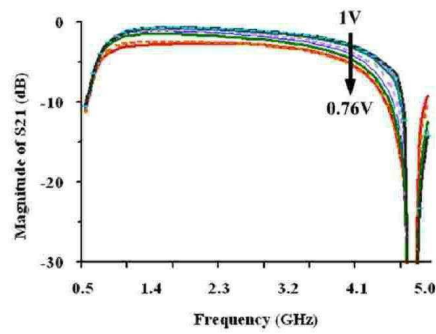
도면3



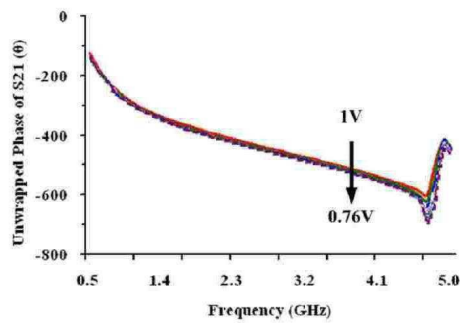
도면4



도면5

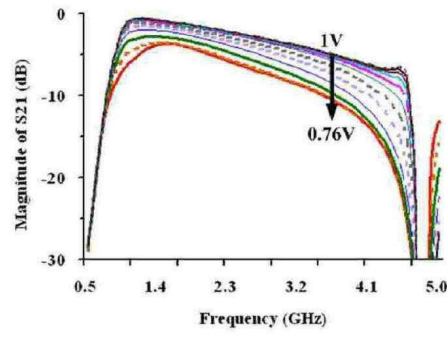


(a) 1 단위 셀 구성의 가변 감쇠기의 크기 특성(시뮬레이션)

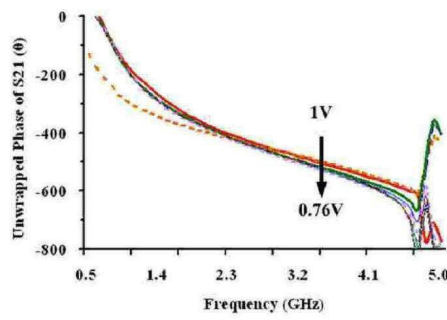


(b) 1 단위 셀 구성의 가변 감쇠기의 위상 특성(시뮬레이션)

도면6

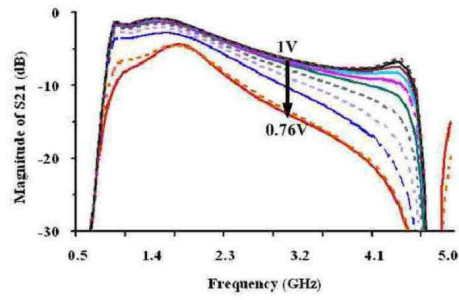


(a) 2 단위 셀 구성의 가변 감쇠기의 크기 특성(시뮬레이션)

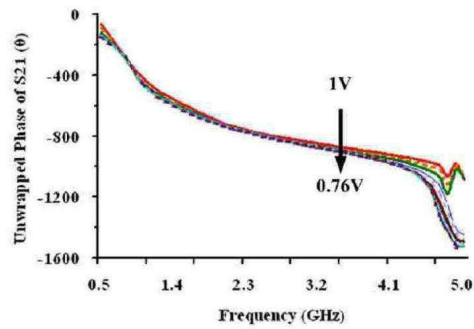


(b) 2 단위 셀 구성의 가변 감쇠기의 위상 특성(시뮬레이션)

도면7

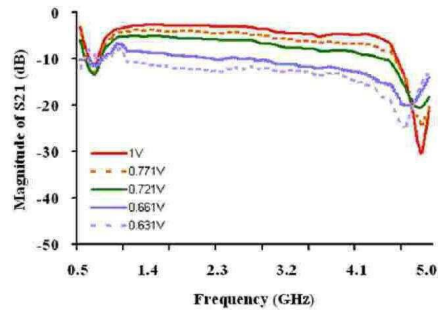


(a) 3 단위 셀 구성의 가변 감쇠기의 크기 특성(시뮬레이션)

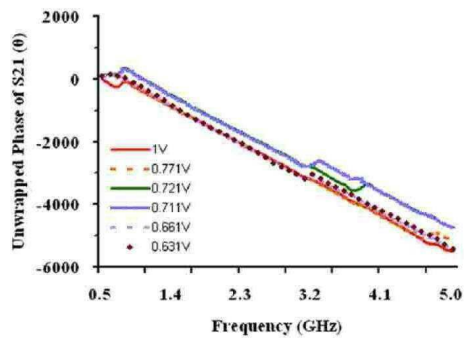


(b) 3 단위 셀 구성의 가변 감쇠기의 위상 특성(시뮬레이션)

도면8

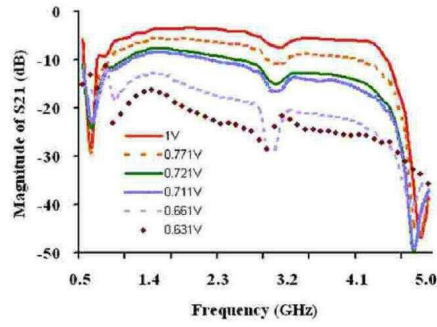


(a) 1 단위 셀 구성의 가변 감쇠기의 크기 특성(실험결과)

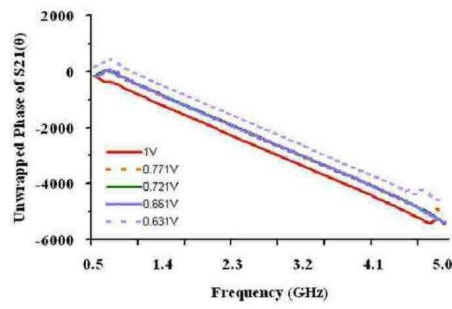


(b) 1 단위 셀 구성의 가변 감쇠기의 위상 특성(실험결과)

도면9

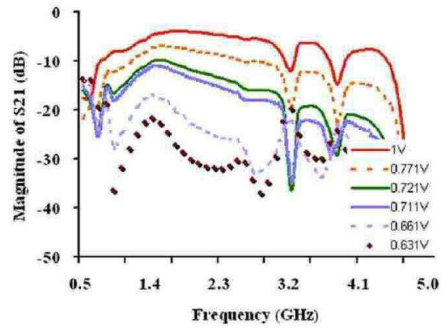


(a) 2 단위 셀 구성의 가변 감쇠기의 크기 특성(실험결과)

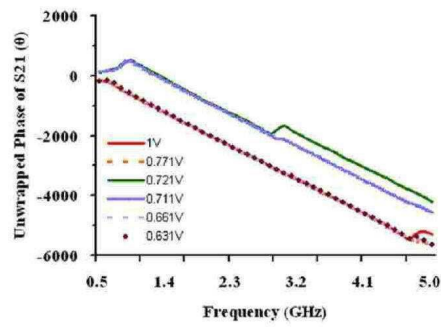


(b) 2 단위 셀 구성의 가변 감쇠기의 위상 특성(실험결과)

도면10



(a) 3 단위 셀 구성의 가변 감쇠기의 크기 특성(실험결과)



(b) 3 단위 셀 구성의 가변 감쇠기의 위상 특성(실험결과)