



(12) 发明专利

(10) 授权公告号 CN 1953198 B

(45) 授权公告日 2012.05.16

(21) 申请号 200610137400.2

审查员 柴春英

(22) 申请日 2006.10.16

(30) 优先权数据

2005-302315 2005.10.17 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 桑原秀明 大沼英人

(74) 专利代理机构 上海专利商标事务所有限公司
31100

代理人 张鑫

(51) Int. Cl.

H01L 27/32(2006.01)

H01L 51/50(2006.01)

(56) 对比文件

CN 1458640 A, 2003.11.26, 全文.

US 6739931 B2, 2004.05.25, 说明书第2栏

第51行到说明书第17栏第50行、附图1-12.

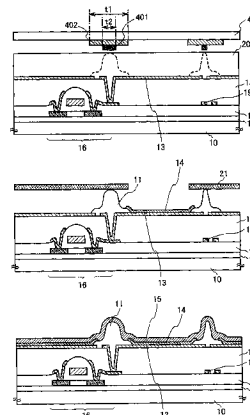
权利要求书 1 页 说明书 21 页 附图 14 页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明揭示一种半导体装置及其制造方法,其目的在于解决如下问题:由于随着高细致化而带来的像素区域的微细化、随着大面积化而带来的衬底的大型化,由于蒸发沉积时所使用的掩模的精度和挠曲等的原因而产生不良。本发明的技术要点如下:通过使用设置有由衍射光栅图形或半透膜构成的具有光强度降低功能的辅助图案的光掩模或中间掩模,在显示区域的像素电极(也被称为第一电极)上、以及像素电极层周边,形成具有膜厚不同的部分的隔离壁,而不增加工序。



1. 一种发光装置,该发光装置在具有绝缘表面的衬底上包括多个发光元件,其特征在于,

所述多个发光元件中的每一个包括:

第一电极;

覆盖该第一电极的端部的隔离壁;

形成在所述第一电极上的包含有机化合物的层;以及

形成在所述隔离壁和该包含有机化合物的层上的第二电极,其中

所述隔离壁包括突起部,

在所述隔离壁的侧面具有凹凸,

所述隔离壁在上端部和下端部具有根据位于隔离壁的内部的曲率中心被决定的两个曲面,并且在上端部和下端部之间还具有根据位于隔离壁的外侧的曲率中心被决定的一个曲面。

2. 根据权利要求1所述的发光装置,其特征在于,

所述隔离壁从所述发光元件上面到所述衬底具有向下面扩展的截面形状。

3. 根据权利要求1所述的发光装置,其特征在于,

所述隔离壁是单层。

4. 一种发光装置的制造方法,其特征在于,包括以下工序:

在具有绝缘表面的衬底上形成第一电极;

在所述第一电极的端部上通过使用具有衍射光栅图形或半透部的光掩模、或中间掩模,形成具有膜厚为厚的区域和膜厚比该区域薄的区域的隔离壁,在所述隔离壁的侧面具有凹凸;

在所述第一电极上形成包含有机化合物的层;以及

在所述包含有机化合物的层上形成第二电极,

其中,在所述隔离壁中的膜厚为薄的区域具有膜厚为厚的区域的至少一半或更小的厚度,

所述隔离壁在上端部和下端部具有根据位于隔离壁的内部的曲率中心被决定的两个曲面,并且在上端部和下端部之间还具有根据位于隔离壁的外侧的曲率中心被决定的一个曲面。

5. 根据权利要求4所述的发光装置的制造方法,其特征在于,

所述隔离壁是使用具有衍射光栅图形、或半透部的光掩模或中间掩模,选择性地进行曝光显影而形成的树脂。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及使用了发光元件的发光装置及其制造方法,其中发光元件可以通过将电场施加到在一对电极之间设置有包含有机化合物的膜(以下记为“有机化合物层”)的元件中来获得荧光或磷光。此外,发光装置是指图像显示器件、发光器件、或光源(包括照明装置)。

背景技术

[0002] 使用有机化合物作为发光体的发光元件的特征是厚度薄、重量轻、响应快、直流低电压驱动等,已期望用于下一代平板显示器的应用中。尤其是,由于宽视角和优良的能见度,将发光元件配置为矩阵形状的显示装置被认为比常规的液晶显示装置更有优势。

[0003] 发光元件的发光机理如下。也就是,当使一对电极之间夹有有机化合物层并施加电压时,由阴极注入的电子和由阳极注入的空穴在有机化合物层的发光中心相互复合形成分子激子。然后,当分子激子返回基态时,通过释放能量发生发光。在本领域中已知两种类型的激发态,单重态激发和三重态激发,并且可以在任何一种状态中发光。

[0004] 可以将诸如无源矩阵驱动(单纯矩阵类型)和有源矩阵驱动(有源矩阵类型)之类的驱动方法用于如上所述的发光元件配置为矩阵形状而形成的发光装置。然而,当像素密度增加时,优选采用其中每个像素(或每个点)提供有开关的有源矩阵类型,是由于它可以在低电压下驱动。

[0005] 在制造有源矩阵类型发光装置的情况下,在具有绝缘表面的衬底上形成作为开关元件的 TFT,将与该 TFT 电连接的像素电极用作阳极或阴极的 EL 元件配置为矩阵形状。

[0006] 另外,当制造有源矩阵类型发光装置或无源矩阵类型发光装置时,将用于对相互靠近的像素进行绝缘的隔离壁设置在像素电极的端部。

[0007] 本申请人提供了如专利文件 1 或专利文件 2 所述的隔离壁。

[0008] 专利文件 1 特开 2002-164181

[0009] 专利文件 2 特开 2004-127933

[0010] 在具备电致发光(以下也记为 EL)元件的显示装置中,为了进行彩色显示,而使用发彩色光的彩色发光元件。为了形成彩色发光元件,在电极上将各种颜色的发光材料形成成为微细的图形是一个重要因素。

[0011] 为了达到上述目的,一般采用的方法是在使用蒸发沉积法等形成材料时,通过使用掩模形成成为微细图形。

[0012] 但是,由于随着高细致化而带来的像素区域的微细化、随着大面积化而带来的衬底的大型化,由于蒸发沉积时所使用的掩模的精度和挠曲等的原因而产生不良,成为一个问题。

[0013] 本发明提供防止由于蒸发沉积时所使用的掩模的精度和挠曲等的原因而产生不良的结构,而不增加工序。

[0014] 另外,在使用红、绿、蓝的发光颜色的全色平板显示器中,对高精细化、高开孔率

化、或高可靠性的要求越来越高。在随着发光元件的高精细化（像素数的增加）及小型化而带来的每个显示像素间距的微细化中，这种要求是很大的问题。为了使有源矩阵类型发光装置或无源矩阵类型发光装置高精细化，还需要缩小隔离壁的上部形状以实现高精细化。本发明提供缩小了上部形状并可以实现更高精细化的显示的隔离壁、以及具备该隔离壁的发光装置。

[0015] 在本发明中，通过使用设置有由衍射光栅图形或半透膜构成的具有光强度降低功能的辅助图案的光掩模或中间掩模 (Reticle)，在显示区域的像素电极（也被称为第一电极）上、以及像素电极层周边，形成具有膜厚不同的部分的隔离壁，而不增加工序。

[0016] 本发明的隔离壁，以膜厚为厚的部分支撑蒸发沉积掩模，来防止由于蒸发沉积掩模的弯曲或挠曲等的原因而使蒸发沉积掩模接触像素电极表面。因此，在像素电极表面没有由掩模等导致的破损如伤痕等，不引起像素电极的形状不良，因此可以进行高细致的显示，并且可以制造高可靠性的显示装置。如果可以不使蒸发沉积掩模接触像素电极表面，则也可以选择性地形成膜厚为厚的部分的区域。换言之，只要在配置有多个像素的区域内形成一个膜厚为厚的部分，即可。

[0017] 另外，当在像素电极上形成包含有机化合物的层时，在本发明的隔离壁中的膜厚为薄的部分可以抑制在像素电极和隔离壁之间引起覆盖不良。因此，本发明的隔离壁尤其是对形成膜厚非常薄的包含有机化合物的层的情况很有效。在隔离壁中的膜厚为薄的部分具有膜厚为厚的部分的至少一半或更小的厚度。

[0018] 通过调整设置有由衍射光栅图形或半透膜构成的具有光强度降低功能的辅助图案的光掩模或中间掩模，可以减少膜厚为厚的部分的宽度，将膜厚为薄的部分的宽度包括在内的隔离壁宽度的总和也可以设定为小于 $20\ \mu\text{m}$ 。另外，在将隔离壁中的膜厚为厚的部分的宽度设定为大约 $5\ \mu\text{m}$ 的情况下，即使当蒸发沉积时来自蒸发沉积掩模的压力被施加，也可以确保强度，因为膜厚为薄的部分形成为从两侧支撑膜厚为厚的部分的形态。

发明内容

[0019] 本说明书所公开的发明的结构如下：一种在具有绝缘表面的衬底上具有多个发光元件的发光装置，所述发光元件包括：第一电极；覆盖该第一电极的端部的隔离壁；形成在所述第一电极上的包含有机化合物的层；以及形成在该包含有机化合物的层上的第二电极，其中，所述隔离壁从发光元件上面到衬底具有向下面扩展的截面形状，在隔离壁的侧面具有凹凸。

[0020] 另外，在上述结构中，所述隔离壁的上端部具有圆度。隔离壁的上端部具有圆度是指如下情况：在沿着垂直于衬底一面的一面切割的情况下，隔离壁具有根据位于隔离壁的内部的曲率中心被决定的曲面，其曲率半径为大于等于 $0.2\ \mu\text{m}$ 至小于等于 $3\ \mu\text{m}$ 。为了使隔离壁的上端部具有圆度，优选地，当形成隔离壁时，使用感光树脂作为隔离壁的材料来选择性地进行曝光。另外，也可以通过湿蚀刻使隔离壁的上端部具有圆度。另外，在隔离壁的截面形状中，上端部和下端部的两个部分具有根据位于隔离壁的内部的曲率中心被决定的两个曲面，并且在所述两个部分之间具有根据位于隔离壁的外侧的曲率中心被决定的一个曲面。

[0021] 另外，在上述结构中，所述具有向下面扩展的截面形状的隔离壁是单层。因为不是

叠层结构,所以隔离壁的制造工序很简单。

[0022] 另外,作为与上述问题的解决方法不同的解决方法,也可以在配置有发光元件的像素部,即,在显示区域的周围形成支撑蒸发沉积掩模的结构体。在本说明书中,形成在一个发光元件和其它发光元件之间的保护层被称为隔离壁。另外,在本说明书中,结构体是指离开像素部中心被配置并位于发光元件外侧的绝缘物,并且是指在该绝缘物外侧不配置有发光元件的绝缘物。在显示区域的面积为小的情况下,通过在显示区域的周围形成支撑蒸发沉积掩模的结构体,可以防止由于蒸发沉积掩模的弯曲或挠曲等的原因而接触像素电极表面。

[0023] 本发明的其它结构如下:一种在具有绝缘表面的衬底上具备具有多个发光元件的像素部的发光装置,所述发光元件包括:第一电极;覆盖该第一电极的端部的隔离壁;形成在所述第一电极上的包含有机化合物的层;以及形成在该包含有机化合物的层上的第二电极,其中,将材料与所述隔离壁相同的结构体配置为包围所述像素部的形式,所述结构体的膜厚与所述隔离壁不相同。

[0024] 另外,也可以使用与上述具有向下面扩展的截面形状的隔离壁相同的材料来以同一工序形成上述结构体,并且,在上述结构中,所述隔离壁具有突起部。另外,所述隔离壁从发光元件上面到衬底具有向下面扩展的截面形状,在隔离壁的侧面具有凹凸。

[0025] 另外,在使用相对衬底进行发光元件的密封的情况下,也可以使上述结构体保持一对衬底的间隔。在上述结构中,所述发光装置具有与所述具有绝缘表面的衬底相对的衬底,所述结构体保持所述一对衬底的间隔。尤其是,在使用透光衬底作为相对衬底,并使来自发光元件的发光通过所述透光衬底来进行显示的情况下,这种结构是有效的。由于所述结构体可以使一对衬底的间隔均匀,所以可以实现高精度的显示。

[0026] 另外,在上述结构中,使用树脂填充被所述结构体和一对衬底包围的区域。尤其是,在使用透光衬底作为相对衬底,并使来自发光元件的发光通过所述透光衬底来进行显示的情况下,这种结构是有效的。另外,与以一对衬底之间为空间(惰性气体)的情况相比,通过使用透明树脂填充一对衬底之间,可以提高整体的透过率。

[0027] 另外,除了上述结构体或上述隔离壁以外,还可以形成各种结构体,例如,可以使用同一材料并以同一工序,形成当与密封衬底贴合时用于改善贴紧性的凸部等。

[0028] 另外,用于实现上述结构的发明结构如下:一种发光装置的制造方法,它包括如下工序:在具有绝缘表面的衬底上形成第一电极;在所述第一电极的端部上使用具有衍射光栅图形或半透部的光掩模或中间掩模形成具有膜厚为厚的区域和膜厚比该区域薄的区域的隔离壁;在所述第一电极上形成包含有机化合物的层;以及在所述包含有机化合物的层上形成第二电极。

[0029] 另外,在上述制造工序中,所述隔离壁是使用具有衍射光栅图形或半透部的光掩模或中间掩模,选择性地进行曝光显影而形成的树脂。

[0030] 另外,在上述制造工序中,采用蒸发沉积法,具体地说,使用蒸发沉积掩模的电阻加热法作为在所述第一电极上形成包含有机化合物的层的工序的情况是有效的,因为隔离壁的膜厚为厚的区域可以防止蒸发沉积掩模的挠曲等。另外,关于包含有机化合物的层,不局限于蒸发沉积法,还可以举出旋转涂敷法、喷墨法、浸渍法、电解聚合法等。

[0031] 另外,关于其它制造方法的发明结构如下:一种在具有绝缘表面的衬底上具有多

个薄膜晶体管及多个发光元件的发光装置的制造方法,它包括如下工序:在具有绝缘表面的第一衬底上形成薄膜晶体管,该薄膜晶体管包括具有源极区域、漏极区域、以及在其间的沟道形成区域的半导体层、栅极绝缘膜、以及栅电极;所述栅极绝缘膜的上方形成电连接于所述源极区域或所述漏极区域的第一电极;形成覆盖所述第一电极的端部的隔离壁,并在包围多个发光元件的位置形成结构体;在所述第一电极上形成包含有机化合物的层;在所述包含有机化合物的层上形成第二电极;以及通过使用树脂材料将第二衬底贴合在所述第一衬底上,来密封所述发光元件,使得所述结构体保持衬底间隔。

[0032] 另外,在上述制造工序中,所述隔离壁及所述结构体是同一材料,并是使用具有衍射光栅图形、或半透部的光掩模或中间掩模,选择性地进行曝光显影而形成的树脂。由于可以以与隔离壁同一的工序形成所述结构体,因此可以不增加工序地形成所述结构体。

[0033] 另外,本发明不局限于具有开关元件的有源矩阵类型发光装置,也可以适用于无源类型发光装置。

[0034] 此外,本说明书中的发光装置是指图像显不器件、发光器件、或光源(包括照明装置)。另外,发光装置还包括如下所有模块:在发光装置上固定有连接器例如 FPC(柔性印刷电路)、TAB(带式自动接合)带、或 TCP(带载封装)的模块;印刷布线板设置在 TAB 带或 TCP 的头部的模块;以及通过 COG(玻璃上芯片)方式,将 IC(集成电路)直接安装在发光元件上的模块。

[0035] 在本发明中,不增加工序地设置覆盖第一电极端部的隔离壁、或包围像素部的结构体,可以防止由于蒸发沉积时所使用的掩模的精度和挠曲等的原因而产生不良。

[0036] 另外,在本发明中,通过缩小隔离壁的尺寸,尤其是,隔离壁所占的平面面积,来实现小尺寸的隔离壁以及具备该隔离壁的发光装置。特别是,通过使用所述隔离壁使蒸发沉积掩模和第一电极的间隔越近,可以抑制蒸发沉积膜的侵入,并可以提高分别涂上蒸发沉积膜的精度。此外,蒸发沉积膜的侵入是指当使用蒸发沉积掩模进行蒸发沉积时,蒸发沉积膜形成在比蒸发沉积掩模的开口部分的面积宽的区域。通过实施本发明,可以促进随着发光装置的高精细化(像素数的增加)及小型化而带来的每个显示像素间距的微细化。本发明的隔离壁,可以使蒸发沉积掩模和第一电极的间隔为近,并且可以确实防止第一电极和蒸发沉积掩模的接触。因此,也可以使用厚度设定为更薄的蒸发沉积掩模。

附图说明

[0037] 图 1A 至 1C 是表示本发明的工序剖视图的图。

[0038] 图 2A 和 2B 是表示蒸发沉积装置的一个例子的图。

[0039] 图 3 是表示本发明的截面结构的一个例子的图。

[0040] 图 4A 和 4B 是表示本发明的截面结构的一个例子的图。

[0041] 图 5A 至 5C 是表示发光装置的制造工序的图。

[0042] 图 6A 至 6C 是表示发光装置的制造工序的图。

[0043] 图 7A 和 7B 是表示发光装置的制造工序的图。

[0044] 图 8A 至 8C 是表示发光装置的制造工序的图。

[0045] 图 9A 和 9B 是表示发光装置的制造工序的图。

[0046] 图 10 是表示有源矩阵类型发光装置的结构图。

- [0047] 图 11 是像素区域的俯视图的一个例子。
- [0048] 图 12A 和 12B 是表示适当地使用了本发明的电子设备的图。
- [0049] 图 13A 和 13B 是表示适当地使用了本发明的电子设备的图。
- [0050] 图 14 是表示适当地使用了本发明的电子设备的图。
- [0051] 图 15A 至 15D 是表示适当地使用了本发明的电子设备的图。
- [0052] 图 16 是表示本发明的截面结构的一个例子的图。

具体实施方式

[0053] 以下参照附图对本发明的实施方式详细进行说明。注意,本发明不局限于以下说明,在不脱离本发明宗旨和范围的条件下可以对其方式和详细情况进行各种变更,对本领域技术人员来说也是容易理解的。因此,本发明并不限定在以下所示的实施方式的记载内容进行解释。在以下所述本发明的结构中,同一部分或具有同样功能的部分在不同的附图之间共同使用同一标号,并省略对其重复说明。

[0054] 实施方式 1

[0055] 这里,使用有源矩阵类型发光装置的例子说明本发明。

[0056] 另外,以下表示用于获得图 1C 所示的结构的制造工序的一个例子。

[0057] 首先,在具有绝缘表面的衬底 10 上制造 TFT16。作为 TFT16 的基底绝缘膜 12 以及包括栅极绝缘膜的绝缘膜的叠层 17,使用可以通过溅射法、或 PCVD 法而获得的无机材料(氧化硅、氮化硅、氧氮化硅、SiOF 膜、SiONF 膜等)。另外,用作层间绝缘膜的绝缘膜 18,可以适当地使用如下材料:可以通过溅射法、PCVD 法、或涂敷法而获得的无机材料(氧化硅、氮化硅、氧氮化硅、SiOF 膜、SiONF 膜等);可以通过涂敷法而获得的感光或非感光有机材料(聚酰亚胺、丙烯酸、聚酰胺、聚酰亚胺酰胺、抗蚀剂或苯并环丁烯);可以通过涂敷法而获得的 SOG 膜(具有硅氧烷结构的绝缘膜);或这些的叠层;等等。至于 TFT16,只要通过已知的方法制造 n 沟道类型 TFT 或 p 沟道类型 TFT,即可。

[0058] 其次,在对绝缘膜 18 进行蚀刻来形成到达 TFT 的电极的开口之后,形成用作阳极的第一电极 13 并使它重叠于 TFT 的电极的一部分。这里,使用高功函数的导电膜(ITO(氧化铟氧化锡合金)、氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$)、氧化锌(ZnO)等)作为第一电极 13,并通过湿蚀刻形成第一电极 13。当选择性地蚀刻第一电极 13 时,适当地设定蚀刻条件或材料,以便可以在与绝缘膜 18 之间获得选择比。

[0059] 其次,在通过涂敷法将绝缘膜形成在整个面上之后,通过使用设置有由衍射光栅图形或半透膜构成的具有光强度降低功能的辅助图案的光掩模或中间掩模,来形成隔离壁 11。隔离壁 11 形成在重叠于到达 TFT 的电极的开口的位置。如果将隔离壁 11 形成在重叠于到达 TFT 的电极的开口的位置,则隔离壁和第一电极之间的贴紧性就提高了,因此是很合适的。这里,图 1A 表示如下例子:在将感光树脂膜 20 形成在整个面上之后,通过使用设置有由半透膜构成的具有光强度降低功能的辅助图案的光掩模,来进行曝光。

[0060] 在图 1A 中,曝光掩模 400 包括由 Cr 等金属膜构成的遮光部 401 和设有半透膜的部分(也被称为半透部)402 作为具有光强度降低功能的辅助图案。在曝光掩模的剖视图中,遮光部 401 的宽度表示为 t_2 ,设有半透膜的部分 402 的宽度表示为 t_1 。在设有半透膜的部分 402 中,重叠于遮光部 401 的部分不透过光。这里,虽然示出了将半透膜用作曝光掩

模的一部分的例子,但也可以使用衍射光栅图案。

[0061] 如果通过使用图 1A 所示的曝光掩模来进行感光树脂膜 20 的曝光,则形成非曝光区域和曝光区域。当进行曝光时,通过光侵入遮光部 401 并透过设有半透膜的部分 402,来形成图 1A 的虚线所示的曝光区域。然后,通过去除曝光区域,来形成具有向下面扩展的截面形状的隔离壁 11。换言之,如图 1A 所示,隔离壁 11 具有膜厚为厚的部分和膜厚为薄的部分。在隔离壁中的膜厚为薄的部分具有膜厚为厚的部分的至少一半或更小的厚度。注意,膜厚为厚的部分是指基于在绝缘膜 18 中的平整的一面测定而获得的膜厚为厚的部分。此外,如果隔离壁 11 的高度(即,膜厚为厚的部分的高度)为 $2\mu\text{m}$ 或更高,就容易发生覆盖不良,因此隔离壁 11 的高度优选为低(低于 $2\mu\text{m}$)。另外,如图 1A 所示,具有与重叠于到达 TFT 的电极的开口的隔离壁 11 不相同的宽度的隔离壁形成在布线 19 上方。

[0062] 另外,这里虽然示出了使用感光树脂膜 20 来形成的例子,但是,也可以在将绝缘膜形成在整个面上之后,通过使用设置有由衍射光栅图形或半透膜构成的具有光强度降低功能的辅助图案的光掩模或中间掩模来形成抗蚀剂掩模,并以抗蚀剂掩模为掩模进行蚀刻,来形成具有向下面扩展的截面形状的隔离壁 11。

[0063] 其次,通过蒸发沉积法,形成包含有机化合物的层 14。在通过蒸发沉积法形成的情况下,如图 1B 所示那样,使用蒸发沉积掩模 21 选择性地形成包含有机化合物的层 14。此外,图 1B 将当实际进行蒸发沉积时的上下方向,倒过来进行表示。当进行蒸发沉积时,将衬底夹在衬底支架和蒸发沉积掩模之间,由设置在衬底支架上的永久磁铁吸引由金属构成的蒸发沉积掩模来固定衬底,并使蒸发沉积源位于暴露着的第一电极一面的下方,以进行蒸发沉积。

[0064] 在图 1B 中,虽然表示包含有机化合物的层 14 作为单层,但是,是层叠空穴注入层(或空穴传输层)、发光层、电子注入层(或电子传输层)等而成的叠层结构。此外,优选在将要形成包含有机化合物的层 14 之前进行真空加热(100°C 至 250°C)来进行脱气,以改善可靠性。例如,在采用蒸发沉积法的情况下,例如,在进行了真空排气并使真空度为 $5\times 10^{-3}\text{Torr}$ (0.665Pa)或更小,优选为 10^{-1}Pa 至 10^{-6}Pa 的成膜室中进行蒸发沉积。当进行蒸发沉积时,预先通过电阻加热使有机化合物汽化,当蒸发沉积时打开挡板来向衬底的方向飞散。被汽化了的有机化合物向上方飞散,并且,经过形成在蒸发沉积掩模中的开口部来蒸发沉积在衬底上。

[0065] 图 2A 和 2B 表示蒸发沉积装置的一个例子。

[0066] 图 2A 所示的蒸发沉积装置具有如下机构:在成膜室中设置有附着防护屏,以便维持蒸发沉积材料的升华方向,并且形成有多个开口部,蒸发沉积材料从这些开口部升华。在附着防护屏的下方,设置有沿着垂直于衬底的移动方向(也被称为传送方向)的方向可以移动的蒸发沉积源。另外,附着防护屏的宽度 W_b 宽于衬底宽度 W_a ,从而改善蒸发沉积膜的膜厚均匀性。以下,简单说明蒸发沉积装置的机构。

[0067] 预先给衬底 701 和蒸发沉积掩模 702 定位,并且衬底在被定位了的状态下向箭头所示的方向(蒸发沉积材料的升华方向 706)被传送。衬底被传送,并经过附着防护屏 703a 的上方。附着防护屏 703a 具有开口部 703b,来自蒸发沉积源 704 的蒸发沉积材料从开口部 703b 升华。为了从开口部 703b 维持蒸发沉积材料的升华方向 706,加热附着防护屏 703a,使得不附着于附着防护屏本身。

[0068] 蒸发沉积源 704 可以设置有多个坩锅,再者,可以沿着箭头所示的方向(蒸发沉积源的移动方向 705)移动。采用电阻加热法作为蒸发沉积法。另外,理想地,蒸发沉积源的移动范围比衬底宽度 W_a 大。另外,通过还使附着防护屏的宽度 W_b 大于衬底宽度 W_a ,可以改善蒸发沉积膜的膜厚均匀性。

[0069] 此外,在图 2A 所示的蒸发沉积装置中,对开口部 703b 的形状或个数没有特别的限制。

[0070] 另外,为了向蒸发源中的坩锅补充蒸发沉积材料,也可以设置通过阀门联结于成膜室的设置室。另外,也可以在一个成膜室中设置多个蒸发沉积源和附着防护屏。图 2B 是蒸发沉积装置的俯视图,其中设置有具有多个坩锅的蒸发沉积源、并设置有设置室。沿着蒸发沉积源的移动方向 705 设置设置室 707,当补充蒸发沉积材料时,只要将蒸发沉积源移动到设置室来补充,即可。在蒸发沉积源固定在成膜室中的情况下,需要使成膜室内成为大气压,以将蒸发沉积材料补充在蒸发沉积源中。因此,为了使成膜室内成为真空而需要一定时间,以便再次进行蒸发沉积。当设置设置室 707 时,只要仅将设置室内转换为大气压或真空,而原样保持成膜室 700 的真空度,即可。因此,可以在短时间内补充蒸发沉积材料。

[0071] 另外,这里表示将一个蒸发沉积源设置在一个成膜室中的例子,但是,也可以将两个或更多的蒸发沉积源设置在一个成膜室中。

[0072] 另外,当进行蒸发沉积时,在隔离壁 11 中的膜厚为厚的部分,即顶部,具有接触蒸发沉积掩模来保持间隔的功能。另外,在隔离壁 11 配置为包围第一电极的形式的情况下,可以防止被蒸发沉积在掩模下方的没有开口的区域,例如在旁边的像素中。此外,隔离壁 11 形成为覆盖第一电极的端部并接触绝缘膜 18 上的形式,并且,对第一电极和旁边的电极进行绝缘,并防止短路。另外,在隔离壁 11 中的膜厚为厚的部分,即顶部与重叠于到达 TFT 的电极的开口的位置重叠。

[0073] 如果所述隔离壁 11 的宽度为大,则开孔率就降低了。因此,优选尽可能缩小隔离壁的上部形状,以谋求开孔率的提高和高精细化。另外,通过将包含有机化合物的层 14 还部分重叠于在隔离壁 11 中的膜厚为薄的部分,可以更有效地防止形成在隔离壁下方的第一电极和之后形成的第二电极形成短路。换言之,在包含有机化合物的层 14 中的重叠于隔离壁 11 的部分,即不贡献于发光的部分,还用作隔离壁的一部分。

[0074] 其次,在包含有机化合物的层 14 上,形成用作阴极的第二电极 15。虽然形成第二电极 15 时也使用蒸发沉积掩模,但是在对应于蒸发沉积掩模的开口部的地方是像素部中的整个区域的情况下,形成在像素部以外的结构体保持在与蒸发沉积掩模之间的间隔。

[0075] 可以通过上述工序获得图 1C 所示的结构。另外,作为包含有机化合物的层 14 或第二电极 15 的形成方法,优选采用不影响到 TFT16 的电阻加热法,也可以使用涂敷法(喷墨法或旋转涂敷法等)。另外,作为包含有机化合物的层 14,可以层叠通过涂敷法而形成的膜和通过蒸发沉积法而形成的膜,例如,可以通过旋转涂敷法涂敷用作空穴注入层的聚(乙炔二氧噻吩)/聚(苯乙烯磺酸)水溶液(PEDOT/PSS)、或聚苯胺/樟脑磺酸水溶液(PANI/CSA)、PTPDES、Et-PTPDEK、或 PPBA 等,并进行了焙烧之后,通过蒸发沉积法层叠发光层、电子传输层等。

[0076] 在图 1C 中,标号 10 表示衬底,11 表示隔离壁,12 表示基底绝缘膜,13 表示第一电极,14 表示包含有机化合物的层,15 表示第二电极,16 表示 TFT,17 表示包含栅极绝缘膜的

绝缘膜的叠层,18 表示绝缘膜,19 表示电源供给线等的布线。此外,在图 1C 中,将第一电极 13 用作发光元件的阳极,并将第二电极用作发光元件的阴极,但是不局限于此。如果适当地选择材料,就可以将第一电极用作阴极,并将第二电极用作阳极。

[0077] 另外,本发明不局限于图 1A 所示的 TFT 结构,可以根据需要采用在沟道形成区域和漏极区域(或源极区域)之间具有 LDD 区域的低浓度漏极(LDD;Lightly Doped Drain;轻掺杂漏极)结构。该结构是如下结构:在沟道形成区域和以高浓度添加杂质元素而形成的源极区域或漏极区域的之间,形成有以低浓度添加杂质元素而形成的区域。该区域被称为 LDD 区域。再者,还可以采用 GOLD(Gate-drain Overlapped LDD;栅极-漏极重叠 LDD)结构,其中,中间夹着栅极绝缘膜地配置了 LDD 区域,并使它重叠于栅电极。

[0078] 另外,这里使用 n 沟道类型 TFT 进行说明,但是当然可以使用 p 型杂质元素代替 n 型杂质元素来形成 p 沟道类型 TFT。

[0079] 另外,这里使用顶栅极类型 TFT 说明一个例子。然而,本发明可以适用于任何 TFT 结构,例如,底栅极类型(反交错类型)TFT 或顺交错类型 TFT。

[0080] 另外,在本说明书中,作为用作 TFT 的有源层的半导体层,可以使用以硅为主要成分的半导体膜、以有机材料为主要成分的半导体膜、或以金属氧化物为主要成分的半导体膜。作为以硅为主要成分的半导体膜,可以使用非晶半导体膜、包含结晶结构的半导体膜、包含非晶结构的化合物半导体膜等。具体地说,可以使用作为以硅为主要成分的半导体膜的非晶硅、微晶硅、多晶硅等。另外,作为以有机材料为主要成分的半导体膜,可以组合其它元素地使用以由定量碳或其同素异形体(除了金刚石)构成的物质为主要成分的半导体膜。具体地说,可举出并五苯、并四苯、噻吩低聚物衍生物、苯撑衍生物、酞菁化合物、聚乙炔衍生物、聚噻吩衍生物、花青染料等。另外,作为以金属氧化物为主要成分的半导体膜,可以使用氧化锌(ZnO)或锌、镓和铟的氧化物(In-Ga-Zn-O)等。

[0081] 实施方式 2

[0082] 在本实施方式中,将部分具有与实施方式 1 不相同的结构例子表示在图 3 中。

[0083] 这里,表示减少了在图 1A 至 1C 中的一个层间绝缘膜的结构。具体地说,表示不形成图 1A 至 1C 所示的绝缘膜 18 的结构。此外,在图 3 中,使用同一标号表示与图 1A 至 1C 相同的部分。

[0084] 如实施方式 1 所示,在具有绝缘表面的衬底 10 上制造 TFT16。其次,在包括栅极绝缘膜的绝缘膜的叠层 17 上,形成用作阳极的第一电极 33。在包括栅极绝缘膜的绝缘膜的叠层 17 上,将第一电极 33 形成为部分接触并重叠于与 TFT 的源极区域或漏极区域电连接的电极。

[0085] 其次,在通过涂敷法将绝缘膜形成在整个面上之后,使用设置有由衍射光栅图形或半透膜构成的具有光强度降低功能的辅助图案的光掩模或中间掩模,形成隔离壁 31。隔离壁 31 具有膜厚为厚的部分和膜厚为薄的部分。另外,隔离壁 31 被形成为接触包括栅极绝缘膜的叠层 17 上的形式,并在与布线 19 如电源供给线等接触的状态下覆盖。

[0086] 其次,通过蒸发沉积法,形成包含有机化合物的层 34。另外,在图 1A 至 1C 中,示出了包含有机化合物的层 14 部分重叠于隔离壁 11 中的膜厚为薄的部分的例子。在图 3 中,示出了包含有机化合物的层 34 还重叠于隔离壁 31 中的膜厚为厚的部分的例子。在沿着垂直于衬底一面的一面切割的截面中,使用其遮蔽部宽度小于隔离壁 31 中的膜厚为厚的部

分的宽度的蒸发沉积掩模,因此,如图3所示,包含有机化合物的层34还重叠于隔离壁31中的厚度为厚的部分。在本发明中,蒸发沉积掩模的遮蔽部的宽度可以小于隔离壁的宽度,或者,也可以与隔离壁的宽度相同,或者,也可以大于隔离壁的宽度。另外,通过将包含有机化合物的层34还部分重叠于隔离壁31中的膜厚为厚的部分,可以有效地防止形成在隔离壁下方的TFT和之后形成的第二电极形成短路。

[0087] 其次,在包含有机化合物的层34上形成用作阴极的第二电极15。

[0088] 可以通过如上所述的工序获得图3所示的结构。

[0089] 如上所述,图3所示的结构可以以比图1A至1C少的工序数来制造发光装置。

[0090] 本实施方式可以与实施方式1自由地组合。

[0091] 实施方式3

[0092] 本实施方式表示设置形成在配置有多个发光元件的像素部(也被称为显示区域)中的隔离壁和配置为包围像素部周围的形式结构体的例子。

[0093] 这里,参照图4A和4B表示制造无源矩阵类型发光装置的例子。

[0094] 在第一衬底301上形成第一电极303,并且覆盖其端部地形成隔离壁302。另外,以与隔离壁302同一工序形成结构体304。隔离壁302和结构体304厚度互不相同。图4A表示这个阶段的剖视图。

[0095] 其次,在第一电极303上形成包含有机化合物的层305,并在其上形成第二电极307。此外,当通过蒸发沉积法形成包含有机化合物的层305时,结构体304可以避免蒸发沉积掩模接触第一电极303。另外,还可以避免蒸发沉积掩模接触隔离壁302。

[0096] 然后,通过粘合层309贴合第二衬底308和第一衬底301,以进行密封。

[0097] 在使用第二衬底308进行密封的情况下,如图4B所示,配置在第一衬底301上并配置为包围像素部306的周围的形式结构体304可以保持一对衬底的间隔。另外,也可以通过封闭被结构体和一对衬底包围的区域来密封像素部。换言之,结构体304可以防止来自外部的杂质和水分的侵入。

[0098] 通过使用具有衍射光栅图形或半透部的光掩模或中间掩模,以同一工序形成隔离壁302和结构体304。

[0099] 另外,在制造有源矩阵类型发光装置的情况下,如上所述,只要形成设置在配置有多个发光元件的像素部(也被称为显示区域)中的隔离壁和配置为包围像素部的周围的形式结构体,即可。

[0100] 在制造有源矩阵类型发光装置的情况下,可以以与配置在像素中的TFT同一工序使用TFT形成驱动电路的一部分。在这种情况下,将驱动电路配置在像素部的周围。另外,还可以将结构体形成在重叠于所述驱动电路的位置。

[0101] 本实施方式可以与实施方式1或实施方式2自由地组合。

[0102] 例如,将隔离壁形成为向下面扩展的形状,并使隔离壁的一部分的厚度与结构体相同,来可以以隔离壁和结构体这两者保持一对衬底的间隔。在设置具有包围一个像素的上面形状的隔离壁的情况下,可以使用第二衬底和隔离壁封闭一个像素来密封,还可以使用结构体封闭其周围来密封。如上所述反复封闭,来实现高可靠性的发光装置。另外,在来自外部的冲击影响到发光装置的情况下,可以分散冲击力,因为以隔离壁和结构体支撑一对衬底。因此,可以提供坚固的发光装置。

[0103] 实施方式 4

[0104] 在本实施方式中,以下表示在制造 TFT 并将感光树脂膜形成在整个面上之后,使用设置有由半透膜构成的具有光强度降低功能的辅助图案的光掩模形成隔离壁直到完成发光装置的工序。

[0105] 首先,作为基底膜,在具有绝缘表面的衬底 100 上,通过溅射法、PVD 法 (Physical Vapor Deposition: 物理汽相沉积)、减压 CVD 法 (LPCVD 法) 或者等离子体 CVD 法等 CVD 法 (Chemical Vapor Deposition: 化学汽相沉积) 等并使用氮氧化硅膜 (SiNO), 形成 10 至 200nm (优选为 50 至 100nm) 的基底膜 101a, 使用氧氮化硅膜 (SiON), 层叠 50 至 200nm (优选为 100 至 150nm) 的基底膜 101b。在本实施方式中,使用等离子体 CVD 法形成基底膜 101a、基底膜 101b。作为衬底 100, 可以使用玻璃衬底、石英衬底或硅衬底、金属衬底或在不锈钢衬底的表面上形成绝缘膜的衬底。另外,还可以使用耐本实施方式的处理温度的具有耐热性的塑料衬底,还可以使用诸如膜之类的柔性衬底。作为塑料衬底可以使用由 PET (聚对苯二甲酸乙二醇酯)、PEN (聚萘二甲酸乙二醇酯)、PES (聚醚砜) 构成的衬底,作为柔性衬底,可以使用丙烯酸等合成树脂。

[0106] 作为基底膜,可以使用氧化硅、氮化硅、氧氮化硅或氮氧化硅等,可以为单层,也可以为两层、三层的叠层结构。此外,在本说明书中,氧氮化硅指的是氧的组成比比氮的组成比大的物质,也指含有氮的氧化硅。同样,氮氧化硅指的是氮的组成比比氧的组成比大的物质,也指含有氧的氮化硅。在本实施方式中,在衬底上以 SiH_4 、 NH_3 、 N_2O 、 N_2 及 H_2 作为反应气体形成膜厚为 50nm 的氮氧化硅膜,以 SiH_4 及 N_2O 作为反应气体形成膜厚为 100nm 的氧氮化硅膜。另外,还可以使得氮氧化硅膜的膜厚为 140nm,被层叠的氧氮化硅膜的膜厚为 100nm。

[0107] 其次,在基底膜上形成半导体膜。只要通过已知技术 (溅射法、LPCVD 法或者等离子体 CVD 法等) 以 25 至 200nm (优选为 30 至 150nm) 的厚度形成半导体膜,即可。在本实施方式中,优选使用对非晶半导体膜进行激光结晶化而形成的结晶半导体膜。在使用结晶半导体膜的情况下,该结晶半导体膜的制造方法可使用已知方法 (激光结晶化法、热结晶化法或使用了镍等促进结晶化的元素的热结晶化法等)。

[0108] 通过使用可连续振荡的固体激光,照射基波的第二谐波至第四谐波的激光,从而可获得大粒径的结晶。例如,作为代表性的,理想地使用 Nd:YVO₄ 激光 (基波为 1064nm) 的第二谐波 (532nm) 或第三谐波 (355nm)。具体地说,由非线性光学元件将连续振荡的 YVO₄ 激光射出的激光变换为高次谐波,来获得输出为几 W 或更高的激光。优选地,由光学系统在照射面上形成为矩形或椭圆形的激光,并对半导体膜进行照射。此时的功率密度必须为 0.001 至 100MW/cm² 左右 (优选为 0.1 至 10MW/cm²)。使扫描速度为 0.5 至 2000cm/sec 左右 (优选为 10 至 200cm/sec) 进行照射。

[0109] 激光的光束形状优选形成为线状。其结果,可以提高产率。另外,再者,激光还可以相对于半导体膜以入射角 θ ($0 < \theta < 90$ 度) 进行照射。这是由于可以防止激光的干涉。

[0110] 通过使这种激光与半导体膜相对扫描,可进行激光照射。另外,在激光照射过程中,为了将光束精度良好地重合,或者,控制激光照射起始位置和激光照射结束位置,还可以形成标记。只要将标记与非晶半导体膜同时形成在衬底上,即可。

[0111] 此外,激光可以使用连续振荡或脉冲振荡的气体激光、固体激光、铜蒸气激光或金

蒸气激光等。作为气体激光,包括受激准分子激光、Ar 激光、Kr 激光、He-Cd 激光等,作为固体激光,可举出 YAG 激光、YVO₄ 激光、YLF 激光、YAIO₃ 激光、Y₂O₃ 激光、玻璃激光、红宝石激光、翠绿宝石激光、Ti :蓝宝石激光等。

[0112] 形成半导体膜的材料可以使用如下材料:使用以硅烷或锗烷为代表的半导体材料气体通过汽相生长法或溅射法制造出的非晶半导体(以下也被称为“amorphous 半导体:AS”);利用光能或热能使该非晶半导体结晶化而形成的多晶半导体;或者,半结晶(也被称为微晶或 microcrystal。以下也被称为“SAS”)半导体等。

[0113] 另外,可以使脉冲振荡的激光的振荡频率为 0.5MHz 或更高,并使用比通常使用的几十 Hz 至几百 Hz 的频带明显高的频带,来进行激光结晶化。以脉冲振荡方式将激光照射到半导体膜后,到半导体膜完全固化的时间被认为是几十 nsec 至几百 nsec。因此,通过使用上述频带,在半导体膜因为激光而熔融到固化的期间,可照射下一个脉冲的激光。因此,由于在半导体膜中固液界面可连续移动,所以形成具有朝向扫描方向连续生长的晶粒的半导体膜。具体地说,可以形成在被包含的晶粒的扫描方向上的宽度为 10 至 30 μm,并且垂直于扫描方向的方向上的宽度为 1 至 5 μm 左右的晶粒的集合。通过形成沿着所述扫描方向延长的单晶晶粒,来可以形成至少在薄膜晶体管的沟道方向上几乎不存在晶界的半导体膜。

[0114] 另外,还可以在稀有气体或氮等的惰性气体气氛中照射激光。因此,可以抑制由激光照射使半导体表面变粗糙,抑制由界面态密度不均而产生的阈值不均匀。

[0115] 关于非晶半导体膜的结晶化,也可以组合热处理和激光照射的结晶化,也可以单独进行多次的热处理或激光照射。

[0116] 在本实施方式中,在基底膜 101b 上形成非晶半导体膜,通过使非晶半导体膜结晶化形成结晶性半导体膜。作为非晶半导体膜,使用由 SiH₄、H₂ 的反应气体形成的非晶硅。在本实施方式中,在同一反应室内维持真空并在 330℃ 的同一温度下,切换反应气体地连续形成基底膜 101a、基底膜 101b 和非晶半导体膜。其次,将激光照射到非晶半导体膜,具体地说,通过使用从激光的重复频率为 10MHz 或更大的激光振荡器射出的基波来形成结晶半导体膜。此时,激光的峰值输出的范围为 1GW/cm² 至 1TW/cm²。图 5A 表示到这种工序的剖视图。

[0117] 对于由此所得的结晶半导体膜,为了控制薄膜晶体管的阈值电压,还可以掺杂微量杂质元素(硼或磷)。该杂质元素的掺杂可以在结晶化工序之前对非晶半导体膜实施。在非晶半导体膜的状态下进行杂质元素的掺杂时,通过之后为结晶化而实施的加热处理,还可以进行杂质的活化。另外,还可以改善掺杂时产生的缺陷等。

[0118] 其次,使用掩模选择性地蚀刻结晶半导体膜 102。在本实施方式中,在去除形成在结晶半导体膜 102 上的氧化膜后,形成新的氧化膜。然后,制作光掩模,并进行使用了光刻法的图形形成处理,以形成半导体层 103、半导体层 104、半导体层 105、以及半导体层 106。

[0119] 其次,去除半导体层上的氧化膜,形成覆盖半导体层 103、半导体层 104、半导体层 105、以及半导体层 106 的栅极绝缘层 107。

[0120] 通过等离子体 CVD 法或溅射法等,使用包含硅的绝缘膜形成栅极绝缘层 107,其厚度为 10 至 150nm。只要使用以氮化硅、氧化硅、氧氮化硅、氮氧化硅为代表的硅的氧化物材料或氮化物材料等的已知材料形成栅极绝缘层 107,即可。栅极绝缘层 107 可以是叠层或单

层。在本实施方式中,栅极绝缘层使用氮化硅膜、氧化硅膜、氮化硅膜的三层的叠层。另外,除了上述以外,还可以为氧氮化硅膜的单层、由两层构成的叠层。优选地,使用具有致密膜质的氮化硅膜。再者,还可以在半导体层和栅极绝缘层之间形成膜厚为 1 至 100nm,优选为 1 至 10nm,更优选为 2 至 5nm 的膜厚为薄的氧化硅膜。作为较薄氧化硅膜的形成方法,可以通过 GRTA 法、LRTA 法等对半导体区域表面进行氧化来形成热氧化膜,由此形成膜厚薄的氧化硅膜。

[0121] 其次,在栅极绝缘层 107 上,层叠形成用作栅电极层的膜厚为 20 至 100nm 的第一导电膜 108 和膜厚为 100 至 400nm 的第二导电膜 109(参照图 5B)。

[0122] 第一导电膜 108 和第二导电膜 109 可采用溅射法、蒸发沉积法、CVD 法等已知方法形成。第一导电膜 108 和第二导电膜 109 可以使用选自钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铝 (Al)、铜 (Cu)、铬 (Cr)、钕 (Nd) 的元素、或者以所述元素为主要成分的合金材料或者化合物材料来形成。另外,作为第一导电膜 108 和第二导电膜 109,还可以使用以掺杂磷等杂质元素的多晶硅膜为代表的半导体膜或 AgPdCu 合金。另外,并不局限于两层结构,例如,可以为依次层叠作为第一导电膜的膜厚为 50nm 的钨膜、作为第二导电膜的膜厚为 500nm 的铝和硅的合金 (Al-Si) 膜、作为第三导电膜的膜厚为 30nm 的氮化钛膜而形成的三层结构。另外,在采用三层结构的情况下,还可以使用氮化钨代替第一导电膜的钨,使用铝和钛的合金膜 (Al-Ti) 代替第二导电膜的铝和硅的合金 (Al-Si) 膜,使用钛膜代替第三导电膜的氮化钛膜。另外,还可以为单层结构。在本实施方式中,形成膜厚为 30nm 的氮化钽 (Ta₂N₅) 作为第一导电膜 108,形成膜厚为 370nm 的钨 (W) 作为第二导电膜 109。

[0123] 其次,使用设置有由衍射光栅图形或半透膜构成的具有光强度降低功能的辅助图案的光掩模或中间掩模形成抗蚀剂掩模,选择性地蚀刻第一导电膜 108 及第二导电膜 109,来形成第一栅电极层、导电层、以及第二栅电极层,并使它们具有锥形。蚀剂掩模具有膜厚为厚的部分和膜厚为薄的部分,并形成位于之后形成沟道形成区域的部分重叠于抗蚀剂掩模的膜厚为厚的部分的位置。另外,在获得了截面形状为向下面扩展的形状的电极或布线之后,去除抗蚀剂掩模。

[0124] 通过以上工序,可以在外围驱动电路区域 204 中形成由第一栅电极层 121 和第二栅电极层 131 构成的栅电极层 117、由第一栅电极层 122 和第二栅电极层 132 构成的栅电极层 118、在像素区域 206 中形成由第一栅电极层 124 和第二栅电极层 134 构成的栅电极层 127、由第一栅电极层 125 和第二栅电极层 135 构成的栅电极层 128、由第一栅电极层 126 和第二栅电极层 136 构成的栅电极层 129、在连接区域 205 中形成由导电层 123 和导电层 133 构成的导电层 130(参照图 5C)。在本实施方式中,采用干式蚀刻形成栅电极层,但是也可以采用湿蚀刻。

[0125] 此外,因为在形成栅电极层时实施的蚀刻工序,栅极绝缘层 107 或多或少被蚀刻,存在膜厚减少(所谓膜减少)的情况。

[0126] 其次,将栅电极层 117、栅电极层 118、栅电极层 127、栅电极层 128、栅电极层 129 和导电层 130 作为掩模来添加赋予 n 型的杂质元素 151,以形成第一 n 型杂质区域 140a、第一 n 型杂质区域 140b、第一 n 型杂质区域 141a、第一 n 型杂质区域 141b、第一 n 型杂质区域 142a、第一 n 型杂质区域 142b、第一 n 型杂质区域 142c、第一 n 型杂质区域 143a、第一 n 型杂质区域 143b(参照图 6A)。这里,使用磷化氢 (PH₃) 作为包含杂质元素的掺杂气体,添加

并使第一 n 型杂质区域 140a、第一 n 型杂质区域 140b、第一 n 型杂质区域 141a、第一 n 型杂质区域 141b、第一 n 型杂质区域 142a、第一 n 型杂质区域 142b、第一 n 型杂质区域 142c、第一 n 型杂质区域 143a、第一 n 型杂质区域 143b 包含浓度为 1×10^{17} 至 $5 \times 10^{18}/\text{cm}^3$ 左右的赋予 n 型的杂质元素。

[0127] 其次,形成覆盖半导体层 103、半导体层 105 的一部分、半导体层 106 的掩模 153a、掩模 153b、掩模 153c 以及掩模 153d。将掩模 153a、掩模 153b、掩模 153c、掩模 153d、以及第二栅电极层 132 作为掩模添加赋予 n 型的杂质元素 152,以形成第二 n 型杂质区域 144a、第二 n 型杂质区域 144b、第三 n 型杂质区域 145a、第三 n 型杂质区域 145b、第二 n 型杂质区域 147a、第二 n 型杂质区域 147b、第二 n 型杂质区域 147c、第三 n 型杂质区域 148a、第三 n 型杂质区域 148b、第三 n 型杂质区域 148c、第三 n 型杂质区域 148d(参照图 6B)。这里,添加并使第二 n 型杂质区域 144a、第二 n 型杂质区域 144b 包含浓度为 5×10^{19} 至 $5 \times 10^{20}/\text{cm}^3$ 左右的赋予 n 型的杂质元素。第三 n 型杂质区域 145a、第三 n 型杂质区域 145b 形成为以与第三 n 型杂质区域 148a、第三 n 型杂质区域 148b、第三 n 型杂质区域 148c、第三 n 型杂质区域 148d 相同程度或稍微高的浓度包含赋予 n 型的杂质元素的形式。另外,在半导体层 104 中形成沟道形成区域 146、在半导体层 105 中形成沟道形成区域 149a 和沟道形成区域 149b。

[0128] 第二 n 型杂质区域 144a、第二 n 型杂质区域 144b、第二 n 型杂质区域 147a、第二 n 型杂质区域 147b、第二 n 型杂质区域 147c 为高浓度 n 型杂质区域,用作源极、漏极。另一方面,第三 n 型杂质区域 145a、第三 n 型杂质区域 145b、第三 n 型杂质区域 148a、第三 n 型杂质区域 148b、第三 n 型杂质区域 148c、第三 n 型杂质区域 148d 为低浓度杂质区域,成为 LDD(Lightly Doped Drain:轻掺杂漏极)区域。n 型杂质区域 145a、n 型杂质区域 145b 中间夹着栅极绝缘层 107 地被第一栅电极层 122 覆盖,因此为 Lov 区域,可以缓和漏极附近的电场,并抑制由热载流子造成的导通电流劣化。其结果,可以形成能够高速工作的薄膜晶体管。另一方面,第三 n 型杂质区域 148a、第三 n 型杂质区域 148b、第三 n 型杂质区域 148c、第三 n 型杂质区域 148d 形成在未被栅电极层 127、栅电极层 128 覆盖的 Loff 区域中,因此,通过缓和漏极附近的电场来防止由于热载流子注入造成的劣化,同时具有降低截止电流的效果。其结果,可以制造高可靠性、低耗电量的半导体装置。

[0129] 此外,在本实施方式中,以杂质区域中间夹着栅极绝缘层地重叠于栅电极层的区域作为 Lov 区域,而以杂质区域不中间夹着栅极绝缘层地重叠于栅电极层的区域作为 Loff 区域。

[0130] 其次,去除掩模 153a、掩模 153b、掩模 153c、掩模 153d,形成覆盖半导体层 104、半导体层 105 的掩模 155a、掩模 155b。将掩模 155a、掩模 155b、栅电极层 117 和栅电极层 129 作为掩模,添加赋予 p 型的杂质元素 154,以形成第一 p 型杂质区域 160a、第一 p 型杂质区域 160b、第一 p 型杂质区域 163a、第一 p 型杂质区域 163b、第二 p 型杂质区域 161a、第二 p 型杂质区域 161b、第二 p 型杂质区域 164a、第二 p 型杂质区域 164b(参照图 6C)。在本实施方式中,使用硼 (B) 作为杂质元素。这里,添加并使第一 p 型杂质区域 160a、第一 p 型杂质区域 160b、第一 p 型杂质区域 163a、第一 p 型杂质区域 163b、第二 p 型杂质区域 161a、第二 p 型杂质区域 161b、第二 p 型杂质区域 164a、第二 p 型杂质区域 164b 包含浓度为 1×10^{20} 至 $5 \times 10^{21}/\text{cm}^3$ 左右的赋予 p 型的杂质元素。在本实施方式中,第二 p 型杂质区域 161a、第

二 p 型杂质区域 161b、第二 p 型杂质区域 164a、第二 p 型杂质区域 164b 形成如下形式：反映栅电极层 117 和栅电极层 129 的形状，并其浓度以自对准方式低于第一 p 型杂质区域 160a、第一 p 型杂质区域 160b、第一 p 型杂质区域 163a、第一 p 型杂质区域 163b。另外，在半导体层 103 中形成沟道形成区域 162、在半导体层 106 中形成沟道形成区域 165。

[0131] 其次，通过 O₂ 灰化或抗蚀剂剥离液，去除掩模 155a、掩模 155b，还去除氧化膜。

[0132] 此外，为了对杂质元素进行活化，而进行加热处理、强光照射或激光照射。在活化的同时可以恢复由等离子体破坏的极绝缘层、或由等离子体破坏的栅极绝缘层和半导体层之间的界面。

[0133] 其次，形成覆盖栅电极层、栅极绝缘层的层间绝缘层。在本实施方式中，形成绝缘膜 167 和绝缘膜 168 的叠层结构（参照图 7A）。形成膜厚为 200nm 的氮氧化硅膜作为绝缘膜 167，形成膜厚为 800nm 的氧氮化硅绝缘膜作为绝缘膜 168，以形成叠层结构。另外，还可以覆盖栅电极层、栅极绝缘层地形成膜厚为 30nm 的氧氮化硅膜、膜厚为 140nm 的氮氧化硅膜，膜厚为 800nm 的氧氮化硅膜，以形成三层的叠层结构。在本实施方式中，绝缘膜 167 和绝缘膜 168 像基底膜那样采用等离子体 CVD 法连续形成。绝缘膜 167 和绝缘膜 168 不局限于氮化硅膜，还可以是使用了溅射法或等离子体 CVD 法的氮氧化硅膜、氧氮化硅膜、氧化硅膜，还可以使用其它含硅的绝缘膜并使它作为单层或三层或更多的叠层结构。

[0134] 其次，在氮气氛围中，在 300 至 550℃ 下进行 1 至 12 小时的热处理，来对半导体层进行氢化工序。优选在 400 至 500℃ 下进行。该工序是利用作为层间绝缘层的绝缘膜 167 中所包含的氢来使半导体层的悬浮键处于终端的工序。在本实施方式中，在 410 度（℃）下进行加热处理。

[0135] 其次，使用由抗蚀剂构成的掩模在绝缘膜 167、绝缘膜 168、栅极绝缘层 107 中形成到达半导体层的接触孔（开口部）。根据所使用的材料的选择比，可以进行一次或多次的蚀刻。

[0136] 其次，覆盖开口部地形成导电膜，并对导电膜进行蚀刻，以形成分别电连接于各源极区域或漏极区域的一部分的源电极层或漏电极层 169a、源电极层或漏电极层 169b、源电极层或漏电极层 170a、源电极层或漏电极层 170b、源电极层或漏电极层 171a、源电极层或漏电极层 171b、源电极层或漏电极层 172a、源电极层或漏电极层 172b、布线层 156。可以通过 PVD 法、CVD 法、蒸发沉积法等形成导电膜后，将它蚀刻为所希望的形状，以形成源电极层或漏电极层。另外，还可以通过液滴喷出法、印刷法、电镀法等将导电膜选择性地形成在预定的地方。再者，还可以采用回流法、金属镶嵌法。源电极层或漏电极层的材料使用 Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba 等金属或其合金，或者使用其金属氮化物来形成。另外，也可以使用包含 Si、Ge 的导电材料。另外，还可以采用这些的叠层结构。在本实施方式中，形成膜厚为 100nm 的钛（Ti）、膜厚为 700nm 的铝和硅的合金（Al-Si），膜厚为 200nm 的钛（Ti），并选择性地蚀刻来将它们形成为所希望的形状。

[0137] 通过以上工序，可以制造有源矩阵衬底，其中，在外围驱动电路区域 204，包括在 Lov 区域具有 p 型杂质区域的 p 沟道类型薄膜晶体管 173、以及在 Lov 区域具有 n 型杂质区域的 n 沟道类型薄膜晶体管 174；在连接区域，包括导电层 177；在像素区域 206，包括在 Loff 区域具有 n 型杂质区域的多沟道类型 n 沟道类型薄膜晶体管 175、以及在 Lov 区域具有 p 型杂质区域的 p 沟道类型薄膜晶体管 176（参照图 7B）。

[0138] 其次,形成绝缘膜 180 和绝缘膜 181 作为第二层间绝缘层(参照图 8A)。图 8A 至 8C 表示显示装置的制造工序,其中包括用于通过划线(scribing)进行分离的分离区域 201、作为 FPC 的贴上部分的外部端子连接区域 202、作为外围部分的引导布线区域的布线区域 203、外围驱动电路区域 204、连接区域 205、像素区域 206。在布线区域 203 设置有布线 179a 和布线 179b,而在外部端子连接区域 202 设置有与外部端子连接的端子电极层 178。

[0139] 作为绝缘膜 180、绝缘膜 181,可以是使用选自如下的材料而形成的:氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝(AlN)、氧氮化铝(AlON)、氮含量比氧含量高的氮氧化铝(AlNO)或氧化铝、类金刚石碳(DLC)、含氮碳膜(CN)、PSG(磷玻璃)、BPSG(磷硼玻璃)、铝氧膜、聚硅氮烷、其它包含无机绝缘材料的物质。另外,还可以使用硅氧烷树脂。其中,所谓硅氧烷树脂相当于包含 Si-O-Si 键的树脂。硅氧烷由硅(Si)和氧(O)的键构成骨架结构。作为取代基使用至少含氢的有机基(例如烷基、芳烃)。作为取代基,还可以使用氟基团。或者,作为取代基,还可以使用至少含氢的有机基和氟基团。另外,还可以使用有机绝缘材料,作为有机材料可以为感光性的,也可以为非感光性的,可以使用聚酰亚胺、丙烯酸、聚酰胺、聚酰亚胺酰胺、抗蚀剂、苯并环丁烯、低介电常数有机绝缘材料。

[0140] 其次,如图 8B 所示,在作为第二层间绝缘层的绝缘膜 180 及绝缘膜 181 中形成开口部 182 及 183。绝缘膜 180 和绝缘膜 181 在连接区域 205、布线区域 203、外部端子连接区域 202、分离区域 201 等需要大面积的蚀刻。但是,在像素区域 206,开口面积与连接区域 205 等的开口面积相比非常小,形成为微细的。因此,分别进行了为了形成像素区域的开口部而进行的光刻工序和为了形成连接区域的开口部而进行的光刻工序。

[0141] 然后,如图 8C 所示,在像素区域 206 的绝缘膜 180 和绝缘膜 181 中形成微细的开口部 184,即接触孔。

[0142] 在本实施方式中,说明了如下情况:使用覆盖连接区域 205、布线区域 203、外部端子连接区域 202、分离区域 201、外围驱动电路区域 204,并在像素区域 206 形成有预定的开口部的掩模,来蚀刻绝缘膜 180 和绝缘膜 181。但是,本发明不局限于此。例如,连接区域 205 的开口部的面积为大,因此蚀刻量为多。这种大面积的开口部可以进行多次的蚀刻。

[0143] 其次,如图 9A 所示,形成第一电极层 185(也被称为像素电极层)并使它接触源电极层或漏电极层 172a。第一电极层用作阳极或阴极,只要使用以选自 Ti、Ni、W、Cr、Pt、Zn、Sn、In 或 Mo 中的元素、 TiN 、 TiSi_xN_y 、 WSi_x 、 WN_x 、 WSi_xN_y 、 NbN 、或以所述元素为主要成分的合金材料或化合物材料为主要成分的膜或这些的叠层膜,即可。其总膜厚为 100nm 至 800nm 的范围。

[0144] 在本实施方式中,采用了使用发光元件作为显示元件,并将来自发光元件的光从第一电极层 185 一侧获取的结构,因此第一电极层 185 具有透光性。作为第一电极层 185,可以通过形成透明导电膜,并蚀刻成所希望的形状来形成第一电极层 185。作为在本发明中使用的第一电极层 185,可以使用含氧化硅的氧化铟锡(也被称为含氧化硅的铟锡氧化物,以下被称为“ ITSO ”)、氧化锌、氧化锡、氧化铟等。除了上述以外,还可以使用在氧化铟中混合了 2 至 20wt% 的氧化锌(ZnO)的氧化铟氧化锌合金等的透明导电膜。作为第一电极层 185,除了上述透明导电膜以外,还可以使用氮化钛膜或钛膜。在这种情况下,在形成了透明导电膜后,以可透过光的膜厚(优选为 5nm 至 30nm 左右)形成氮化钛膜或钛膜。在本实施方式中,作为第一电极层 185,采用使用了氧化铟锡和氧化硅的 ITSO 。

[0145] 图 11 表示在形成了第一电极层 185 的阶段上的像素区域的俯视图的一个例子。在图 11 中,一个像素由 TFT501、TFT502、电容元件 504、第一电极层 185、栅极布线层 506、源极布线层及漏极布线层 505、电源线 507 构成。

[0146] 其次,在形成了第一电极层 185 后,还可以进行加热处理。通过该加热处理,可释放出包含在第一电极层 185 中的水分。因此,由于第一电极层 185 不发生脱气现象等,所以,即使在第一电极层上形成容易由水分引起劣化的发光材料,发光材料也不劣化,可以制造可靠性高的显示装置。在本实施方式中,由于在第一电极层 185 中使用了 ITS0,因此即使进行焙烧,也不会如 IT0(氧化铟氧化锡合金)那样发生结晶化,而仍然保持非晶状态。因此,ITS0 具有比 IT0 高的平整性,即使包含有机化合物的层变薄,也不容易与阴极发生短路。

[0147] 其次,形成覆盖第一电极层 185 的端部、源电极层或漏电极层的、由绝缘材料构成的隔离壁 186(参照图 9B)。通过使用设置有衍射光栅图形或半透膜构成的具有光强度降低功能的辅助图案的光掩模或中间掩模,来形成隔离壁 186。另外,隔离壁 186 具有包括多个膜厚为厚的部分的截面形状,并且,在隔离壁的侧面具有凹凸。所述隔离壁 186 的制造方法可以是按照实施方式 1 而获得的。

[0148] 为了进行全色显示,在第一电极层上形成电场发光层时,必须分别制造进行 RGB 发光的电场发光层。由此,在形成其它颜色的电场发光层时,某个像素电极层(第一电极层)被蒸发沉积掩模覆盖。作为蒸发沉积掩模,可以采用由金属材料等构成的膜状的方式。此时,蒸发沉积掩模被设置在隔离壁 186 上,并被隔离壁 186 的厚度为厚的部分支撑。通过设置所述隔离壁 186 的厚度为厚的部分,可以防止掩模给第一电极层带来形状不良的负面影响,并可以提供高可靠性且高图像质量的显示装置,而不使第一电极层引起发光不良或显示不良。

[0149] 另外,以与隔离壁 186 同一工序,在外部端子连接区域 202 形成绝缘物(绝缘层)187a、绝缘物(绝缘层)187b。

[0150] 另外,在连续区域 205 中,隔离壁 186 形成为覆盖开口部 182 侧面的绝缘膜 180 及绝缘膜 181 的端部的形式。绝缘膜 180 及绝缘膜 181 的端部通过选择性地蚀刻的处理加工为具有凹凸的形式,该凹凸的高度差异很大,因此层叠在其上的第二电极层 189 的覆盖性变差。因此,如本发明所示,由隔离壁 186 覆盖开口部周边的凹凸,并使凹凸变平缓,来可以改善要层叠的第二电极层 189 的覆盖性。在连续区域 205 中,以与第二电极层相同的工序、相同材料形成的布线层与布线层 156 电连接。在本实施方式中,第二电极层 189 与布线层 156 接触并实现电连接,但是也可以通过其它布线实现电连接。

[0151] 其次,在第一电极层 185 上形成电场发光层 188。此外,尽管在图 10 中仅示出了一个像素,但是在本实施方式中分别形成与 R(红)、G(绿)、B(蓝)的各种颜色相对应的电场发光层。在本实施方式中,分别通过使用了蒸发沉积掩模的蒸发沉积法等选择性地形成呈现红色(R)、绿色(G)、蓝色(B)发光的材料作为电场发光层 188。

[0152] 其次,在电场发光层 188 上,形成由导电膜构成的第二电极层 189。作为第二电极层 189,可以使用低功函数的材料(Al、Ag、Li、Ca 或这些材料的合金或化合物、MgAg、MgIn、AlLi、CaF₂ 或氮化钙)。由此形成由第一电极层 185、电场发光层 188 和第二电极层 189 构成的发光元件 190。

[0153] 在图 10 所示的本实施方式的显示装置中,发光元件 190 所发的光从第一电极层

185 一侧且沿着在图 10 中的箭头所示的方向透过而射出。

[0154] 以覆盖第二电极层 189 的方式设置钝化膜 191 是很有效的。作为钝化膜 191, 由包含氮化硅、氧化硅、氧氮化硅 (SiON)、氮氧化硅 (SiNO)、氮化铝 (AlN)、氧氮化铝 (AlON)、氮含量比氧含量多的氮氧化铝 (AlNO) 或氧化铝、类金刚石碳 (DLC)、含氮碳膜 (CN) 的绝缘膜构成, 可以使用该绝缘膜的单层或组合而成的叠层膜。另外, 还可以使用硅氧烷树脂材料。

[0155] 然后, 通过密封剂 192 固定而接合形成有发光元件 190 的衬底 100 和密封衬底 195, 以密封发光元件 (参照图 10)。

[0156] 此外, 可以在密封剂所包围的区域中填充填充材料或粘合带, 还可以通过在氮气氛下进行密封, 来封入氮等。本实施方式为下面射出型, 因此填充材料无需具有透光性, 但是, 当采用光透过填充材料而取出的结构的情况下, 填充材料需要具有透光性。代表性地, 可以使用可见光固化、紫外线固化或热固性环氧树脂。在以上的工序中, 完成了在本实施方式中的使用了发光元件的具有显示功能的显示装置。另外, 填充材料还可以以液态状态滴下, 并填充到显示装置中。

[0157] 另外, 还可以在面板中设置干燥剂, 以防止由水分引起的发光元件的劣化。

[0158] 其次, 在外部端子连接区域 202 中, 通过各向异性导电层 196, 将 FPC194 连接到端子电极层 178, 来与外部进行电连接。

[0159] 另外, 在本发明的显示装置中, 对画面显示的驱动方法没有特别的限制, 例如可以使用点顺序驱动方法、或线顺序驱动方法、或面顺序驱动方法等。代表性地, 采用线顺序驱动方法, 只要适当地使用时间分割灰度驱动方法或面积灰度驱动方法, 即可。另外, 向显示装置的源极线输入的影像信号可以为模拟信号, 也可以为数字信号, 只要根据影像信号适当地设计驱动电路等, 即可。

[0160] 再者, 在视频信号为数字信号的显示装置中, 存在着向像素输入的视频信号为恒定电压 (CV) 的情况和恒定电流 (CC) 的情况。在视频信号为恒定电压的 (CV) 情况中, 存在着施加到发光元件的电压为一定的 (CVCV) 情况, 以及施加到发光元件的电流值为一定的 (CVCC) 情况。另外, 在视频信号为恒定电流的 (CC) 情况中, 存在着施加到发光元件的电压值恒定的 (CCCV) 情况, 以及施加到发光元件的电流值恒定的 (CCCC) 情况。

[0161] 通过实施本发明, 可以以简化了的工序制造可靠性高的显示装置。由此, 可以以较低的成本高成品率地制造高精细、高图像质量的显示装置。

[0162] 本实施方式可以与实施方式 1 至 3 中的任何一个自由地组合。

[0163] 实施方式 5

[0164] 通过采用根据本发明形成的发光装置, 可以实现电视装置。具有如下情况: 在显示面板上仅形成像素部, 并且通过 TAB 方式或 COG 方式安装扫描线侧驱动电路和信号线侧驱动电路, 形成 TFT, 在衬底上一体化形成像素部和扫描线侧驱动电路, 而分别安装信号线侧驱动电路作为驱动 IC; 在衬底上一体化形成像素部、信号线侧驱动电路和扫描线侧驱动电路, 等等, 可以采用任何一种方式。

[0165] 作为其它外部电路的结构, 影像信号的输入侧由以下电路构成, 即: 在由调谐器接收的信号中, 放大影像信号的影像信号放大电路、将其输出的信号变换为对应于与红、绿、蓝的各种颜色的颜色信号的影像信号处理电路、以及将其影像信号变换为驱动 IC 的输入规格的控制电路等。控制电路向扫描线侧和信号线侧分别输出信号。在为数字驱动的情况

下,其结构也可以是在信号线侧设置信号分割电路,将输入数字信号分割为 m 个进行提供。

[0166] 在由调谐器接收的信号中,声音信号被送到声音信号放大电路,其输出经过声音信号处理电路提供到扬声器。控制电路从输入部接受接收站(接收频率)或音量的控制信息,并将信号送出到调谐器或者声音信号处理电路。

[0167] 显示模块如图 12A 和 12B 所示,组装在框体中,可以实现电视装置。还安装有 FPC 的显示面板也被称为显示模块。由显示模块形成主画面 2003,作为其它附属设备还具有扬声器部 2009、操作开关等。如上所述,可以通过本发明实现电视装置。

[0168] 另外,也可以使用相位差板或者偏振板,以阻隔从外部入射的光的反射光。另外,如果为上面放射型显示装置,则可以将作为隔离壁的绝缘层进行着色并作为黑色矩阵使用。该隔离壁也可以通过液滴喷出法等形式形成,还可以向颜料类黑色树脂或聚酰亚胺等树脂材料中混合碳黑等,还可以为其叠层。也可以通过液滴喷出法在相同区域中反复喷出不同材料,以形成隔离壁。作为相位差板,使用 $\lambda/4$ 板、 $\lambda/2$ 板,只要设计为可以控制光的形式,即可。作为其结构,按顺序形成为 TFT 元件衬底、发光元件、密封衬底(密封材料)、相位差板($\lambda/4$ 板)、相位差板($\lambda/2$ 板)、偏振板,从发光元件放射的光经过上述结构来从偏振板一侧放射到外部。该相位差板和偏振板可设置在光放射的一侧,如果为两面放射的两面放射型显示装置,则还可以设置在两面上。另外,偏振板的外侧也可以具有抗反射膜。由此,可以更高细致地显示精密图像。

[0169] 如图 12A 所示,在框体 2001 中组装利用了显示元件的显示用面板 2002,由接收机 2005 进行一般电视广播的接收,并通过调制解调器 2004 与有线或无线方式的通信网络连接,由此还可以进行单向(由发送者到接收者)或双向(在发送者和接收者之间,或者在接收者之间)信息通信。电视装置的操作还可以由组装在框体中的开关或其它遥控操作机 2006 来进行,该遥控装置还可以设置有显示输出信息的显示部 2007。

[0170] 另外,电视装置还可以附加有如下结构:除了主画面 2003 以外,使用第二显示用面板形成辅助画面 2008,并显示频道或音量等。在这种结构中,也可以采用视野角优异的 EL 显示用面板形成主画面 2003,采用能够以低耗电量进行显示的液晶显示用面板来形成辅助画面。另外,为了使低耗电量优先,可以采用如下结构:使用液晶显示用面板来形成主画面 2003,使用 EL 显示用面板形成辅助画面,并且辅助画面能够闪烁。即使使用这种大型衬底,并使用很多 TFT 或电子部件,也可以通过实施本发明来形成为可靠性高的显示装置。

[0171] 图 12B 为例如具有 20 至 80 英寸的大型显示部的电视装置,包括框体 2010、作为操作部的键盘部 2012、显示部 2011、扬声器部 2013 等。本发明适用于显示部 2011 的制造。图 12B 的显示部使用了可弯曲的物质,因此形成为显示部弯曲了的电视装置。由于如上所述可以自由地设计显示部的形状,所以可以制造所希望的形状的电视装置。

[0172] 通过本发明,可以以简单工序形成显示装置,因此还可以降低成本。由此,采用了本发明的电视装置即使具有较大画面的显示部也可以以较低的成本进行形成。由此,可以高成品率地制造高性能、高可靠性的电视装置。

[0173] 当然,本发明不局限于电视装置,还可以适用于个人电脑的监视器、铁路的车站或飞机场等中的信息显示屏、街头的广告显示屏等大面积显示介质的各种用途中。

[0174] 本实施方式可以与实施方式 1 至 4 中的任何一个自由地组合。

[0175] 实施方式 6

[0176] 参照图 13A 和 13B 说明本实施方式。本实施方式示出使用了具有在实施方式 1 至 4 中制造的显示装置的面板的模块的例子。

[0177] 在图 13A 所示的信息终端模块中,在印刷线路板 946 上安装了控制器 901、中央处理装置 (CPU) 902、存储器 911、电源电路 903、声音处理电路 929 以及收发电路 904,并且还安装了电阻器、缓冲器、电容元件等的元件。另外,面板 900 通过柔性线路板 (FPC) 908 连接到印刷线路板 946。

[0178] 在面板 900 上设置有在各像素上设置了发光元件的像素部 905、选择所述像素部 905 所具有的像素的第一扫描线驱动电路 906a、第二扫描线驱动电路 906b、以及对被选择了的像素供给视频信号的信号线驱动电路 907。

[0179] 通过印刷线路板 946 所具备的接口 (I/F) 部 909,进行各种控制信号的输入输出。另外,将用于收发与天线之间的信号的的天线用端口 910,设置在印刷线路板 946 上。

[0180] 在本实施方式中,虽然印刷线路板 946 通过 FPC908 连接于面板 900,但是不局限于这种结构。还可以采用 COG (Chip on Glass ;玻璃上芯片) 方式将控制器 901、声音处理电路 929、存储器 911、CPU902 或电源电路 903 直接安装到面板 900 上。另外,在印刷线路板 946 上设置有电容元件、缓冲器等各种元件,来防止在电源电压或信号中增加了噪音,或者使信号的上升变缓。

[0181] 图 13B 表示图 13A 所示的模块的框图。该模块 999 包括作为存储器 911 的 VRAM932、DRAM925、闪存 926 等。在 VRAM932 中存储了显示在面板上的图像数据,在 DRAM925 中存储了图像数据或声音数据,在闪存 926 中存储了各种程序。

[0182] 在电源电路 903 中,生成提供给面板 900、控制器 901、CPU902、声音处理电路 929、存储器 911、收发电路 931 的电源电压。另外,根据面板的规格,电源电路 903 会具备电流源。

[0183] CPU902 具有控制信号生成电路 920、解码器 921、寄存器 922、运算电路 923、RAM924、CPU 用接口 935 等。通过接口 935 向 CPU902 输入的各种信号,被首先保持在寄存器 922 中后,再输入到运算电路 923、解码器 921 等中。在运算电路 923 中,基于被输入了的信号进行运算,并指定将各种命令送达的地方。另一方面,输入到解码器 921 中的信号被解码,并输入到控制信号生成电路 920 中。控制信号生成电路 920 基于被输入了的信号生成包括各种命令的信号,并发送到运算电路 923 中指定的地方,具体为存储器 911、收发电路 931、声音处理电路 929、控制器 901 等中。

[0184] 存储器 911、收发电路 931、声音处理电路 929、控制器 901 根据各自接受的命令进行工作。以下,对该工作进行简单说明。

[0185] 从输入器 934 输入的的信号,通过接口 909 发送到安装在印刷线路板 946 上的 CPU902 中。根据从指示器件或键盘等的输入器 934 送出的信号,控制信号生成电路 920 将储存在 VRAM932 中的图像数据变换为预定的格式,并发送到控制器 901 中。

[0186] 根据面板的规格,控制器 901 对从 CPU902 送出的包含图像数据的信号进行数据处理,并提供给面板 900。另外,根据从电源电路 903 输入的电源电压或者从 CPU902 输入的各种信号,控制器 901 生成 Hsync 信号、Vsync 信号、时钟信号 CLK、交流电压 (AC Cont)、切换信号 L/R,并提供给面板 900。

[0187] 在收发电路 904 中,在天线 933 中作为电波收发的信号被处理,具体地说,包括隔

离器、带通滤波器、VCO(Voltage Controlled Oscillator:压控振荡器)、LPF(Low Pass Filter:低通滤波器)、耦合器、平衡-不平衡变换器等的高频电路。在收发电路 904 中被收发的信号中,包含声音信息的信号根据 CPU902 发出的命令送出到声音处理电路 929 中。

[0188] 根据 CPU902 的命令被送出的包含声音信息的信号,在声音处理电路 929 中被解调为声音信号,并传送到扬声器 928 中。另外,从麦克风 927 送出的声音信号在声音处理电路 929 中被调制,并根据 CPU902 发出的命令发送到收发电路 904 中。

[0189] 可以安装控制器 901、CPU902、电源电路 903、声音处理电路 929、存储器 911 作为本实施方式的组件。只要是除了隔离器、带通滤波器、VCO(压控振荡器)、LPF(低通滤波器)、耦合器、平衡-不平衡变换器等的高频电路以外,本实施方式就可以应用于任何电路中。

[0190] 显示面板 900 在像素电极上或在覆盖像素电极周围的绝缘物上具备间隔物。因此,具备所述显示面板 900 的模块可以防止损伤像素电极,发挥出高图像质量显示和高可靠性的效果,因为支撑并不使当形成电场发光层时使用的掩模与像素电极接触。

[0191] 实施方式 7

[0192] 参照图 14 说明本实施方式。图 14 示出了包括在实施方式 6 中制造的模块并采用了无线的可手持移动的小型电话机(便携式电话)的一种方式。显示面板 900 以自由装卸的方式组装在外壳 1001 上,并可以容易固定于模块 999。外壳 1001 可以根据组装的电子设备适当地变更其形状和尺寸。

[0193] 将固定了显示面板 900 的外壳 1001 嵌在印刷线路板 946 中,并作为模块被组成。印刷线路板 946 安装有控制器、CPU、存储器、电源电路,并且还安装有电阻器、缓冲器、电容元件等。再者,还具备包括麦克风 994 以及扬声器 995 的声音处理电路、收发电路等的信号处理电路 993。面板 900 通过 FPC908 连接于印刷线路板 946。

[0194] 如上所述的模块 999、输入器 998、电池 997 容纳在框体 996 中。显示面板 900 的像素部配置为从形成在框体 996 中的开口窗可以视觉确认的形式。

[0195] 显示面板 900 在像素电极上或在覆盖像素电极周围的绝缘物上具备间隔物。因此,具备所述显示面板 900 的模块可以防止损伤像素电极,发挥出高图像质量显示和高可靠性的效果,因为支撑并不使当形成电场发光层时使用的掩模与像素电极接触。

[0196] 图 14 所示的框体 996 示出了电话机的外观形状作为一个例子。但是,本实施方式的电子设备可以根据其功能和用途变换为各种方式。通过以下所示的实施方式,对其方式的一个例子进行说明。

[0197] 实施方式 8

[0198] 通过应用本发明,可以制造各种显示装置。换言之,本发明可以适用于在显示部组装有这些显示装置的各种电子设备。

[0199] 作为这种电子设备,可以举出影像拍摄装置如摄像机或数码相机等、投影仪、头部安装型显示器(护目镜型显示器)、汽车导航系统、汽车立体声、个人电脑、游戏机、便携信息终端(可移动电脑、携带电话或电子书籍等)、具有记录介质的图像再现装置(具体为对数字通用光盘(DVD)等记录介质进行再现,并具备可显示其图像的显示器的装置)等。图 15A 至 15D 中示出了这些例子。

[0200] 图 15A 为电脑,包括本体 2101、框体 2102、显示部 2103、键盘 2104、外部连接口 2105、指示鼠标 2106 等。如果使用本发明,即使小型化且像素微细化,也可以完成可靠性

高、并显示高质量图像的电脑。

[0201] 图 15B 为具有记录介质的图像再现装置（具体为 DVD 再现装置），包括本体 2201、框体 2202、显示部 A2203、显示部 B2204、记录介质（DVD 等）读入部 2205、操作键 2206、扬声器部 2207 等。显示部 A2203 主要显示图像信息，显示部 B2204 主要显示文字信息。如果使用本发明，即使小型化且像素微细化，也可以完成可靠性高、并显示高质量图像的图像再现装置。

[0202] 图 15C 为携带电话，包括本体 2301、声音输出部 2302、声音输入部 2303、显示部 2304、操作开关 2305、天线 2306 等。如果使用本发明，即使小型化且像素微细化，也可以完成可靠性高、并显示高质量图像的携带电话。

[0203] 图 15D 为摄像机，包括本体 2401、显示部 2402、框体 2403、外部连接端口 2404、遥控接收部 2405、图像接收部 2406、电池 2407、声音输入部 2408、取景器 2409、操作键 2410 等。如果使用本发明，即使小型化且像素微细化，也可以完成可靠性高、并能够显示高质量图像的摄像机。

[0204] 本实施方式可以与上述实施方式 1 至 4 中的任何一个自由地组合。

[0205] 实施方式 9

[0206] 这里，作为电连接于发光元件的 TFT，图 16 表示将非晶硅用作有源层的 TFT 的例子。

[0207] 在图 16 中，标号 1910 表示衬底，1911 表示隔离壁，1913 表示第一电极，1914 表示包含有机化合物的层，1915 表示第二电极，1916 表示非晶硅 TFT，1917 表示栅极绝缘膜，1918 表示绝缘膜。另外，标号 1919 表示电源供给线等的布线。

[0208] 作为非晶硅 TFT1916 的制造步骤，可以采用已知技术。首先，在衬底 1910 上形成栅电极之后，形成栅极绝缘膜 1917。接着，依次顺序层叠非晶硅膜（有源层）、包含磷的非晶硅膜（n+ 层）、金属膜。接着，将非晶硅蚀刻为所希望的元件形状之后，在重叠于栅电极的区域，选择性地蚀刻并暴露非晶硅的一部分，来形成沟道。接着，在以绝缘膜 1918 覆盖整个面上之后，形成接触孔、源极布线、漏极布线。

[0209] 此外，非晶硅 TFT1916 表示沟道蚀刻类型 TFT，但是，也可以是沟道停止类型 TFT。

[0210] 作为形成非晶硅 TFT 之后的制造工序，如实施方式 1 所述，形成第一电极 1913，并形成具有向下面扩展的截面形状的隔离壁 1911。

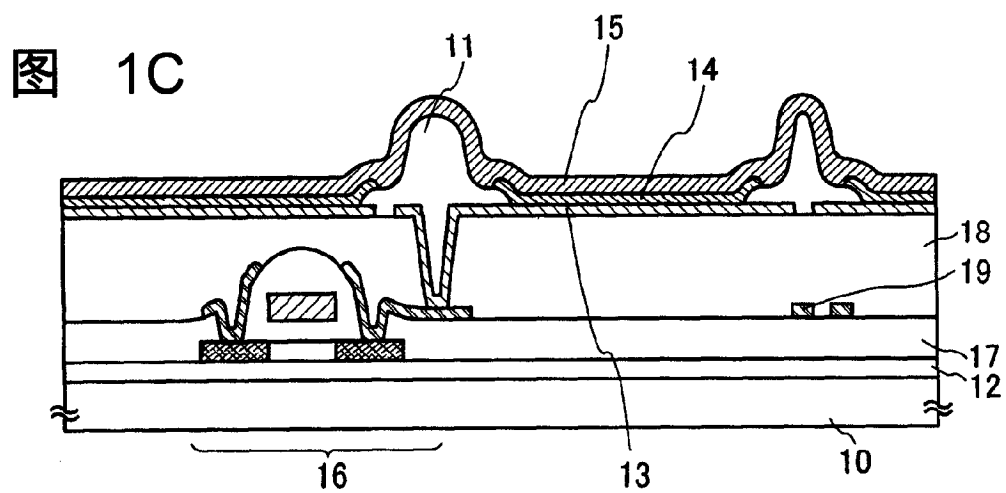
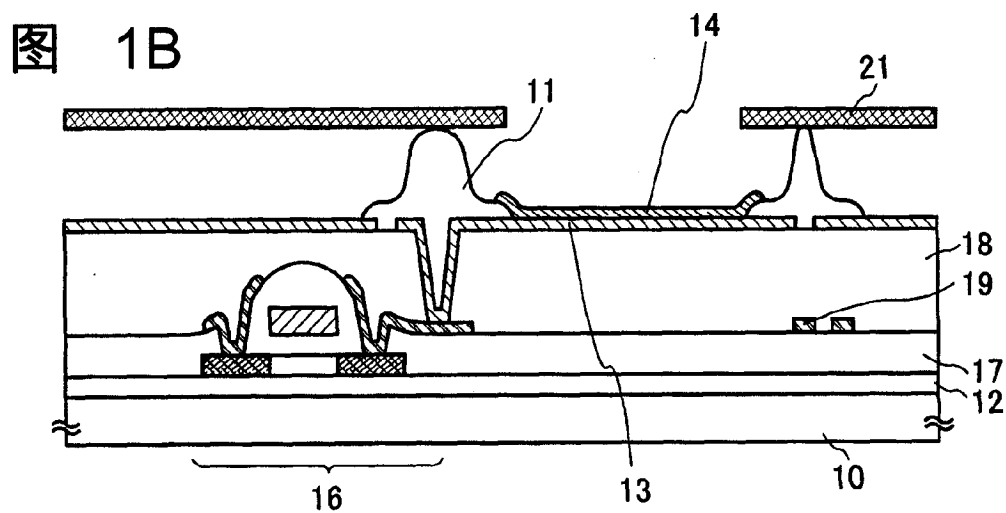
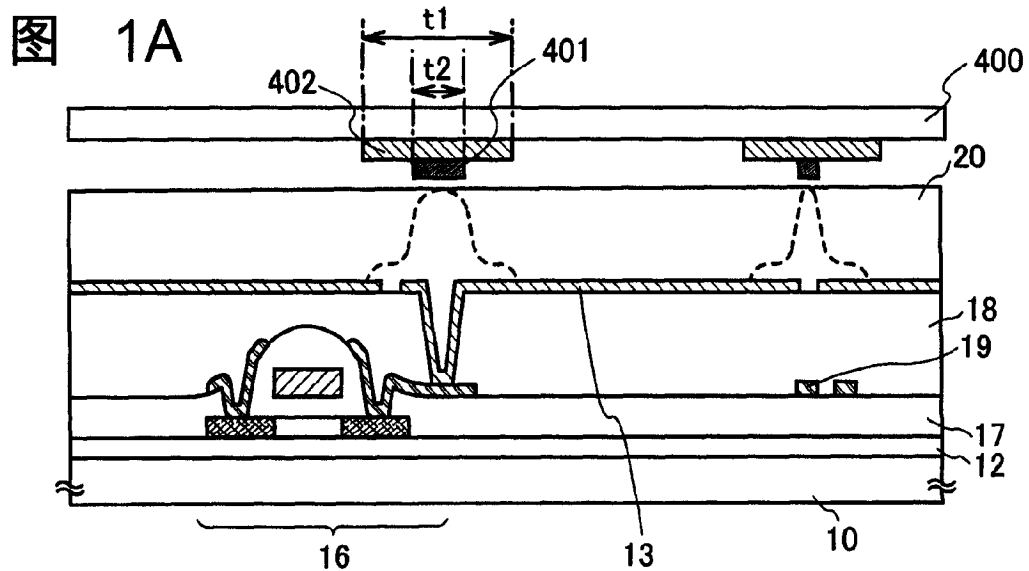
[0211] 其次，通过蒸发沉积法、喷墨法、或涂敷法形成包含有机化合物的层。其次，通过蒸发沉积法或溅射法形成第二电极 1915。

[0212] 关于非晶硅 TFT，高热工序很少，这是对大量生产很合适的工序，并且可以降低在发光装置的制造中的成本。

[0213] 另外，在本实施方式中，示出了使用非晶硅 TFT 的例子，因此仅将像素部形成在衬底上并由 IC 构成驱动电路，而不在同一衬底上制造像素部和驱动电路。

[0214] 本实施方式可以与上述实施方式 1 至 8 中的任何一个自由地组合。

[0215] 本说明书根据 2005 年 10 月 17 日在日本专利局受理的日本专利申请编号 2005-302315 而制作，所述申请内容包括在本说明书中。



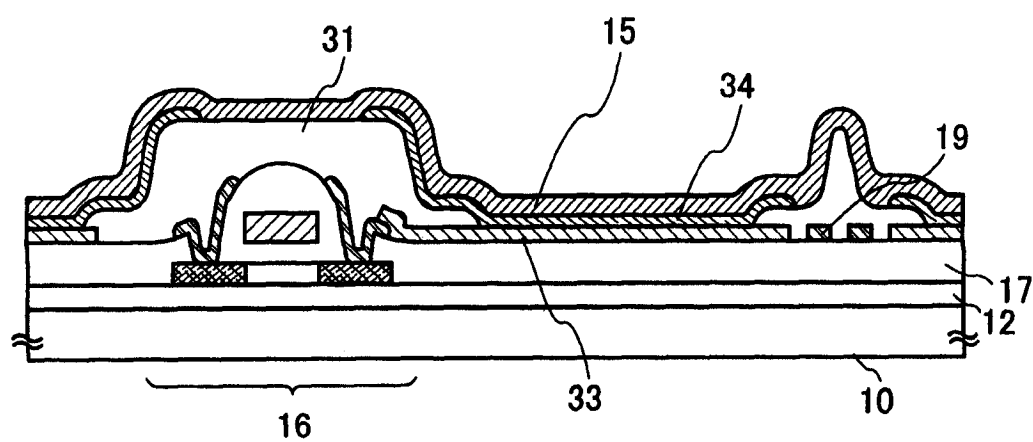


图 3

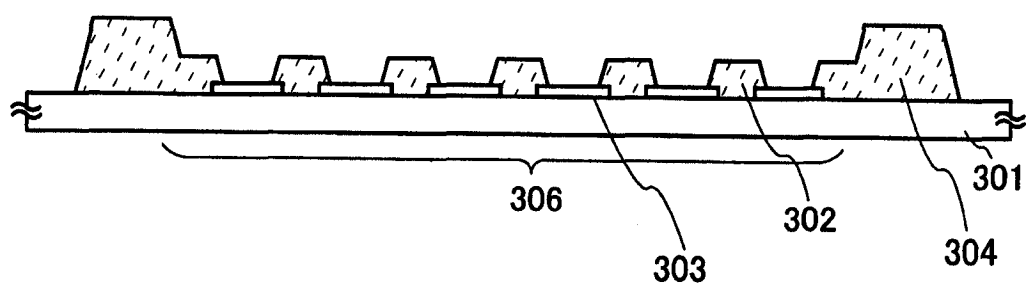


图 4A

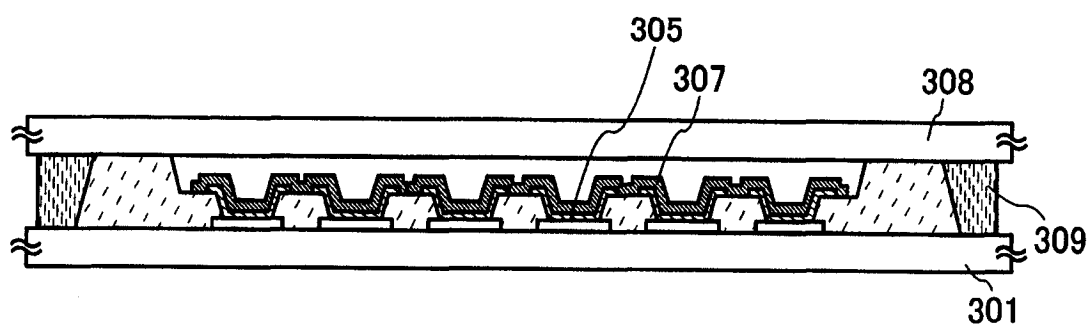
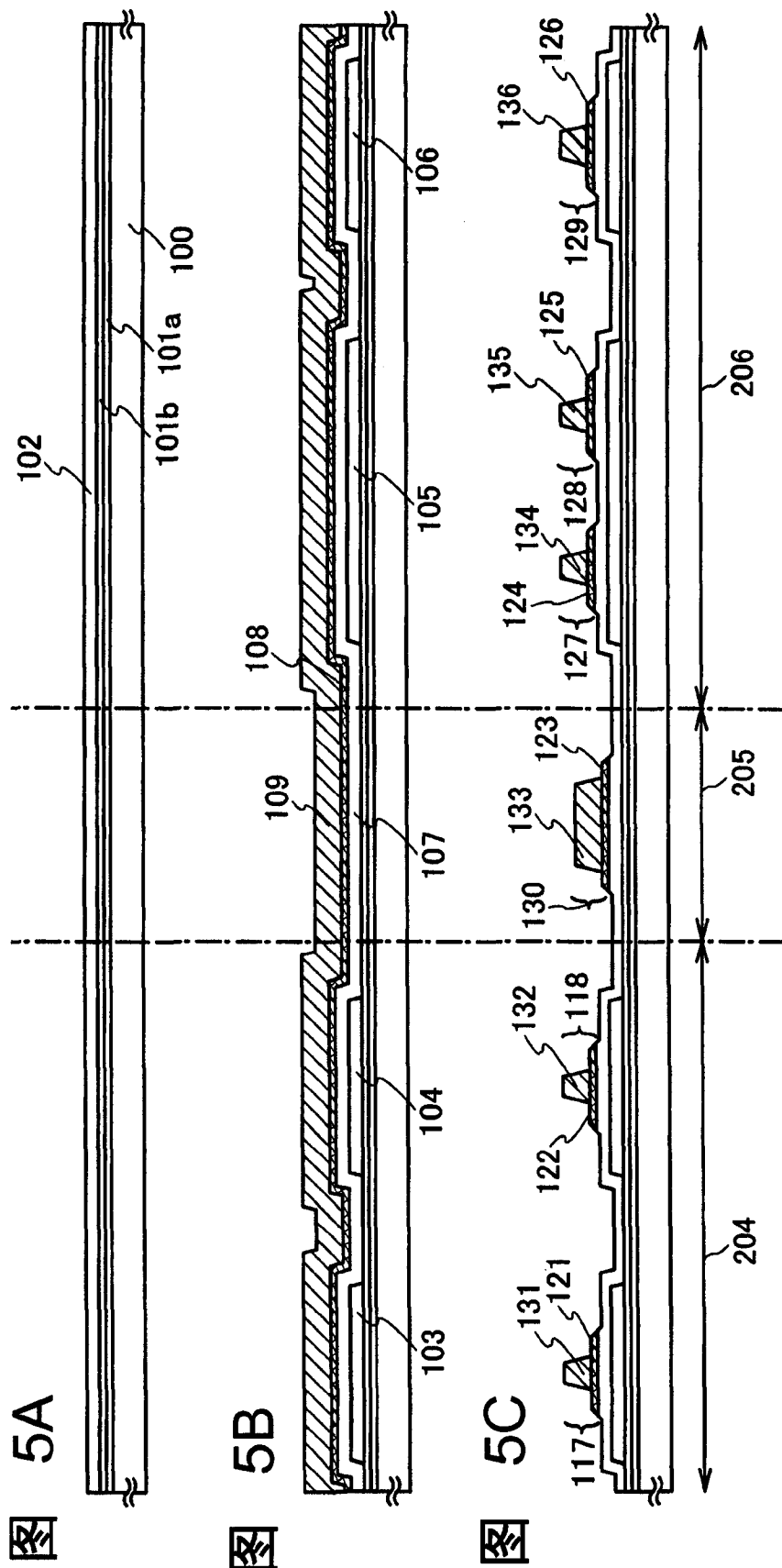
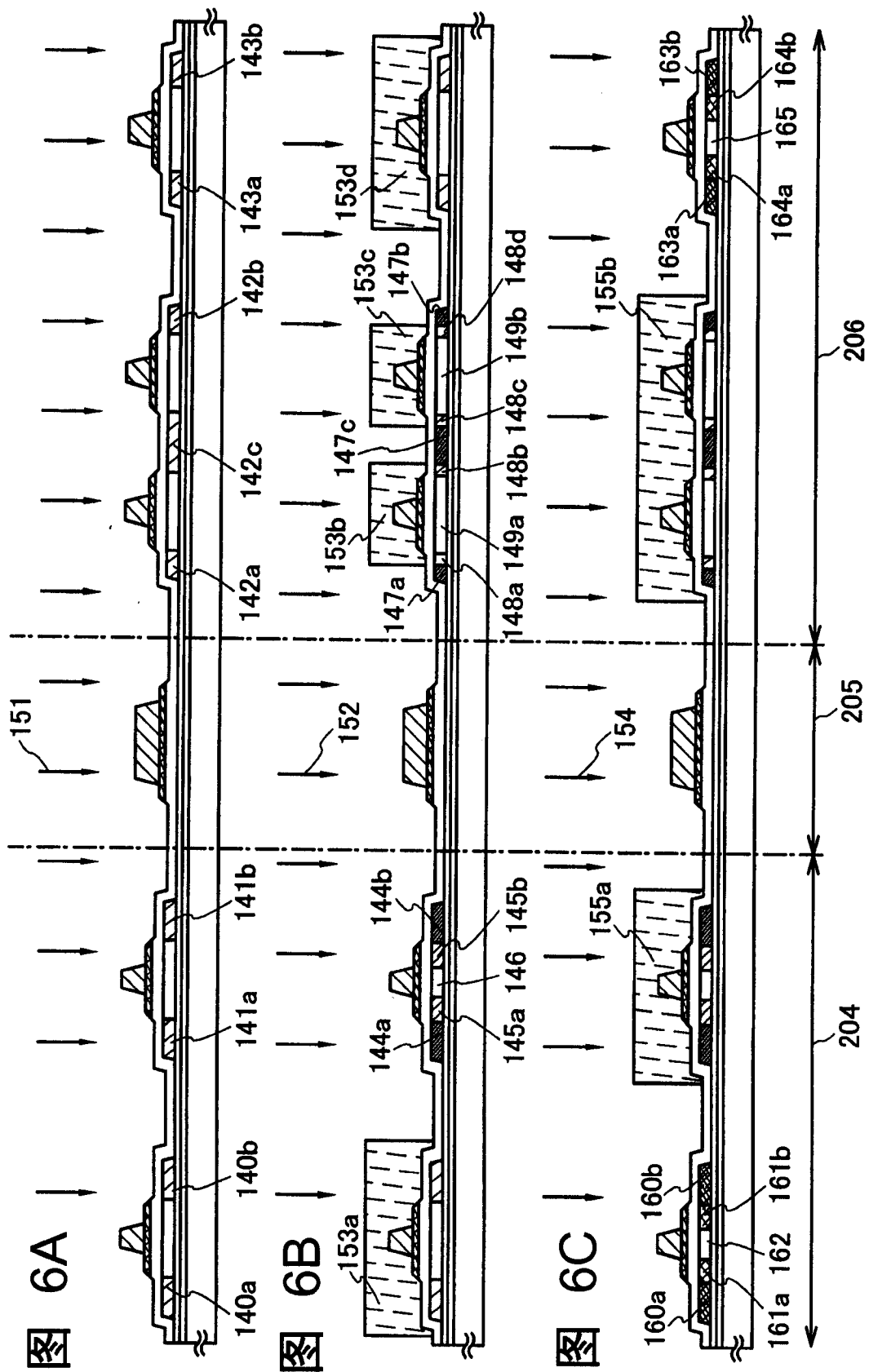
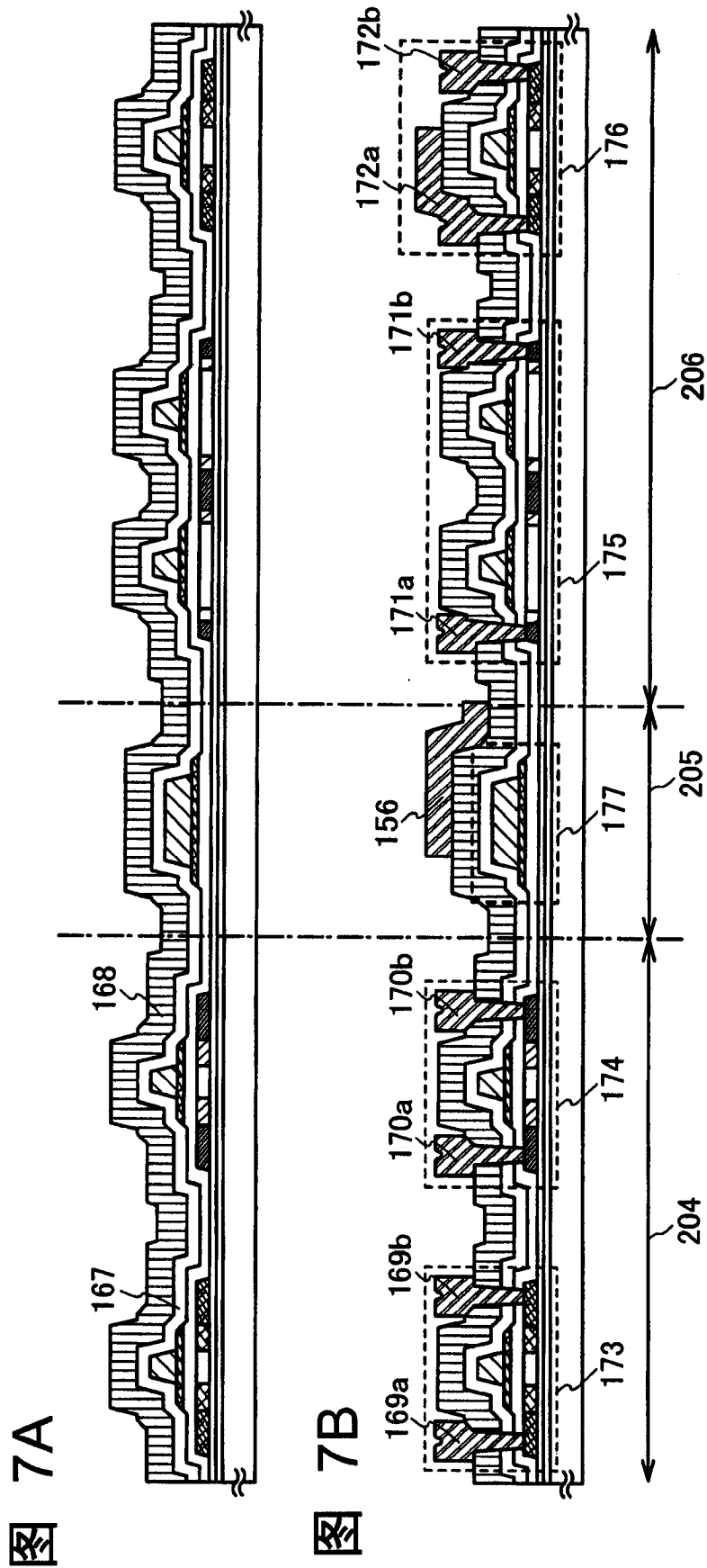
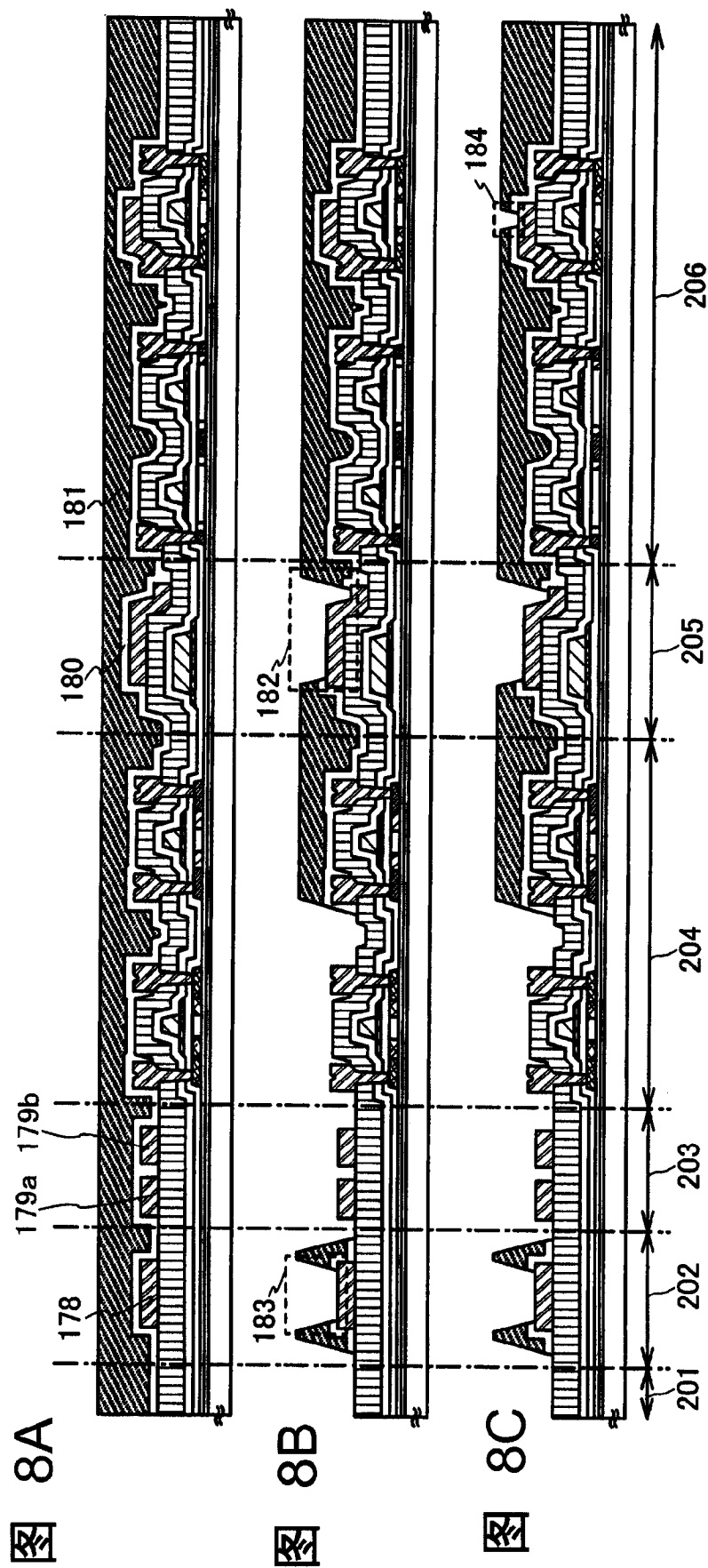


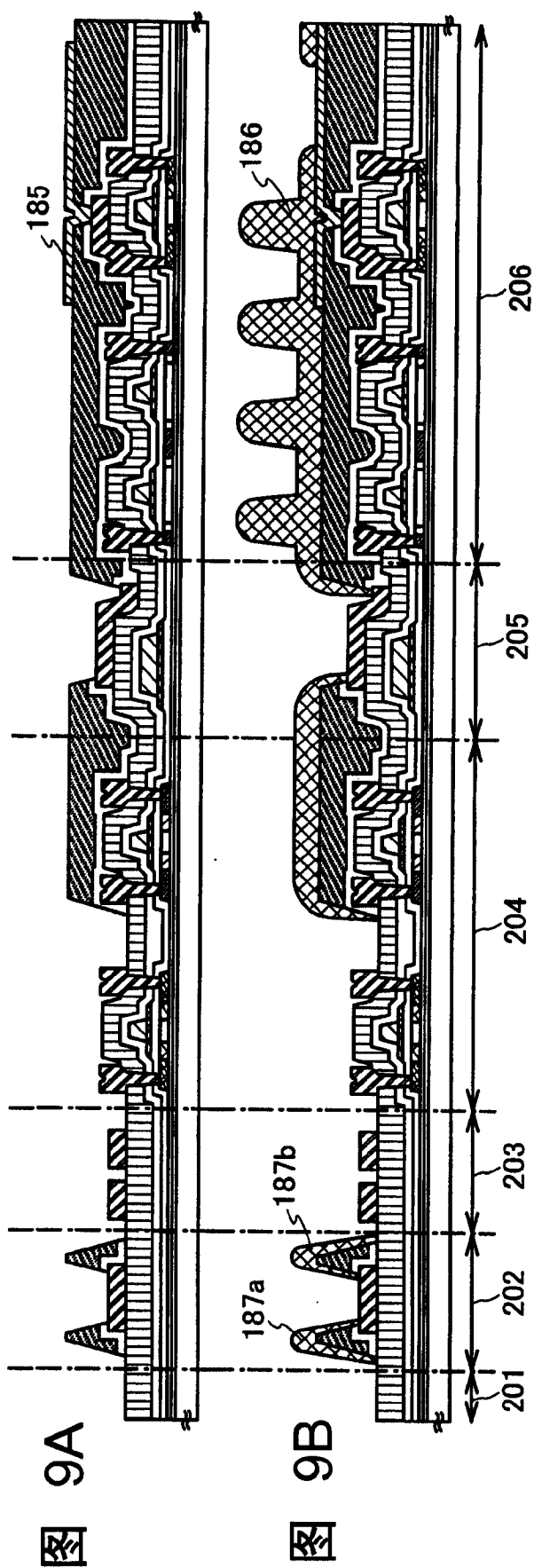
图 4B











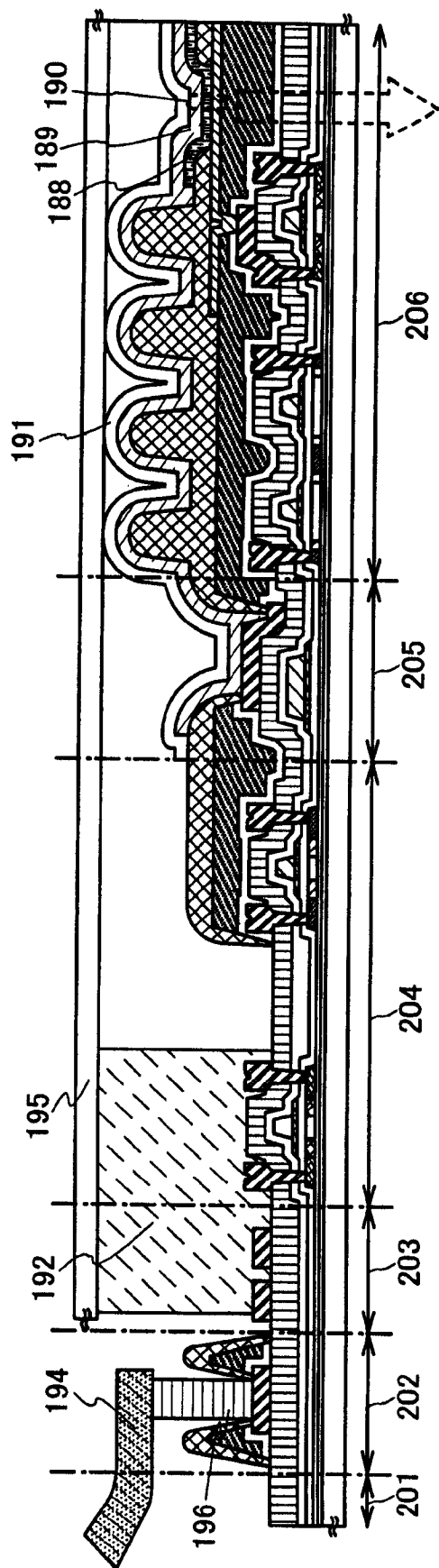


图 10

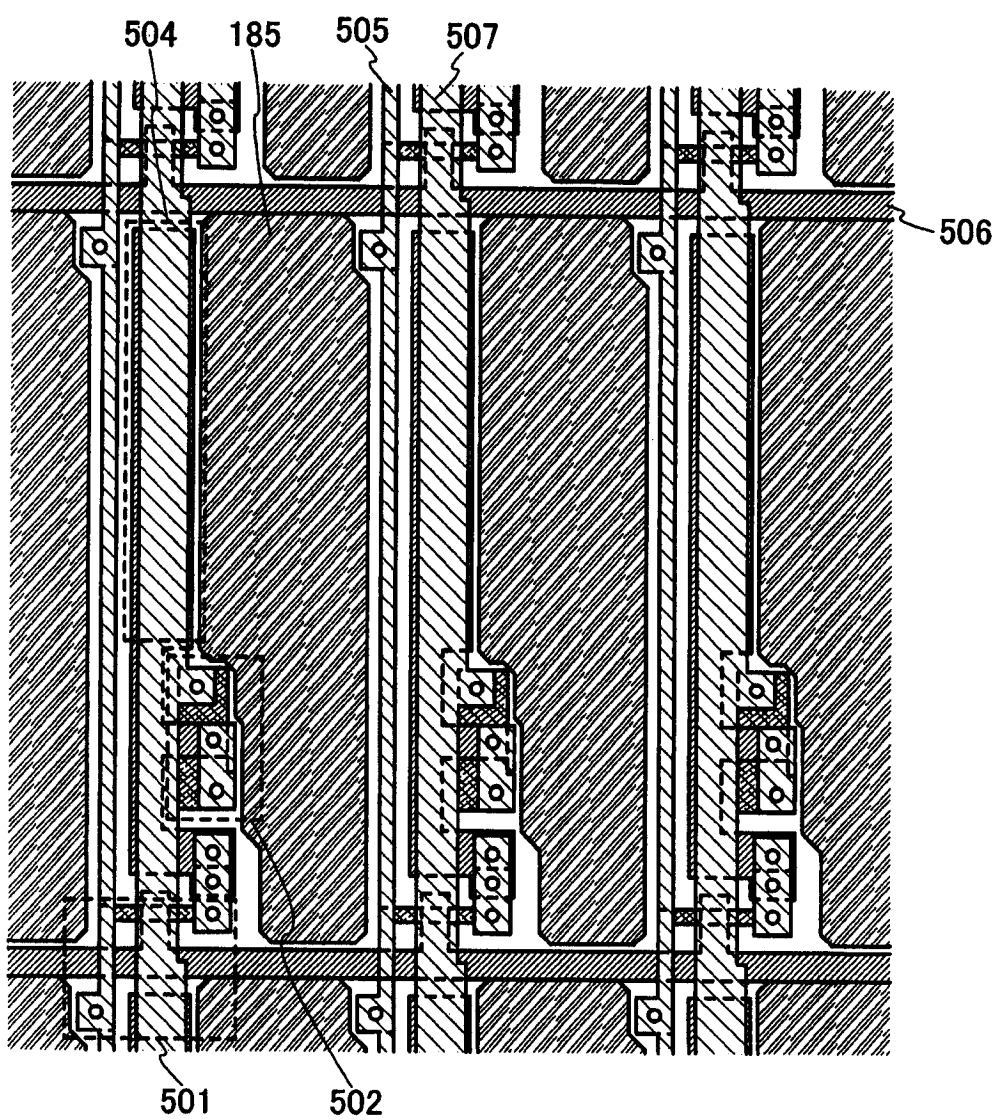


图 11

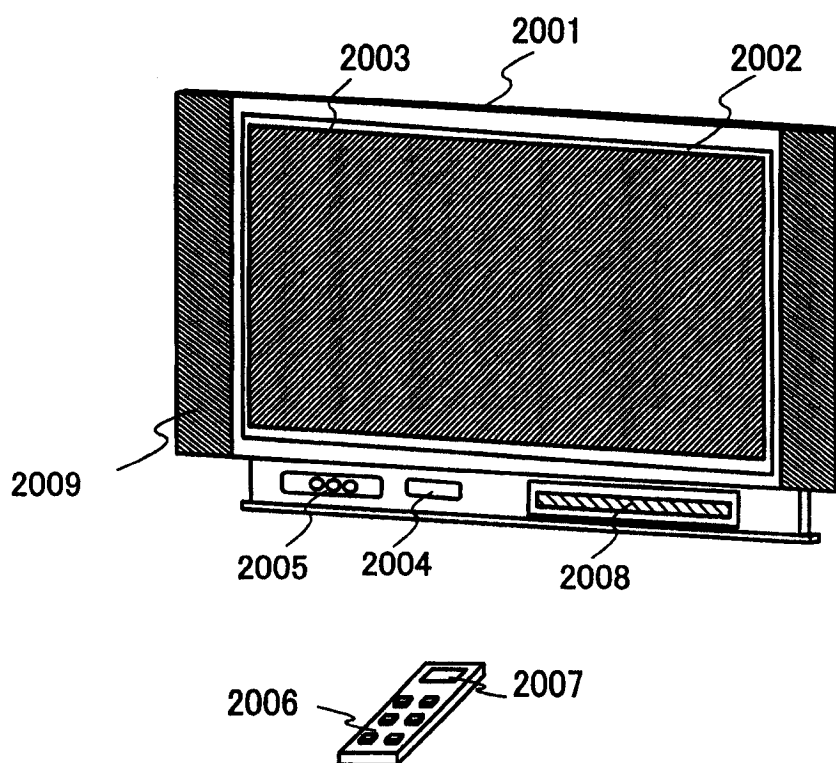


图 12A

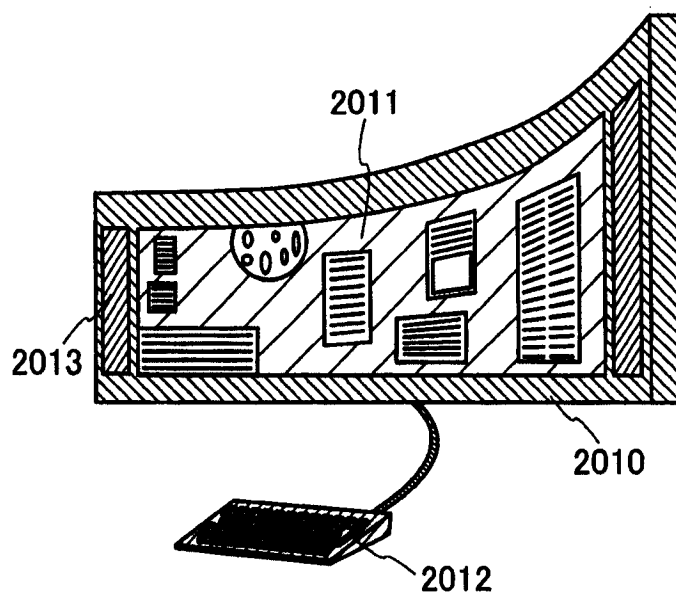


图 12B

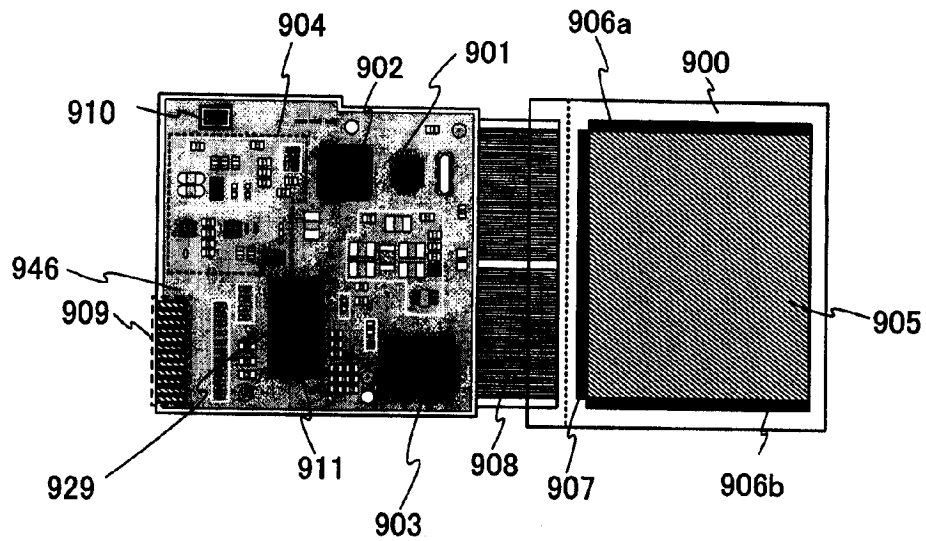


图 13A

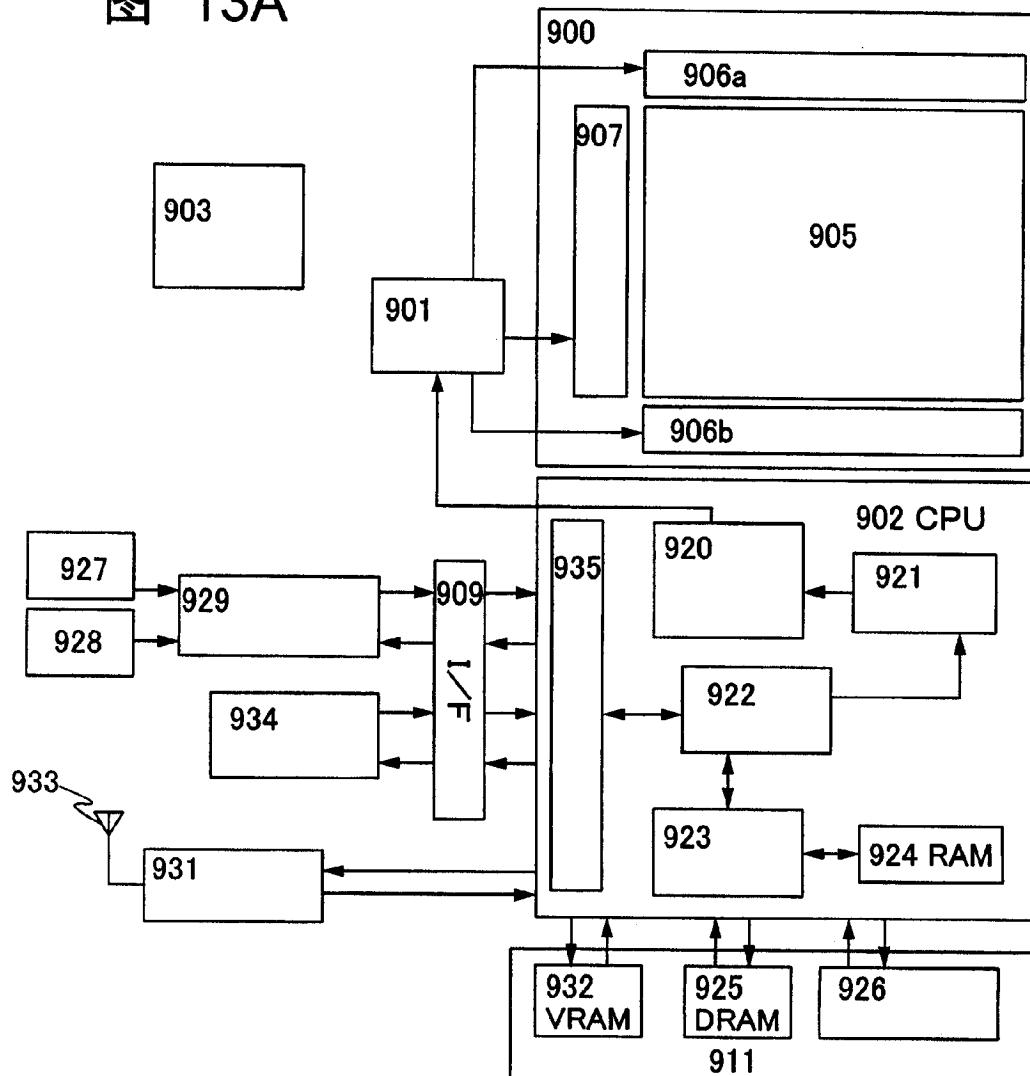


图 13B

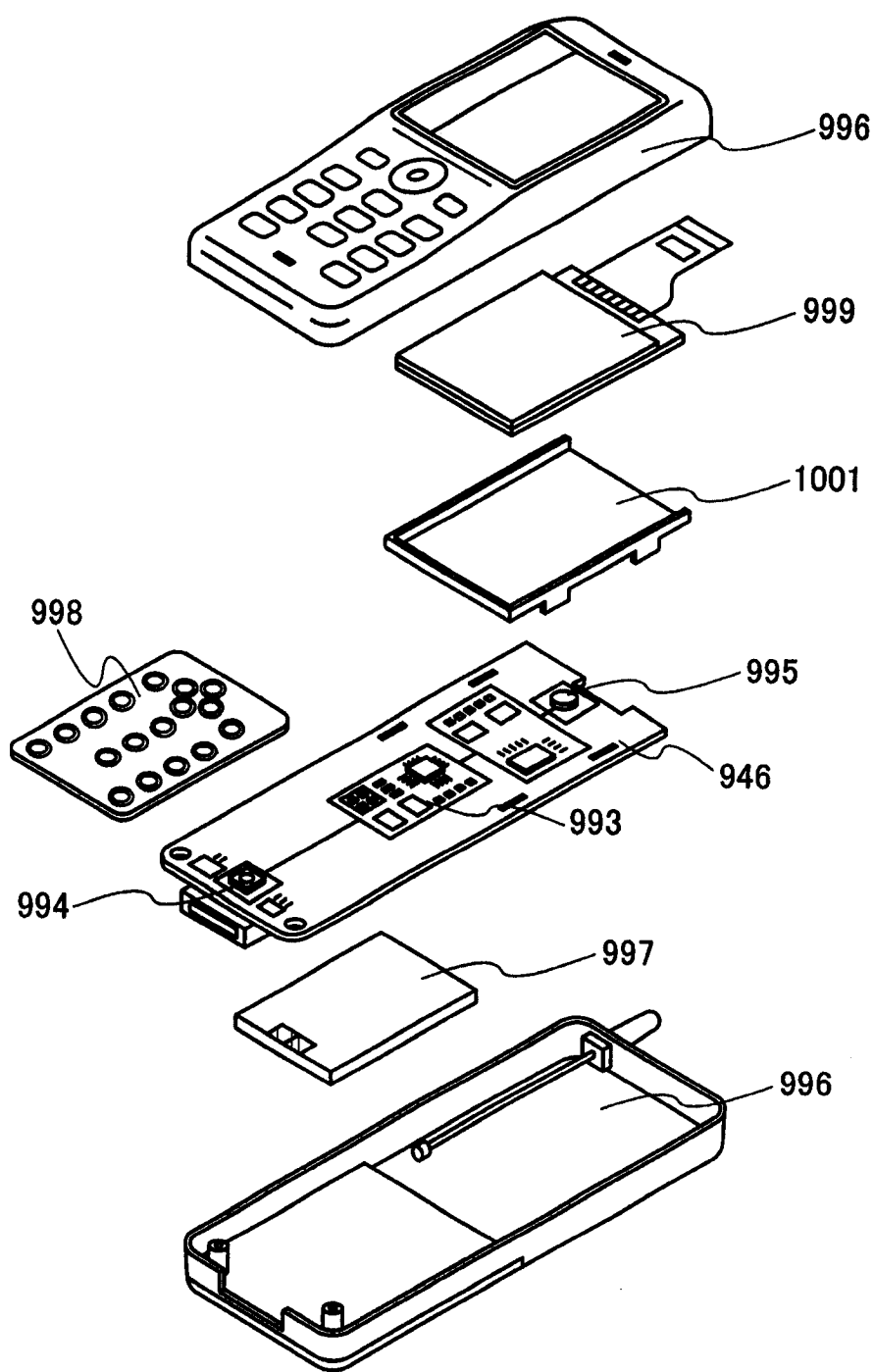


图 14

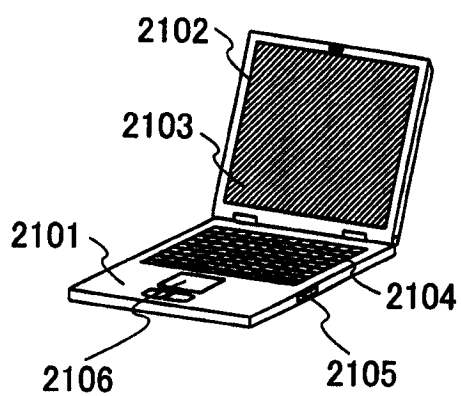


图 15A

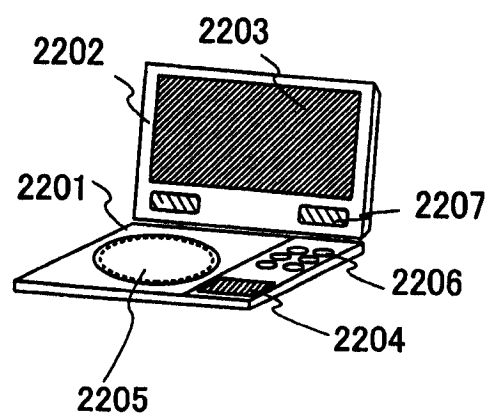


图 15B

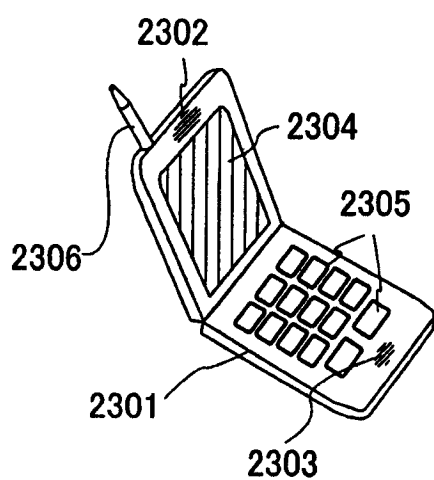


图 15C

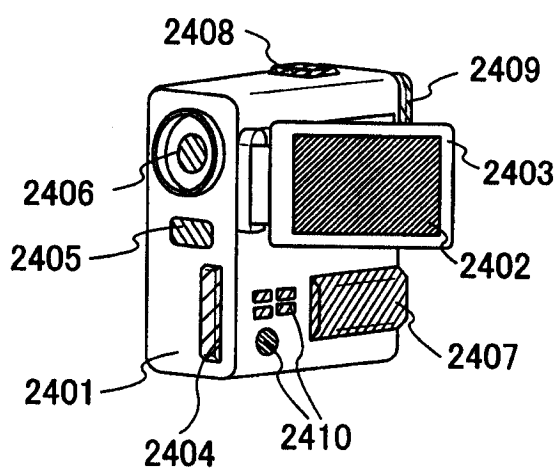


图 15D

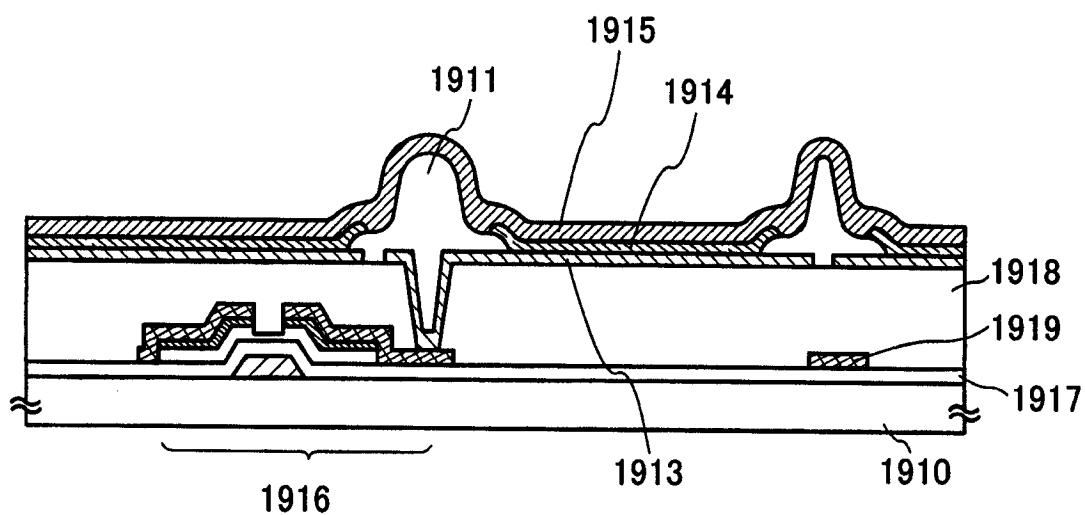


图 16