



(10) **DE 10 2004 029 845 B4** 2017.02.09

(12) **Patentschrift**

(21) Aktenzeichen: **10 2004 029 845.9**  
 (22) Anmeldetag: **16.06.2004**  
 (43) Offenlegungstag: **20.01.2005**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **09.02.2017**

(51) Int Cl.: **G11C 29/56 (2006.01)**  
**G11C 29/12 (2006.01)**  
**G11C 29/48 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**2003-38890 16.06.2003 KR**

(73) Patentinhaber:  
**Samsung Electronics Co., Ltd., Suwon-si,  
 Gyeonggi-do, KR**

(74) Vertreter:  
**Patentanwälte Ruff, Wilhelm, Beier, Dauster &  
 Partner mbB, 70174 Stuttgart, DE**

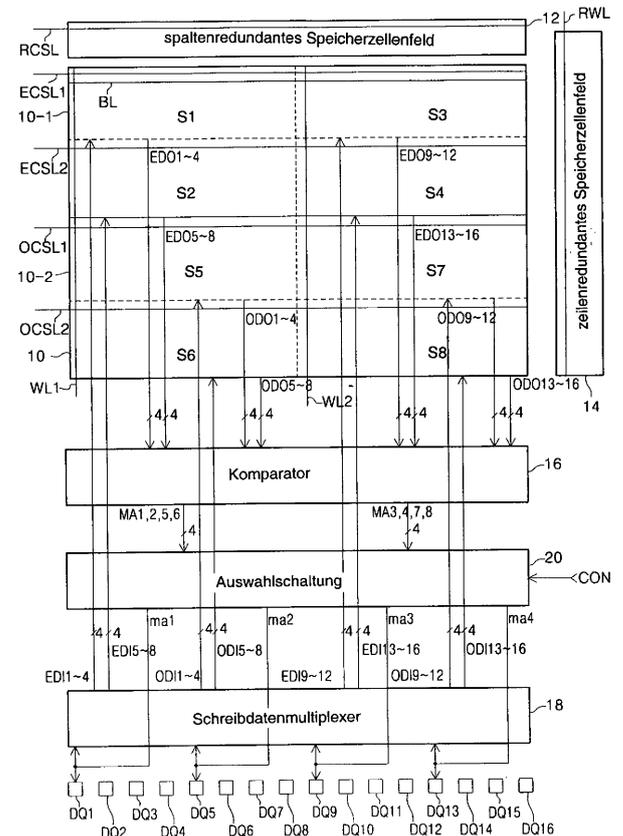
(72) Erfinder:  
**Kim, Joung-Yeal, Kyonggi, KR; Kim, Kyoung-Ho,  
 Kyonggi, KR**

(56) Ermittelter Stand der Technik:  
**US 5 471 480 A**  
**US 6 163 863 A**  
**US 5 961 657 A**

(54) Bezeichnung: **Halbleiterspeicherbaustein und Testverfahren**

(57) Hauptanspruch: Verfahren zum Testen eines Halbleiterspeicherbausteins mit nm-Speicherzellenfeldern (10) zum jeweiligen Ausgeben von x-Bit-Daten, wenn n Wortleitungen (WL1, WL2) und m Spaltenauswahlleitungen (ECSL1, ESCL2, OCSL1, OCSL2) ausgewählt sind, wobei n, m und x ganze Zahlen größer als eins sind, gekennzeichnet durch

- einen Testdatenschreibschritt mit Erweitern von y-Bit-Daten, die über y Dateneingabe-/Datenausgabeanschlüsse (DQ1 bis DQ16) empfangen werden, auf (nm·x)-Bit-Daten und Schreiben der x-Bit-Daten in die nm-Speicherzellenfelder (10) und
- einen Testdatenleseschritt zum Vergleichen der von den nm-Speicherzellenfeldern (10) ausgegebenen x-Bit-Daten, um nm-Bit-Vergleichsergebnisdaten zu erzeugen, und jeweiliges Ausgeben von ausgewählten der y-Bit-Vergleichsergebnisdaten, die aus den nm-Bit-Vergleichsergebnisdaten in Einheiten von y Bits ausgewählt werden, zu den jeweiligen y Dateneingabe-/Datenausgabeanschlüssen (DQ1 bis DQ16) in Reaktion auf ein Steuersignal (CON).



## Beschreibung

**[0001]** Die Erfindung betrifft ein Testverfahren für einen Halbleiterspeicherbaustein und einen zugehörigen Halbleiterspeicherbaustein.

**[0002]** In kommerziellen elektronischen Geräten und elektronischen Konsumgeräten sind integrierte Speicherbausteine weit verbreitet. Mit der Zunahme der Integrationsdichte dieser Geräte kann auch die Anzahl von Speicherzellen in einem Speicherzellenfeld weiter ansteigen. Mit der zunehmenden Anzahl von Speicherzellen kann es immer schwieriger werden, das Speicherzellenfeld zu überprüfen.

**[0003]** Wie dem Fachmann bekannt ist, umfassen Speicherzellenfelder allgemein eine Mehrzahl von Datenleitungsausgängen. Im Normalbetrieb, d. h. wenn keine Testbetriebsart ausgeführt wird, können Daten auf den Datenleitungsausgängen zu globalen Ausgabeleitungen übertragen werden. Im Gegensatz dazu können in einer parallelen Bittestbetriebsart eine Mehrzahl von Datenbits gleichzeitig an eine separate parallele Bittestschaltung für einen Vergleichstest ausgegeben werden.

**[0004]** Ein herkömmliches Halbleiterspeicherbaustein-Testgerät kann eine parallele Bittesttechnik (PBT-Technik) benutzen, um mehr als einen Halbleiterspeicherbaustein gleichzeitig zu überprüfen. Die PBT-Technik empfängt nicht über alle Dateneingabe-/Datenausgabeanschlüsse Daten oder gibt nicht über alle diese Dateneingabe-/Datenausgabeanschlüsse des Halbleiterspeicherbausteins Daten aus, sondern nur über eine vorbestimmte Anzahl von Dateneingabe/Datenausgabeanschlüssen, wodurch eine größere Anzahl von Halbleiterspeicherbausteinen gleichzeitig überprüft werden können.

**[0005]** Hat ein Testgerät beispielsweise 32 Dateneingabe-/Datenausgabeanschlüsse und arbeitet ein Halbleiterspeicherbaustein mit einer einfachen Datenrate (SDR) und empfängt oder gibt 16-Bit-Daten aus, dann können nur zwei Halbleiterspeicherbausteine gleichzeitig überprüft werden. Durch Anwenden der PBT-Technik können jedoch 4 oder 8 Halbleiterspeicherbausteine gleichzeitig überprüft werden, wenn Daten jeweils über 8 bzw. 4 Dateneingabe-/Datenausgabeanschlüsse empfangen oder ausgegeben werden.

**[0006]** Fig. 1 zeigt ein Blockschaltbild eines herkömmlichen Halbleiterspeicherbausteins mit einer doppelten Datenrate. Der Halbleiterspeicherbaustein aus Fig. 1 umfasst ein Speicherzellenfeld **10**, ein spaltenredundantes Speicherzellenfeld **12**, ein zeilenredundantes Speicherzellenfeld **14**, einen Komparator und einen Schreibdatenmultiplexer **18**.

**[0007]** In Fig. 1 repräsentieren DQ1 bis DQ16 Dateneingabe-/Datenausgabeanschlüsse. Der Halbleiterspeicherbaustein aus Fig. 1 empfängt und gibt 16-Bit breite Daten mit einer doppelten Datenrate über die Dateneingabe-/Datenausgabeanschlüsse DQ1 bis DQ16 aus. Das Speicherzellenfeld **10** umfasst ein gerades Speicherzellenfeld **10-1** und ein ungerades Speicherzellenfeld **10-2**. Das gerade Speicherzellenfeld **10-1** umfasst vier Speicherzellenbereiche S1 bis S4 und das ungerade Speicherzellenfeld **10-2** umfasst vier Speicherzellenbereiche S5 bis S8. Das Bezugszeichen ECLS1 repräsentiert eine Spaltenauswahlsignalleitung zum Auswählen von vier Bitleitungen aus jedem der Speicherzellenbereiche S1 und S3 des geraden Speicherzellenfeldes **10-1** und das Bezugszeichen ECLS2 repräsentiert eine Spaltenauswahlsignalleitung zum Auswählen von vier Bitleitungen aus jedem der Speicherzellenbereiche S2 und S4 des geraden Speicherzellenfeldes **10-1**. Das Bezugszeichen OCLS1 repräsentiert eine Spaltenauswahlsignalleitung zum Auswählen von vier Bitleitungen aus jedem der Speicherzellenbereiche S5 und S7 des ungeraden Speicherzellenfeldes **10-2** und das Bezugszeichen OCLS2 repräsentiert eine Spaltenauswahlsignalleitung zum Auswählen von vier Bitleitungen aus jedem der Speicherzellenbereiche **86** und **88** des ungeraden Speicherzellenfeldes **10-2**. Das Bezugszeichen WL1 repräsentiert eine Zeilenauswahlsignalleitung zum Auswählen von Wortleitungen aus jedem der Speicherzellenbereiche S1, S2, S5 und S6 des Speicherzellenfeldes **10** und das Bezugszeichen WL2 repräsentiert eine Zeilenauswahlsignalleitung zum Auswählen von Wortleitungen aus jedem der Speicherzellenbereiche S3, S4, S7 und S8 des Speicherzellenfeldes **10**. Das Bezugszeichen RCSL repräsentiert eine redundante Spaltenauswahlsignalleitung des spaltenredundanten Speicherzellenfeldes **12** und das Bezugszeichen RWL repräsentiert eine redundante Zeilenauswahlsignalleitung des zeilenredundanten Speicherzellenfeldes **14**. Schließlich repräsentiert das Bezugszeichen BL eine Bitleitung des Speicherzellenfeldes **10**.

**[0008]** Wie aus Fig. 1 ersichtlich ist, umfasst das Speicherzellenfeld **10** das gerade Speicherzellenfeld **10-1** und das ungerade Speicherzellenfeld **10-2** wobei das gerade Speicherzellenfeld **10-1** vier Speicherzellenbereiche S1 bis S4 zum Speichern von Daten in Speicherplätzen umfasst, die von den Zeilenauswahlsignalleitungen WL1 und WL2 und den Spaltenauswahlsignalleitungen ECLS1 und ECLS2 ausgewählt werden. Die vier Speicherzellenbereiche S1 bis S4 empfangen jeweils 4-Bit breite Daten EDI1~4, EDI5~8, EDI9~12 und EDO13~16 in einem Schreibmodus und geben jeweils 4-Bit-Daten EDO1~4, EDP5~8, EDP9~12 und EDO13~16 in einem Lesemodus aus. Das ungerade Speicherzellenfeld **10-2** umfasst vier Speicherzellenbereiche S5 bis S8 zum Speichern von Daten in Speicherplätzen, die von den Zeilenauswahlsignalleitungen WL1 und WL2

und den Spaltenauswahlsignalleitungen OCSL1 und OCSL2 ausgewählt werden. Die vier Speicherzellenbereiche S5 bis S8 empfangen jeweils 4-Bit breite Daten ODI1~4, ODI5~8, ODI9~12 und ODI13~16 in einem Schreibmodus und geben jeweils 4-Bit breite Daten ODO1~4, ODO5~8, ODO9~12 und ODO13~16 in einem Lesemodus aus.

**[0009]** Das spaltenredundante Speicherzellenfeld **12** wird benutzt, um eine Spaltenauswahlsignalleitung durch eine redundante Spaltenauswahlsignalleitung zu ersetzen, wenn ein Defekt in den mit den Spaltenauswahlsignalleitungen ECSL1, ECSL2, OCSL1 und OCSL2 des Speicherzellenfeldes **10** verbundenen Speicherzellen auftritt. Das zeilenredundante Speicherzellenfeld **14** wird benutzt, um eine Zeilenauswahlsignalleitung durch eine redundante Zeilenauswahlsignalleitung zu ersetzen, wenn ein Defekt in den mit den Zeilenauswahlsignalleitungen WL1 und WL2 des Speicherzellenfeldes **10** verbundenen Speicherzellen auftritt.

**[0010]** Der Komparator **16** vergleicht jeweils 4-bitweise die Testdaten EDO1~4, EDO5~8, EDO9~12, EDO13~16, ODO1~4, ODO5~8, ODO9~12 und ODO13~16, die von den Speicherzellenbereichen S1 bis S8 ausgegeben werden, um 8-Bit breite Vergleichsergebnisdaten MA1 bis MA8 in einer parallelen Bittestbetriebsart zu erzeugen. Die 8-Bit breiten Vergleichsergebnisdaten MA1 bis MA8 werden vom Speicherbaustein über die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13 und DQ15 ausgegeben. Das bedeutet, dass die Vergleichsergebnisdaten, die beim Vergleich der 4-Bit breiten Daten erzeugt werden, die von den Speicherzellenbereichen S1 bis S8 ausgegeben werden, vom Speicherbaustein durch die acht Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13 und DQ15 ausgegeben werden. Der Schreibdatenmultiplexer **18** baut in einer parallelen Bittestbetriebsart die 4-Bit breiten oder 8-Bit breiten Daten, die von den Dateneingabe-/Datenausgabeanschlüssen DQ1, DQ5, DQ9 und DQ13 oder DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13 und DQ15 empfangen werden, zu 32-Bit breiten Daten aus und gibt dann jeweils die 4-Bit breiten Daten EDI1~4, EDI5~8, EDI9~12, EDI13~16, ODI1~4, ODI5~8, ODI9~12 und ODI13~16 an die Speicherzellenbereiche S1 bis S8 aus. Hierbei werden die 4-Bit breiten Testdaten gleichwertig in den entsprechenden Speicherzellenbereichen S1 bis S8 gespeichert.

**[0011]** Fig. 2 zeigt ein Blockschaltbild des Komparators **16** des Halbleiterspeicherbausteins aus Fig. 1. Der Komparator **16** aus Fig. 2 umfasst eine erste Komparatorschaltung, welche Blöcke **30-1** bis **30-16** umfasst, und eine zweite Komparatorschaltung, welche Blöcke **32-1** bis **32-8** umfasst. Nachfolgend wird die Funktionsweise des Komparators **16** beschrieben.

**[0012]** Wie aus Fig. 2 ersichtlich ist, vergleichen die Komparatorblöcke **30-1** bis **30-8** 2-Bit breite Datenpaare EDO1,2 bis EDO15,16, die vom geraden Speicherzellenfeld **10-1** ausgegeben werden, um die Vergleichsergebnisdaten zu erzeugen. Stimmen die beiden Bits des jeweiligen Paares überein, dann werden Vergleichsergebnisdaten mit einem hohen Pegel erzeugt. Stimmen die beiden Bits des jeweiligen Paares nicht überein, dann werden Vergleichsergebnisdaten mit einem niedrigen Pegel erzeugt. Analog vergleichen die Komparatorblöcke **30-9** bis **30-16** 2-Bit breite Datenpaare ODO1,2 bis ODO15,16, die vom ungeraden Speicherzellenfeld **10-2** ausgegeben werden, um die Vergleichsergebnisdaten zu erzeugen. Stimmen die beiden Bits des jeweiligen Paares überein, dann werden Vergleichsergebnisdaten mit einem hohen Pegel erzeugt. Stimmen die beiden Bits des jeweiligen Paares nicht überein, dann werden Vergleichsergebnisdaten mit einem niedrigen Pegel erzeugt. Die Komparatorblöcke **32-1** bis **32-4** vergleichen die 2-Bit breiten Vergleichsergebnisdaten, die von den Komparatorblöcken **30-1** bis **30-8** ausgegeben werden, um jeweils die Vergleichsergebnisdaten MA1 bis MA4 vom Speicherbaustein über die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ3, DQ5 und DQ7 auszugeben. Die Komparatorblöcke **32-5** bis **32-8** vergleichen die 2-Bit breiten Vergleichsergebnisdaten, die von den Komparatorblöcken **30-9** bis **30-16** ausgegeben werden, um jeweils die Vergleichsergebnisdaten MA5 bis MA8 vom Speicherbaustein über die Dateneingabe-/Datenausgabeanschlüsse DQ9, DQ11, DQ13 und DQ15 auszugeben.

**[0013]** Das bedeutet, dass der Komparator **16** aus Fig. 2 die 4-Bit breiten Daten vergleicht, die von den Speicherzellenbereichen S1 bis S8 ausgegeben werden, und die Vergleichsergebnisdaten MA1 bis MA8 vom Speicherbaustein an das Testgerät über die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13 und DQ15 ausgibt.

**[0014]** Das Halbleiterspeicherbaustein-Testgerät bestimmt die Adressen von defekten Speicherzellen in den Speicherzellenbereichen S1 bis S8, basierend auf den Vergleichsergebnisdaten MA1 bis MA8, die über die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13 und DQ15 ausgegeben werden. Haben beispielsweise die Vergleichsergebnisdaten MA1, die vom Dateneingabe-/Datenausgabeanschluss DQ1 ausgegeben werden, einen niedrigen Pegel, dann werden die Speicherplätze innerhalb des Speicherzellenbereichs S1 als defekt betrachtet.

**[0015]** Werden jedoch die 8-Bit breiten Daten MA1 bis MA8, die von den Komparatorblöcken **32-1** bis **32-8** ausgegeben werden, nochmals 2-bitweise verglichen, um die Anzahl der Dateneingabe-/Datenausgabeanschlüsse für einen Lesevorgang zu reduzieren.

ren, dann kann es sein, dass das Testgerät Adressen von defekten Speicherzellen innerhalb der Bereiche S1 bis S8 nicht mehr richtig bestimmen kann. Daher sind für herkömmliche Halbleiterspeicherbausteine, die 16-Bit breite Daten empfangen und ausgeben können, wenigstens acht Dateneingabe-/Datenausgabeanschlüsse für den parallelen Bittest erforderlich. Daraus resultiert, dass die Anzahl von Halbleiterspeicherbausteinen, die gleichzeitig getestet werden können, begrenzt ist.

**[0016]** Verschiedene weitere herkömmliche Testverfahren für Halbleiterspeicherbausteine und zugehörige Halbleiterspeicherbausteine sind in den Patentschriften US 6.163.863 A, US 5.961.657 A und US 5.471.480 A angegeben.

**[0017]** Es ist Aufgabe der Erfindung, ein Testverfahren für einen Halbleiterspeicherbaustein anzugeben sowie einen zugehörigen Halbleiterspeicherbaustein zur Verfügung stellen, die es ermöglichen, relativ viele Speicherzellen bzw. Speicherbausteine gleichzeitig mit möglichst wenigen Dateneingabe-/Datenausgabeanschlüssen zu testen.

**[0018]** Die Erfindung löst diese Aufgabe durch ein Testverfahren mit den Merkmalen des Patentanspruchs 1 und durch einen Halbleiterspeicherbaustein mit den Merkmalen des Patentanspruchs 7.

**[0019]** Vorteilhafte Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

**[0020]** Vorteilhafte, nachfolgend beschriebene Ausführungsformen der Erfindung sowie das zu deren besserem Verständnis oben erläuterte, herkömmliche Ausführungsbeispiel sind in den Zeichnungen dargestellt. Es zeigen:

**[0021]** Fig. 1 ein Blockschaltbild eines herkömmlichen Halbleiterspeicherbausteins mit einer doppelten Datenrate,

**[0022]** Fig. 2 ein Blockschaltbild eines Komparators des Halbleiterspeicherbausteins aus Fig. 1

**[0023]** Fig. 3 ein Blockschaltbild eines erfindungsgemäßen Halbleiterspeicherbausteins mit einer doppelten Datenrate,

**[0024]** Fig. 4 ein Blockschaltbild eines Komparators und einer Auswahlschaltung des Halbleiterspeicherbausteins aus Fig. 3,

**[0025]** Fig. 5 ein Blockschaltbild eines weiteren erfindungsgemäßen Halbleiterspeicherbausteins mit einer doppelten Datenrate und

**[0026]** Fig. 6 ein Blockschaltbild eines Komparators und einer Auswahlschaltung des Halbleiterspeicherbausteins aus Fig. 5.

**[0027]** Fig. 3 zeigt ein Blockschaltbild eines erfindungsgemäßen Halbleiterspeicherbausteins mit einer doppelten Datenrate. Der Halbleiterspeicherbaustein aus Fig. 3 umfasst eine Auswahlschaltung **20**, während er ansonsten weitestgehend dem Baustein von Fig. 2 entspricht, so dass insoweit auf deren obige Beschreibung verwiesen werden kann. Nachfolgend wird die Funktionsweise der Auswahlschaltung **20** aus Fig. 3 beschrieben.

**[0028]** Wie aus Fig. 3 ersichtlich ist, empfängt die Auswahlschaltung **20** die 8-Bit breiten Vergleichsergebnisdaten MA1 bis MA8, die vom Komparator **16** ausgegeben werden, und wählt 4-Bit breite Vergleichsergebnisdaten MA1 bis MA4 aus, die mit dem geraden Speicherzellenfeld **10-1** korrespondieren und als Daten ma1 bis ma4 ausgegeben werden, wenn ein Steuersignal CON während einer Parallelbittestbetriebsart auf einen niedrigen Pegel gesetzt wird. Die 4-Bit breiten Daten ma1 bis ma4 werden dann vom Speicherbaustein über die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 an das Testgerät ausgegeben.

**[0029]** Wie weiter aus Fig. 3 ersichtlich ist, empfängt die Auswahlschaltung **20** die 8-Bit breiten Vergleichsergebnisdaten MA1 bis MA8, die vom Komparator **16** ausgegeben werden, und wählt 4-Bit breite Vergleichsergebnisdaten MA5 bis MA8 aus, die mit dem ungeraden Speicherzellenfeld **10-2** korrespondieren und als Daten ma1 bis ma4 ausgegeben werden, wenn das Steuersignal CON während einer Parallelbittestbetriebsart auf einen hohen Pegel gesetzt wird. Die 4-Bit breiten Daten ma1 bis ma4 werden dann vom Speicherbaustein über die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 an das Testgerät ausgegeben.

**[0030]** Die Auswahlschaltung **20** gibt daher die 8-Bit breiten Vergleichsergebnisdaten MA1 bis MA8 nicht gleichzeitig über acht Dateneingabe-/Datenausgabeanschlüsse aus, sondern sie gibt entweder die 4-Bit breiten Vergleichsergebnisdaten MA1 bis MA4 oder die 4-Bit breiten Vergleichsergebnisdaten MA5 bis MA8 als 4-Bit breite Daten ma1 bis ma4 in Reaktion auf das Steuersignal CON aus. Die 4-Bit breiten Daten ma1 bis ma4 werden über die vier Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 ausgegeben.

**[0031]** In Fig. 3 kann das Steuersignal CON durch Eingabe eines Modussetzcodes in ein Modussetzregister des Halbleiterspeicherbausteins während eines Modussetzvorgangs auf einen hohen oder auf einen niedrigen Pegel gesetzt werden.

**[0032]** Zusammengefasst wird das Steuersignal CON auf einen niedrigen Pegel gesetzt, wenn der Halbleiterspeicherbaustein aus **Fig. 3** in einer Parallelbittestbetriebsart betrieben wird, und die Vergleichsergebnisdaten MA1 bis MA4, die mit den Speicherzellenbereichen S1 bis S4 des geraden Speicherzellenfeldes **10-1** korrespondieren, werden vom Baustein über vier Dateneingabe-/Datenausgabeanschlüsse ausgegeben. Anschließend wird das Steuersignal CON auf einen hohen Pegel gesetzt und die Vergleichsergebnisdaten MA5 bis MA8, die mit den Speicherzellenbereichen S5 bis S8 des ungeraden Speicherzellenfeldes **10-2** korrespondieren, werden vom Baustein über die vier gleichen Dateneingabe-/Datenausgabeanschlüsse ausgegeben.

**[0033]** Daher führt das Parallelbittestverfahren des erfindungsgemäßen Halbleiterspeicherbausteins aus **Fig. 3** einen Testlesevorgang für das gerade Speicherzellenfeld **10-1** vor dem ungeraden Speicherzellenfeld **10-2** aus, so dass eine kleinere Anzahl von Dateneingabe-/Datenausgabeanschlüssen während des Tests benutzt wird. Daher kann das Testgerät eine größere Anzahl von erfindungsgemäßen Halbleiterspeicherbausteinen gleichzeitig testen.

**[0034]** **Fig. 4** zeigt ein Blockschaltbild des Komparators **16** und der Auswahlerschaltung **20** des Halbleiterspeicherbausteins aus **Fig. 3**. Der Komparator **16** entspricht weitestgehend demjenigen von **Fig. 2**, worauf verwiesen werden kann, und umfasst die Komparatorblöcke **30-1** bis **30-16** und **32-1** bis **32-8**. Die Auswahlerschaltung **20** umfasst Auswahlerschaltkreise bzw. Auswahlblöcke **40-1** bis **40-4**.

**[0035]** Wie aus **Fig. 4** ersichtlich ist, geben die Auswahlblöcke **40-1** bis **40-4** die Vergleichsergebnisdaten MA1 bis MA4 von den Komparatorblöcken **32-1** bis **32-4** als Daten ma1 bis ma4 aus, die vom Speicherbaustein über die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9, DQ13 ausgegeben werden, wenn das Steuersignal CON auf einen niedrigen Pegel gesetzt ist. Die Auswahlblöcke **40-1** bis **40-4** geben die Vergleichsergebnisdaten MA5 bis MA8 von den Komparatorblöcken **32-5** bis **32-8** als Daten ma1 bis ma4 aus, die vom Speicherbaustein über die gleichen Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9, DQ13 ausgegeben werden, wenn das Steuersignal CON auf einen hohen Pegel gesetzt ist.

**[0036]** Das bedeutet, dass der Komparator und die Auswahlerschaltung aus **Fig. 4** die Vergleichsergebnisdaten MA1 bis MA4, die mit den Speicherzellenbereichen S1 bis S4 des geraden Speicherzellenfeldes **10-1** korrespondieren, über die vier Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 ausgeben, wenn das Steuersignal CON auf einen niedrigen Pegel gesetzt ist. Wird das Steuersignal CON andererseits auf einen hohen Pegel gesetzt,

dann geben der Komparator und die Auswahlerschaltung aus **Fig. 4** die Vergleichsergebnisdaten MA5 bis MA8, die mit den Speicherzellenbereichen **85** bis **88** des ungeraden Speicherzellenfeldes **10-2** korrespondieren, über die vier gleichen Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 aus. Daher kann der Halbleiterspeicherbaustein aus **Fig. 3** einen parallelen Bittestvorgang mit nur vier Dateneingabe-/Datenausgabeanschlüssen durchführen, wodurch doppelt so viele erfindungsgemäße Bausteine wie herkömmliche Bausteine gleichzeitig getestet werden können.

**[0037]** Obwohl nicht dargestellt, kann der Halbleiterspeicherbaustein alternativ zwei Auswahlerschaltungen und zwei Steuersignale umfassen, so dass der Lesevorgang für einen parallelen Bittest viermal durchgeführt wird und die Vergleichsergebnisdaten als 2-Bit breite Daten vom Speicherbaustein über nur zwei Dateneingabe-/Datenausgabeanschlüsse ausgegeben werden. In anderen Worten ausgedrückt können durch diesen Aufbau gleichzeitig zwei Bits anstatt vier Bits ausgegeben werden, wie oben ausgeführt ist. Daher können mehr Halbleiterspeicherbausteine gleichzeitig getestet werden.

**[0038]** Obwohl als Ausführungsbeispiel Halbleiterspeicherbausteine mit doppelter Datenrate beschrieben sind, kann die Erfindung entsprechend auch bei Halbleiterspeicherbausteinen mit einfacher Datenrate angewendet werden.

**[0039]** So empfängt beispielsweise ein Speicherzellenfeld eines Halbleiterspeicherbausteins, der mit einfacher Datenrate betrieben wird, 32-Bit breite Daten oder gibt 32-Bit breite Daten aus, die Anzahl der ausgewählten Zeilenauswahl-signalleitungen ist zwei und die Anzahl von ausgewählten Spaltenauswahl-signalleitungen ist vier. Wird ein Test durch ein herkömmliches paralleles Bittestverfahren durchgeführt, so sind wenigstens acht Dateneingabe-/Datenausgabeanschlüsse erforderlich, während bei einem erfindungsgemäßen Test nur zwei oder vier Dateneingabe-/Datenausgabeanschlüsse erforderlich sind. Weitere erfindungsgemäße Ausführungsbeispiele können so betrieben werden, dass so lange Lesevorgänge nacheinander ausgeführt werden, bis alle Testdaten von der Auswahlerschaltung gelesen und ausgegeben sind.

**[0040]** **Fig. 5** zeigt ein Blockschaltbild eines weiteren erfindungsgemäßen Halbleiterspeicherbausteins mit einer doppelten Datenrate. Der Halbleiterspeicherbaustein aus **Fig. 5** entspricht weitgehend demjenigen von **Fig. 1**, worauf verwiesen werden kann, und umfasst eine Auswahlerschaltung **24** und einen zweiten Komparator **26**.

**[0041]** Wie aus **Fig. 5** ersichtlich ist, empfängt die Auswahlerschaltung **24** die 8-Bit breiten Vergleichser-

gebnisdaten MA1 bis MA8, die vom Komparator **16** ausgegeben werden. Ist ein Steuersignal CON auf einen niedrigen Pegel gesetzt, dann wählt die Auswahl-schaltung **24** die Vergleichsergebnisdaten 2-bitweise aus, d. h. als Daten (MA1, MA5), (MA2, MA6) und (MA3, MA7), (MA4, MA8), die jeweils mit den Speicherzellenbereichen S1, S5, S2, S6 bzw. S3, S7, S4, S8 korrespondieren und mit den Zeilenauswahlleitungen WL1 und WL2 des Speicherzellenfeldes **10** verbunden sind. Ist das Steuersignal CON andererseits auf einem hohen Pegel gesetzt, dann wählt die Auswahl-schaltung **24** die Vergleichsergebnisdaten 2-bitweise aus, d. h. als Daten (MA1, MA3), (MA2, MA4) und (MA5, MA7), (MA6, MA8), die jeweils mit den Speicherzellenbereichen (S1, S3), (S2, S4), (S5, S7) und (S6, S8) korrespondieren und mit den Spaltenauswahlleitungen ECSL1, ECSL2, OCSL1 bzw. OCSL2 des Speicherzellenfeldes **10** verbunden sind.

**[0042]** Wie weiter aus **Fig. 5** ersichtlich ist, gibt der Komparator **26** erste Vergleichsergebnisdaten MAA1, MAA2, MAA3 und MAA4 aus, die durch einen Vergleich der 2-Bit breiten Vergleichsergebnisdaten (MA1, MA5), (MA2, MA6) und (MA3, MA7), (MA4, MA8) erzeugt werden, die von der Auswahl-schaltung **24** an die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 ausgegeben werden, wenn das Steuersignal CON einen niedrigen Pegel hat. Danach gibt der Komparator **26** zweite Vergleichsergebnisdaten MAA1, MAA2, MAA3 und MAA4 aus, die durch einen Vergleich der 2-Bit breiten Vergleichsergebnisdaten (MA1, MA3), (MA2, MA4), (MA5, MA7) und (MA6, MA8) erzeugt und an die gleichen Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 ausgegeben werden, wenn das Steuersignal CON einen hohen Pegel hat. Die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 geben die entsprechenden Vergleichsergebnisdaten vom Speicherbaustein an das externe Halbleiterspeicherbaustein-Testgerät aus.

**[0043]** Daher kann das Testgerät basierend auf den Vergleichsergebnisdaten, die vom Speicherbaustein über die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 ausgegeben werden, die Adressen von Speicherzellen bestimmen, die mit einer defekten Wortleitung verbunden sind, wenn das Steuersignal CON auf einen niedrigen Pegel gesetzt ist. Analog kann das Testgerät basierend auf den Vergleichsergebnisdaten, die vom Speicherbaustein über die gleichen Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 ausgegeben werden, die Adressen von Speicherzellen bestimmen, die mit einer defekten Bitleitung verbunden sind, wenn das Steuersignal CON auf einen hohen Pegel gesetzt ist.

**[0044]** Zusätzlich kann das Testgerät die defekte Wortleitung durch eine redundante Wortleitung aus

dem zeilenredundanten Speicherzellenfeld **14** ersetzen und dadurch den Halbleiterspeicherbaustein reparieren, wenn das Steuersignal auf einem niedrigen Pegel gesetzt ist. Repariert das Ersetzen der defekten Wortleitung den Halbleiterspeicherbaustein jedoch nicht vollständig, dann wird das Steuersignal CON auf einen hohen Pegel gesetzt und das Testgerät kann eine defekte Bitleitung durch eine redundante Bitleitung aus dem spaltenredundanten Speicherzellenfeld **12** ersetzen und dadurch den Halbleiterspeicherbaustein reparieren. In anderen Worten ausgedrückt, kann der Halbleiterspeicherbaustein durch Ersetzen einer Bitleitung repariert werden, wenn er nicht durch Ersetzen der Wortleitungen repariert wird.

**[0045]** Zusammengefasst gibt der Halbleiterspeicherbaustein aus **Fig. 5** über die Dateneingabe-/Datenausgabeanschlüsse die Vergleichsergebnisdaten aus, die durch den Vergleich von Daten erzeugt werden, die von Speicherzellenbereichen ausgegeben werden, die mit den gleichen Zeilenauswahlleitungen verbunden sind, bevor über die Dateneingabe-/Datenausgabeanschlüsse die Vergleichsergebnisdaten ausgegeben werden, die durch den Vergleich von Daten erzeugt werden, die von Speicherzellenbereichen ausgegeben werden, die mit den gleichen Spaltenauswahlleitungen verbunden sind. Die Anzahl von Dateneingabe-/Datenausgabeanschlüssen ist von der Anzahl der Zeilenauswahlleitungen und der Anzahl der Spaltenauswahlleitungen abhängig. Der Halbleiterspeicherbaustein aus **Fig. 5** umfasst zwei Zeilenauswahlleitungen und vier Spaltenauswahlleitungen, so dass vier Dateneingabe-/Datenausgabeanschlüsse zur Durchführung des parallelen Bittests erforderlich sind. Daher kann das Testgerät acht Bausteine gleichzeitig testen, da der Halbleiterspeicherbaustein aus **Fig. 5** nur vier Dateneingabe-/Datenausgabeanschlüsse für den parallelen Bittest benutzt. Dies sind doppelt so viele Bausteine wie beim Stand der Technik.

**[0046]** **Fig. 6** zeigt ein Blockschaltbild der beiden Komparatoren und der Auswahl-schaltung des Halbleiterspeicherbausteins aus **Fig. 5**. Der erste Komparator entspricht demjenigen von **Fig. 2**. Der zweite Komparator aus **Fig. 6** umfasst Komparatorblöcke **46-1** bis **46-4** und die Auswahl-schaltung aus **Fig. 6** umfasst Auswahlblöcke **44-1** bis **44-4**.

**[0047]** Wie aus **Fig. 6** ersichtlich ist, wählt der Auswahlblock **44-1** 2-Bit breite Vergleichsergebnisdaten (MA1, MA5) oder (MA1, MA3) aus, die in Reaktion auf das Steuersignal CON als Daten maa1 ausgegeben werden. Der Auswahlblock **44-2** wählt 2-Bit breite Vergleichsergebnisdaten (MA2, MA6) oder (MA2, MA4) aus, die in Reaktion auf das Steuersignal CON als Daten maa2 ausgegeben werden. Der Auswahlblock **44-3** wählt 2-Bit breite Vergleichsergebnisdaten (MA3, MA7) oder (MA5, MA7) aus, die in Reaktion auf das Steuersignal CON als Daten maa3 ausgege-

ben werden. Der Auswahlblock **44-4** wählt 2-Bit breite Vergleichsergebnisdaten (MA4, MA8) oder (MA6, MA8) aus, die in Reaktion auf das Steuersignal CON als Daten maa4 ausgegeben werden.

**[0048]** Wie weiter aus **Fig. 6** ersichtlich ist, vergleichen die Komparatorblöcke **46-1** bis **46-4** die Daten maa1 bis maa4 2-bitweise, die von den Auswahlblöcken **44-1** bis **44-4** ausgegeben werden, um jeweils die Vergleichsergebnisdaten MAA1 bis MAA4 zu erzeugen, die vom Speicherbaustein über die Dateneingabe-/Datenausgabeanschlüsse DQ1, DQ5, DQ9 und DQ13 ausgegeben werden.

**[0049]** Obwohl oben als Ausführungsbeispiele Halbleiterspeicherbausteine mit doppelter Datenrate beschrieben sind, kann die Erfindung auch zur Reduzierung der Anzahl an erforderlichen Dateneingabe-/Datenausgabeanschlüssen für einen parallelen Bittest bei Halbleiterspeicherbausteinen mit einfacher Datenrate angewendet werden.

**[0050]** So empfängt beispielsweise ein Speicherzellenfeld eines Halbleiterspeicherbausteins, der mit einfacher Datenrate betrieben wird, 32-Bit breite Daten oder gibt 32-Bit breite Daten aus, die Anzahl der ausgewählten Zeilenauswahlsignalleitungen ist zwei und die Anzahl von ausgewählten Spaltenauswahlsignalleitungen ist vier. Wird ein Test durch ein herkömmliches paralleles Bittestverfahren durchgeführt, so sind wenigstens acht Dateneingabe-/Datenausgabeanschlüsse erforderlich, während bei einem erfindungsgemäßen Test nur zwei oder vier Dateneingabe-/Datenausgabeanschlüsse erforderlich sind. Weitere erfindungsgemäße Ausführungsbeispiele können so betrieben werden, dass so lange Lesevorgänge wiederholt ausgeführt werden, bis alle Vergleichsergebnisdaten von der Auswahlschaltung gelesen und ausgegeben sind.

### Patentansprüche

1. Verfahren zum Testen eines Halbleiterspeicherbausteins mit nm-Speicherzellenfeldern (**10**) zum jeweiligen Ausgeben von x-Bit-Daten, wenn n Wortleitungen (WL1, WL2) und m Spaltenauswahlsignalleitungen (ECSL1, ESCL2, OCSL1, OCSL2) ausgewählt sind, wobei n, m und x ganze Zahlen größer als eins sind, gekennzeichnet durch

- einen Testdatenschreibschritt mit Erweitern von y-Bit-Daten, die über y Dateneingabe-/Datenausgabeanschlüsse (DQ1 bis DQ16) empfangen werden, auf (nm·x)-Bit-Daten und Schreiben der x-Bit-Daten in die nm-Speicherzellenfelder (**10**) und
- einen Testdatenleseschritt zum Vergleichen der von den nm-Speicherzellenfeldern (**10**) ausgegebenen x-Bit-Daten, um nm-Bit-Vergleichsergebnisdaten zu erzeugen, und jeweiliges Ausgeben von ausgewählten der y-Bit-Vergleichsergebnisdaten, die aus

den nm-Bit-Vergleichsergebnisdaten in Einheiten von y Bits ausgewählt werden, zu den jeweiligen y Dateneingabe-/Datenausgabeanschlüssen (DQ1 bis DQ16) in Reaktion auf ein Steuersignal (CON).

2. Testverfahren nach Anspruch 1, **dadurch gekennzeichnet**, dass die während des Testdatenschreibschrittes, in dem x-Bit-Daten in die jeweiligen nm-Speicherzellenfelder (**10**) geschrieben werden, in die jeweiligen nm-Speicherzellenfelder geschriebenen x-Bit-Daten die gleichen Bitdaten sind.

3. Testverfahren nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, dass der Testdatenleseschritt folgende Schritte umfasst:

- einen Vergleichsschritt, in dem die jeweiligen, von den nm-Speicherzellenfeldern ausgegebenen x-Bit-Daten verglichen werden, um die nm-Bit-Vergleichsergebnisdaten zu erzeugen, und
- einen Auswahlschritt zum Ausgeben der ausgewählten y-Bit-Vergleichsergebnisdaten, die in Einheiten von y Bits aus den nm-Vergleichsergebnisdaten ausgewählt werden, über die y Dateneingabe-/Datenausgabeanschlüsse (DQ1 bis DQ16) in Reaktion auf das Steuersignal (CON).

4. Testverfahren nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, dass nm eine Zahl größer als y ist und die nm-Bit-Vergleichsergebnisdaten in y Gruppen durch Bitdaten, die entsprechend korrespondierender n Wortleitungen (WL1, WL2) oder korrespondierender m Spaltenauswahlsignalleitungen (ECSL1, ESCL2, OCSL1, OCSL2) erzeugt werden, in Reaktion auf das Steuersignal (CON) gruppiert und ausgegeben werden und die y-Bit-Vergleichsergebnisdaten durch einen jeweiligen Vergleich der y gruppierten Bitdaten erzeugt und über die y Dateneingabe-/Datenausgabeanschlüsse (DQ1 bis DQ16) ausgegeben werden.

5. Testverfahren nach Anspruch 4, **dadurch gekennzeichnet**, dass der Testdatenleseschritt folgende Schritte umfasst:

- einen ersten Vergleichsschritt, in dem jeweils die von jedem der nm-Speicherzellenfelder (**10**) ausgegebenen x-Bit-Daten verglichen werden,
- einen Auswahlschritt zum Gruppieren und Ausgeben der nm-Bit-Vergleichsergebnisdaten in y Gruppen durch Bitdaten, die entsprechend korrespondierender n Wortleitungen (WL1, WL2) oder korrespondierender m Spaltenauswahlsignalleitungen (ECSL1, ESCL2, OCSL1, OCSL2) erzeugt werden, in Reaktion auf das Steuersignal (CON) und
- einen Schritt zum Ausgeben der y-Bit-Vergleichsergebnisdaten, die durch jeweiliges Vergleichen der y gruppierten Bitdaten erzeugt werden, über die y Dateneingabe-/Datenausgabeanschlüsse (DQ1 bis DQ16)

6. Testverfahren nach Anspruch 5, **dadurch gekennzeichnet**, dass y wenigstens auf den Wert n gesetzt wird, wenn n größer als m ist, und wenigstens auf den Wert m gesetzt wird, wenn m größer als n ist.

7. Halbleiterspeicherbaustein mit

- nm-Speicherzellenfeldern (**10**) zum jeweiligen Ausgeben von x-Bit-Daten, wenn n Wortleitungen (WL1, WL2) und m Spaltenauswahlsignalleitungen (ECSL1, ESCL2, OCSL1, OCSL2) ausgewählt sind, wobei n, m und x ganze Zahlen größer als eins sind, gekennzeichnet durch
- eine Testdatenschreibschaltung zum Erweitern von y-Bit-Daten, die über y Dateneingabe-/Datenausgabeanhschlüsse (DQ1 bis DQ16) empfangen werden, auf (nm·x)-Bit-Daten und zum Schreiben der x-Bit-Daten in die nm-Speicherzellenfelder (**10**), und
- eine Testdatenleseschaltung zum Vergleichen der von den nm-Speicherzellenfeldern (**10**) ausgegebenen x-Bit-Daten, um nm-Bit-Vergleichsergebnisdaten zu erzeugen, und zum jeweiligen Ausgeben von y-Bit-Vergleichsergebnisdaten, die in Einheiten von y Bits aus den nm-Bit-Vergleichsergebnisdaten ausgewählt werden, über die y Dateneingabe-/Datenausgabeanhschlüsse (DQ1 bis DQ16) in Reaktion auf ein Steuersignal (CON).

8. Halbleiterspeicherbaustein nach Anspruch 7, **dadurch gekennzeichnet**, dass die Testdatenschreibschaltung, wenn x-Bit-Daten in die jeweiligen nm-Speicherzellenfelder (**10**) geschrieben werden, die gleichen Bitdaten in die nm-Speicherzellenfelder (**10**) schreibt.

9. Halbleiterspeicherbaustein nach Anspruch 7 oder 8, **dadurch gekennzeichnet**, dass die Testdatenleseschaltung folgende Komponenten umfasst:

- einen Komparator (**16**) zum jeweiligen Vergleichen der von den nm-Speicherzellenfeldern (**10**) ausgegebenen x-Bit-Daten, um die nm-Bit-Vergleichsergebnisdaten zu erzeugen, und
- eine Auswahlschaltung (**20**) zum Ausgeben der y-Bit-Vergleichsergebnisdaten, die in Einheiten von y Bits der nm-Vergleichsergebnisdaten ausgewählt werden, über die y Dateneingabe-/Datenausgabeanhschlüsse (DQ1 bis DQ16) in Reaktion auf das Steuersignal (CON).

10. Halbleiterspeicherbaustein nach einem der Ansprüche 7 bis 9, **dadurch gekennzeichnet**, dass nm eine Zahl größer als y ist und die Testdatenleseschaltung die nm-Bit-Vergleichsergebnisdaten in y Gruppen durch Bitdaten, die entsprechend korrespondierender n Wortleitungen (WL1, WL2) oder korrespondierender m Spaltenauswahlsignalleitungen (ECSL1, ESCL2, OCSL1, OCSL2) erzeugt werden, in Reaktion auf das Steuersignal (CON) gruppiert und ausgibt und die y-Bit-Vergleichsergebnisdaten, die durch einen entsprechenden Vergleich der y gruppierten Bit-

daten erzeugt werden, über die y Dateneingabe-/Datenausgabeanhschlüsse (DQ1 bis DQ16) ausgibt.

11. Halbleiterspeicherbaustein nach Anspruch 10, **dadurch gekennzeichnet**, dass die Testdatenleseschaltung folgende Komponenten umfasst:

- einen ersten Komparator (**16**) zum jeweiligen Vergleichen der von jedem der nm-Speicherzellenfelder (**10**) ausgegebenen x-Bit-Daten,
- eine Auswahlschaltung (**24**) zum Gruppieren und Ausgeben der nm-Bit-Vergleichsergebnisdaten in y Gruppen durch Bitdaten, die entsprechend korrespondierender n Wortleitungen (WL1, WL2) oder korrespondierender m Spaltenauswahlsignalleitungen (ECSL1, ESCL2, OCSL1, OCSL2) erzeugt werden, in Reaktion auf das Steuersignal (CON) und
- einen zweiten Komparator (**26**) zum Ausgeben der y-Bit-Vergleichsergebnisdaten, die durch jeweiliges Vergleichen der y gruppierten Bitdaten erzeugt werden, über die y Dateneingabe-/Datenausgabeanhschlüsse (DQ1 bis DQ16).

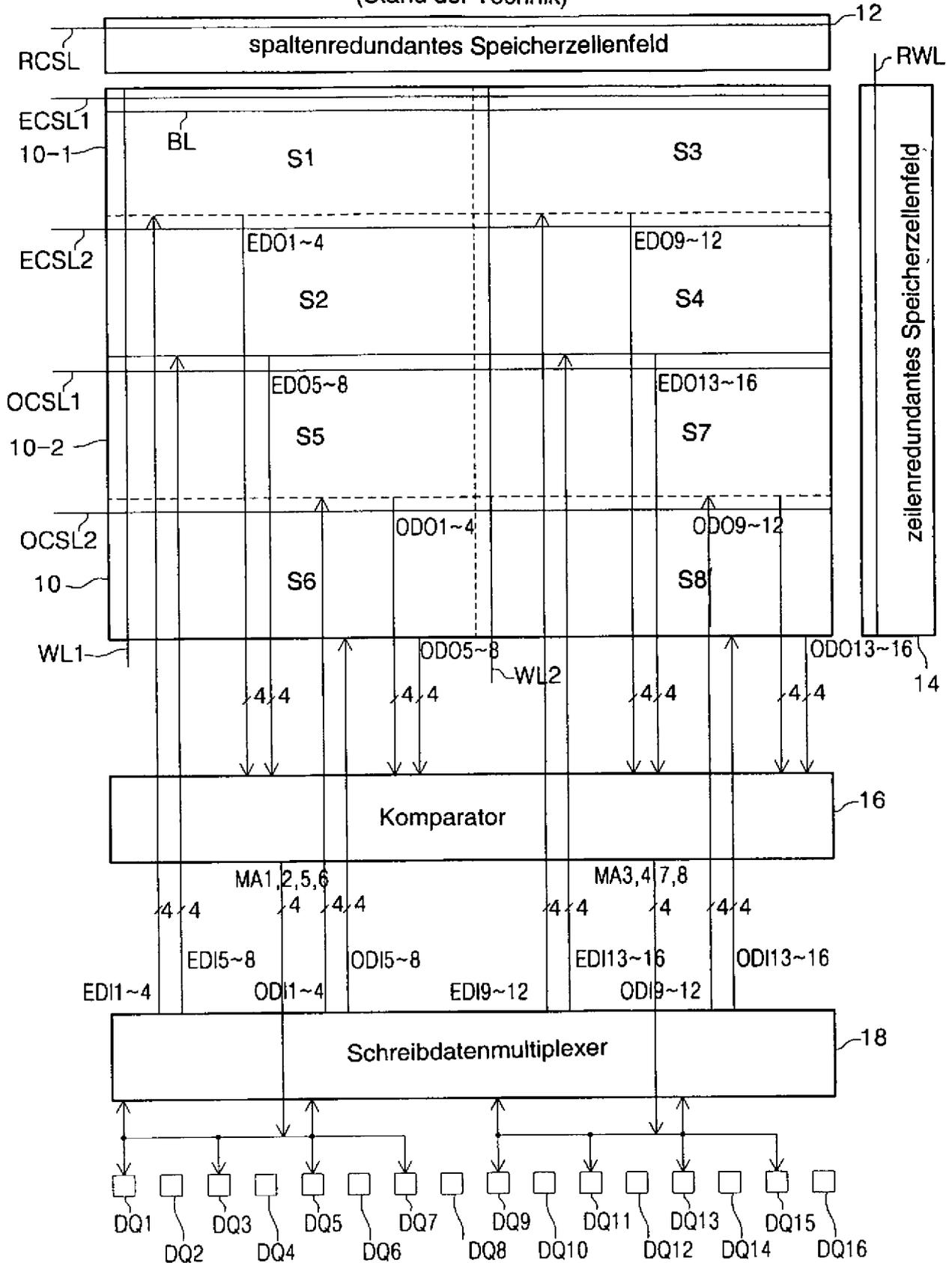
12. Halbleiterspeicherbaustein nach Anspruch 11, **dadurch gekennzeichnet**, dass y wenigstens auf den Wert n gesetzt ist, wenn n größer als m ist, und wenigstens auf den Wert m gesetzt ist, wenn m größer als n ist.

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

(Stand der Technik)



**FIG. 2**  
(Stand der Technik)

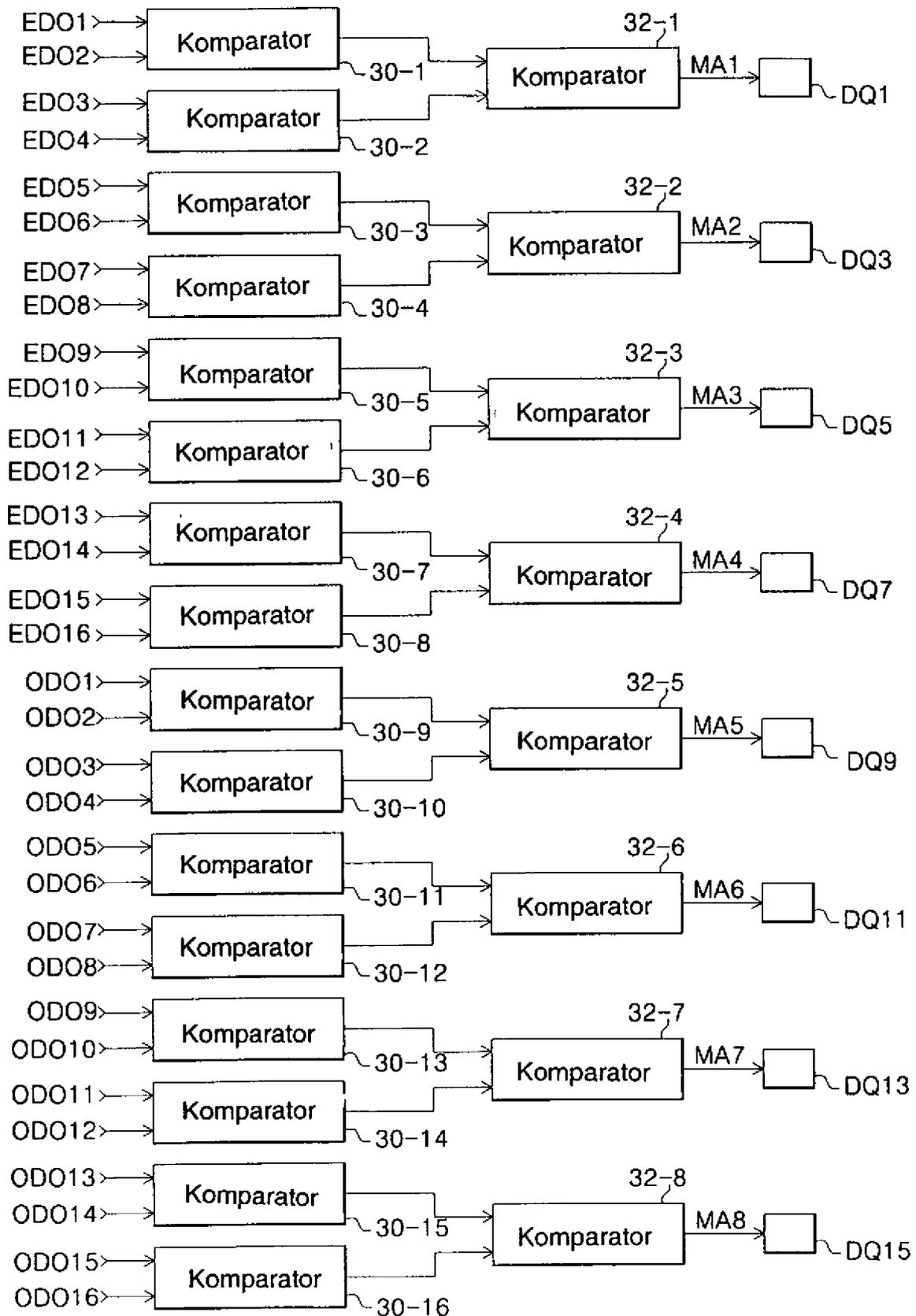


FIG. 3

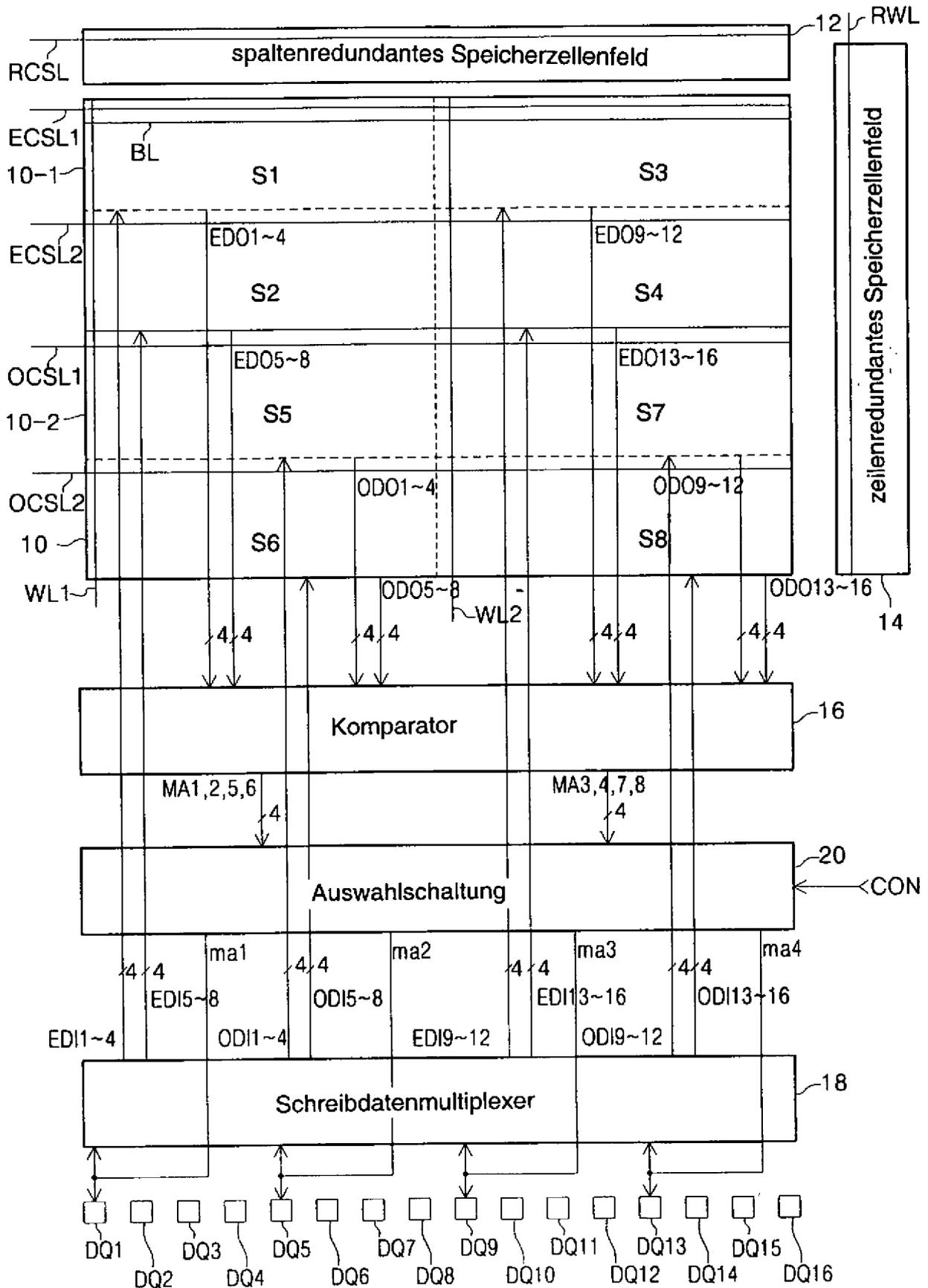


FIG. 4

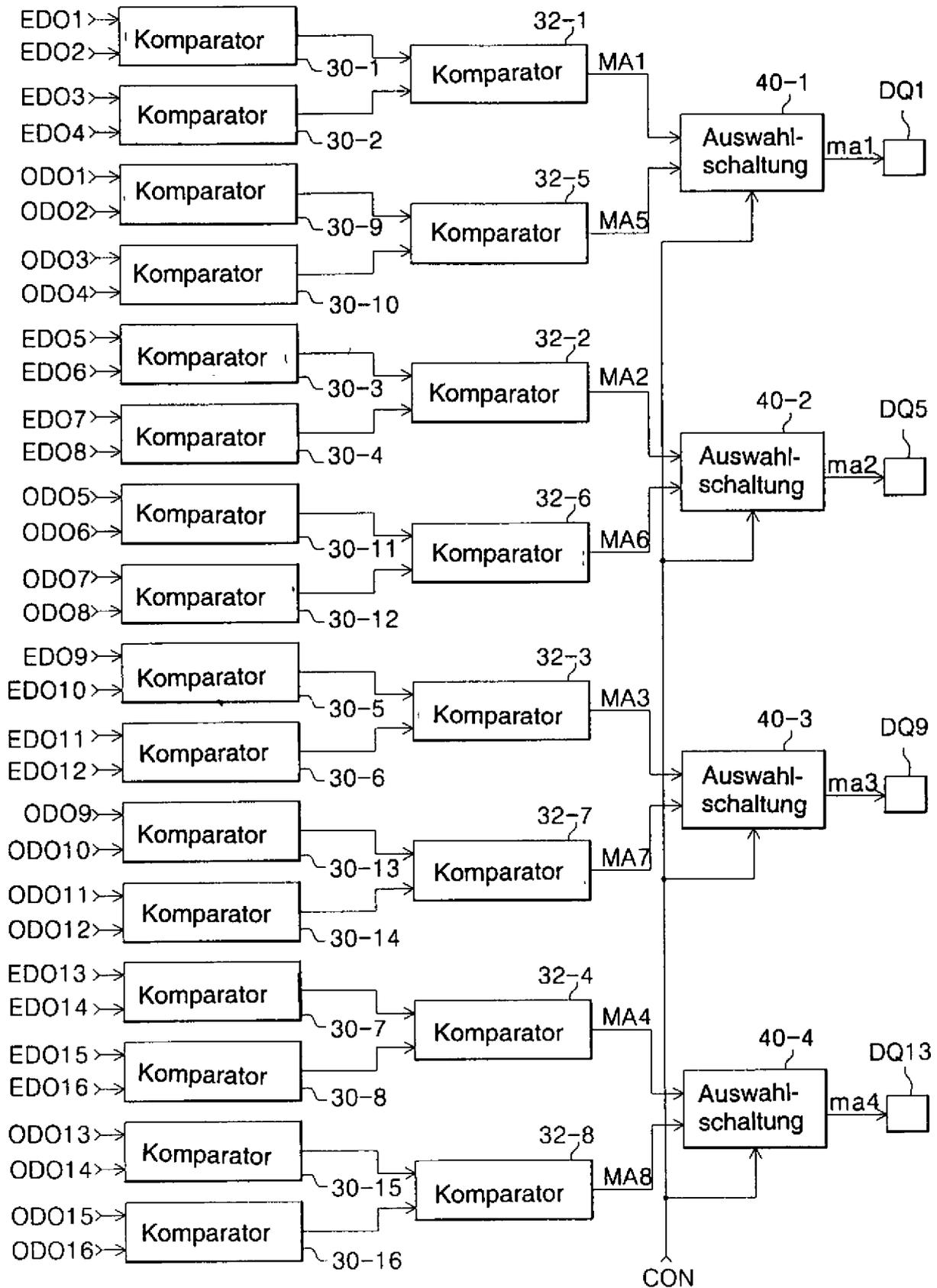


FIG. 5

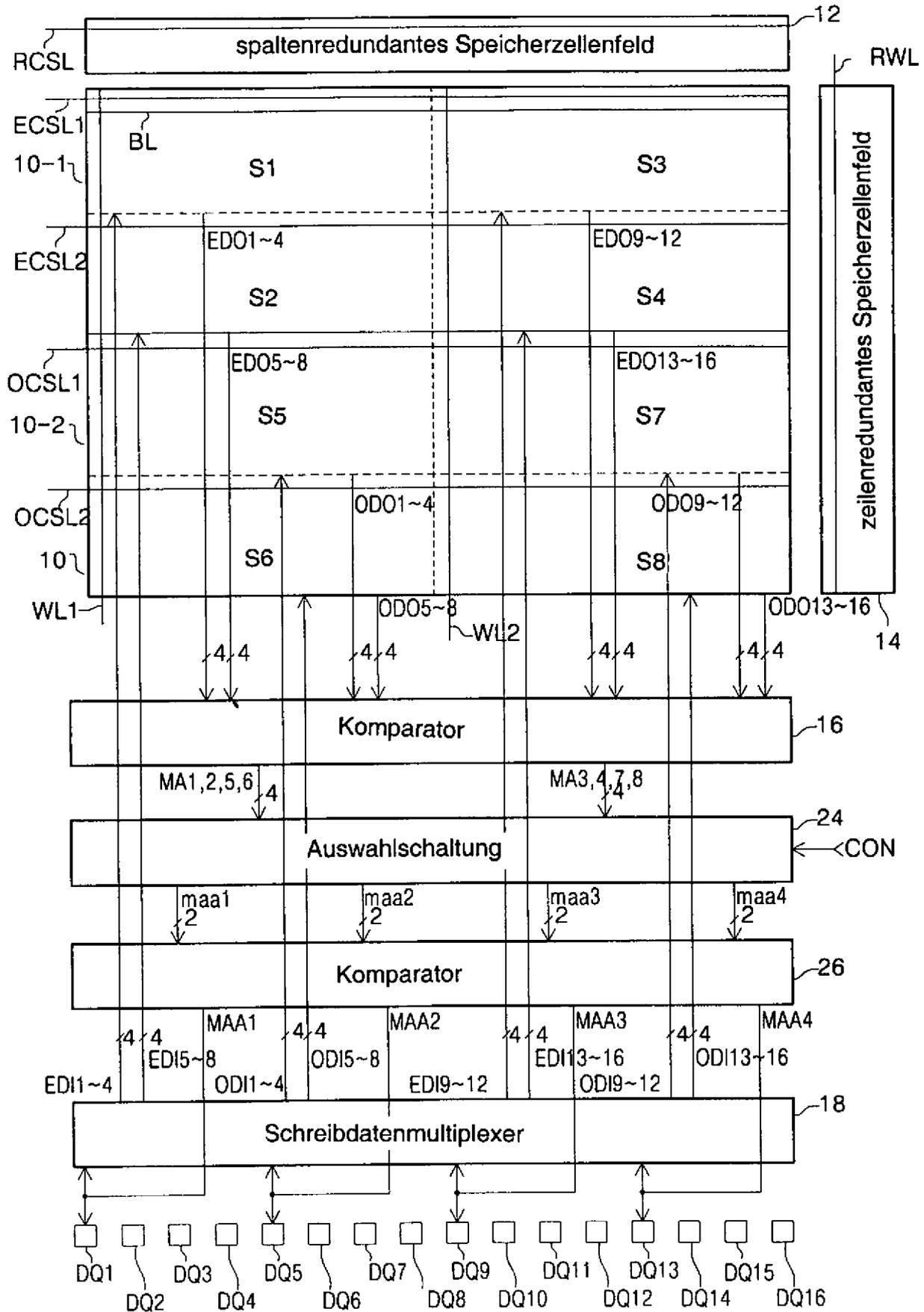


FIG. 6

