



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I595565 B

(45)公告日：中華民國 106 (2017) 年 08 月 11 日

(21)申請案號：101119537

(22)申請日：中華民國 101 (2012) 年 05 月 31 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2011/06/17 日本

2011-134971

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201044585A1

US 5834827A

US 2008/0136990A1

US 2009/0283771A1

審查人員：黃鼎富

申請專利範圍項數：15 項 圖式數：8 共 88 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

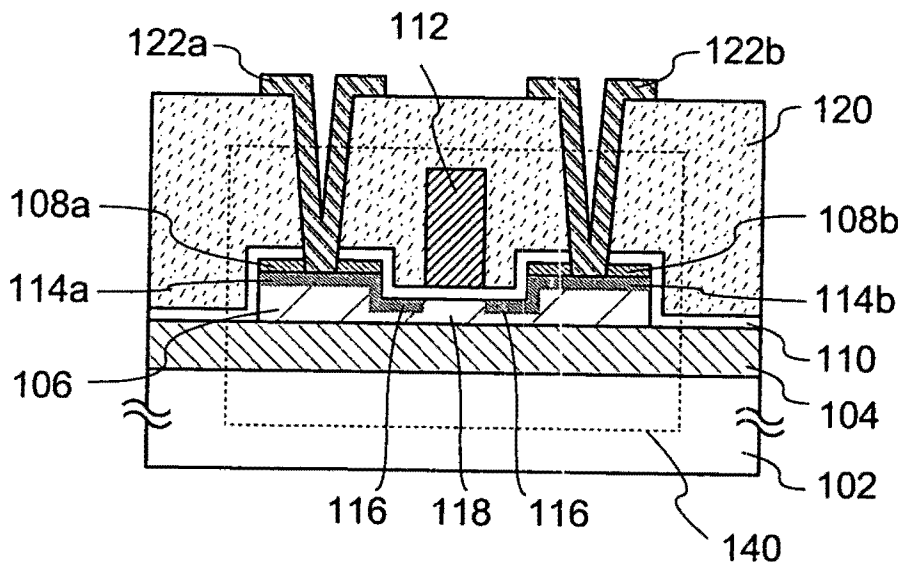
(57)摘要

具有氧化物半導體層的電晶體藉由進行蝕刻來減薄至少成為通道形成區的氧化物半導體層的一部分，並藉由進行該蝕刻調節通道形成區的厚度。另外，藉由將包含磷(P)或硼(B)的摻雜劑導入到氧化物半導體層中的厚度厚的區域中以將源極區及汲極區形成在氧化物半導體層中，來降低源極區及汲極區與通道形成區之間的接觸電阻。

At least part of the oxide semiconductor layer which serves as the channel formation region is thinned by etching and the thickness of the channel formation region is adjusted by the etching. Further, a dopant containing phosphorus (P) or boron (B) is introduced into a thick region of the oxide semiconductor layer to form a source region and a drain region in the oxide semiconductor layer, so that the contact resistance between the source and drain regions and the channel formation region which are connected to each other is reduced.

指定代表圖：

圖 1A



符號簡單說明：

- 102 . . . 基板
- 104 . . . 氧化物絕緣層
- 106 . . . 氧化物半導體層
- 108a . . . 金屬層
- 108b . . . 金屬層
- 110 . . . 閘極絕緣層
- 112 . . . 閘極電極層
- 114a . . . 源極區
- 114b . . . 汲極區
- 116 . . . 低電阻區
- 118 . . . 通道形成區
- 120 . . . 保護層
- 122a . . . 佈線層
- 122b . . . 佈線層
- 140 . . . 電晶體

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101119537

※申請日：101 年 05 月 31 日

※IPC 分類：H01L 21/336 (2006.01)

H01L 29/18 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

二、中文發明摘要：

具有氧化物半導體層的電晶體藉由進行蝕刻來減薄至少成為通道形成區的氧化物半導體層的一部分，並藉由進行該蝕刻調節通道形成區的厚度。另外，藉由將包含磷（P）或硼（B）的摻雜劑導入到氧化物半導體層中的厚度厚的區域中以將源極區及汲極區形成在氧化物半導體層中，來降低源極區及汲極區與通道形成區之間的接觸電阻。

三、英文發明摘要：

At least part of the oxide semiconductor layer which serves as the channel formation region is thinned by etching and the thickness of the channel formation region is adjusted by the etching. Further, a dopant containing phosphorus (P) or boron (B) is introduced into a thick region of the oxide semiconductor layer to form a source region and a drain region in the oxide semiconductor layer, so that the contact resistance between the source and drain regions and the channel formation region which are connected to each other is reduced.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

102：基板

104：氧化物絕緣層

106：氧化物半導體層

108a：金屬層

108b：金屬層

110：閘極絕緣層

112：閘極電極層

114a：源極區

114b：汲極區

116：低電阻區

118：通道形成區

120：保護層

122a：佈線層

122b：佈線層

140：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明的一個方式係關於一種半導體裝置，該半導體裝置具有電晶體或包含電晶體的電路。例如，本發明的一個方式係關於一種半導體裝置，該半導體裝置具有通道形成區由氧化物半導體形成的電晶體或包含該電晶體的電路。例如，本發明係關於：LSI；CPU；安裝在電源電路中的功率裝置；包括記憶體、閘流電晶體、轉換器以及影像感測器等的半導體積體電路；以及作為部件安裝有以液晶顯示面板為代表的電光學裝置或具有發光元件的發光顯示裝置的電子裝置。

注意在此說明書中，半導體裝置指的是能藉由利用半導體特性起作用的所有類型的裝置，電光裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

近年來，已對半導體裝置進行開發，將半導體裝置用作LSI、CPU、記憶體。CPU是包括從半導體薄片分開的半導體積體電路（至少包括電晶體及記憶體）且形成有作為連接端子的電極的半導體元件的集合體。

LSI、CPU、記憶體等的半導體電路（IC晶片）被安裝在電路基板例如印刷線路板上，並被用作各種電子裝置的部件之一。

另外，藉由將氧化物半導體用於通道形成區來製造電

晶體等的技術引人注目。例如，可以舉出作為氧化物半導體使用氧化鋅（ ZnO ）的電晶體或者使用 $\text{InGaO}_3(\text{ZnO})_m$ 的電晶體。專利文獻 1 及 2 公開了在透光基板上形成上述使用氧化物半導體的電晶體並將該電晶體應用於影像顯示裝置的切換元件等的技術。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

較佳的是，在使用 N 型電晶體時，該電晶體以閘電壓儘量近於 0V 的正的臨界電壓（ V_{th} ）的條件形成通道。當電晶體的臨界電壓值為負時，容易成為所謂的常開啓狀態，也就是說即使閘極電壓為 0V，電流也在源極電極和汲極電極之間流過。在 LSI、CPU 或記憶體中，重要的是構成電路的電晶體的電特性，半導體裝置的耗電量取決於該電特性。尤其是，在電晶體的電特性之中臨界電壓很重要。即使在場效應遷移率高的情況下，當臨界電壓值為負時，作為電路的控制比較困難。即使在負的電壓狀態下也形成通道而使汲極電流流過的電晶體不適合於用於半導體裝置的積體電路的電晶體。

另外，為了實現電晶體的工作的高速化、低耗電量化、高集體化及低價格化等，必須要實現電晶體的微型化。此外，當使電晶體微型化時，產生短通道效應的問題。短通道效應是指伴隨電晶體的微細化（通道長度的縮小）而變明顯的電特性的退化。短通道效應是由於汲極的電場效應影響到源極而引起的。作為短通道效應的具體例子，可

以舉出臨界電壓的下降、 S 值的增大及洩漏電流的增大等。特別是，因為難以將利用摻雜控制臨界電壓的方法應用於使用氧化物半導體的電晶體，所以其中容易呈現短通道效應。

另外，當電晶體採用源極電極層及汲極電極層與用於通道形成區的氧化物半導體層直接接觸的結構時，有可能導致接觸電阻增大而抑制導通電流。可以認為以下原因是導致接觸電阻增大的要因之一：在源極電極層及汲極電極層與氧化物半導體層的接觸面上形成有肖特基結。

【發明內容】

鑒於上述問題，所公開的發明的一個方式的目的之一是提供一種可以在抑制微細化所引起的短通道效應的同時，使電晶體的電特性的臨界電壓（ V_{th} ）成為正值，從而實現所謂的常關閉的半導體裝置及其製造方法。另外，所公開的發明的一個方式的目的之一是提供一種降低源極區及汲極區與通道形成區之間的接觸電阻而得到良好的歐姆接觸的半導體裝置及其製造方法。

為了解決上述課題，在本發明的一個方式中，作為半導體裝置，在具有氧化物半導體層的電晶體中，藉由進行蝕刻減薄至少成為通道形成區的氧化物半導體層的一部分，並藉由進行該蝕刻調節通道形成區的厚度。另外，藉由將包含磷（ P ）或硼（ B ）的摻雜劑導入到氧化物半導體層中的厚度厚的區域中，將源極區及汲極區形成在氧化物半

導體層中，來降低源極區及汲極區與通道形成區之間的接觸電阻。下面進行詳細的說明。

本發明的一個方式是一種半導體裝置，包括：氧化物絕緣表面上的氧化物半導體層；氧化物半導體層上的閘極絕緣層；閘極絕緣層上的閘極電極層；以及氧化物半導體層的一部分的源極區及汲極區，其中，氧化物半導體層的與閘極電極層重疊的區域的厚度比形成源極區及汲極區的區域的厚度薄。

在上述結構中，氧化物半導體層中的厚度薄的區域較佳為包括與閘極電極層重疊的通道形成區。

藉由減薄通道形成區的氧化物半導體層的厚度，可以在抑制短通道效應的同時，使臨界電壓（ V_{th} ）調整為正方向。從而，可以實現常關閉型半導體裝置。

另外，本發明的另一個方式是一種半導體裝置，包括：氧化物絕緣表面上的氧化物半導體層；氧化物半導體層上的閘極絕緣層；閘極絕緣層上的閘極電極層；以及氧化物半導體層的一部分的源極區及汲極區，其中，氧化物半導體層的與閘極電極層重疊的區域的厚度比形成源極區及汲極區的區域的厚度薄，氧化物半導體層中的厚度薄的區域包括與閘極電極層重疊的通道形成區、與通道形成區接觸且其電阻比通道形成區低的低電阻區，並且，低電阻區包含磷或硼。

藉由設置與通道形成區的低電阻區，可以降低通道形成區與源極區及汲極區之間的接觸電阻。從而，電晶體的

電特性之一的導通特性（例如，導通電流及場效應遷移率）高，並可以實現高速工作和高速回應。

另外，本發明的另一個方式是一種半導體裝置，包括：氧化物絕緣表面上的氧化物半導體層；氧化物半導體層上的閘極絕緣層；閘極絕緣層上的閘極電極層；以及氧化物半導體層的一部分的源極區及汲極區，其中，氧化物半導體層的與閘極電極層重疊的區域的厚度比形成源極區及汲極區的區域的厚度薄，氧化物半導體層中的厚度薄的區域包括與閘極電極層重疊的通道形成區，並且，氧化物半導體層中的厚度薄的區域的端部與閘極電極層的端部一致。

另外，在本說明書等中，氧化物半導體層的端部是指電晶體的通道長度方向上的位置。另外，氧化物半導體層中的厚度薄的區域的端部與閘極電極層的端部一致是指：在通道形成區中閘極電極層的端部與源極區及汲極區的端部一致的結構。藉由採用上述結構，可以對通道形成區高效地施加電壓，所以是較佳的。

在上述各結構中，較佳為還具有與源極區及汲極區接觸的金屬層。另外，該金屬層的端部既可以與氧化物半導體層中的厚度厚的區域的端部一致，又可以形成在比氧化物半導體層中的厚度厚的區域的端部內一側。

藉由設置與源極區及汲極區接觸的金屬層，可以進一步降低源極區及汲極區的電阻。另外，當將金屬層的端部形成在比氧化物半導體層中的厚度厚的區域的端部內一側

時，可以降低金屬層與閘極電極層之間的寄生電容。

另外，本發明的另一個方式是一種半導體裝置的製造方法，包括如下步驟：在氧化物絕緣表面上形成氧化物半導體層；在氧化物半導體層上形成掩模；使用掩模對氧化物半導體層選擇性地進行蝕刻來形成其一部分薄的區域；覆蓋氧化物半導體層形成閘極絕緣層；以及在閘極絕緣層上形成與氧化物半導體層中的厚度薄的區域重疊的閘極電極層。

如上所述，藉由採用最後形成閘極電極層的製程，即所謂的閘極最後製程（Gate Last Process），例如當以高溫下對氧化物半導體層進行熱處理等時，可以降低由於該熱處理導致的對閘極電極層的損傷。從而，可以用於閘極電極層的材料的选择範圍擴大。例如，作為閘極電極層，也可以使用鋁等低熔點金屬。

另外，本發明的另一個方式是一種半導體裝置的製造方法，包括如下步驟：在氧化物絕緣表面上形成氧化物半導體層；在氧化物半導體層上形成掩模；使用掩模對氧化物半導體層選擇性地進行蝕刻來形成其一部分薄的區域；覆蓋氧化物半導體層形成閘極絕緣層；在閘極絕緣層上形成與氧化物半導體層中的厚度薄的區域重疊的閘極電極層；以閘極電極層為掩模，以自對準的方式使磷或硼穿過閘極絕緣層導入到氧化物半導體層中；以及在氧化物半導體層的一部分中形成源極區及汲極區。

如上所述，藉由以閘極電極層為掩模，將磷或硼導入

到氧化物半導體層中，來可以在氧化物半導體層的一部分中形成其電阻比通道形成區低的源極區及汲極區。尤其是，在作為氧化物半導體層的構成元素包含鎵時，較佳為使用硼。由於硼與構成氧化物半導體層的鎵同一族（第 13 族元素），可以穩定地存在於氧化物半導體層中。

另外，本發明的另一個方式是一種半導體裝置的製造方法，包括如下步驟：在氧化物絕緣表面上形成氧化物半導體層和金屬層的疊層；在金屬層上形成掩模；使用掩模去除金屬層的一部分，然後以金屬層為掩模對氧化物半導體層選擇性地進行蝕刻來形成其一部分薄的區域；覆蓋金屬層及氧化物半導體層形成閘極絕緣層；在閘極絕緣層上形成與氧化物半導體層中的厚度薄的區域重疊的閘極電極層；以閘極電極層為掩模，以自對準的方式使磷或硼穿過閘極絕緣層及金屬層導入到氧化物半導體層中；以及在氧化物半導體層的一部分中形成源極區及汲極區。

藉由設置與源極區及汲極區接觸的金屬層，可以進一步降低源極區及汲極區的電阻。另外，藉由使磷或硼穿過閘極絕緣層及金屬層導入到氧化物半導體層中，然後進行加熱處理等，在氧化物半導體層中金屬層起反應及/或擴散，可以進一步降低源極區及汲極區的電阻。

另外，在上述各結構中，較佳為在形成閘極絕緣層之後使氧穿過閘極絕緣層導入到氧化物半導體層中。

藉由在形成閘極絕緣層之後使氧穿過閘極絕緣層導入到氧化物半導體層中，可以將氧供應到氧化物半導體層中

。另外，由於在閘極絕緣層薄時，包含在閘極絕緣層中的氧的含量少，所以從閘極絕緣層到氧化物半導體層的氧的供應及擴散不充分。從而，較佳為在形成閘極絕緣層之後將氧導入到氧化物半導體層中。

可以提供一種可以在抑制微細化所引起的短通道效應的同時，使電晶體的電特性的臨界電壓（ V_{th} ）成為正值，從而實現所謂的常關閉的半導體裝置及其製造方法。

另外，可以提供一種降低源極區及汲極區與通道形成區之間的接觸電阻而得到良好的歐姆接觸的半導體裝置及其製造方法。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

另外，在本說明書等中，“電極”或“佈線”不在功能上限定其構成要素。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”被形成為一體的情況等。

另外，在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，“源極”和“汲極”有時交換各自的功能。因此，在本說明書中，“源極”和“汲極”

可以交換使用。

實施方式 1

在本實施方式中，參照圖 1A 至圖 1C 對半導體裝置的一個方式進行說明。在本實施方式中，作為半導體裝置的一個例子，示出具有氧化物半導體層的電晶體的剖面圖。

圖 1A 示出電晶體 140 的剖面圖，圖 1B 示出電晶體 150 的剖面圖，圖 1C 示出電晶體 160 的剖面圖。另外，根據對半導體層（本說明書中的氧化物半導體層）的閘極電極層的位置、對半導體層的源極區及汲極區的位置、與該源極區及汲極區接觸的佈線層的位置可知，電晶體 140、電晶體 150 及電晶體 160 是頂閘極頂接觸型（所謂的 TGTC 型）的電晶體。下面，對各電晶體的結構進行說明。

圖 1A 所示的電晶體 140 包括：基板 102；在基板 102 上形成的氧化物絕緣層 104；形成在氧化物絕緣層 104 上的包括通道形成區 118、低電阻區 116、源極區 114a 及汲極區 114b 的氧化物半導體層 106；以接觸於源極區 114a 的方式設置的金屬層 108a 及以接觸於汲極區 114b 的方式設置的金屬層 108b；在氧化物絕緣層 104、氧化物半導體層 106、金屬層 108a 及金屬層 108b 上形成的閘極絕緣層 110；以及在閘極絕緣層 110 上形成的閘極電極層 112。

另外，氧化物半導體層 106 的與閘極電極層 112 重疊的區域的厚度比形成源極區 114a 及汲極區 114b 的區域的

厚度薄（下面，爲了簡化起見，稱爲氧化物半導體層 106 中的厚度薄的區域和氧化物半導體層 106 中的厚度厚的區域）。另外，氧化物半導體層 106 包括：一對低電阻區 116；夾在一對低電阻區 116 之間的通道形成區 118；以與一對低電阻區 116 接觸的方式設置的源極區 114a 及汲極區 114b。一對低電阻區 116 形成在氧化物半導體層 106 中的厚度薄的區域中，源極區 114a 及汲極區 114b 以與金屬層 108a 及金屬層 108b 分別接觸的方式形成在氧化物半導體層 106 中的厚度厚的區域中。

另外，氧化物半導體層 106 中的厚度薄的區域可以藉由進行蝕刻處理而形成。例如，在形成厚度爲 15nm 至 30nm 的氧化物半導體層之後，藉由進行蝕刻處理可以將其厚度設定爲 5nm 左右。藉由將具有上述厚度的氧化物半導體層 106 用於通道形成區 118，降低由於微細化導致的電晶體的短通道效應，所以是較佳的。另外，可以藉由進行蝕刻處理來形成氧化物半導體層 106 中的厚度薄的區域，在氧化物半導體層 106 中的厚度薄的區域中形成通道形成區 118，在氧化物半導體層 106 中的厚度厚的區域中形成源極區 114a 及汲極區 114b。藉由採用上述結構，可以降低由於氧化物半導體層 106 的薄膜化導致的通道形成區 118 與源極區 114a 及汲極區 114b 之間的接觸電阻。

另外，氧化物半導體層 106 所具有的一對低電阻區 116、源極區 114a 及汲極區 114b 的電阻比通道形成區 118 低，並包含磷（P）或硼（B）。例如，在形成閘極電極層

112 之後，藉由進行將包含磷（P）或硼（B）的摻雜劑導入到氧化物半導體層 106 中的雜質導入處理，可以以自對準的方式形成一對低電阻區 116、源極區 114a 及汲極區 114b。另外，摻雜劑是指降低氧化物半導體層的電阻的雜質。

另外，藉由將一對低電阻區 116 設置在通道形成區 118 與源極區 114a 及汲極區 114b 之間，可以降低由於短通道效應導致的臨界電壓的負漂移。

另外，藉由在氧化物半導體層 106 與金屬層 108a 及金屬層 108b 接觸的狀態下進行加熱處理等，使該金屬層 108a 及該金屬層 108b 在氧化物半導體層 106 中起反應及/或擴散，從而可以形成源極區 114a 及汲極區 114b。藉由除了進行上述雜質導入處理以外，還設置金屬層 108a 及金屬層 108b，可以進一步實現源極區 114a 及汲極區 114b 的低電阻化。

另外，電晶體 140 也可以形成閘極絕緣層 110 及閘極電極層 112 上的保護層 120，並形成藉由設置在保護層 120、閘極絕緣層 110、金屬層 108a 及金屬層 108b 中的開口部，與源極區 114a 接觸的佈線層 122a 及與汲極區 114b 接觸的佈線層 122b。藉由將保護層 120、佈線層 122a 及佈線層 122b 形成在電晶體 140 上，可以進行電晶體 140 的集體化，所以是較佳的。另外，藉由設置保護層 120，可以降低電晶體 140 的凹凸並抑制侵入到電晶體 140 中的雜質（例如，水等），所以是較佳的。

接著，參照圖 1B 對與圖 1A 所示的電晶體 140 不同的方式進行說明。

圖 1B 所示的電晶體 150 包括：基板 102；在基板 102 上形成的氧化物絕緣層 104；形成在氧化物絕緣層 104 上的包括通道形成區 118、源極區 114a 及汲極區 114b 的氧化物半導體層 106；以接觸於源極區 114a 的方式設置的金屬層 108a 及以接觸於汲極區 114b 的方式設置的金屬層 108b；在氧化物絕緣層 104、氧化物半導體層 106、金屬層 108a 及金屬層 108b 上形成的閘極絕緣層 110；以及在閘極絕緣層 110 上形成的閘極電極層 112。

另外，氧化物半導體層 106 的與閘極電極層 112 重疊的區域的厚度比形成源極區 114a 及汲極區 114b 的區域的厚度薄。另外，氧化物半導體層 106 中的厚度薄的區域的端部與閘極電極層 112 的端部相同。

另外，氧化物半導體層 106 所具有的源極區 114a 及汲極區 114b 的電阻比通道形成區 118 低，並包含磷（P）或硼（B）。例如，在形成閘極電極層 112 之後，藉由進行將包含磷（P）或硼（B）的摻雜劑導入到氧化物半導體層 106 中的雜質導入處理，可以以自對準的方式形成源極區 114a 及汲極區 114b。

另外，氧化物半導體層 106 中的厚度薄的區域可以藉由進行蝕刻處理可以而形成。例如，在形成厚度為 15nm 至 30nm 的氧化物半導體層之後，藉由進行蝕刻處理可以將其厚度設定為 5nm 左右。藉由將具有上述厚度的氧化物

半導體層 106 用於通道形成區 118，降低由於微細化導致的電晶體的短通道效應，所以是較佳的。另外，可以藉由進行蝕刻處理來形成氧化物半導體層 106 中的厚度薄的區域，在氧化物半導體層 106 中的厚度薄的區域中形成通道形成區 118，在氧化物半導體層 106 中的厚度厚的區域中形成源極區 114a 及汲極區 114b。藉由採用上述結構，可以降低由於氧化物半導體層 106 的薄膜化導致的通道形成區 118 與源極區 114a 及汲極區 114b 之間的接觸電阻。

另外，藉由在氧化物半導體層 106 與金屬層 108a 及金屬層 108b 接觸的狀態下進行加熱處理等，使該金屬層 108a 及該金屬層 108b 在氧化物半導體層 106 中起反應及 / 或擴散，從而可以形成源極區 114a 及汲極區 114b。藉由除了進行上述雜質導入處理以外，還設置金屬層 108a 及金屬層 108b，可以進一步實現源極區 114a 及汲極區 114b 的低電阻化。

另外，電晶體 150 也可以形成閘極絕緣層 110 及閘極電極層 112 上的保護層 120，並形成藉由設置在保護層 120、閘極絕緣層 110、金屬層 108a 及金屬層 108b 中的開口部與源極區 114a 接觸的佈線層 122a 及與汲極區 114b 接觸的佈線層 122b。藉由將保護層 120、佈線層 122a 及佈線層 122b 形成在電晶體 150 上，可以進行電晶體 150 的集體化，所以是較佳的。另外，藉由設置保護層 120，可以降低電晶體 150 的凹凸並抑制侵入到電晶體 150 中的雜質（例如，水等），所以是較佳的。

另外，作為圖 1B 所示的電晶體 150 與圖 1A 所示的電晶體 140 不同的結構，舉出氧化物半導體層 106 中的厚度薄的區域的形狀及一對低電阻區 116 的有無。即，在圖 1A 所示的電晶體 140 中，氧化物半導體層 106 中的厚度薄的區域包括通道形成區 118 和一對低電阻區 116，而在圖 1B 所示的電晶體 150 中，氧化物半導體層 106 中的厚度薄的區域只包括通道形成區 118。另外，氧化物半導體層 106 中的厚度薄的區域的端部與閘極電極層 112 的端部相同。換言之，通道形成區 118 採用閘極電極層 112 的端部與源極區 114a 及汲極區 114b 的端部相同的結構。藉由採用上述結構，可以對通道形成區 118 高效地施加電壓。

接著，參照圖 1C 對與圖 1A 所示的電晶體 140 及圖 1B 所示的電晶體 150 不同的方式進行說明。

圖 1C 所示的電晶體 160 包括：基板 102；在基板 102 上形成的氧化物絕緣層 104；形成在氧化物絕緣層 104 上的包括通道形成區 118、源極區 114a 及汲極區 114b 的氧化物半導體層 106；以接觸於源極區 114a 的方式設置的金屬層 108a 及以接觸於汲極區 114b 的方式設置的金屬層 108b；在氧化物絕緣層 104、氧化物半導體層 106、金屬層 108a 及金屬層 108b 上形成的閘極絕緣層 110；以及在閘極絕緣層 110 上形成的閘極電極層 112。

另外，氧化物半導體層 106 的與閘極電極層 112 重疊的區域的厚度比形成源極區 114a 及汲極區 114b 的區域的厚度薄。另外，氧化物半導體層 106 中的厚度薄的區域的

端部與閘極電極層 112 的端部相同。另外，金屬層 108a 及金屬層 108b 形成在氧化物半導體層 106 中的厚度厚的區域上。另外，金屬層 108a 的端部及金屬層 108b 的端部形成在比氧化物半導體層 106 中的厚度厚的區域的端部內一側。

另外，氧化物半導體層 106 所具有的源極區 114a 及汲極區 114b 的電阻比通道形成區 118 低，並包含磷（P）或硼（B）。例如，在形成閘極電極層 112 之後，藉由進行將包含磷（P）或硼（B）的摻雜劑導入到氧化物半導體層 106 中的雜質導入處理，可以以自對準的方式形成源極區 114a 及汲極區 114b。

另外，氧化物半導體層 106 中的厚度薄的區域可以藉由進行蝕刻處理而形成。例如，在形成厚度為 15nm 至 30nm 的氧化物半導體層之後，藉由進行蝕刻處理可以將其厚度設定為 5nm 左右。藉由將具有上述厚度的氧化物半導體層 106 用於通道形成區 118，降低由於微細化導致的電晶體的短通道效應，所以是較佳的。另外，可以藉由進行蝕刻處理來形成氧化物半導體層 106 中的厚度薄的區域，在氧化物半導體層 106 中的厚度薄的區域中形成通道形成區 118，在氧化物半導體層 106 中的厚度厚的區域中形成源極區 114a 及汲極區 114b。藉由採用上述結構，可以降低由於氧化物半導體層 106 的薄膜化導致的通道形成區 118 與源極區 114a 及汲極區 114b 之間的接觸電阻。

另外，藉由在氧化物半導體層 106 與金屬層 108a 及

金屬層 108b 接觸的狀態下進行加熱處理等，使該金屬層 108a 及該金屬層 108b 在氧化物半導體層 106 中起反應及/或擴散，從而可以形成源極區 114a 及汲極區 114b。藉由除了進行上述雜質導入處理以外，還設置金屬層 108a 及金屬層 108b，可以進一步實現源極區 114a 及汲極區 114b 的低電阻化。

另外，電晶體 160 也可以形成閘極絕緣層 110 及閘極電極層 112 上的保護層 120，並形成藉由設置在保護層 120、閘極絕緣層 110、金屬層 108a 及金屬層 108b 中的開口部與源極區 114a 接觸的佈線層 122a 及與汲極區 114b 接觸的佈線層 122b。藉由將保護層 120、佈線層 122a 及佈線層 122b 形成在電晶體 160 上，可以進行電晶體 160 的集體化，所以是較佳的。另外，藉由設置保護層 120，可以降低電晶體 160 的凹凸並抑制侵入到電晶體 160 中的雜質（例如，水等），所以是較佳的。

另外，作為圖 1C 所示的電晶體 160 與圖 1B 所示的電晶體 150 不同的結構，舉出對氧化物半導體層 106 的金屬層 108a 及金屬層 108b 的形狀。在電晶體 160 中，金屬層 108a 的端部及金屬層 108b 的端部形成在比氧化物半導體層 106 中的厚度厚的區域的端部內一側。藉由採用上述結構，可以改良閘極絕緣層 110 的覆蓋性，所以是有效的。另外，即使產生閘極電極層 112 的形成位置的偏差，也降低閘極電極層 112 與金屬層 108a 及金屬層 108b 重疊的可能性，所以是較佳的。此外，可以降低金屬層 108a 及金

屬層 108b 與閘極電極層 112 之間的寄生電容。

如上所述，圖 1A 至圖 1C 所示的半導體裝置的共同之處在於：將氧化物半導體層用於半導體層，至於該氧化物半導體層，藉由進行蝕刻使至少成為通道形成區的氧化物半導體層的一部分減薄，並藉由進行該蝕刻調整通道形成區的厚度。藉由減薄通道形成區的氧化物半導體層的厚度，可以在抑制短通道效應的同時，使臨界電壓（ V_{th} ）調整為正方向。從而，可以實現常關閉型半導體裝置。

另外，圖 1A 至圖 1C 所示的半導體裝置可以藉由將包含磷（P）或硼（B）的摻雜劑導入到氧化物半導體層中的厚度厚的區域中，將源極區及汲極區形成在氧化物半導體層中，來降低源極區及汲極區與通道形成區之間的接觸電阻。從而，可以實現導通電流高的半導體裝置。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 2

在本實施方式中，參照圖 2A 至圖 3D 對實施方式 1 中的圖 1A 所示的電晶體 140 的製造方法進行詳細說明。另外，使用與上述圖 1A 至圖 1C 所示的符號相同的符號，而省略其重複說明。

首先，在基板 102 上形成氧化物絕緣層 104，在氧化物絕緣層 104 上形成氧化物半導體膜及金屬膜。接著，在金屬膜上的所希望的區域中形成光阻掩罩 124（參照圖 2A）。

對可以用於基板 102 的材料沒有大的限制，但是該基板至少需要具有能夠承受後面的熱處理程度的耐熱性。例如，作為基板 102 可以使用硼矽酸鋇玻璃和硼矽酸鋁玻璃等的玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，也可以使用以矽或碳化矽等為材料的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板 102。

氧化物絕緣層 104 可以藉由電漿 CVD 法或濺射法等，利用氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鈐、氧化鎵、氮氧化矽、氮氧化鋁或它們的混合材料形成。在本實施方式中，作為氧化物絕緣層 104 使用藉由濺射法形成的氧化矽膜。

另外，氧化物絕緣層 104 因為接觸於氧化物半導體膜，所以較佳為在膜中（塊體中）存在至少超過化學計量比的量的氧。例如，作為氧化物絕緣層 104 使用氧化矽膜時，將其設定為 $\text{SiO}_{2+\alpha}$ ($\alpha > 0$)。藉由使用這樣的氧化物絕緣層 104，可以將氧供應到氧化物半導體膜。藉由將氧供應到氧化物半導體膜，可以補充膜中的氧缺損。

在氧化物半導體膜的形成製程中，為了儘量不使氧化物半導體膜包含氫或水，作為形成氧化物半導體膜的預處理，較佳為在濺射裝置的預熱室內對形成有氧化物絕緣層 104 的基板 102 進行預熱，來使吸附到基板 102 及氧化物絕緣層 104 的氫、水分等的雜質脫離並進行排氣。另外，

設置在預熱室中的排氣單元較佳為使用低溫泵。

氧化物半導體膜較佳為至少包含銦 (In) 或鋅 (Zn)。
尤其是較佳為包含 In 及 Zn。另外，作為降低使用該氧化物的電晶體的電特性的不均勻的穩定劑，除了上述元素以外較佳為還包含鎵 (Ga)。此外，作為穩定劑較佳為包含錫 (Sn)。另外，作為穩定劑較佳為包含鈦 (Hf)。此外，作為穩定劑較佳為包含鋁 (Al)。

此外，作為其他穩定劑，也可以包含鑷系元素的鑷 (La)、鈰 (Ce)、鐑 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、錒 (Tb)、鐿 (Dy)、釹 (Ho)、鉕 (Er)、鐿 (Tm)、鐿 (Yb)、鑷 (Lu) 中的一種或多種。

例如，作為氧化物半導體膜可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧

化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

在此，例如，“In-Ga-Zn 氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比率沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

另外，作為氧化物半導體膜，可以使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ ，且 m 不是整數) 表示的材料。注意，M 表示選自 Ga、Fe、Mn 和 Co 中的一種或多種金屬元素。另外，作為氧化物半導體，也可以使用表示為 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$ 且 n 是整數) 的材料。

例如，可以使用 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$) 或 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$) 的原子比的 In-Ga-Zn 類氧化物或該組成的近旁的氧化物。或者，較佳為使用 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$) 或 $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$) 的原子比的 In-Sn-Zn 類氧化物或該組成的近旁的氧化物。

但是，所公開的發明不侷限於此，可以根據所需要的半導體特性（遷移率、閾值、不均勻性等）而使用適當的組成的氧化物。另外，較佳為採用適當的載子濃度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間結合距離以及密度等，以得到所需要的半導體特性。

例如，In-Sn-Zn 類氧化物比較容易得到高遷移率。但是，當使用 In-Ga-Zn 類氧化物時，也可以藉由降低塊中的缺陷密度來提高遷移率。

另外，例如 In、Ga、Zn 的原子數比為 $\text{In:Ga:Zn} = a:b:c$ ($a+b+c=1$) 的氧化物的組成在原子數比為 $\text{In:Ga:Zn} = A:B:C$ ($A+B+C=1$) 的氧化物的組成的近旁是指 a 、 b 、 c 滿足 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 的狀態， r 例如可以為 0.05。其他氧化物也是同樣的。

氧化物半導體膜可以為單晶或非單晶。在採用後者時，可以採用非晶或多晶。另外，可以採用在非晶中包括具有結晶性的部分的結構或非非晶。

非晶狀態的氧化物半導體膜由於可以比較容易地得到平坦的表面，所以可以減少使用該氧化物半導體膜製造電晶體時的介面散射，可以比較容易得到較高的遷移率。

另外，具有結晶性的氧化物半導體膜可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體膜的遷移率以上的遷移率。為了提高表面的平坦性，較佳為在平坦的表面上形成氧化物半導體膜，明確地說，較佳的是，在平均面粗糙度 (R_a) 為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下的表面上形成氧化物半導體膜。

注意， R_a 是將 JIS B0601:2001 (ISO4287:1997) 中定義的算術平均粗糙度擴大為三維以使其能夠應用於曲面，可以以“將從基準面到指定面的偏差的絕對值平均而得的

值”表示，以如下算式定義。

[公式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

這裏，指定面是指成為測量粗糙度對象的面，並且是以座標（ $x_1, y_1, f(x_1, y_1)$ ）（ $x_1, y_2, f(x_1, y_2)$ ）（ $x_2, y_1, f(x_2, y_1)$ ）（ $x_2, y_2, f(x_2, y_2)$ ）的四點表示的四角形的區域，指定面投影在 xy 平面的長方形的面積為 S_0 ，基準面的高度（指定面的平均高度）為 Z_0 。可以利用原子力顯微鏡（AFM：Atomic Force Microscope）測定 Ra 。

因此，可以對在氧化物絕緣層 104 中與氧化物半導體膜接觸而形成的區域進行平坦化處理。作為平坦化處理沒有特別的限制，但是可以使用拋光處理（例如，化學機械拋光（Chemical Mechanical Polishing：CMP）法）、乾蝕刻處理以及電漿處理。

作為電漿處理，例如可以進行引入氬氣來產生電漿的反濺射。反濺射是指使用 RF 電源在氬氣氛圍下對基板一側施加電壓，來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氬、氧等代替氬氣氛圍。藉由進行反濺射，可以去除附著在氧化物絕緣層 104 的表面上的粉狀物質（也稱為微粒、塵屑）。

作為平坦化處理，既可以多次進行拋光處理、乾蝕刻處理以及電漿處理，又可以組合它們而進行。此外，當組

合它們而進行時，對製程順序也沒有特別的限制，可以根據氧化物絕緣層 104 的表面的凹凸狀態適當地設定。

作為氧化物半導體膜，可以使用具有結晶性的氧化物半導體膜（晶體氧化物半導體膜）。作為晶體氧化物半導體膜的結晶狀態，既可以是晶軸的方向處於無秩序的狀態，又可以是晶軸的方向處於具有一定的配向性的狀態。

例如，作為晶體氧化物半導體膜，較佳為使用 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下該結晶部分的尺寸為能夠容納於一個邊長小於 100nm 的立方體的尺寸。另外，在使用透射電子顯微鏡（TEM：Transmission Electron Microscope）觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，不能利用 TEM 在 CAAC-OS 膜中觀察到晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外

，在不同結晶部之間可以使 a 軸及 b 軸的方向不同。在本說明書中，當只記載“垂直”時，包括 85° 以上且 95° 以下的範圍。另外，當只記載“平行”時，包括 -5° 以上且 5° 以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部變成非晶。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。

另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。結晶部分藉由進行成膜或進行成膜後的加熱處理等的晶化處理來形成。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，這種電晶體的可靠性高。

當作為氧化物半導體膜應用 CAAC-OS 膜時，作為獲得該 CAAC-OS 膜的方法，可以舉出三個方法。第一：將成膜溫度設定為 200°C 以上且 500°C 以下而進行氧化物半

導體膜的形成，而實現大致垂直於其表面的 c 軸配向的方法。第二：在形成薄氧化物半導體膜之後，進行 200℃ 以上且 700℃ 以下的加熱處理，而實現大致垂直於其表面的 c 軸配向的方法。第三：在形成薄的第一層之後，進行 200℃ 以上且 700℃ 以下的加熱處理，並形成第二層，而實現大致垂直於其表面的 c 軸配向的方法。

將氧化物半導體膜的膜厚度設定為 1nm 以上且 200nm 以下（較佳為 15nm 以上且 30nm 以下），可以適當地利用濺射法、MBE（Molecular Beam Epitaxy：分子束外延）法、CVD 法、脈衝雷射沉積法、ALD（Atomic Layer Deposition：原子層沉積）法等。此外，也可以使用在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置，所謂的 CP 濺射裝置（Columnar Plasma Sputtering system：柱狀電漿濺射裝置）形成氧化物半導體膜。

此外，較佳為在形成膜時包含多的氧的條件（例如，在氧為 100% 的氛圍下利用濺射法進行成膜等）下形成氧化物半導體膜，以使晶體氧化物半導體膜包含多的氧（較佳為包括與氧化物半導體處於結晶狀態時的化學計量成分比相比氧含量過剩的區域）。

作為用於利用濺射法來製造氧化物半導體膜的靶材，例如可以使用成分比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳比] 的金屬氧化物靶材而形成的 In-Ga-Zn 膜。此外，不侷限於上述靶材的材料和組成，例如也可以使用成分比為 $\text{In}_2\text{O}_3:$

$\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳比]的金屬氧化物靶材。

另外，金屬氧化物靶材的填充率為 90%以上 100%以下，較佳為 95%以上 99.9%以下。藉由採用填充率高的金屬氧化物靶材可以形成緻密的氧化物半導體膜。

作為當形成氧化物半導體膜時使用的濺射氣體，較佳為使用氫、水、羥基或氫化物等的雜質被去除了的高純度氣體。

在保持為減壓狀態的沉積室中保持基板。然後，邊去除殘留在沉積室內的水分邊引入去除了氫及水分的濺射氣體並使用上述靶材在氧化物絕緣層 104 上形成氧化物半導體膜。較佳為使用吸附型真空泵，例如，低溫泵、離子泵、鈦昇華泵來去除殘留在沉積室內的水分。另外，作為排氣裝置，也可以使用配備有冷阱的渦輪分子泵。由於利用低溫泵進行了排氣的沉積室中，如氫原子、水（ H_2O ）等的包含氫原子的化合物（較佳為還包括包含碳原子的化合物）等被排出，由此可以降低利用該沉積室形成的氧化物半導體膜中含有的雜質濃度。

另外，較佳為以不暴露於大氣的方式連續形成氧化物絕緣層 104 和氧化物半導體膜。藉由以不暴露於大氣的方式連續形成氧化物絕緣層 104 和氧化物半導體膜，可以防止氫或水分等雜質附著於氧化物絕緣層 104 表面。

此外，也可以對氧化物半導體膜進行用來去除過剩的氫（包括水及羥基）（脫水化或脫氫化）的加熱處理。將加熱處理的溫度設定為 300°C 以上且 700°C 以下，或低於

基板的應變點。加熱處理可以在減壓下或氮氣氛圍下等進行。例如，將基板放進加熱處理裝置之一種的電爐中，且在氮氣氛圍下以 450°C 對氧化物半導體膜進行一小時的加熱處理。

另外，加熱處理裝置不侷限於電爐，還可以使用利用來自電阻發熱體等的發熱體的熱傳導或熱輻射加熱被處理物的裝置。例如，可以使用如 GRTA (Gas Rapid Thermal Anneal, 氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal, 燈快速熱退火) 裝置等 RTA (Rapid Thermal Anneal, 快速熱退火) 裝置。LRTA 裝置是一種利用鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光 (電磁波) 的輻射加熱被處理物的裝置。GRTA 裝置是一種利用高溫氣體進行加熱處理的裝置。作為高溫的氣體，使用即使進行加熱處理也不與被處理物起反應的惰性氣體，如氬等的稀有氣體或氮等。

例如，作為加熱處理，可以進行 GRTA，其中在加熱為 650°C 至 700°C 的高溫的惰性氣體中放進基板，加熱幾分鐘之後，從惰性氣體取出基板。

此外，用來脫水化或脫氫化的加熱處理只要在氧化物半導體膜的形成之後、在島狀的氧化物半導體層 105 的形成之後或者在金屬層 108a 及金屬層 108b 的形成之後，就可以在電晶體 140 的製造製程中的任何時序進行。

如果在加工為島狀的氧化物半導體層 105 之前進行用

來脫水化或脫氫化的加熱處理，則可以防止包含在氧化物絕緣層 104 的氧由加熱處理釋放，所以是較佳的。

另外，在加熱處理中，較佳為在氮或如氮、氬、氙等稀有氣體中不含有水、氫等。或者，將引入到熱處理裝置中的氮或如氮、氬、氙等稀有氣體的純度設定為 6N（99.9999%）以上，更佳為設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。

另外，可以在藉由加熱處理對氧化物半導體膜進行加熱之後，對相同爐內引入高純度的氧氣體、高純度的二氮化氧氣體或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測定時的水分量是 20ppm（露點換算， -55°C ）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）。較佳為不使氧氣體或二氮化氧氣體包含水、氫等。或者，較佳為將引入到熱處理裝置中的氧氣體或二氮化氧氣體的純度設定為 6N 以上，較佳為 7N 以上（也就是說，將氧氣體或二氮化氧氣體中的雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。藉由利用氧氣體或二氮化氧氣體來供給由於脫水化或脫氫化處理中的雜質排出製程而同時被減少的構成氧化物半導體的主要成分材料的氧，來可以使氧化物半導體膜高純度化並電性 I 型（本質）化。

作為金屬膜，例如，可以使用：包含選自 Ta、W、Al、Mo 中的元素的金屬膜；包含上述元素的金屬氮化膜（

氮化鋇、氮化鎢、氮化鋁、氮化鉬)；或者包含上述元素的金屬氧化膜(氧化鋇、氧化鎢、氧化鋁、氧化鉬)等。另外，也可以採用組合上述金屬膜、金屬氮化膜及金屬氧化膜重疊的結構。

另外，作為金屬膜的厚度，較佳為採用後來摻雜劑能夠穿過的厚度。例如，較佳為 1nm 以上且 50nm 以下，更佳為 1nm 以上且 30nm 以下，即可。

作為光阻掩罩 124，例如使用光致抗蝕劑。光致抗蝕劑有正型和負型，兩者都可以使用。藉由進行如下製程，可以形成光阻掩罩 124：使用光致抗蝕劑；使用旋塗機、狹縫式塗布機等來形成為 0.5 μ m 以上且 5 μ m 以下的厚度；在進行預烘乾之後，以所使用的光致抗蝕劑感光的波長的光進行曝光。另外，當使用噴墨法形成光阻掩罩 124 時不需要光掩模，由此可以降低製造成本，所以是較佳的。

接著，以光阻掩罩 124 為掩模，藉由進行蝕刻處理去除金屬膜及氧化物半導體膜的不需要的區域，然後去除光阻掩罩 124。在去除光阻掩罩 124 之後，形成島狀的氧化物半導體層 105 及島狀的金屬層 107（參照圖 2B）。

另外，金屬膜及氧化物半導體膜的蝕刻可以使用乾蝕刻和濕蝕刻中的一者或兩者。例如，作為用於氧化物半導體膜的濕蝕刻的蝕刻劑，可以使用磷酸、醋酸以及硝酸的混合溶液等。另外，也可以使用 ITO-07N（日本關東化學公司製造）。

接著，在氧化物絕緣層 104、氧化物半導體層 105 及

金屬層 107 上形成光阻掩罩 125（參照圖 2C）。

光阻掩罩 125 可以使用與光阻掩罩 124 同樣的方法及材料形成。

接著，以光阻掩罩 125 為掩模，藉由進行蝕刻處理去除金屬層 107 及氧化物半導體層 105 的不需要的區域。然後，去除光阻掩罩 125。藉由進行該蝕刻處理來分離金屬層 107，從而形成金屬層 108a 及金屬層 108b。另外，在氧化物半導體層 105 中，以光阻掩罩 125、金屬層 108a 及金屬層 108b 為掩模，藉由進行該蝕刻處理來形成具有厚度薄的區域的氧化物半導體層 106（參照圖 2D）。

另外，氧化物半導體層 106 中的厚度薄的區域的一部分後來成為通道形成區，金屬層 108a 及金屬層 108b 所接觸的厚的區域用作源極區及汲極區。氧化物半導體層 106 中的厚度薄的區域以至少薄於金屬層 108a 及金屬層 108b 所接觸的厚的區域的方式形成即可，其厚度較佳為 1nm 以上且 10nm 以下，更佳為 1nm 以上且 5nm 以下即可。但是，氧化物半導體層 106 中的厚度薄的區域的厚度不侷限於上述數值，而根據氧化物半導體的構成元素、成膜方法或電晶體的尺寸（L/W 尺寸、L/W 比等），可以適當地調整厚度。

接著，在氧化物絕緣層 104、氧化物半導體層 106、金屬層 108a 及金屬層 108b 上形成閘極絕緣層 110（參照圖 3A）。

閘極絕緣層 110 可以利用濺射法、電漿 CVD 法等形

成。例如，可以藉由電漿 CVD 法使用氧化矽、氧化鎵、氧化鋁、氮化矽、氧氮化矽、氧氮化鋁、氮氧化矽等形成閘極絕緣層 110。

另外，閘極絕緣層 110 較佳為在接觸於氧化物半導體層 106 的部分含有氧。尤其是，閘極絕緣層 110 較佳為在其膜中（塊體中）存在其含量至少超過化學計量成分比的氧，例如，當作為閘極絕緣層 110 使用氧化矽膜時，設定為 $\text{SiO}_{2+\alpha}$ （其中， $\alpha > 0$ ）。在本實施方式中，作為閘極絕緣層 110，使用 $\text{SiO}_{2+\alpha}$ （但是， $\alpha > 0$ ）的氧化矽膜。藉由將這種氧化矽膜用於閘極絕緣層 110，可以對氧化物半導體層 106 供應氧。

此外，藉由作為閘極絕緣層 110 的材料使用氧化鈣、氧化釷、矽酸鈣（ HfSi_xO_y （ $x > 0$ ， $y > 0$ ））、添加有氮的矽酸鈣（ HfSiO_xN_y （ $x > 0$ ， $y > 0$ ））、鋁酸鈣（ HfAl_xO_y （ $x > 0$ ， $y > 0$ ））以及氧化釷等 high-k 材料，可以降低閘極洩漏電流。而且，閘極絕緣層 110 既可以是單層結構，又可以是疊層結構。

另外，閘極絕緣層 110 的厚度較佳為 1nm 以上且 100nm 以下，更佳為 1nm 以上且 30nm 以下，即可。藉由減薄閘極絕緣層 110 的厚度，可以抑制短通道效應。在本實施方式中，作為閘極絕緣層 110 利用電漿 CVD 法形成厚度為 15nm 的氧化矽膜。

接著，隔著閘極絕緣層 110 將氧 126 導入到氧化物半導體層 106 中（參照圖 3A）。

另外，在導入氧 126 的處理中，將氧（至少包含氧自由基、氧原子及氧離子中的任一種）導入並供應到氧化物半導體層 106 中。作為處理方法，可以使用離子植入法、離子摻雜劑法、電漿浸沒離子植入法以及電漿處理等。

作為將氧供應到氧化物半導體層 106 中的方法，也可以將閘極絕緣層 110 所含有的氧供應到氧化物半導體層 106 中，但是在本實施方式中，閘極絕緣層 110 的厚度薄，即厚度為 15nm，從而閘極絕緣層所含有的氧量比閘極絕緣層厚的情況（例如 100nm 以上）少。因此，到氧化物半導體層 106 中的氧供應的能力有可能成為不充分。從而，如本實施方式所示，藉由進行氧導入處理，可以將過剩的氧供應到氧化物半導體層 106 中。另外，藉由隔著閘極絕緣層 110 進行氧導入處理，可以降低對氧化物半導體層 106 的損傷，所以是較佳的。

藉由從氧化物半導體層 106 去除氫或水分，以儘量不包含雜質的方式進行高純度化且供應氧補充氧缺損，可以製造 I 型（本質）的氧化物半導體層 106 或無限趨近於 I 型（本質）的氧化物半導體層 106。因此，可以使氧化物半導體層 106 的費米能階（ E_f ）到達與本質費米能階（ E_i ）相同的程度。由此，藉由將氧化物半導體層 106 用於電晶體，可以降低因氧缺損而產生的電晶體的臨界電壓（ V_{th} ）的偏差、臨界電壓（ V_{th} ）的漂移（ ΔV_{th} ）。

接著，在重疊於氧化物半導體層 106 中的厚度薄的區域上的閘極絕緣層 110 上形成閘極電極層 112。藉由在閘

極絕緣層 110 上形成金屬膜，並對該金屬膜進行構圖及蝕刻來形成所希望的形狀的閘極電極層 112（參照圖 3B）。

作為閘極電極層 112，可以利用電漿 CVD 法或濺射法等使用鉬、鈦、鉕、鎢、鋁、銅、鉻、釹、銦等金屬材料或包含這些金屬材料的合金材料形成。另外，閘極電極層 112 既可以是單層結構，又可以是疊層結構。

接著，以閘極電極層 112 為掩模，將摻雜劑 128 選擇性地導入到氧化物半導體層 106 中，而形成源極區 114a、汲極區 114b 及一對低電阻區 116。另外，穿過閘極絕緣層 110、金屬層 108a 及金屬層 108b 來注入摻雜劑 128。

另外，在本實施方式中，例示如下結構：因為閘極絕緣層 110、金屬層 108a 及金屬層 108b 為薄膜，所以摻雜劑 128 穿過閘極絕緣層 110、金屬層 108a 及金屬層 108b 導入到氧化物半導體層 106，以形成源極區 114a、汲極區 114b 及一對低電阻區 116。另外，在夾在一對低電阻區 116 之間的區域中，閘極電極層 112 成為掩模，摻雜劑 128 不被導入，而該區域成為通道形成區 118。如上所述，藉由以閘極電極層 112 為掩模對氧化物半導體層 106 選擇性地注入摻雜劑 128，以自對準的方式形成一對低電阻區 116、源極區 114a 及汲極區 114b。注意，在圖 3C 中，一對低電阻區 116、源極區 114a 及汲極區 114b 不存在明確的介面，由此使用同一陰影表示一對低電阻區 116、源極區 114a 及汲極區 114b。

摻雜劑 128 是指降低氧化物半導體層 106 的電阻的雜

質。作為摻雜劑 128，可以使用選自磷（P）、砷（As）、銻（Sb）、硼（B）、鋁（Al）、氮（N）、氬（Ar）、氦（He）、氖（Ne）、銦（In）、氟（F）、氯（Cl）、鈦（Ti）及鋅（Zn）中的一種以上的元素。尤其是，在作為氧化物半導體層 106 的構成元素包含鎵（Ga）時，較佳為使用硼（B）。由於硼（B）與構成氧化物半導體層 106 的鎵（Ga）同一族（第 13 族元素），可以使硼穩定地存在於氧化物半導體層 106 中。

藉由利用注入法，使摻雜劑 128 穿過閘極絕緣層 110、金屬層 108a 及金屬層 108b 而導入到氧化物半導體層 106 中。作為摻雜劑 128 的導入方法，可以使用離子植入法、離子摻雜劑法以及電漿浸沒離子植入法等。此時，較佳為使用摻雜劑 128 的單質的離子或氫化物、氟化物、氯化物的離子。

適當地設定加速電壓、劑量等的注入條件或者使摻雜劑 128 穿過的閘極絕緣層 110、金屬層 108a 及金屬層 108b 的厚度，來控制摻雜劑 128 的導入製程即可。例如，當使用硼（B）藉由離子植入法注入硼（B）離子時，加速電壓為 15kV，劑量為 $1 \times 10^{13} \text{ ions/cm}^2$ 以上且 $5 \times 10^{16} \text{ ions/cm}^2$ 以下即可。

低電阻區 116、源極區 114a 及汲極區 114b 中的摻雜劑 128 的濃度較佳為 $5 \times 10^{18} / \text{cm}^3$ 以上且 $1 \times 10^{22} / \text{cm}^3$ 以下。另外，也可以在導入摻雜劑 128 的同時加熱基板 102。

此外，對氧化物半導體層 106 導入摻雜劑 128 的處理

也可以進行多次，也可以使用多種摻雜劑。

此外，在摻雜劑 128 的導入處理之後，也可以進行加熱處理。作為加熱條件較佳為如下條件：溫度為 300℃ 以上且 700℃ 以下，較佳為 300℃ 以上且 450℃ 以下；在氧氛圍下；進行一個小時。另外，也可以在氮氛圍下、減壓下、大氣（超乾燥空氣）下進行加熱處理。

當作為氧化物半導體層 106 使用結晶氧化物半導體時，藉由導入摻雜劑 128，有時氧化物半導體層 106 的一部分變成非晶。此時，藉由在導入摻雜劑 128 之後進行加熱處理，可以恢復氧化物半導體層 106 的結晶性。

另外，在該加熱處理中，在氧化物半導體層 106 與金屬層 108a 及金屬層 108b 接觸的狀態下進行加熱。在氧化物半導體層 106 與金屬層 108a 及金屬層 108b 接觸的狀態下進行加熱的情況下，將金屬層 108a 及金屬層 108b 起反應到氧化物半導體層 106 中，以及/或者將金屬層 108a 及金屬層 108b 擴散到氧化物半導體層 106 中，從而可以使源極區 114a 及汲極區 114b 的電阻更低。

如上所述，在氧化物半導體層 106 中的厚度薄的區域中，夾著通道形成區 118 形成包含摻雜劑的一對低電阻區 116。另外，在氧化物半導體層 106 中的厚度厚的區域中，可以形成源極區 114a 及汲極區 114b。

在本實施方式中，作為摻雜劑 128 使用硼（B），由此低電阻區 116、源極區 114a 及汲極區 114b 包含硼（B）。

藉由上述製程製造本實施方式的電晶體 140（參照圖 3C）。

電晶體 140 藉由具有在通道長度方向上夾著通道形成區 118 地包括一對低電阻區 116、源極區 114a 及汲極區 114b 的氧化物半導體層 106，該電晶體 140 的導通特性（例如，導通電流及場效應遷移率）高，能夠進行高速工作及高速回應。另外，氧化物半導體層 106 的重疊於閘極電極層 112 的區域的厚度與形成源極區 114a 及汲極區 114b 的區域的厚度不同。與閘極電極層重疊的區域的氧化物半導體層 106 的厚度比形成源極區 114a 及汲極區 114b 的區域的氧化物半導體層 106 的厚度薄。另外，在氧化物半導體層 106 中的厚度薄的區域中形成通道形成區 118。藉由減薄通道形成區 118 的氧化物半導體層 106 的厚度，可以使臨界電壓（ V_{th} ）調整為正方向。

接著，在閘極絕緣層 110 及閘極電極層 112 上形成保護層 120。然後，在保護層 120 中形成到達源極區 114a 及汲極區 114b 的開口，並在開口中形成與源極區 114a 及汲極區 114b 分別電連接的佈線層 122a 及佈線層 122b（參照圖 3D）。

作為保護層 120，也可以形成平坦化絕緣膜以減少因電晶體產生的表面凹凸。作為平坦化絕緣膜，可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂等的有機材料。除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、或者無機材料諸如氧化矽、氧氮化矽、氮

化矽、氧化鉛、氧化鋁等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜，形成平坦化絕緣膜。

如上所述，在本實施方式所示的具有氧化物半導體層的電晶體中，高純度化了且填補了氧缺陷的氧化物半導體層充分被去除氫、水等雜質，而氧化物半導體層中的氫濃度為 $5 \times 10^{19}/\text{cm}^3$ 以下，較佳為 $5 \times 10^{18}/\text{cm}^3$ 以下。此外，氧化物半導體層中的氫濃度是藉由使用二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）而測量的。

在這種氧化物半導體層中，載子極少（大致為 0）且載子濃度為低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳為低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{11}/\text{cm}^3$ 。

另外，在使用本實施方式製造的使用高純度化了且包含填補氧缺損的過剩的氧的氧化物半導體層的電晶體中，可以使截止狀態下的室溫下的每通道寬度 $1\mu\text{m}$ 的電流值（截止電流值）降低到 $100\text{zA}/\mu\text{m}$ （ 1zA （仄普托介安培）為 $1 \times 10^{-21}\text{A}$ ）以下，較佳為降低到 $10\text{zA}/\mu\text{m}$ 以下，更佳為降低到 $1\text{zA}/\mu\text{m}$ 以下，進一步較佳為降低到 $100\text{yA}/\mu\text{m}$ 以下的水準。

另外，在使用本實施方式製造的電晶體藉由具有在通道長度方向上夾著通道形成區地包括一對低電阻區、源極區及汲極區的氧化物半導體層，該電晶體的導通特性（例如，導通電流及場效應遷移率）高，能夠進行高速工作及高速回應。另外，氧化物半導體層的重疊於閘極電極層的

區域的厚度與形成源極區及汲極區的區域的厚度不同。與閘極電極層重疊的區域的氧化物半導體層的厚度比形成源極區及汲極區的區域的氧化物半導體層的厚度薄。另外，在氧化物半導體層中的厚度薄的區域中形成通道形成區。藉由減薄通道形成區的氧化物半導體層的厚度，可以在抑制短通道效應的同時，使臨界電壓（ V_{th} ）調整為正方向。從而，可以實現常關閉型半導體裝置。

另外，通道形成區設置在一對低電阻區之間。藉由採用上述結構，可以緩和對通道形成區施加的電場。另外，源極區及汲極區直接形成在氧化物半導體層中，並隔著低電阻區與通道形成區接觸。藉由採用上述結構，可以降低通道形成區與源極區及汲極區之間的接觸電阻。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 3

在本實施方式中，參照圖 4A 和圖 4B 說明與上述實施方式 1 的圖 1A 至圖 1C 所示的電晶體 140、電晶體 150 及電晶體 160 不同的方式。在本實施方式中，作為半導體裝置的一個例子，示出具有氧化物半導體層的電晶體的剖面圖。另外，使用與上述圖 1A 至圖 1C 所示的符號相同的符號，而省略其重複說明。

圖 4A 示出電晶體 170 的剖面圖，圖 4B 示出電晶體 180 的剖面圖。另外，根據對半導體層（本說明書中的氧化物半導體層）的閘極電極層的位置、對半導體層的源極

區及汲極區的位置、與該源極區及汲極區接觸的佈線層的位置可知，電晶體 170 及電晶體 180 是頂閘極頂接觸型（所謂的 TGTC 型）的電晶體。下面，對各電晶體的結構進行說明。

圖 4A 所示的電晶體 170 包括：基板 102；在基板 102 上形成的氧化物絕緣層 104；形成在氧化物絕緣層 104 上的包括通道形成區 118、低電阻區 116、源極區 114a 及汲極區 114b 的氧化物半導體層 106；在氧化物絕緣層 104 及氧化物半導體層 106 上形成的閘極絕緣層 110；以及在閘極絕緣層 110 上形成的閘極電極層 112。

另外，氧化物半導體層 106 的與閘極電極層 112 重疊的區域的厚度比形成源極區 114a 及汲極區 114b 的區域的厚度薄。另外，氧化物半導體層 106 包括：一對低電阻區 116；夾在一對低電阻區 116 之間的通道形成區 118；以與一對低電阻區 116 接觸的方式設置的源極區 114a 及汲極區 114b。一對低電阻區 116 形成在氧化物半導體層 106 中的厚度薄的區域中，源極區 114a 及汲極區 114b 形成在氧化物半導體層 106 中的厚度厚的區域中。

另外，氧化物半導體層 106 中的厚度薄的區域可以藉由進行蝕刻處理而形成。例如，在形成厚度為 15nm 至 30nm 的氧化物半導體層之後，藉由進行蝕刻處理可以將其厚度設定為 5nm 左右。藉由將具有上述厚度的氧化物半導體層 106 用於通道形成區 118，降低由於微細化導致的電晶體的短通道效應，所以是較佳的。另外，可以藉由進

行蝕刻處理來形成氧化物半導體層 106 中的厚度薄的區域，在氧化物半導體層 106 中的厚度薄的區域中形成通道形成區 118，在氧化物半導體層 106 中的厚度厚的區域中形成源極區 114a 及汲極區 114b。藉由採用上述結構，可以降低由於氧化物半導體層 106 的薄膜化導致的通道形成區 118 與源極區 114a 及汲極區 114b 之間的接觸電阻。

另外，氧化物半導體層 106 所具有的一對低電阻區 116、源極區 114a 及汲極區 114b 的電阻比通道形成區 118 低，並例如包含磷（P）或硼（B）。例如，在形成閘極電極層 112 之後，藉由進行將包含磷（P）或硼（B）的摻雜劑導入到氧化物半導體層 106 中的雜質導入處理，可以以自對準的方式形成一對低電阻區 116、源極區 114a 及汲極區 114b。

另外，藉由將一對低電阻區 116 設置在通道形成區 118 與源極區 114a 及汲極區 114b 之間，可以降低由於短通道效應導致的臨界電壓的負漂移。

另外，電晶體 170 也可以形成閘極絕緣層 110 及閘極電極層 112 上的保護層 120，並形成藉由設置在保護層 120 及閘極絕緣層 110 中的開口部與源極區 114a 接觸的佈線層 122a 及與汲極區 114b 接觸的佈線層 122b。藉由將保護層 120、佈線層 122a 及佈線層 122b 形成在電晶體 170 上，可以進行電晶體 170 的集體化，所以是較佳的。另外，藉由設置保護層 120，可以降低電晶體 170 的凹凸並抑制侵入到電晶體 170 中的雜質（例如，水等），所以是較

佳的。

另外，電晶體 170 與實施方式 1 的圖 1A 所示的電晶體 140 之間的差異是源極區 114a 及汲極區 114b 上的金屬層 108a 及金屬層 108b 的有無。如本實施方式所示的電晶體 170 所述那樣，也可以採用不設置金屬層 108a 及金屬層 108b 的結構。

接著，說明圖 4B 所示的電晶體 180。

圖 4B 所示的電晶體 180 包括：基板 102；在基板 102 上形成的氧化物絕緣層 104；形成在氧化物絕緣層 104 上的包括通道形成區 118、低電阻區 116、源極區 114a 及汲極區 114b 的氧化物半導體層 106；以接觸於源極區 114a 的方式設置的金屬層 108a 及以接觸於汲極區 114b 的方式設置的金屬層 108b；在氧化物絕緣層 104、氧化物半導體層 106、金屬層 108a 及金屬層 108b 上形成的閘極絕緣層 110；以及在閘極絕緣層 110 上形成的閘極電極層 112。

另外，氧化物半導體層 106 的與閘極電極層 112 重疊的區域的厚度比形成源極區 114a 及汲極區 114b 的區域的厚度薄。另外，氧化物半導體層 106 包括：一對低電阻區 116；夾在一對低電阻區 116 之間的通道形成區 118；以與一對低電阻區 116 接觸的方式設置的源極區 114a 及汲極區 114b。一對低電阻區 116 形成在氧化物半導體層 106 中的厚度薄的區域中，源極區 114a 及汲極區 114b 以與金屬層 108a 及金屬層 108b 分別接觸的方式形成在氧化物半導體層 106 中的厚度厚的區域中。

另外，氧化物半導體層 106 中的厚度薄的區域可以藉由進行蝕刻處理而形成。例如，在形成厚度為 15nm 至 30nm 的氧化物半導體層之後，藉由進行蝕刻處理可以將其厚度設定為 5nm 左右。藉由將具有上述厚度的氧化物半導體層 106 用於通道形成區 118，降低由於微細化導致的電晶體的短通道效應，所以是較佳的。另外，可以藉由進行蝕刻處理來形成氧化物半導體層 106 中的厚度薄的區域，在氧化物半導體層 106 中的厚度薄的區域中形成通道形成區 118，在氧化物半導體層 106 中的厚度厚的區域中形成源極區 114a 及汲極區 114b。藉由採用上述結構，可以降低由於氧化物半導體層 106 的薄膜化導致的通道形成區 118 與源極區 114a 及汲極區 114b 之間的接觸電阻。

另外，氧化物半導體層 106 所具有的一對低電阻區 116、源極區 114a 及汲極區 114b 的電阻比通道形成區 118 低，並例如包含磷 (P) 或硼 (B)。例如，在形成閘極電極層 112 之後，藉由進行將包含磷 (P) 或硼 (B) 的摻雜劑導入到氧化物半導體層 106 中的雜質導入處理，可以以自對準的方式形成一對低電阻區 116、源極區 114a 及汲極區 114b。

另外，藉由將一對低電阻區 116 設置在通道形成區 118 與源極區 114a 及汲極區 114b 之間，可以降低由於短通道效應導致的臨界電壓的負漂移。

另外，藉由在氧化物半導體層 106 與金屬層 108a 及金屬層 108b 接觸的狀態下進行加熱處理等，使該金屬層

108a 及該金屬層 108b 在氧化物半導體層 106 中起反應及 / 或擴散，從而可以形成源極區 114a 及汲極區 114b。藉由除了進行上述雜質導入處理以外，還設置金屬層 108a 及金屬層 108b，可以進一步實現源極區 114a 及汲極區 114b 的低電阻化。

另外，電晶體 180 也可以形成閘極絕緣層 110 及閘極電極層 112 上的保護層 120，並形成藉由設置在保護層 120 及閘極絕緣層 110 中的開口部與金屬層 108a 接觸的佈線層 122a 及與金屬層 108b 接觸的佈線層 122b。另外，佈線層 122a 夾著金屬層 108a 與源極區 114a 電連接，佈線層 122b 夾著金屬層 108b 與汲極區 114b 電連接。

藉由將保護層 120、佈線層 122a 及佈線層 122b 形成在電晶體 180 上，可以進行電晶體 180 的集體化，所以是較佳的。另外，藉由設置保護層 120，可以降低電晶體 180 的凹凸並抑制侵入到電晶體 180 中的雜質（例如，水等），所以是較佳的。

另外，電晶體 180 的與實施方式 1 的圖 1A 所示的電晶體 140 不同之處是佈線層 122a 及佈線層 122b 所接觸的區域。在電晶體 140 中，與源極區 114a 及汲極區 114b 直接接觸，在電晶體 180 中，夾著金屬層 108a 及金屬層 108b 與源極區 114a 及汲極區 114b 連接。如上所述，佈線層 122a 及佈線層 122b 與源極區 114a 及汲極區 114b 電連接，即可。

如上所述，圖 4A 及圖 4B 所示的半導體裝置的共同之

處在於：將氧化物半導體層用於半導體層，至於該氧化物半導體層，藉由進行蝕刻使至少成為通道形成區的氧化物半導體層的一部分減薄，並藉由進行該蝕刻調整通道形成區的厚度。藉由減薄通道形成區的氧化物半導體層的厚度，可以在抑制短通道效應的同時，使臨界電壓（ V_{th} ）調整為正方向。從而，可以實現常關閉型半導體裝置。

另外，圖 4A 及圖 4B 所示的半導體裝置可以藉由將包含磷（P）或硼（B）的摻雜劑導入到氧化物半導體層中的厚度厚的區域中，將源極區及汲極區形成在氧化物半導體層中，來降低源極區及汲極區與通道形成區之間的接觸電阻。從而，可以實現導通電流高的半導體裝置。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 4

在本實施方式中，參照圖 5A 至圖 6D 對實施方式 3 中的圖 4A 所示的電晶體 170 的製造方法進行詳細說明。另外，使用與上述圖 4A 所示的符號相同的符號，而省略其重複說明。

首先，在基板 102 上形成氧化物絕緣層 104，在氧化物絕緣層 104 上形成氧化物半導體膜。接著，在氧化物半導體膜的所希望的區域中形成光阻掩罩 124（參照圖 5A）。

基板 102、氧化物絕緣層 104、氧化物半導體膜及光阻掩罩 124 與上述實施方式 2 所示的材料及方法等相同而

可以參照這些記載內容。

接著，以光阻掩罩 124 為掩模，藉由進行蝕刻處理去除氧化物半導體膜的不需要的區域，然後去除光阻掩罩 124。在去除光阻掩罩 124 之後，形成島狀的氧化物半導體層 105（參照圖 5B）。

另外，氧化物半導體膜的蝕刻可以使用乾蝕刻和濕蝕刻中的一者或兩者。例如，作為用於氧化物半導體膜的濕蝕刻的蝕刻劑，可以使用磷酸、醋酸以及硝酸的混合溶液等。另外，也可以使用 ITO-07N（日本關東化學公司製造）。

接著，在氧化物絕緣層 104 及氧化物半導體層 105 上形成光阻掩罩 125（參照圖 5C）。

光阻掩罩 125 與上述實施方式 2 所示的材料及方法等相同而可以參照這些記載內容。

接著，以光阻掩罩 125 為掩模，藉由進行蝕刻處理去除氧化物半導體層 105 的不需要的區域。藉由進行該蝕刻處理來形成具有厚度薄的區域的氧化物半導體層 106（參照圖 5D）。

另外，氧化物半導體層 106 中的厚度薄的區域的一部分後來成為通道形成區，氧化物半導體層 106 中的厚度厚的區域用作源極區及汲極區。氧化物半導體層 106 中的厚度薄的區域以至少薄於厚的區域的方式形成即可，其厚度較佳為 1nm 以上且 10nm 以下，更佳為 3nm 以上且 5nm 以下即可。但是，氧化物半導體層 106 中的厚度薄的區域的

厚度不侷限於上述數值，而根據氧化物半導體的構成元素、成膜方法或電晶體的尺寸（L/W 尺寸、L/W 比等），可以適當地調整厚度。

另外，閘極絕緣層 110 的厚度較佳為 1nm 以上且 100nm 以下，更佳為 1nm 以上且 30nm 以下，即可。藉由減薄閘極絕緣層 110 的厚度，可以抑制短通道效應。在本實施方式中，作為閘極絕緣層 110 利用電漿 CVD 法形成厚度為 15nm 的氧化矽膜。

接著，隔著閘極絕緣層 110 將氧 126 導入到氧化物半導體層 106 中（參照圖 6A）。

另外，在導入氧 126 的處理中，將氧（至少包含氧自由基、氧原子及氧離子中的任一種）導入並供應到氧化物半導體層 106 中。作為處理方法，可以使用離子植入法、離子摻雜劑法、電漿浸沒離子植入法以及電漿處理等。

作為將氧供應到氧化物半導體層 106 中的方法，也可以將閘極絕緣層 110 所含有的氧供應到氧化物半導體層 106 中，但是在本實施方式中，閘極絕緣層 110 的厚度薄，即厚度為 15nm，從而閘極絕緣層所含有的氧量比閘極絕緣層厚的情況（例如 100nm 以上）少。因此，到氧化物半導體層 106 中的氧供應的能力有可能成為不充分。從而，如本實施方式所示，藉由進行氧導入處理，可以將過剩的氧供應到氧化物半導體層 106 中。另外，藉由隔著閘極絕緣層 110 進行氧導入處理，可以降低對氧化物半導體層 106 的損傷，所以是較佳的。

藉由從氧化物半導體層 106 去除氫或水分，以儘量不包含雜質的方式進行高純度化且供應氧補充氧缺損，可以製造 I 型（本質）的氧化物半導體層 106 或無限趨近於 I 型（本質）的氧化物半導體層 106。因此，可以使氧化物半導體層 106 的費米能階（ E_f ）到達與本質費米能階（ E_i ）相同的程度。由此，藉由將氧化物半導體層 106 用於電晶體，可以降低因氧缺損而產生的電晶體的臨界電壓（ V_{th} ）的偏差、臨界電壓（ V_{th} ）的漂移（ ΔV_{th} ）。

接著，在重疊於氧化物半導體層 106 中的厚度薄的區域上的閘極絕緣層 110 上形成閘極電極層 112。藉由在閘極絕緣層 110 上形成金屬膜，並對該金屬膜進行構圖及蝕刻來形成所希望的形狀的閘極電極層 112（參照圖 6B）。

作為閘極電極層 112，可以利用電漿 CVD 法或濺射法等使用鈳、鈦、鉭、鎢、鋁、銅、鉻、鈹、釩等金屬材料或包含這些金屬材料的合金材料形成。另外，閘極電極層 112 既可以是單層結構，又可以是疊層結構。

接著，以閘極電極層 112 為掩模，將摻雜劑 128 選擇性地導入到氧化物半導體層 106 中，而形成源極區 114a、汲極區 114b 及一對低電阻區 116。另外，摻雜劑 128 穿過閘極絕緣層 110 導入。

另外，在本實施方式中，例示如下結構：因為閘極絕緣層 110 為薄膜，所以摻雜劑 128 穿過閘極絕緣層 110 導入到氧化物半導體層 106，以形成源極區 114a、汲極區 114b 及一對低電阻區 116。另外，在夾在一對低電阻區

116 之間的區域中，閘極電極層 112 成為掩模，摻雜劑 128 不被導入，而該區域成為通道形成區 118。如上所述，藉由以閘極電極層 112 為掩模對氧化物半導體層 106 選擇性地導入摻雜劑 128，以自對準的方式形成低電阻區 116、源極區 114a 及汲極區 114b。注意，在圖 6C 中，一對低電阻區 116、源極區 114a 及汲極區 114b 不存在明確的介面，由此使用同一陰影表示一對低電阻區 116、源極區 114a 及汲極區 114b。

摻雜劑 128 是指降低氧化物半導體層 106 的電阻的雜質。作為摻雜劑 128，可以使用選自磷（P）、砷（As）、銻（Sb）、硼（B）、鋁（Al）、氮（N）、氬（Ar）、氦（He）、氖（Ne）、銦（In）、氟（F）、氯（Cl）、鈦（Ti）及鋅（Zn）中的一種以上的元素。尤其是，在作為氧化物半導體層 106 的構成元素包含鎵（Ga）時，較佳為使用硼（B）。由於硼（B）與構成氧化物半導體層 106 的鎵（Ga）同一族（第 13 族元素），可以使硼穩定地存在於氧化物半導體層 106 中。

藉由利用注入法，使摻雜劑 128 穿過閘極絕緣層 110 而導入到氧化物半導體層 106 中。作為摻雜劑 128 的導入方法，可以使用離子植入法、離子摻雜劑法以及電漿浸沒離子植入法等。此時，較佳為使用摻雜劑 128 的單質的離子或氫化物、氟化物、氯化物的離子。

適當地設定加速電壓、劑量等的注入條件或者使摻雜劑 128 穿過的閘極絕緣層 110 的厚度，來控制摻雜劑 128

的導入製程即可。例如，當使用硼（B）藉由離子植入法注入硼（B）離子時，加速電壓為 15kV，劑量為 1×10^{13} ions/cm² 以上且 5×10^{16} ions/cm² 以下即可。

低電阻區 116、源極區 114a 及汲極區 114b 中的摻雜劑 128 的濃度較佳為 5×10^{18} /cm³ 以上且 1×10^{22} /cm³ 以下。另外，也可以在導入摻雜劑 128 的同時加熱基板 102。

此外，對氧化物半導體層 106 導入摻雜劑 128 的處理也可以進行多次，也可以使用多種摻雜劑。

此外，在摻雜劑 128 的導入處理之後，也可以進行加熱處理。作為加熱條件較佳為如下條件：溫度為 300℃ 以上且 700℃ 以下，較佳為 300℃ 以上且 450℃ 以下；在氧氛圍下；進行一個小時。另外，也可以在氮氛圍下、減壓下、大氣（超乾燥空氣）下進行加熱處理。

當作為氧化物半導體層 106 使用結晶氧化物半導體時，藉由導入摻雜劑 128，有時氧化物半導體層 106 的一部分變成非晶。此時，藉由在導入摻雜劑 128 之後進行加熱處理，可以恢復氧化物半導體層 106 的結晶性。

如上所述，在氧化物半導體層 106 中的厚度薄的區域中，夾著通道形成區 118 形成包含摻雜劑的一對低電阻區 116。另外，在氧化物半導體層 106 中的厚度厚的區域中，可以形成源極區 114a 及汲極區 114b。

在本實施方式中，作為摻雜劑 128 使用硼（B），由此低電阻區 116、源極區 114a 及汲極區 114b 包含硼（B）。

藉由上述製程製造本實施方式的電晶體 170（參照圖 6C）。

電晶體 170 藉由具有在通道長度方向上夾著通道形成區 118 地包括一對低電阻區 116、源極區 114a 及汲極區 114b 的氧化物半導體層 106，該電晶體 170 的導通特性（例如，導通電流及場效應遷移率）高，能夠進行高速工作及高速回應。另外，氧化物半導體層 106 的重疊於閘極電極層 112 的區域的厚度與形成源極區 114a 及汲極區 114b 的區域的厚度不同。與閘極電極層重疊的區域的氧化物半導體層 106 的厚度比形成源極區 114a 及汲極區 114b 的區域的氧化物半導體層 106 的厚度薄。另外，在氧化物半導體層 106 中的厚度薄的區域中形成通道形成區 118。藉由減薄通道形成區 118 的氧化物半導體層的厚度，可以使臨界電壓（ V_{th} ）調整為正方向。

接著，在閘極絕緣層 110 及閘極電極層 112 上形成保護層 120。然後，在保護層 120 中形成到達源極區 114a 及汲極區 114b 的開口，並在開口中形成與源極區 114a 及汲極區 114b 分別電連接的佈線層 122a 及佈線層 122b（參照圖 6D）。

作為保護層 120，也可以形成平坦化絕緣膜以減少因電晶體產生的表面凹凸。作為平坦化絕緣膜，可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂等的有機材料。除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、或者無機材料諸如氧化矽、氧氮化矽、氮

化矽、氧化鉛、氧化鋁等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜，形成平坦化絕緣膜。

如上所述，在本實施方式所示的具有氧化物半導體層的電晶體中，高純度化了且填補了氧缺陷的氧化物半導體層充分被去除氫、水等雜質，而氧化物半導體層中的氫濃度為 $5 \times 10^{19}/\text{cm}^3$ 以下，較佳為 $5 \times 10^{18}/\text{cm}^3$ 以下。此外，氧化物半導體層中的氫濃度是藉由使用二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）而測量的。

在這種氧化物半導體層中，載子極少（大致為 0）且載子濃度為低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳為低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{11}/\text{cm}^3$ 。

另外，在使用本實施方式製造的使用高純度化了且包含填補氧缺損的過剩的氧的氧化物半導體層的電晶體中，可以使截止狀態下的室溫下的每通道寬度 $1\mu\text{m}$ 的電流值（截止電流值）降低到 $100\text{zA}/\mu\text{m}$ （ 1zA （仄普托介安培）為 $1 \times 10^{-21}\text{A}$ ）以下，較佳為降低到 $10\text{zA}/\mu\text{m}$ 以下，更佳為降低到 $1\text{zA}/\mu\text{m}$ 以下，進一步較佳為降低到 $100\text{yA}/\mu\text{m}$ 以下的水準。

另外，在使用本實施方式製造的電晶體藉由具有在通道長度方向上夾著通道形成區地包括一對低電阻區、源極區及汲極區的氧化物半導體層，該電晶體的導通特性（例如，導通電流及場效應遷移率）高，能夠進行高速工作及高速回應。另外，氧化物半導體層的重疊於閘極電極層的

區域的厚度與形成源極區及汲極區的區域的厚度不同。與閘極電極層重疊的區域的氧化物半導體層的厚度比形成源極區及汲極區的區域的氧化物半導體層的厚度薄。另外，在氧化物半導體層中的厚度薄的區域中形成通道形成區。藉由減薄通道形成區的氧化物半導體層的厚度，可以使臨界電壓（ V_{th} ）調整為正方向。從而，可以實現常關閉型半導體裝置。

另外，通道形成區設置在一對低電阻區之間。藉由採用上述結構，可以緩和對通道形成區施加的電場。另外，源極區及汲極區直接形成在氧化物半導體層中，並隔著低電阻區與通道形成區接觸。藉由採用上述結構，可以降低通道形成區與源極區及汲極區之間的接觸電阻。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 5

可以將實施方式 1 至實施方式 4 中的任一個示出一個例子的電晶體適用於具有層疊多個電晶體的積體電路的半導體裝置。在本實施方式中，參照圖 7A 至圖 7C 說明作為半導體裝置的一個例子的儲存介質（記憶元件）的例子。

在本實施方式中，製造一種半導體裝置，該半導體裝置包括：形成在單晶半導體基板上的第一電晶體的電晶體 540；以及隔著絕緣層在電晶體 540 的上方使用氧化物半導體層製造的第二電晶體的電晶體 562。實施方式 1 至實施方式 4 中的任一個示出一個例子的電晶體可以適當地用

於電晶體 562。在本實施方式中示出作為電晶體 562 使用具有與實施方式 1 所示的電晶體 140 同樣的結構的電晶體的例子。

層疊的電晶體 540 和電晶體 562 的半導體材料及結構既可以是相同的，又可以是不同的。在本實施方式中，示出分別使用具有適合於儲存介質（記憶元件）的電路的材料及結構的電晶體的實例。

圖 7A 至圖 7C 是半導體裝置的結構的一個例子。圖 7A 示出半導體裝置的剖面，而圖 7B 示出半導體裝置的平面。這裏，圖 7A 相當於沿著圖 7B 的 C1-C2 及 D1-D2 的剖面。另外，圖 7C 示出將上述半導體裝置用作記憶元件時的電路圖的一個例子。圖 7A 及圖 7B 所示的半導體裝置的下部具有使用第一半導體材料的電晶體 540，上部具有使用第二半導體材料的電晶體 562。在本實施方式中，作為第一半導體材料使用氧化物半導體以外的半導體材料，而作為第二半導體材料使用氧化物半導體。作為氧化物半導體以外的半導體材料，例如可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，較佳為使用單晶半導體。另外，也可以使用有機半導體材料等。使用這種半導體材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於其特性而能夠長時間地保持電荷。

下面，說明圖 7A 至圖 7C 中的半導體裝置的製造方法。

電晶體 540 包括：設置在包含半導體材料（例如，矽

等) 的基板 585 中的通道形成區 516；夾著通道形成區 516 地設置的雜質區 520；與雜質區 520 接觸的金屬化合物區 524；設置在通道形成區 516 上的閘極絕緣層 508；以及設置在閘極絕緣層 508 上的閘極電極層 510。

作為包含半導體材料的基板 585，可以使用以矽或碳化矽等為材料的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板或 SOI 基板等。另外，一般來說，“SOI 基板”是指在絕緣表面上設置有矽半導體膜的基板。但是，在本說明書等中“SOI 基板”還是指在絕緣表面上設置有包含矽以外的材料的半導體膜的基板。也就是說，“SOI 基板”所具有半導體膜不侷限於矽半導體膜。另外，SOI 基板還包括在玻璃基板等絕緣基板上隔著絕緣膜設置有半導體膜的基板。

作為 SOI 基板的製造方法，可以使用以下方法：藉由對鏡面拋光薄片注入氧離子之後進行高溫加熱來離表面有一定深度的區域中形成氧化層，並消除產生在表面層中的缺陷，而製造 SOI 基板的方法；藉由熱處理使照射氫離子來形成的微孔生長來將半導體基板劈開的方法；或在絕緣表面上藉由結晶生長形成單晶半導體膜的方法等。

例如，從單晶半導體基板的一個面添加離子，來在離單晶半導體基板的一個面有一定深度的區域中形成脆化層，而在單晶半導體基板的一個面上和元件基板上中的任一方形成絕緣膜。在單晶半導體基板與元件基板夾著絕緣膜重疊的狀態下進行熱處理來使脆化層中產生裂縫而在脆化

層處分開單晶半導體基板，從而從單晶半導體基板將用作半導體膜的單晶半導體膜形成到元件基板上。另外，也可以適用使用上述方法製造的 SOI 基板。

在基板 585 上以圍繞電晶體 540 的方式設置有元件隔離絕緣層 506。另外，爲了實現高集體化，如圖 7A 至圖 7C 所示，較佳爲採用電晶體 540 不具有成爲側壁的側壁絕緣層的結構。另一方面，在重視電晶體 540 的特性的情況下，也可以在閘極電極層 510 的側面設置成爲側壁的側壁絕緣層，並設置包括雜質濃度不同的區域的雜質區 520。

使用單晶半導體基板的電晶體 540 能夠進行高速工作。因此，藉由作爲讀出用電晶體使用該電晶體，可以高速地進行資訊的讀出。以覆蓋電晶體 540 的方式形成兩個絕緣膜。作爲形成電晶體 562 和電容元件 564 之前的處理，對該兩個絕緣膜進行 CMP 處理來形成平坦化的絕緣層 528 及絕緣層 530，同時使閘極電極層 510 的上面露出。

作爲絕緣層 528、絕緣層 530，典型地可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜等無機絕緣膜。絕緣層 528、絕緣層 530 可以使用電漿 CVD 法或濺射法等形成。

另外，可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂等有機材料。另外，除了上述有機材料以外，也可以使用低介電常數材料（low-k 材料）等。在使用有機材

料時，也可以使用旋塗法、印刷法等濕處理形成絕緣層 528、絕緣層 530。

此外，在絕緣層 530 中，作為與半導體膜接觸的膜使用氧化矽膜。

在本實施方式中作為絕緣層 528 利用濺射法形成 50nm 厚的氧氮化矽膜，並且作為絕緣層 530 利用濺射法形成 550nm 厚的氧化矽膜。

在藉由 CMP 處理充分實現了平坦化的絕緣層 530 上形成半導體膜。在本實施方式中，作為半導體膜使用 In-Ga-Zn-O 類金屬氧化物靶材並藉由濺射法形成氧化物半導體膜。

接著，在氧化物半導體膜上形成金屬膜，對金屬膜及氧化物半導體膜選擇性地進行蝕刻，來形成藉由進行蝕刻減薄至少成為通道形成區的氧化物半導體層中的一部分的島狀的氧化物半導體層 544、金屬層 542a、金屬層 542b、連接電極層 543。

接著，在絕緣層 530、氧化物半導體層 544、金屬層 542a、金屬層 542b 及連接電極層 543 上形成閘極絕緣層 546，並在閘極絕緣層 546 上形成閘極電極層 548。閘極電極層 548 藉由在形成導電膜之後對該導電膜選擇性地進行蝕刻來可以形成。

接著，在閘極絕緣層 546 上形成電容佈線層 549。電容佈線層 549 可以藉由在形成導電膜之後對該導電膜選擇性地進行蝕刻來形成。另外，電容佈線層 549 也可以藉由

進行與閘極電極層 548 相同的製程來形成。

可以藉由電漿 CVD 法或濺射法等使用氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁、氧化鉛、氧化鎵或氧化鋁等形成閘極絕緣層 546。

可以用於閘極電極層 510、閘極電極層 548、電容佈線層 549、金屬層 542a、金屬層 542b 及連接電極層 543 的導電膜可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成。此外，作為導電膜的材料，可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素或以上述元素為成分的合金等。也可以使用選自 Mn、Mg、Zr、Be、Nd、Sc 中的一種或多種的材料。

導電膜既可以採用單層結構又可以採用兩層以上的疊層結構。例如，可以舉出鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。

接著，以閘極電極層 548 為掩模，進行使摻雜劑（本實施方式中的硼）穿過閘極絕緣層 546、金屬層 542a 及金屬層 542b 導入到氧化物半導體層 544 的雜質導入處理，然後進行加熱處理。藉由進行上述製程，以自對準的方式在氧化物半導體層 544 中形成通道形成區 570、一對低電阻區 572、源極區 574 及汲極區 576。另外，通道形成區 570 及一對低電阻區 572 形成在比形成源極區 574 及汲極

區 576 的區域薄的區域。

另外，在雜質導入處理後的加熱處理中，在氧化物半導體層 544 與金屬層 542a 及金屬層 542b 接觸的狀態下進行加熱。在氧化物半導體層 544 與金屬層 542a 及金屬層 542b 接觸的狀態下進行加熱的情況下，將金屬層 542a 及金屬層 542b 起反應到氧化物半導體層 544 中，以及/或者將金屬層 542a 及金屬層 542b 擴散到氧化物半導體層 544 中，從而可以使源極區 574 及汲極區 576 的電阻更低。

藉由具有在通道長度方向上夾著通道形成區 570 地包括一對低電阻區 572、源極區 574 及汲極區 576 的氧化物半導體層 544，該電晶體 562 的導通特性（例如，導通電流及場效應遷移率）高，能夠進行高速工作及高速回應。另外，氧化物半導體層 544 的重疊於閘極電極層 548 的區域的厚度與形成源極區 574 及汲極區 576 的區域的厚度不同。與閘極電極層重疊的區域的氧化物半導體層 544 的厚度比形成源極區 574 及汲極區 576 的區域的氧化物半導體層 544 的厚度薄。另外，在氧化物半導體層 544 中的厚度薄的區域中形成通道形成區 570。藉由減薄通道形成區 570 的氧化物半導體層 544 的厚度，可以使臨界電壓（ V_{th} ）調整為正方向。

另外，通道形成區 570 設置在一對低電阻區 572 之間。藉由採用上述結構，可以緩和對通道形成區 570 施加的電場。另外，源極區 574 及汲極區 576 直接形成在氧化物半導體層 544 中，並隔著低電阻區 572 與通道形成區 570

接觸。藉由採用上述結構，可以降低通道形成區 570 與源極區 574 及汲極區 576 之間的接觸電阻。

接著，在電晶體 562 上形成保護層 552。保護層 552 可以使用濺射法或 CVD 法等形式。另外，也可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁等無機絕緣材料的材料形成。

接著，在保護層 552、閘極絕緣層 546、金屬層 542a 及金屬層 542b 中形成到達源極區 574 及汲極區 576 的開口。另外，同時在保護層 552 及閘極絕緣層 546 中形成到達連接電極層 543 的開口。藉由使用掩模等選擇性地進行蝕刻來形成該開口。

然後，在上述開口中形成：與連接電極層 543 及源極區 574 接觸的佈線層 580a；以及與汲極區 576 接觸的佈線層 580b。另外，隔著佈線層 580a，電晶體 540 的閘極電極層 510 與電晶體 562 的源極區 574 電連接。

佈線層 580a 及佈線層 580b 在使用濺射法等 PVD 法或電漿 CVD 法等 CVD 法形成導電膜之後對該導電膜進行蝕刻加工來形成。另外，作為導電膜的材料，可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素或包含上述元素的合金等。也可以使用選自 Mn、Mg、Zr、Be、Nd、Sc 中的任一種或多種的材料。

接著，在保護層 552、佈線層 580a 及佈線層 580b 上形成絕緣層 582。絕緣層 582 可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂等的有機材料。

接著，在絕緣層 582 中形成到達佈線層 580a 及佈線層 580b 的開口。藉由使用掩模等選擇性地進行蝕刻來形成該開口。

然後，在上述開口中形成接觸於佈線層 580a 及佈線層 580b 的佈線層 584。另外，圖 7A 至圖 7C 不示出佈線層 580a 及佈線層 580b 與佈線層 584 的連接部分。

佈線層 584 可以使用與佈線層 580a 及佈線層 580b 同樣的材料及方法等形成。

藉由上述製程製造電晶體 562 及電容元件 564。電晶體 562 具有高純度化且含有填補氧缺損的過剩的氧的氧化物半導體層 544。因此，電晶體 562 的電特性變動得到抑制並在電性上穩定。另外，在氧化物半導體層 544 中，通道形成區 570 藉由進行蝕刻來形成在比形成源極區 574 及汲極區 576 的區域薄的區域。由此，可以使臨界電壓（ V_{th} ）調整為正方向。

另外，電容元件 564 由連接電極層 543、閘極絕緣層 546 及電容佈線層 549 構成。另外，在不需要電容器的情況下，也可以採用不設置電容元件 564 的結構。

圖 7C 示出將上述半導體裝置用作記憶元件時的電路圖的一個例子。在圖 7C 中，電晶體 562 的源極電極和汲極電極中的一方與電容元件 564 的電極的一方與電晶體 540 的閘極電極電連接。另外，第一佈線（1st Line：也稱為源極線）與電晶體 540 的源極電極電連接，第二佈線（2nd Line：也稱為位元線）與電晶體 540 的汲極電極電連

接。另外，第三佈線（3rd Line：也稱為第一信號線）與電晶體 562 的源極電極和汲極電極中的另一方電連接，並且第四佈線（4th Line：也稱為第二信號線）與電晶體 562 的閘極電極電連接。並且，第五佈線（5th Line：也稱為字線）與電容元件 564 的電極的另一方電連接。

由於使用氧化物半導體的電晶體 562 的截止電流極小，所以藉由使電晶體 562 處於截止狀態，可以極長時間地保持電晶體 562 的源極電極和汲極電極中的一方與電容元件 564 的電極的一方與電晶體 540 的閘極電極電連接的節點（以下，節點 FG）的電位。此外，藉由具有電容元件 564，可以容易保持施加到節點 FG 的電荷，並且，可以容易讀出所保持的資訊。

在使半導體裝置儲存資訊時（寫入），首先，將第四佈線的電位設定為使電晶體 562 成為導通狀態的電位，來使電晶體 562 處於導通狀態。由此，第三佈線的電位被供給到節點 FG，由此節點 FG 積蓄所定量的電荷。這裏，施加賦予兩種不同電位電平的電荷（以下，稱為低（Low）電平電荷、高（High）電平電荷）中的任一種。然後，藉由將第四佈線的電位設定為使電晶體 562 成為截止狀態的電位來使電晶體 562 處於截止狀態，節點 FG 變為浮動狀態，從而節點 FG 處於保持所定的電荷的狀態。如上所述，藉由使節點 FG 積蓄並保持所定量的電荷，可以使儲存單元儲存資訊。

因為電晶體 562 的截止電流極小，所以供給到節點

FG 的電荷被長時間地保持。因此，不需要更新工作或者可以使更新工作的頻率變為極低，從而可以充分降低耗電量。此外，即使沒有電力供給，也可以在較長期間內保持儲存內容。

在讀出所儲存的資訊的情況（讀出）下，當在對第一佈線供給所定的電位（恆定電位）的狀態下對第五佈線施加適當的電位（讀出電位）時，對應於保持於節點 FG 的電荷量而電晶體 540 處於不同的狀態。這是因為如下緣故：通常，在電晶體 540 是 n 通道型時，節點 FG 保持 High 電平電荷時的電晶體 540 的外觀閾值 V_{th_H} 低於節點 FG 保持 Low 電平電荷時的電晶體 540 的外觀閾值 V_{th_L} 。在此，外觀閾值是指為了使電晶體 540 處於“導通狀態”而需要的第五佈線的電位。因此，藉由將第五佈線的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，可以辨別節點 FG 所保持的電荷。例如，在寫入中在被施加 High 電平電荷的情況下，當第五佈線的電位為 $V_0 (>V_{th_H})$ 時，電晶體 540 處於“導通狀態”。在被施加 Low 電平電荷的情況下，即使第五佈線的電位為 $V_0 (<V_{th_L})$ ，電晶體 540 也保持“截止狀態”。由此，藉由控制第五佈線的電位來讀出電晶體 540 的導通狀態或截止狀態（讀出第二佈線的電位），可以讀出所儲存的資訊。

此外，當重寫所儲存的資訊時，藉由對利用上述寫入保持所定量的電荷的節點 FG 供給新電位，來使節點 FG 保持有關新資訊的電荷。明確而言，將第四佈線的電位設

定為使電晶體 562 處於導通狀態的電位，來使電晶體 562 處於導通狀態。由此，第三佈線的電位（有關新資訊的電位）供給到節點 FG，節點 FG 積蓄所定量的電荷。然後，藉由將第四佈線的電位設定為使電晶體 562 處於截止狀態的電位，來使電晶體 562 處於截止狀態，從而使節點 FG 保持有關新資訊的電荷。也就是說，藉由在利用第一寫入使節點 FG 保持所定量的電荷的狀態下，進行與第一寫入相同的工作（第二寫入），可以重寫儲存的資訊。

本實施方式所示的電晶體 562 藉由將本說明書所公開的高純度化且包含過剩的氧的氧化物半導體膜用於氧化物半導體層 544，可以充分降低電晶體 562 的截止電流。並且，藉由使用這種電晶體，可以得到能夠在極長期間內保持儲存內容的半導體裝置。

另外，在本實施方式所示的電晶體 562 藉由具有在通道長度方向上夾著通道形成區地包括一對低電阻區、源極區及汲極區的氧化物半導體層，該電晶體的導通特性（例如，導通電流及場效應遷移率）高，能夠進行高速工作及高速回應。另外，氧化物半導體層的重疊於閘極電極層的區域的厚度與形成源極區及汲極區的區域的厚度不同。與閘極電極層重疊的區域的氧化物半導體層的厚度比形成源極區及汲極區的區域的氧化物半導體層的厚度薄。另外，在氧化物半導體層中的厚度薄的區域中形成通道形成區。藉由減薄通道形成區的氧化物半導體層的厚度，可以使臨界電壓（ V_{th} ）調整為正方向。從而，可以實現常關閉型

半導體裝置。

另外，通道形成區設置在一對低電阻區之間。藉由採用上述結構，可以緩和對通道形成區施加的電場。另外，源極區及汲極區直接形成在氧化物半導體層中，並隔著低電阻區與通道形成區接觸。藉由採用上述結構，可以降低通道形成區與源極區及汲極區之間的接觸電阻。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 6

可以將本說明書所公開的半導體裝置應用於多種電子裝置（包括遊戲機）。作為電子裝置，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數位攝像機等影像拍攝裝置、數位相框、行動電話機（也稱為手機、行動電話裝置）、可攜式遊戲機、移動資訊終端、音頻再生裝置、彈子機等大型遊戲機等。以下，對具備在上述實施方式中說明的半導體裝置的電子裝置的例子進行說明。

圖 8A 示出筆記本型個人電腦，包括主體 3001、外殼 3002、顯示部 3003 以及鍵盤 3004 等。藉由將實施方式 1 至實施方式 5 中的任一實施方式所示的半導體裝置應用於顯示部 3003，可以提供高性能及高可靠性的筆記本型個人電腦。

圖 8B 示出可攜式資訊終端（PDA），在主體 3021 中設置有顯示部 3023、外部介面 3025 以及操作按鈕 3024 等

。另外，還具備操作個人數位助理的觸控筆 3022。藉由將實施方式 1 至實施方式 5 中的任一實施方式所示的半導體裝置應用於顯示部 3023，可以提供更高性能及更高可靠性的可攜式資訊終端（PDA）。

圖 8C 示出電子書閱讀器的一個例子，該電子書閱讀器由兩個外殼，即外殼 2701 及外殼 2703 構成。外殼 2701 及外殼 2703 由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉工作。藉由採用這種結構，可以進行如紙的書籍那樣的工作。

外殼 2701 組裝有顯示部 2705，而外殼 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部（圖 8C 中的顯示部 2705）中顯示文章而在左邊的顯示部（圖 8C 中的顯示部 2707）中顯示影像。藉由將實施方式 1 至實施方式 5 中的任一實施方式所示的半導體裝置應用於顯示部 2705 和顯示部 2707，可以提供高性能及高可靠性的電子書閱讀器。當作為顯示部 2705 使用半透過型或反射型液晶顯示裝置時，可以預料電子書閱讀器在較明亮的情況下也被使用，因此也可以設置太陽能電池而進行利用太陽能電池的發電及利用電池的充電。另外，當作為電池使用鋰離子電池時，有可以實現小型化等的優點。

此外，在圖 8C 中示出外殼 2701 具備操作部等的例子。例如，在外殼 2701 中具備電源開關 2721、操作鍵 2723

、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。注意，在與外殼的顯示部相同的面上可以設置鍵盤、指向裝置等。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，圖 8C 所示的電子書閱讀器也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書閱讀器伺服器購買所希望的書籍資料等，然後下載的結構。

圖 8D 示出行動電話，由外殼 2800 及外殼 2801 的兩個外殼構成。外殼 2801 具備顯示面板 2802、揚聲器 2803、麥克風 2804、指向裝置 2806、影像拍攝用透鏡 2807、外部連接端子 2808 等。此外，外殼 2800 具備對行動電話進行充電的太陽能電池 2810、外部儲存槽 2811 等。另外，在外殼 2801 內組裝有天線。藉由將實施方式 1 至實施方式 5 中的任一實施方式所示的半導體裝置應用於顯示面板 2802，可以提供高性能及高可靠性的行動電話。

另外，顯示面板 2802 具備觸摸屏，圖 8D 使用虛線示出作為影像被顯示出來的多個操作鍵 2805。另外，還安裝有用來將由太陽能電池 2810 輸出的電壓升壓到各電路所需的電壓的升壓電路。

顯示面板 2802 根據使用方式適當地改變顯示的方向。另外，由於在與顯示面板 2802 同一面上設置影像拍攝用透鏡 2807，所以可以實現可視電話。揚聲器 2803 及麥

克風 2804 不侷限於音頻通話，還可以進行可視通話、錄音、再生等。再者，滑動外殼 2800 和外殼 2801 而可以處於如圖 8D 那樣的展開狀態和重疊狀態，所以可以實現適於攜帶的小型化。

外部連接端子 2808 可以與 AC 適配器及各種電纜如 USB 電纜等連接，並可以進行充電及與個人電腦等的資料通訊。另外，藉由將記錄媒體插入到外部儲存槽 2811 中，可以對應於更大量資料的保存及移動。

另外，也可以是除了上述功能以外還具有紅外線通信功能、電視接收功能等的行動電話。

圖 8E 示出數位攝像機，其包括主體 3051、顯示部（A）3057、取景器 3053、操作開關 3054、顯示部（B）3055 以及電池 3056 等。藉由將實施方式 1 至實施方式 5 中的任一實施方式所示的半導體裝置應用於顯示部（A）3057 及顯示部（B）3055，可以提供高性能及高可靠性的數位攝像機。

圖 8F 示出電視機的一個例子，在該電視機中，外殼 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示影像。此外，在此示出利用支架 9605 支撐外殼 9601 的結構。藉由將實施方式 1 至實施方式 5 中的任一實施方式所示的半導體裝置應用於顯示部 9603，可以提供高性能及高可靠性的電視機。

可以藉由利用外殼 9601 所具備的操作開關或另行提供的遙控器進行圖 8F 所示的電視機的操作。或者，也可

以採用在遙控器中設置顯示部的結構，該顯示部顯示從該遙控器輸出的資訊。

另外，圖 8F 所示的電視機採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

本實施方式可以與其他實施方式適當地組合而實施。

【圖式簡單說明】

圖 1A 至圖 1C 是說明半導體裝置的一個方式的圖；

圖 2A 至圖 2D 是說明半導體裝置的製造方法的一個方式的圖；

圖 3A 至圖 3D 是說明半導體裝置的製造方法的一個方式的圖；

圖 4A 和圖 4B 是說明半導體裝置的一個方式的圖；

圖 5A 至圖 5D 是說明半導體裝置的製造方法的一個方式的圖；

圖 6A 至圖 6D 是說明半導體裝置的製造方法的一個方式的圖；

圖 7A 至圖 7C 是說明半導體裝置的一個方式的圖；

圖 8A 至圖 8F 是說明電子裝置的圖。

【主要元件符號說明】

- 102：基板
- 104：氧化物絕緣層
- 105：氧化物半導體層
- 106：氧化物半導體層
- 107：金屬層
- 108a：金屬層
- 108b：金屬層
- 110：閘極絕緣層
- 112：閘極電極層
- 114a：源極區
- 114b：汲極區
- 116：低電阻區
- 118：通道形成區
- 120：保護層
- 122a：佈線層
- 122b：佈線層
- 124：光阻掩罩
- 125：光阻掩罩
- 126：氧
- 128：摻雜劑
- 140：電晶體
- 150：電晶體
- 160：電晶體
- 170：電晶體

- 180：電晶體
- 506：元件隔離絕緣層
- 508：閘極絕緣層
- 510：閘極電極層
- 516：通道形成區
- 520：雜質區
- 524：金屬化合物區
- 528：絕緣層
- 530：絕緣層
- 540：電晶體
- 542a：金屬層
- 542b：金屬層
- 543：連接電極層
- 544：氧化物半導體層
- 546：閘極絕緣層
- 548：閘極電極層
- 549：電容佈線層
- 552：保護層
- 562：電晶體
- 564：電容元件
- 570：通道形成區
- 572：低電阻區
- 574：源極區
- 576：汲極區

580a：佈線層
580b：佈線層
582：絕緣層
584：佈線層
585：基板
2700：電子書閱讀器
2701：外殼
2703：外殼
2705：顯示部
2707：顯示部
2711：軸部
2721：電源開關
2723：操作鍵
2725：揚聲器
2800：外殼
2801：外殼
2802：顯示面板
2803：揚聲器
2804：麥克風
2805：操作鍵
2806：指向裝置
2807：影像拍攝用透鏡
2808：外部連接端子
2810：太陽能電池

2811：外部儲存槽

3001：主體

3002：外殼

3003：顯示部

3004：鍵盤

3021：主體

3022：觸控筆

3023：顯示部

3024：操作按鈕

3025：外部介面

3051：主體

3053：取景器

3054：操作開關

3055：顯示部（B）

3056：電池

3057：顯示部（A）

9601：外殼

9603：顯示部

9605：支架

七、申請專利範圍：**1. 一種半導體裝置，包括：**

絕緣表面上的氧化物半導體層，其中該氧化物半導體層包括第一區域、第二區域及在該第一區域和該第二區域之間的第三區域；

該氧化物半導體層上的閘極絕緣層；以及

該閘極絕緣層上的閘極電極層，

其中，源極區係形成在該第一區域中及汲極區係形成在該第二區域中，

其中，該第一區域的厚度和該第二區域的厚度中的每一個係大於該第三區域的厚度，

其中，該第三區域包括與該閘極電極層重疊的通道形成區，以及

其中，該閘極電極層在通道長度方向上的長度係小於或等於該氧化物半導體層的該第三區域在該通道長度方向上的長度。

2. 根據申請專利範圍第 1 項之半導體裝置，其中該第一區域的端部與該閘極電極層的端部一致。

3. 一種半導體裝置，包括：

絕緣表面上的氧化物半導體層，其中該氧化物半導體層包括第一區域、第二區域及在該第一區域和該第二區域之間的第三區域；

該氧化物半導體層上的閘極絕緣層；以及

該閘極絕緣層上的閘極電極層，

其中，該第一區域的厚度和該第二區域的厚度中的每一個係大於該第三區域的厚度，

其中，源極區係形成在該第一區域中及汲極區係形成在該第二區域中，

其中，該第三區域包括通道形成區及具有比該通道形成區低的電阻的低電阻區，

其中，該通道形成區與該閘極電極層重疊，

其中，該低電阻區包含磷或硼，以及

其中，該閘極電極層在通道長度方向上的長度係小於或等於該氧化物半導體層的該第三區域在該通道長度方向上的長度。

4.根據申請專利範圍第 1 或 3 項之半導體裝置，還包括：

該閘極電極層上的保護層；以及

該保護層上的佈線層，該佈線層與該源極區及該汲極區電接觸。

5.根據申請專利範圍第 1 或 3 項之半導體裝置，還包括與該源極區及該汲極區電接觸的金屬層。

6.根據申請專利範圍第 5 項之半導體裝置，其中該金屬層的端部與該一對第二區域的端部一致。

7.根據申請專利範圍第 5 項之半導體裝置，其中該金屬層的端部位於比該一對第二區域的端部內一側。

8.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該源極區及該汲極區包含磷或硼。

9. 根據申請專利範圍第 1 或 3 項之半導體裝置，其中該絕緣表面是氧化物絕緣表面。

10. 一種半導體裝置的製造方法，包括如下步驟：

在絕緣表面上形成氧化物半導體層；

在該氧化物半導體層上形成掩模；

使用該掩模對該氧化物半導體層選擇性地進行蝕刻，以在該氧化物半導體層中形成第一區域及一對第二區域，該第一區域設置在該一對第二區域之間，其中該第一區域比該一對第二區域薄；

在該氧化物半導體層上形成閘極絕緣層；以及

在該閘極絕緣層上形成與該第一區域重疊的閘極電極層。

11. 根據申請專利範圍第 10 項之半導體裝置的製造方法，還包括如下步驟：

以該閘極電極層為掩模，使磷或硼穿過該閘極絕緣層導入到該氧化物半導體層中，以在該氧化物半導體層的一部分中形成源極區及汲極區。

12. 一種半導體裝置的製造方法，包括如下步驟：

在絕緣表面上形成氧化物半導體層和金屬層的疊層；

在該金屬層上形成掩模；

使用該掩模去除該金屬層的一部分；

以該金屬層為掩模對該氧化物半導體層選擇性地進行蝕刻，以在該氧化物半導體層中形成第一區域及一對第二區域，該第一區域設置在該一對第二區域之間，其中該第

一區域比該一對第二區域薄；

在該金屬層及該氧化物半導體層上形成閘極絕緣層；
以及

在該閘極絕緣層上形成與該第一區域重疊的閘極電極層。

13.根據申請專利範圍第 12 項之半導體裝置的製造方法，還包括如下步驟：

以該閘極電極層為掩模，使磷或硼穿過該閘極絕緣層及該金屬層導入到該氧化物半導體層中，以在該氧化物半導體層的一部分中形成源極區及汲極區。

14.根據申請專利範圍第 10 或 12 項之半導體裝置的製造方法，其中在形成該閘極絕緣層之後使氧穿過該閘極絕緣層導入到該氧化物半導體層中。

15.根據申請專利範圍第 10 或 12 項之半導體裝置的製造方法，其中該絕緣表面是氧化物絕緣表面。

圖 1A

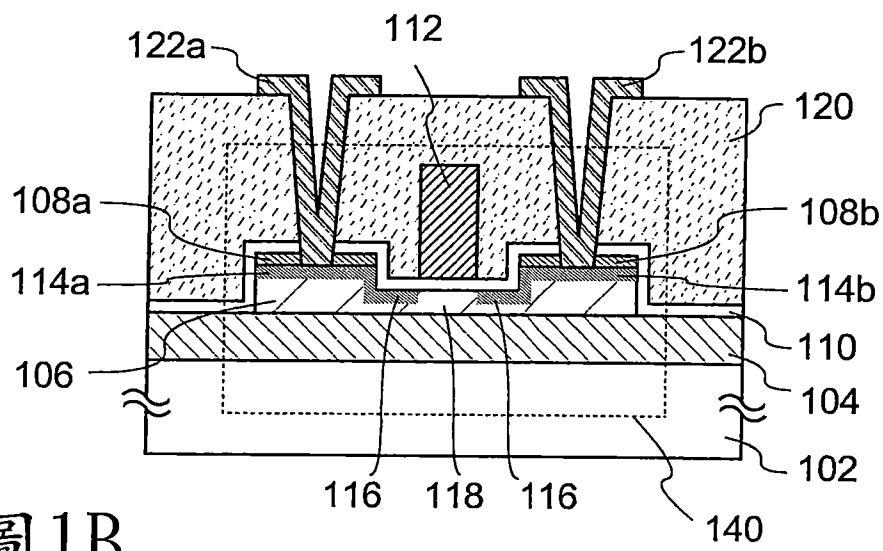


圖 1B

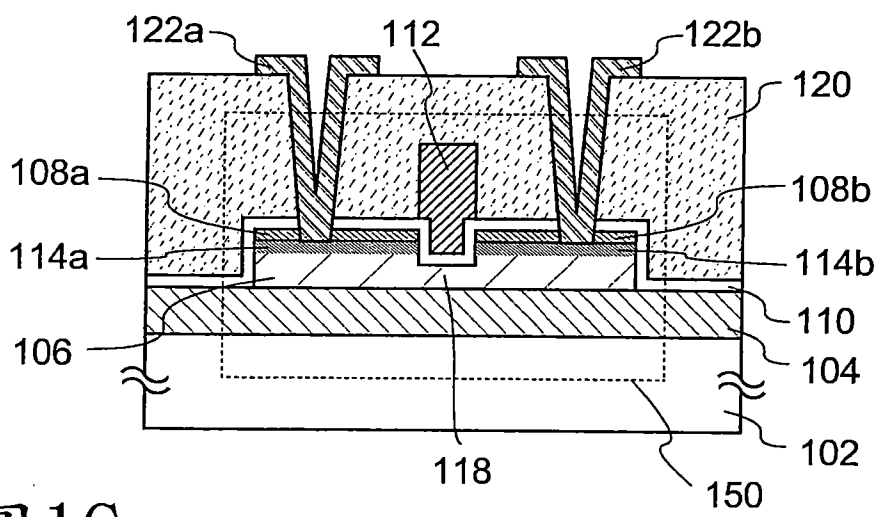


圖 1C

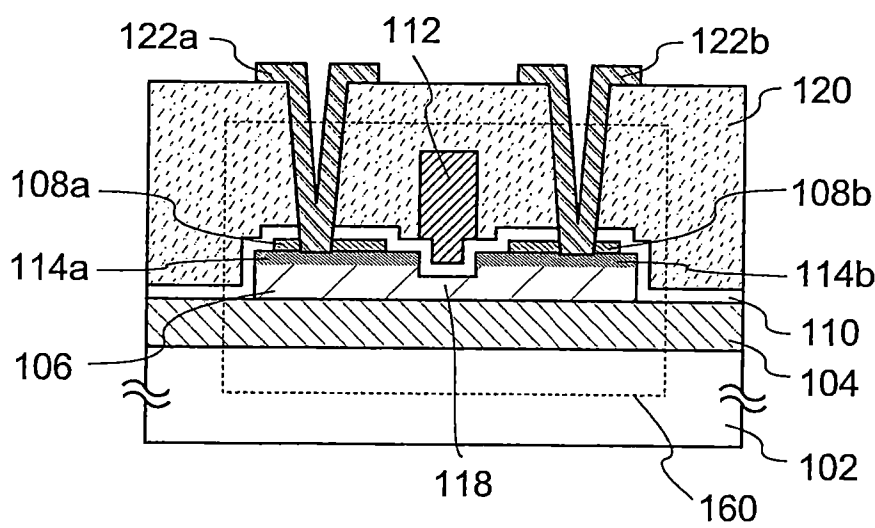


圖 2A

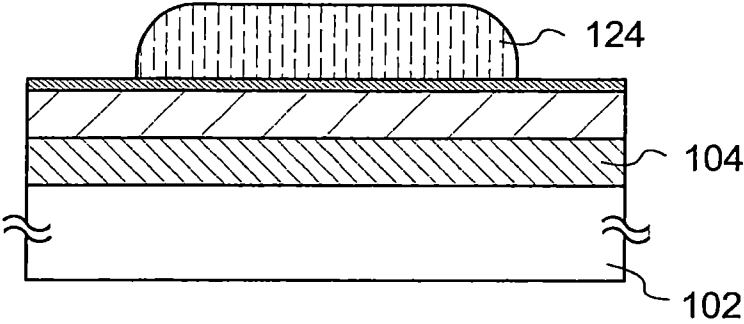


圖 2B

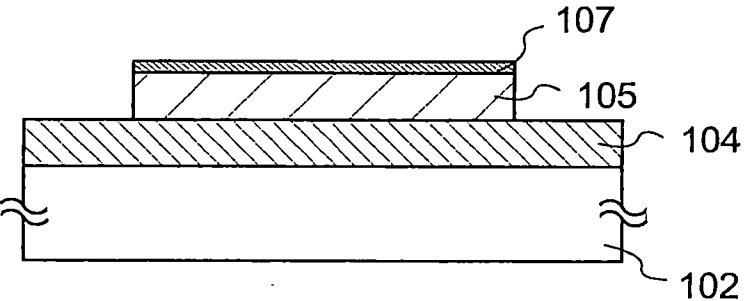


圖 2C

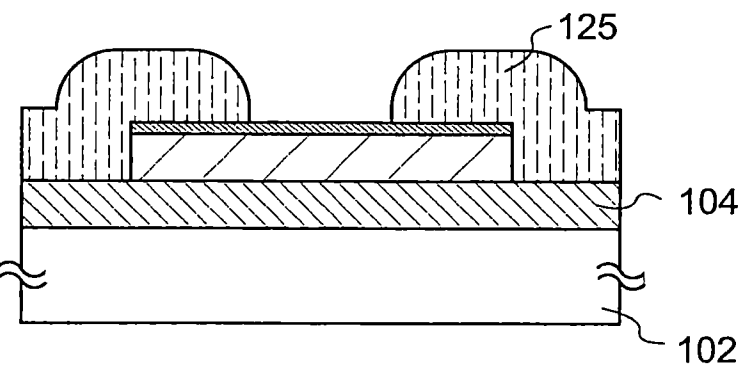


圖 2D

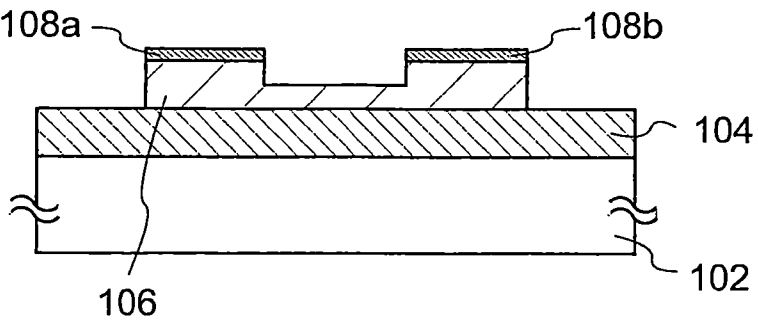


圖 3A

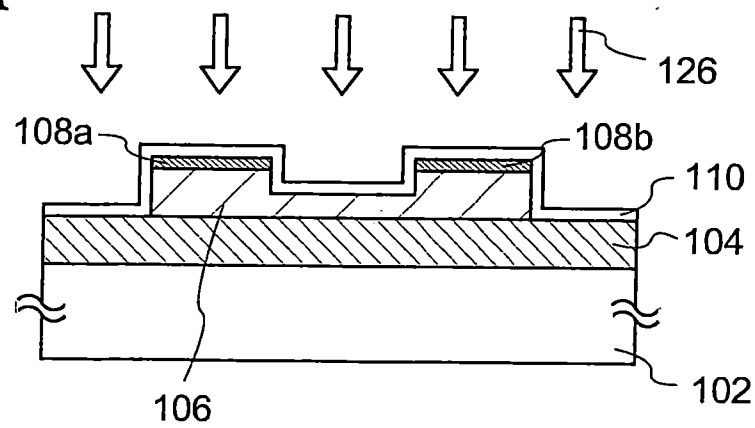


圖 3B

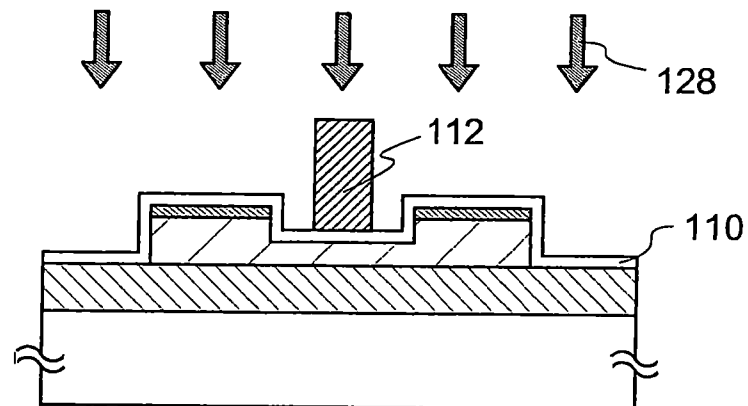


圖 3C

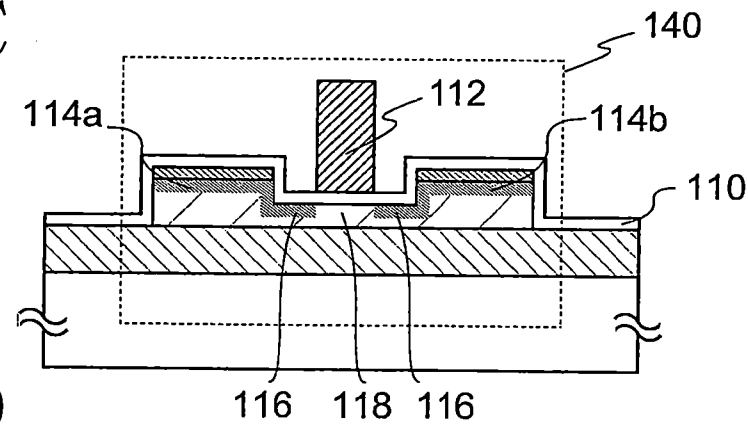


圖 3D

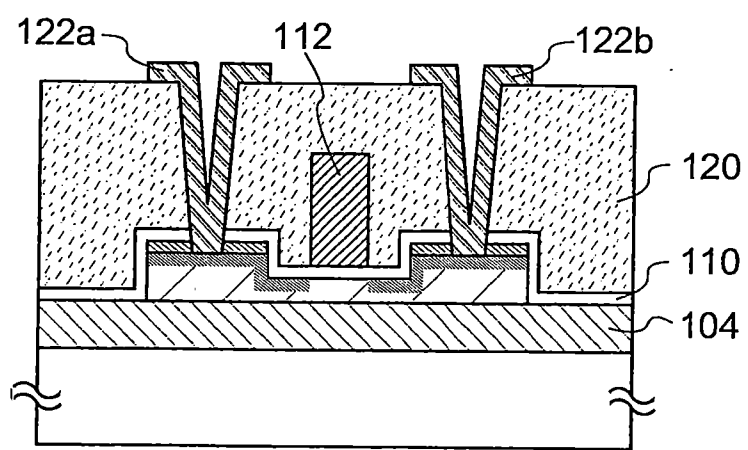


圖 4A

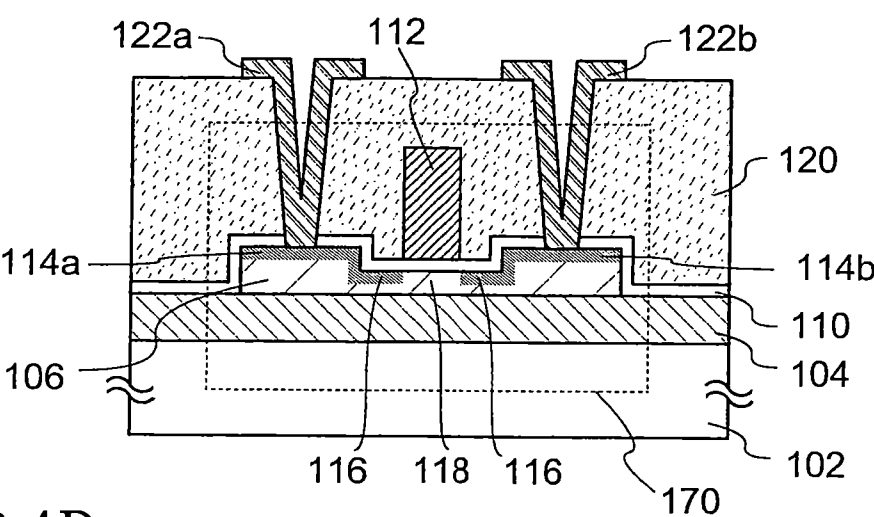


圖 4B

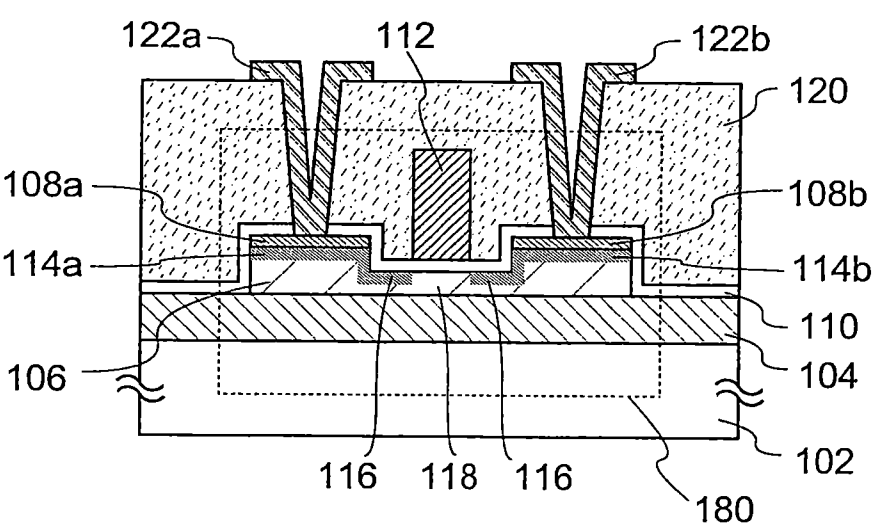


圖 5A

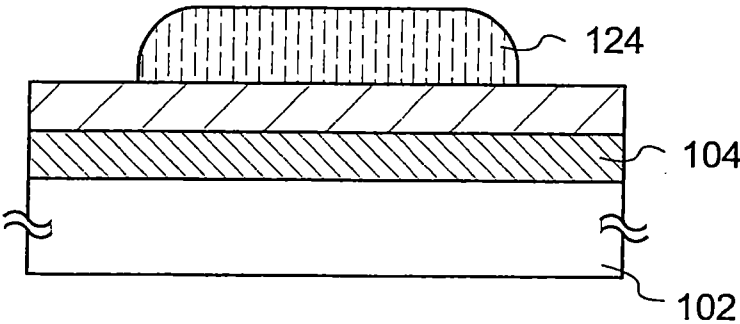


圖 5B

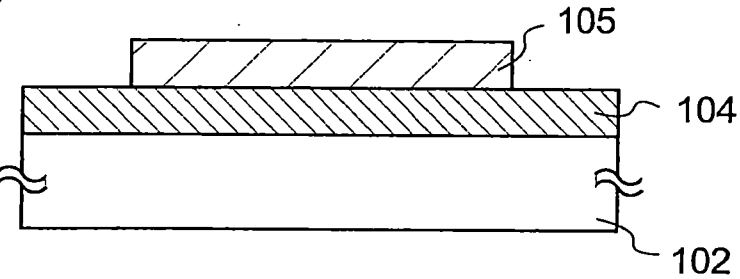


圖 5C

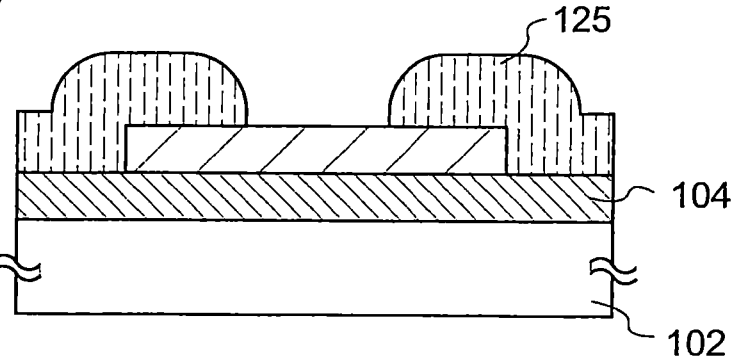


圖 5D

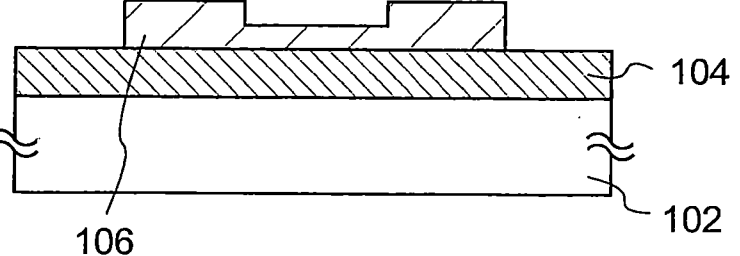


圖 6A

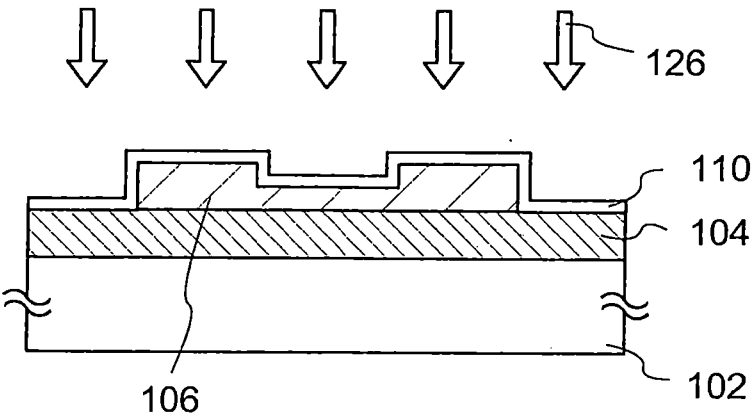


圖 6B

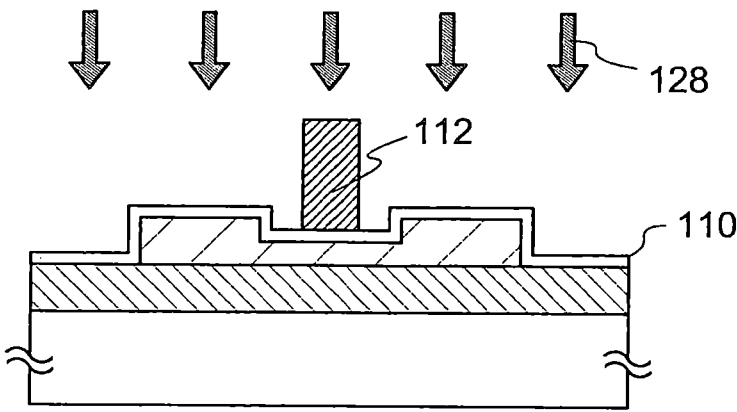


圖 6C

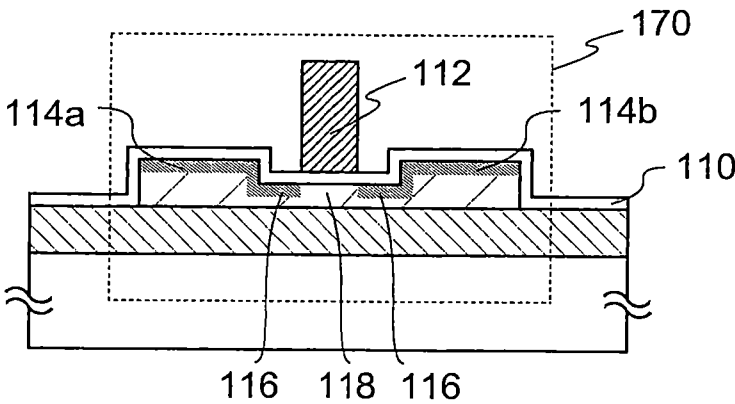


圖 6D

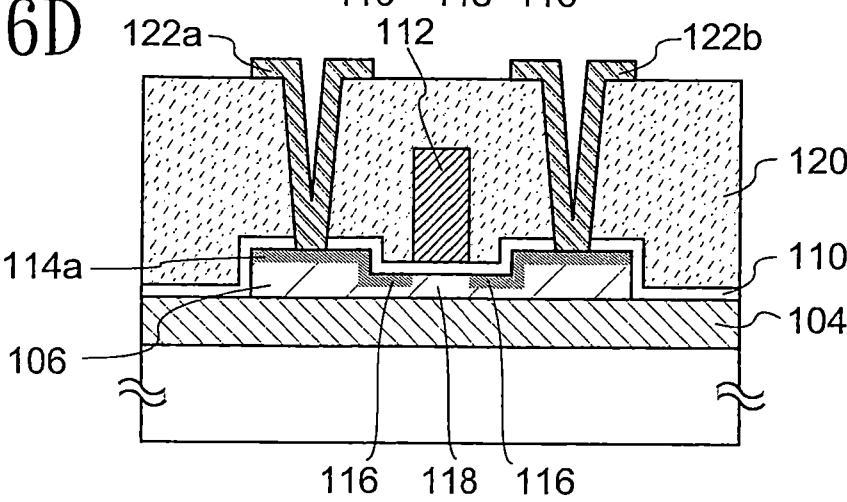


圖 7A

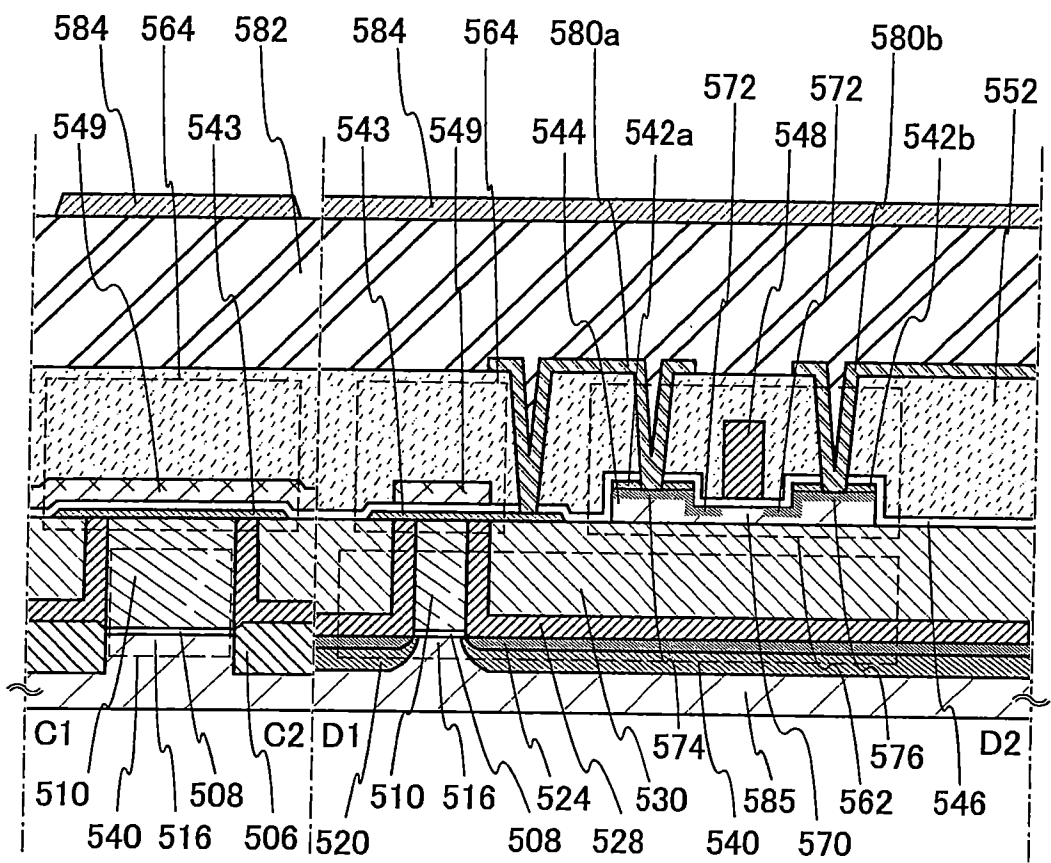


圖 7B

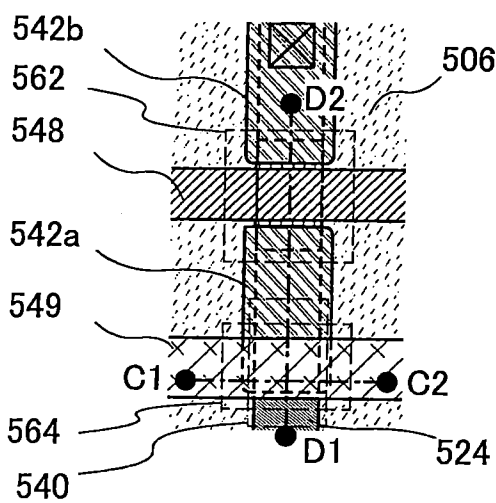


圖 7C

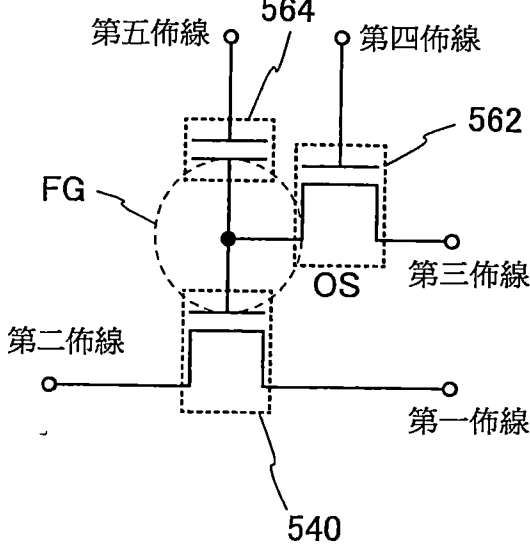


圖 8A

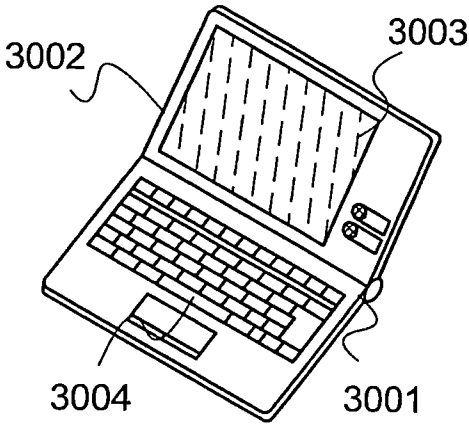


圖 8B

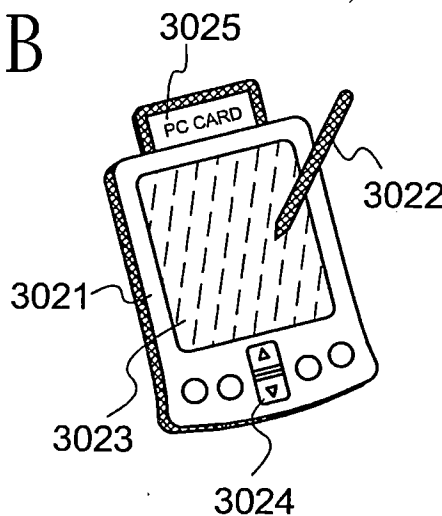


圖 8C

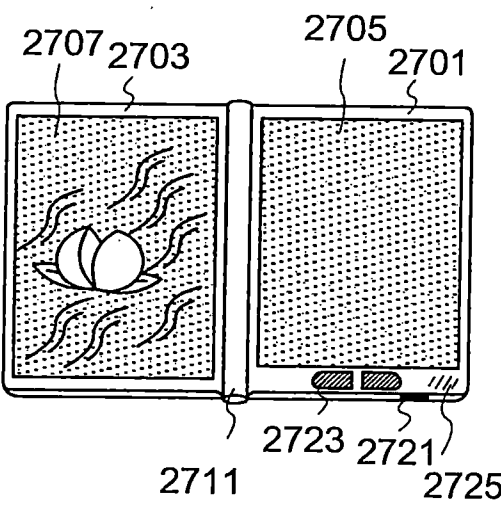


圖 8D

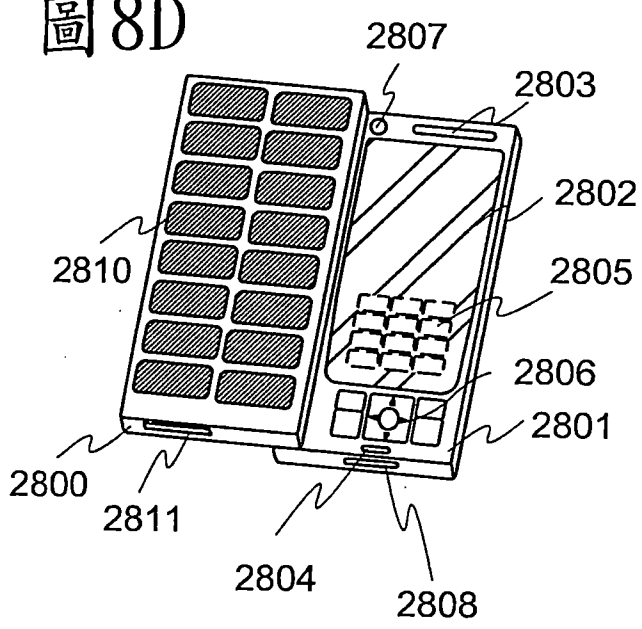


圖 8E

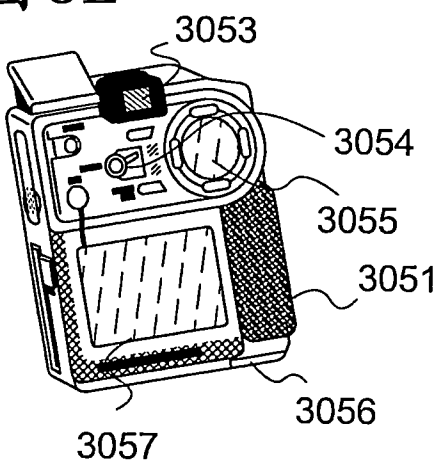


圖 8F

