

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2023 年 2 月 16 日 (16.02.2023)



(10) 国际公布号  
**WO 2023/015647 A1**

(51) 国际专利分类号:  
**H01L 21/8242** (2006.01) **H01L 27/108** (2006.01)

(21) 国际申请号: PCT/CN2021/117214

(22) 国际申请日: 2021 年 9 月 8 日 (08.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
202110918663.1 2021 年 8 月 11 日 (11.08.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

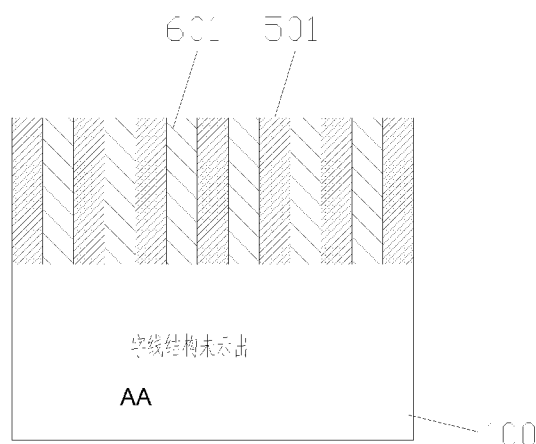
(72) 发明人: 宛 伟 (WAN, Wei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京中政联科专利代理事务所 (普通合伙) (BEIJING LINKAW PATENT ATTORNEY LAW FIRM); 中国北京市昌平区北清路 TBD 云集中心 2 号楼 B 座 502, Beijing 102209 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME, AND MEMORY

(54) 发明名称: 半导体结构及其形成方法和存储器



AA Word line structures not shown

图 20

(57) Abstract: Disclosed in the present application are a semiconductor structure and a method for forming same, and a memory. The method for forming a semiconductor structure comprises: providing a substrate, wherein the substrate is provided with a plurality of word line structures and active regions, there are bit line connecting columns on the substrate, the bit line connecting columns are located above a spacing region of the word line structures, and bit line structures are connected to the active regions by means of the bit line connecting columns; forming a first sacrificial layer on the substrate, wherein the first sacrificial layer comprises a carbon layer; forming first trenches in the first sacrificial layer, wherein the first trenches are perpendicular to the bit line structures, and the first trenches expose the substrate; forming a first dielectric layer, wherein the first dielectric layer fills the first trenches and covers the top surface of the first sacrificial layer; planarizing the first dielectric layer to expose the top surface of the first sacrificial layer; removing



WO 2023/015647 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

the first sacrificial layer, and forming third trenches, which expose the substrate, between adjacent first dielectric layers; and forming a capacitor contact metal layer, wherein the capacitor contact metal layer fills the third trenches and covers the top surface of the first dielectric layer, and the bottom of the capacitor contact metal layer is fully connected to the active regions.

(57) 摘要: 本申请公开了一种半导体结构及其形成方法和存储器, 该半导体结构的形成方法包括: 提供衬底, 衬底内具有多条字线结构和有源区, 衬底上具有位线连接柱, 位线连接柱位于字线结构间隔区域的上方; 位线结构通过位线连接柱与有源区连接; 在衬底上形成第一牺牲层, 第一牺牲层包括碳层; 在第一牺牲层上形成第一沟槽, 第一沟槽垂直于位线结构, 第一沟槽暴露衬底; 形成第一介质层, 第一介质层填充第一沟槽及覆盖第一牺牲层的顶面; 平坦化第一介质层, 暴露第一牺牲层的顶面; 去除第一牺牲层, 在相邻第一介质层之间形成暴露衬底的第三沟槽; 形成电容接触金属层, 电容接触金属层填充第三沟槽及覆盖第一介质层的顶面, 电容接触金属层的底部与有源区完全连接。

## **半导体结构及其形成方法和存储器**

### **交叉引用**

本申请基于申请号为 202110918663.1、申请日为 2021 年 08 月 11 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

### **技术领域**

本申请涉及半导体器件制造的技术领域，特别涉及一种半导体结构及其形成方法和存储器。

### **背景技术**

动态随机存储器（英文：Dynamic Random Access Memory，简称：DRAM）是一种广泛应用于手机、电脑、汽车等电子产品中的半导体存储器。随着科技的发展，集成电路器件特征尺寸的不断缩小，DRAM 的关键尺寸也越来越小，难度也越来越大，未来 DRAM 制程技术将在 10-15nm 左右，这对产品电性要求非常严格。在电容连接接触窗蚀刻制程中常遇见接触窗底部的介质层（SiN）刻蚀不充分，这样后面沉积的多晶硅（poly）不能和有源区充分接触，这样会增大接触的阻值。

### **发明内容**

本申请的目的是提供一种半导体结构及其形成方法和存储器。

本申请的第一方面提供了一种半导体结构的形成方法，包括：提供衬底，所述衬底内具有多条字线结构和有源区，所述衬底上具有位线连接柱，所述位线连接柱位于所述字线结构间隔区域的上方；形成位线结构，所述位线结构通过所述位线连接柱与所述有源区连接；在所述衬底上形成第一牺牲层，使得所述第一牺牲层的顶面和所述位线

结构的顶面平齐，所述第一牺牲层包括碳层；在所述第一牺牲层上形成第一沟槽，所述第一沟槽垂直于所述位线结构，所述第一沟槽暴露所述衬底；形成第一介质层，所述第一介质层填充第一沟槽及覆盖所述第一牺牲层的顶面；平坦化所述第一介质层，且暴露所述第一牺牲层的顶面；去除所述第一牺牲层，在相邻所述第一介质层之间形成暴露所述衬底的第三沟槽；形成电容接触金属层，所述电容接触金属层填充所述第三沟槽及覆盖所述第一介质层的顶面，所述电容接触金属层的底部与所述有源区完全连接。

本申请的第二方面提供了一种半导体结构，采用上述的半导体结构的形成方法制备得到。

在本申请的一种示例性实施例中，所述的半导体结构包括：衬底，所述衬底内具有多条字线结构和有源区，所述衬底上具有位线连接柱，所述位线连接柱位于所述字线结构间隔区域的上方；位线结构，所述位线结构通过所述位线连接柱与所述有源区连接；电容接触窗，所述电容接触窗位于衬底上，其包括第一介质层和电容接触金属层，所述电容接触金属层位于所述第一介质层之间构成的第三沟槽内，所述电容接触金属层的底部与所述有源区完全连接。

本申请的第三方面提供了一种存储器，包括上述的半导体结构。

## **附图说明**

图 1 是相关技术中半导体结构的结构示意图；

图 2 是根据本申请第一实施方式的半导体结构的结构示意图；

图 3 是图 2 的 A-A1 剖视图；

图 4-图 7 是本申请实施例中在制作位线结构的过程中主要的工艺截面示意图，且图 4-图 7 是图 2 的 B-B1 剖视图；

图 8-图 20 是本申请实施例中在制作半导体结构的过程中主要的工艺截面示意图，且图 8-图 20 是图 2 的 C-C1 剖视图；

图 21 是图 20 的俯视图；

图 22 是根据本申请第二实施方式的半导体结构的形成方法流程图。

附图标记：

100-衬底；110-沟槽隔离结构；120-有源区；130-字线结构；140-位线连接柱；150-位线结构；

101-第一隔离介质层；102-导电层；103-第二隔离介质层；104-第一掩膜层 A；105-第一掩膜层 B；106-第一光刻胶层；

201-第一牺牲层；210-第一沟槽；

301-第二牺牲层；302-第二掩膜层；303-第二光刻胶层；310-第二沟槽；

401-第三牺牲层；402-侧墙层；

501-第一介质层；510-第三沟槽；

601-电容接触金属层。

### **具体实施方式**

为使本申请的目的、技术方案和优点更加清楚明了，下面结合具体实施方式并参照附图，对本申请进一步详细说明。应该理解，这些描述只是示例性的，而并非要限制本申请的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本申请的概念。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。

可以理解，本申请所使用的术语“第一”、“第二”等可在本文中用于描述各种元件，但这些元件不受这些术语限制。这些术语仅用于将第一个元件与另一个元件区分。举例来说，在不脱离本申请的范围

的情况下，可以将第一电阻称为第二电阻，且类似地，可将第二电阻称为第一电阻。第一电阻和第二电阻两者都是电阻，但其不是同一电阻。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应当理解的是，术语“包括/包含”或“具有”等指定所陈述的特征、整体、步骤、操作、组件、部分或它们的组合的存在，但是不排除存在或添加一个或多个其他特征、整体、步骤、操作、组件、部分或它们的组合的可能性。同时，在本说明书中使用的术语“和/或”包括相关所列项目的任何及所有组合。

图 1 是相关技术中半导体结构的结构示意图，参考图 1，多晶硅层 11 的底部不能和有源区充分接触，接触面积小，这样增大了接触的阻值。

图 22 为本申请一实施方式的半导体结构的形成方法的流程图。参考图 22，在本申请一些实施例中，本申请的第一方面提供了一种半导体结构的形成方法，可以包括以下步骤：

S10、提供衬底，衬底内具有多条字线结构和有源区，衬底上具有位线连接柱，位线连接柱位于字线结构间隔区域的上方。

S20、形成位线结构，位线结构通过位线连接柱与有源区连接。

S30、在衬底上形成第一牺牲层，使得第一牺牲层的顶面和位线结构的顶面平齐，第一牺牲层包括碳层。

S40、在第一牺牲层上形成第一沟槽，第一沟槽垂直于位线结构，第一沟槽暴露衬底。

S50、形成第一介质层，第一介质层填充第一沟槽及覆盖第一牺牲层的顶面；平坦化第一介质层，且暴露第一牺牲层的顶面。第一介质层的材料包括碳氮化硅或氮化硅，在一些实施例中，可采用化学气相沉积、物理气相沉积以及原子层沉积中的至少一种方式来形成第一

介质层。

S60、去除第一牺牲层，在相邻第一介质层之间形成暴露衬底的第三沟槽。

S70、形成电容接触金属层，电容接触金属层填充第三沟槽及覆盖第一介质层的顶面，电容接触金属层的底部与有源区完全连接。

本申请实施例提供的半导体结构的形成方法简单、易操作，通过形成位线结构后在有源区表面沉积第一牺牲层，第一牺牲层采用碳层，相比于用氧化硅层或氮化硅层，由于碳层更易去除，比用氧化硅层或氮化硅层更不容易形成残留物，这样在后面的制程中得到的电容接触金属层和有源区充分接触，可增大与有源区的接触面积，减小电容接触窗的阻值，提高电性能。

可选的实施例中，步骤 S30 在衬底上形成第一牺牲层包括：步骤 S31 在形成位线结构之后在衬底上形成第一牺牲层，平坦化第一牺牲层，使得第一牺牲层的顶面和位线结构的顶面平齐。

可选的实施例中，步骤 S30 在衬底上形成第一牺牲层还包括步骤 S32：在平坦化的第一牺牲层的顶面由下至上依次堆叠形成第二牺牲层、第二掩膜层和第二光刻胶层；在第二掩膜层和第二光刻胶层上形成第二沟槽，第二沟槽垂直于位线结构，第二沟槽暴露第二牺牲层。在第二掩膜层上可形成第二光刻胶层，可利用网格孔的光刻成像的工艺在第二掩膜层上形成第二沟槽。第二牺牲层可包括氮化硅层，第二掩膜层可包括氮氧化硅层。

可选的实施例中，步骤 S32 之后包括步骤 S33：在第二光刻胶层的顶面上和第二沟槽的内壁上形成第三牺牲层，第三牺牲层覆盖第二光刻胶层、第二掩膜层和第二沟槽；去除第二光刻胶层顶面及第二沟槽底部的第三牺牲层，形成侧墙层；去除第二光刻胶层和第二掩膜层。第三牺牲层可包括氧化硅层。

可选的实施例中，步骤 S33 之后包括步骤 S34：以侧墙层为掩膜依次向下刻蚀第二牺牲层和第一牺牲层，形成第一沟槽；去除侧墙层；去除第二牺牲层，在第一牺牲层上形成第一沟槽。

可选的实施例中，步骤 S70 形成电容接触金属层之后包括步骤 S80：形成电容接触窗，去除第一介质层顶部的电容接触金属层，暴露第一介质层的顶面。

可选的实施例中，采用氧气干法刻蚀工艺去除第一牺牲层。

可选的实施例中，电容接触金属层包括多晶硅层。

可选的实施例中，步骤 S20 形成位线结构包括：

步骤 S21：在衬底上形成第一隔离介质层，平坦化第一隔离介质层，使得第一隔离介质层的顶面和位线连接柱的顶面平齐。

步骤 S22：在第一隔离介质层的顶面和位线连接柱的顶面由下至上依次堆叠形成导电层、第二隔离介质层、第一掩膜层和第一光刻胶层，以第一光刻胶层显影依次向下刻蚀第一掩膜层、第二隔离介质层、导电层和第一隔离介质层，去除第一光刻胶层和第一掩膜层，形成位线结构。

图 2～图 21 为本申请实施例提供的电容结构的形成方法中各步骤对应的结构示意图。下面将结合图 2～图 21 对本申请实施例的步骤进行详细的阐述。

参考图 2 和图 3，提供衬底 100，作为示例，衬底 100 可以包括但不限于单晶硅衬底、多晶硅衬底、氮化镓衬底或蓝宝石衬底。优选地，本实施例中，衬底 100 优选为单晶硅衬底或多晶硅衬底。更为优选地，衬底 100 可以是硅衬底或轻掺杂的硅衬底，譬如 N 型多晶硅衬底或 P 型多晶硅衬底。

在一实施例中，参考图 3，衬底 100 上形成有延伸至衬底 100 内的沟槽隔离结构 110，沟槽隔离结构 110 具体可通过在衬底 100 内开设隔离深槽并在隔离深槽内填充隔离材料所形成。具体的，沟槽隔离结构 110 包括氮化硅、氧化硅、氮氧化硅等隔离材料中的一种或几种，在本实施例中，沟槽隔离结构 110 包括氧化硅。通过沟槽隔离结构 110 在衬底 100 上划分出多个独立的区域以形成有源区 120。

在一实施例中，参考图 2，多个连通沟槽沿 X 轴方向并列间隔分

布，各连通沟槽沿 Y 轴方向横向延伸，同一连通沟槽沿 Y 轴方向横向穿透衬底 100 和沟槽隔离结构 110，X 轴方向不同于 Y 轴方向，即 X 轴方向与 Y 轴方向之间的夹角大于  $0^\circ$  小于  $180^\circ$ ，可选的实施例中，X 轴垂直于 Y 轴。具体的可在连通沟槽内形成字线结构 130，从而通过同一字线结构 130 同时控制多个有源区 120 的通断。在形成埋入式字线结构 130 时，首先在有源区 120 的基础上填上二氧化硅层，之后在该二氧化硅层表面蚀刻出沟槽，以形成埋入式字线结构 130。在字线结构的表面形成有一层绝缘层，该绝缘层可以是氮化硅（图中未示出）。这里需要说明的是，埋入式字线结构 130 是埋入在衬底 100 内部的，俯视图中应该看不到，图 2 中为了便于理解埋入式字线结构 130 在衬底 100 中的形状位置，所以标注出了埋入式字线结构 130。

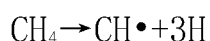
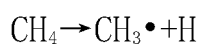
在一实施例中，在有源区 120 上形成位线连接柱 140，位线连接柱 140 高于衬底 100。在衬底 100 上形成位线结构，参考图 3-图 6，形成位线结构包括在衬底 100 上先沉积第一隔离介质层 101，回刻后使得第一隔离介质层 101 的顶面和位线连接柱 140 的顶面平齐，然后在第一隔离介质层 101 的顶面和位线连接柱的顶面的平面上由下至上依次堆叠形成导电层 102、第二隔离介质层 103 和第一掩膜层，第一掩膜层可为单层，也可为多层，可根据工艺要求进行不同的选择。在本实施例中，第一掩膜层具有叠设的第一掩膜层 A104 和第一掩膜层 B105，在第一掩膜层 B105 上涂覆光刻胶，形成第一光刻胶层 106，然后利用激光器通过光罩照射第一光刻胶层 106 引起曝光区域的光刻胶发生化学反应；再通过显影技术溶解去除曝光区域或未曝光区域的光刻胶（前者称正性光刻胶，后者称负性光刻胶），将光罩上的图形 S1 转移到第一光刻胶层 106。依次以第一光刻胶层 106、第一掩膜层 B105、第一掩膜层 A104、第二隔离介质层 103 和导电层 102 为蚀刻阻挡层，蚀刻下一层，将光刻定义出的图形 S1 依次转移下去，直

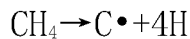
至将导电层 102 和第一隔离介质层 101 蚀刻,并将衬底 100 的顶面暴露,并去除第一光刻胶层 106、第一掩膜层 B105 和第一掩膜层 A104;由此形成位线结构 150。位线结构 150 包括第一隔离介质层 101、导电层 102 和第二隔离介质层 103,导电层 102 通过位线连接柱 140 与有源区连接。其中,第一隔离介质层 101、第二隔离介质层 103 和第一掩膜层 B105 的材料包括氮化硅或者碳氮化硅。导电层 102 的材料包括钨或钛等导电材料。第一掩膜层 A104 的材料包括氧化硅。位线结构沿 X 轴方向延伸,可选的实施例中,本实施例中位线结构 150 垂直于字线结构 130。

具体的,本实施例中在第一牺牲层 201 上形成第一沟槽 210 的具体步骤包括:

首先,参考图 7,利用沉积工艺在衬底 100 上沉积牺牲材料以形成第一牺牲层 201,其可覆盖位线结构的顶面。具体的,可采用碳材料制作第一牺牲层 201,其中沉积工艺可以包括化学气相沉积(CVD)、低压 CVD (LPCVD)、等离子体增强 CVD (PECVD)、原子层沉积 (ALD) 以及等离子体增强 ALD (PEALD)。平坦化第一牺牲层,使得第一牺牲层的顶面和位线结构的顶面平齐。作为示例,以位线结构 150 为研磨截止层,采用化学机械研磨工艺等平坦化工艺去除位于位线结构 150 顶面的第一牺牲层 201,暴露位线结构 150 的顶面。

本实施例采用等离子体增强化学气相沉积工艺形成碳层。作为示例,将如图 6 所示的衬底 100 置于反应腔室之后,传输  $\text{CH}_4$  等碳基气体至反应腔室内, $\text{CH}_4$  等碳基气体在低温、低压、真空的条件下经过交变电场,通过设置合适的射频电压,使得  $\text{CH}_4$  等碳基气体发生等离子体反应分解成碳层,反应如下所示:





在低温、低压条件下，分子质量较轻的  $\text{CH}_3\cdot$ 、 $\text{CH}_2\cdot$ 、 $\text{CH}\cdot$ 、 $\text{C}\cdot$  等含碳自由基基团沉积在衬底 100 上，形成碳层，且碳层覆盖位线结构的顶面。

本实施例中的低压是指压力在 2 毫托到 100 毫托之间。低温是指温度在 20℃ 到 40℃ 之间。

本实施例是以  $\text{CH}_4$  作为反应气体生成碳层为例进行说明，也可以根据实际需要选择其他的烃类气体来形成碳层，例如  $\text{C}_2\text{H}_6$ 、 $\text{C}_2\text{H}_2$  等。

其次，参考图 8，在平坦化的第一牺牲层 201 的顶面由下至上依次堆叠形成第二牺牲层 301 和第二掩膜层 302。第二牺牲层 301 的材料可包括氮化硅，第二掩膜层 302 的材料可包括氮氧化硅。可在第二掩膜层 302 的顶面涂覆第二光刻胶层 303，然后利用激光器通过光罩照射第二光刻胶层 303 引起曝光区域的光刻胶发生化学反应；再通过显影技术溶解去除曝光区域或未曝光区域的光刻胶（前者称正性光刻胶，后者称负性光刻胶），将光罩上的图形 S2 转移到第二光刻胶层 303。参考图 9-图 10，依次以第二光刻胶层 303、第二掩膜层 302 和第二牺牲层 301 为蚀刻阻挡层，刻蚀下一层，将光刻定义出的图形 S2 依次转移下去，并将第二牺牲层 301 的顶面暴露，由此在刻蚀后的第二光刻胶层 303 和第二掩膜层 302 上形成第二沟槽 310，第二沟槽 310 垂直于位线结构 150，第二沟槽暴露第二牺牲层 301。

再次，参考图 11-图 12，在第二光刻胶层 303 的顶面上和第二沟槽 310 的内壁上形成第三牺牲层 401，第三牺牲层 401 覆盖第二光刻胶层 303、第二掩膜层 302 和第二沟槽 310；去除第二光刻胶层 303 顶面及第二沟槽 310 底部的第三牺牲层 401，形成侧墙层 402；去除第二光刻胶层 303 和第二掩膜层 302。第三牺牲层 401 的材料可包括氧化硅。以第二光刻胶层 303 和第二牺牲层 301 为蚀刻阻挡层，刻蚀第三牺牲层 401，即利用刻蚀工艺去除第二光刻胶层 303 顶面及第二

沟槽 310 底部的第三牺牲层 401，剩余的第三牺牲层 401 形成侧墙层 402，侧墙层 402 位于第二沟槽 310 的侧壁。参考图 13，然后以侧墙层 402 和第二牺牲层 301 为蚀刻阻挡层，采用湿法刻蚀工艺或干法刻蚀工艺刻蚀掉第二光刻胶层 303 和第二掩膜层 302。

最后，参考图 14-图 15，以侧墙层 402 为掩膜依次向下刻蚀第二牺牲层 301 和第一牺牲层 201，在第二牺牲层 301 和第一牺牲层 201 上形成第一沟槽 210；去除侧墙层 402；去除第二牺牲层 301，在第一牺牲层上形成第一沟槽 210。以侧墙层 402 为掩膜，依次以侧墙层 402、第二牺牲层 301 和第二隔离介质层 103 为蚀刻阻挡层，采用湿法刻蚀工艺或干法刻蚀工艺刻蚀第二牺牲层 301 和第一牺牲层 201，在第二牺牲层 301 和第一牺牲层 201 上形成第一沟槽 210；第一沟槽 210 的底部露出衬底 100。去除侧墙层 402 和第二牺牲层 301 可采用湿法刻蚀工艺或干法刻蚀工艺。

参考图 16-图 17，在衬底 100 上沉积第一介质层 501，第一介质层 501 填充第一沟槽 210 及覆盖第一牺牲层 201 的顶面；平坦化第一介质层 501，且暴露第一牺牲层 201 的顶面。第一介质层 501 的材料包括碳氮化硅或氮化硅，在一些实施例中，可采用化学气相沉积、物理气相沉积以及原子层沉积中的至少一种方式来形成第一介质层 501。作为示例，以第一牺牲层 201 为研磨截止层，采用化学机械研磨工艺等平坦化工艺去除位于第一牺牲层 201 顶面的第一介质层 501，暴露第一牺牲层 201 的顶面。

参考图 18，去除第一牺牲层 201，可采用氧气干法刻蚀工艺，在相邻第一介质层 501 之间形成暴露衬底 100 的第三沟槽 510。在图 16 中第一牺牲层 201 的位置形成第三沟槽 510，参考图 17。

参考图 19，形成电容接触金属层 601，电容接触金属层 601 填充第三沟槽 510 及覆盖第一介质层 501 的顶面，电容接触金属层 601 的底部与有源区完全连接。

图 21 是图 20 的俯视图；这里需要说明的是，埋入式字线结构 130 是埋入在衬底 100 内部的，俯视图应该看不到，图 21 中为了便于理解埋入式字线结构 130 在衬底 100 中的形状位置，所以标注出了埋入式字线结构 130。参考图 20-图 21，形成电容接触窗，去除第一介质层 501 顶部的电容接触金属层 601，暴露第一介质层 501 的顶面。作为示例，以第一介质层 501 为研磨截止层，采用化学机械研磨工艺等平坦化工艺去除位于第一介质层 501 顶面的电容接触金属层 601，暴露第一介质层 501 的顶面，形成电容接触窗。可以理解的是，也可以采用回刻工艺去除位于第一介质层 501 顶面的电容接触金属层 601，以使电容接触金属层 601 的顶面与第一介质层 501 的顶面平齐。

本申请实施例提供的半导体结构的形成方法，通过形成位线结构后在有源区表面沉积第一牺牲层，第一牺牲层采用碳层，尤其是第三沟槽 510 底部的碳层更易去除，沉积的电容接触金属层 601 与有源区的接触面积更大，电性能更好，阻值更低。

本申请的第二方面提供了一种半导体结构，采用上述的半导体结构的形成方法制备得到。

可选的实施例中，半导体结构包括：衬底 100，衬底 100 内具有多条字线结构 130 和有源区 120，衬底 100 上具有位线连接柱 140，位线连接柱 140 位于字线结构 130 间隔区域的上方；位线结构 150，位线结构通过位线连接柱与有源区连接；电容接触窗，电容接触窗位于衬底 100 上，其包括第一介质层 501 和电容接触金属层 601，电容接触金属层位于第一介质层之间构成的第三沟槽 510 内，电容接触金属层的底部与有源区完全连接。电容接触窗的顶面与位线结构 150 的顶面可平齐，也可具有一定的高度差。位线结构 150 与电容接触金属层 601 之间由第一介质层 501 隔离。

可选的实施例中，电容接触金属层的底部与有源区连接的接触面

积至少为电容接触金属层顶部的截面积的 90%。

可选的实施例中，位线结构包括由下至上依次层叠设置的第一隔离介质层、导电层和第二隔离介质层，位线连接柱的两端分别与导电层和有源区连接。

可选的实施例中，导电层包括钨层。

可选的实施例中，电容接触金属层包括多晶硅层。

可选的实施例中，第一介质层的材料包括氮化硅或者碳氮化硅。

本申请的第三方面提供了一种存储器，包括上述的半导体结构。

应当理解的是，本申请的上述具体实施方式仅仅用于示例性说明或解释本申请的原理，而不构成对本申请的限制。因此，在不偏离本申请的精神和范围的情况下所做的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。此外，本申请所附权利要求旨在涵盖落入所附权利要求范围和边界、或者这种范围和边界的等同形式内的全部变化和修改例。

## 权 利 要 求

1. 一种半导体结构的形成方法，包括：

提供衬底，所述衬底内具有多条字线结构和有源区，所述衬底上具有位线连接柱，所述位线连接柱位于所述字线结构间隔区域的上方；

形成位线结构，所述位线结构通过所述位线连接柱与所述有源区连接；

在所述衬底上形成第一牺牲层，使得所述第一牺牲层的顶面和所述位线结构的顶面平齐，所述第一牺牲层包括碳层；

在所述第一牺牲层上形成第一沟槽，所述第一沟槽垂直于所述位线结构，所述第一沟槽暴露所述衬底；

形成第一介质层，所述第一介质层填充第一沟槽及覆盖所述第一牺牲层的顶面；

平坦化所述第一介质层，且暴露所述第一牺牲层的顶面；

去除所述第一牺牲层，在相邻所述第一介质层之间形成暴露所述衬底的第三沟槽；

形成电容接触金属层，所述电容接触金属层填充所述第三沟槽及覆盖所述第一介质层的顶面，所述电容接触金属层的底部与所述有源区完全连接。

2. 根据权利要求 1 所述的半导体结构的形成方法，其中，在所述衬底上形成第一牺牲层包括：

在形成位线结构之后在所述衬底上形成第一牺牲层，平坦化所述第一牺牲层，使得所述第一牺牲层的顶面和所述位线结构的顶面平齐。

3. 根据权利要求 2 所述的半导体结构的形成方法，其中，在所述衬底上形成第一牺牲层还包括：

在平坦化的所述第一牺牲层的顶面由下至上依次堆叠形成第二牺牲层、第二掩膜层和第二光刻胶层；

在所述第二掩膜层和第二光刻胶层上形成第二沟槽，所述第二沟槽暴露所述第二牺牲层，所述第二沟槽垂直于所述位线结构。

4. 根据权利要求 3 所述的半导体结构的形成方法，其中，在所述第二光刻胶层的顶面上和所述第二沟槽的内壁上形成第三牺牲层，所述第三牺牲层覆盖所述第二光刻胶层、第二掩膜层和所述第二沟槽；

去除所述第二光刻胶层顶面及所述第二沟槽底部的所述第三牺牲层，形成侧墙层；

去除所述第二光刻胶层和第二掩膜层。

5. 根据权利要求 4 所述的半导体结构的形成方法，其中，以所述侧墙层为掩膜依次向下刻蚀所述第二牺牲层和所述第一牺牲层，形成所述第一沟槽；

去除所述侧墙层；

去除所述第二牺牲层，在所述第一牺牲层上形成所述第一沟槽。

6. 根据权利要求 4 所述的半导体结构的形成方法，其中，形成电容接触金属层之后包括：

形成电容接触窗，去除所述第一介质层顶部的所述电容接触金属层，暴露所述第一介质层的顶面。

7. 根据权利要求 4 所述的半导体结构的形成方法，其中，采用氧气干法刻蚀工艺去除所述第一牺牲层。

8. 根据权利要求 4 所述的半导体结构的形成方法，其中，所述电容接触金属层包括多晶硅层。

9. 根据权利要求 1 所述的半导体结构的形成方法，其中，形成位线结构包括：

在所述衬底上形成第一隔离介质层，使得第一隔离介质层的顶面和位线连接柱的顶面平齐；

在第一隔离介质层的顶面和位线连接柱的顶面由下至上依次堆叠形成导电层、第二隔离介质层、第一掩膜层和第一光刻胶层，以第一光刻胶层的图案显影依次向下刻蚀第一掩膜层、第二隔离介质层、

导电层和第一隔离介质层，去除第一光刻胶层和第一掩膜层，形成位线结构。

10. 一种半导体结构，采用如权利要求 1-9 任一项所述的半导体结构的形成方法制备得到。

11. 根据权利要求 10 所述的半导体结构，其中，包括：

衬底，所述衬底内具有多条字线结构和有源区，所述衬底上具有位线连接柱，所述位线连接柱位于所述字线结构间隔区域的上方；

位线结构，所述位线结构通过所述位线连接柱与所述有源区连接；

电容接触窗，所述电容接触窗位于所述衬底上，所述电容接触窗包括第一介质层和电容接触金属层，所述电容接触金属层位于所述第一介质层之间构成的第三沟槽内，所述电容接触金属层的底部与所述有源区完全连接。

12. 根据权利要求 11 所述的半导体结构，其中，所述电容接触金属层的底部与所述有源区连接的接触面积至少为所述电容接触金属层顶部的截面积的 90%。

13. 根据权利要求 11 所述的半导体结构，其中，所述位线结构包括由下至上依次层叠设置的第一隔离介质层、导电层和第二隔离介质层，所述位线连接柱的两端分别与所述导电层和所述有源区连接。

14. 根据权利要求 13 所述的半导体结构，其中，所述导电层包括钨层。

15. 根据权利要求 11 所述的半导体结构，其中，所述电容接触金属层包括多晶硅层。

16. 根据权利要求 1 所述的半导体结构，其中，所述第一介质层的材料包括氮化硅或者碳氮化硅。

17. 一种存储器，包括如权利要求 10-16 任一项所述的半导体结构。

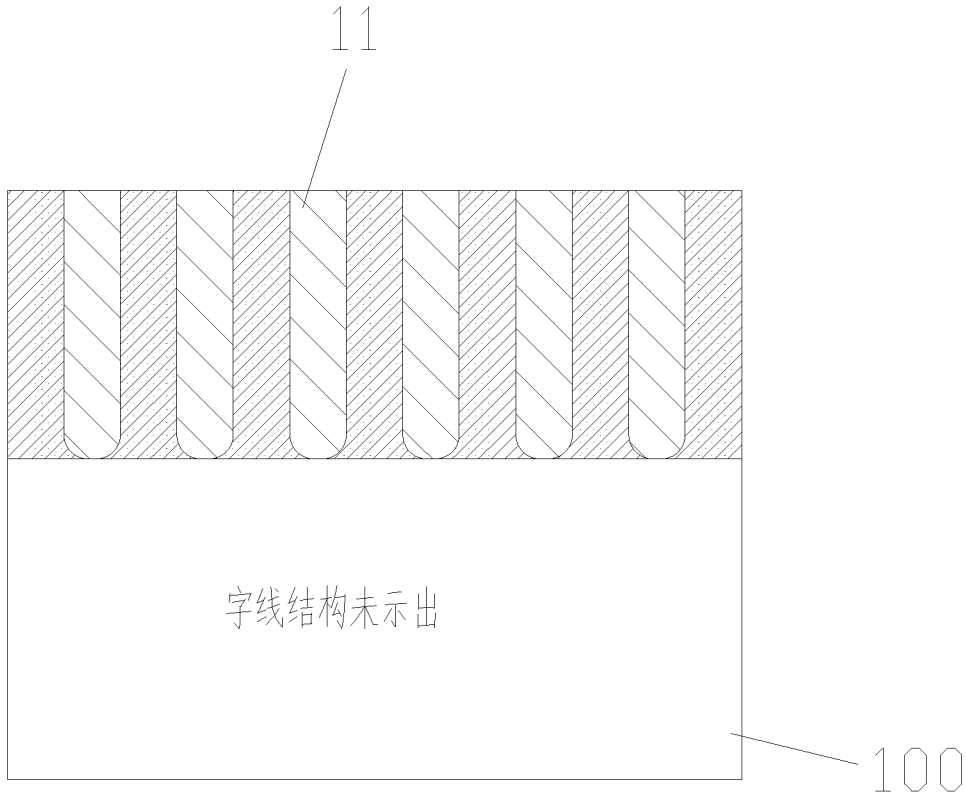


图 1

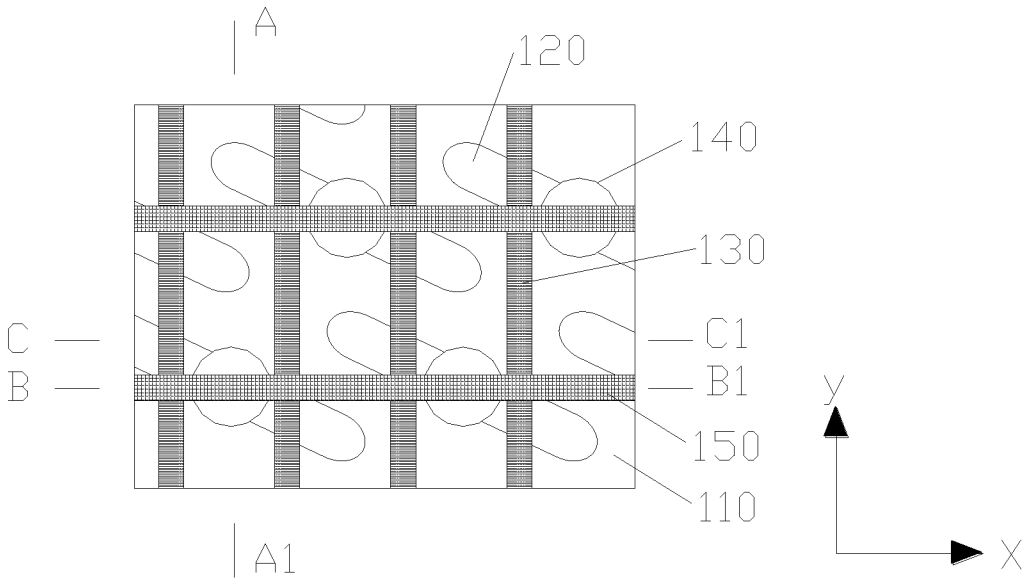


图 2

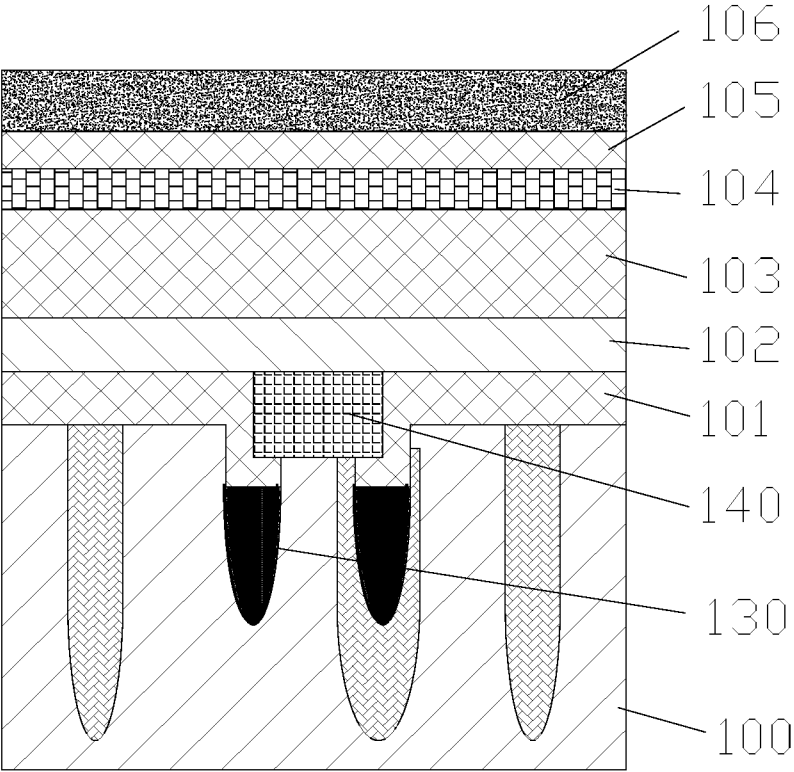


图 3

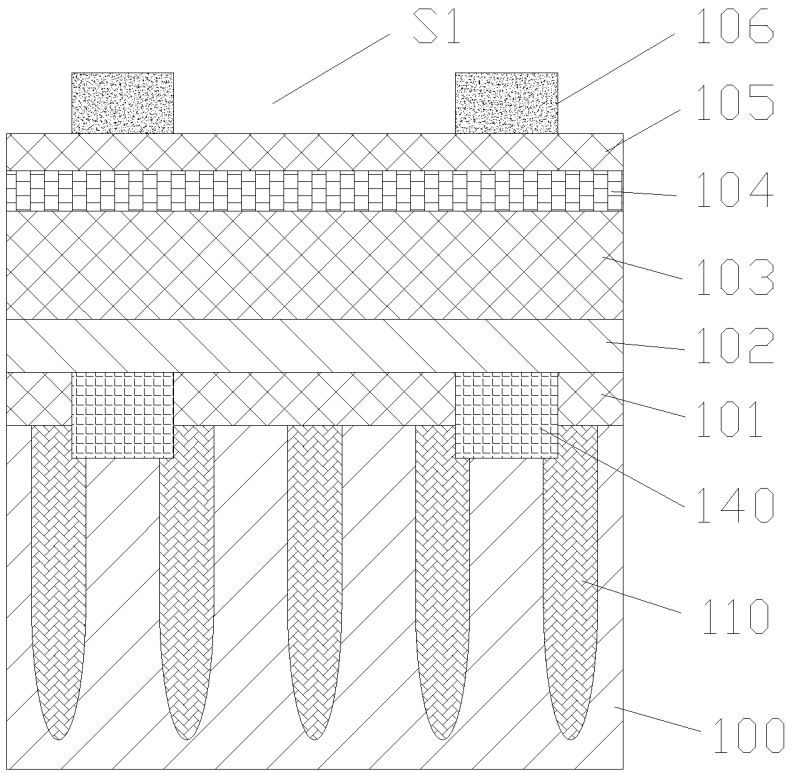


图 4

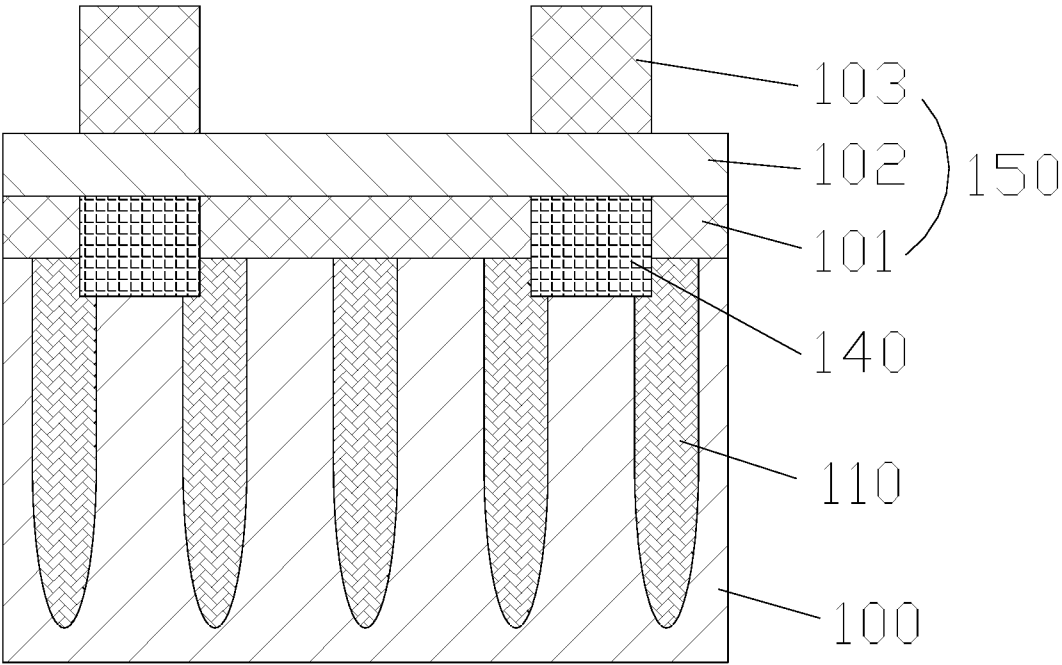


图 5

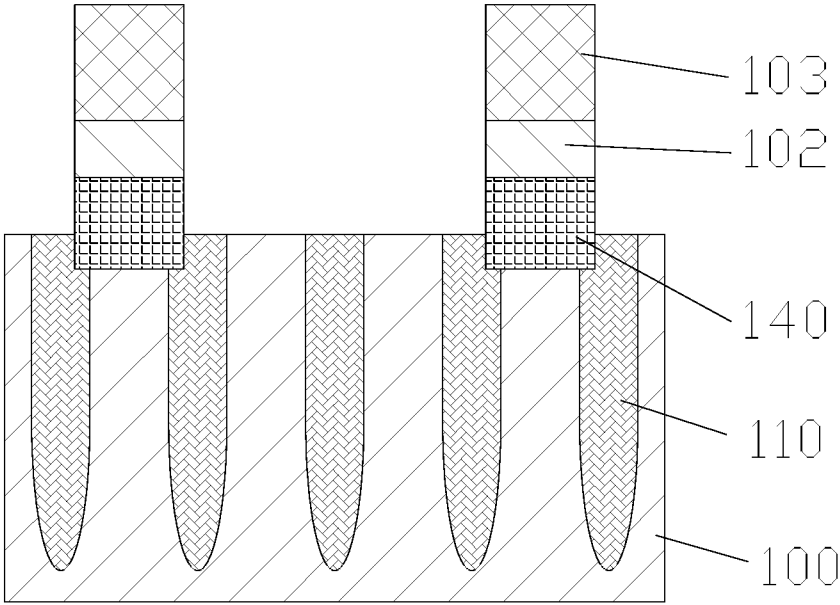


图 6

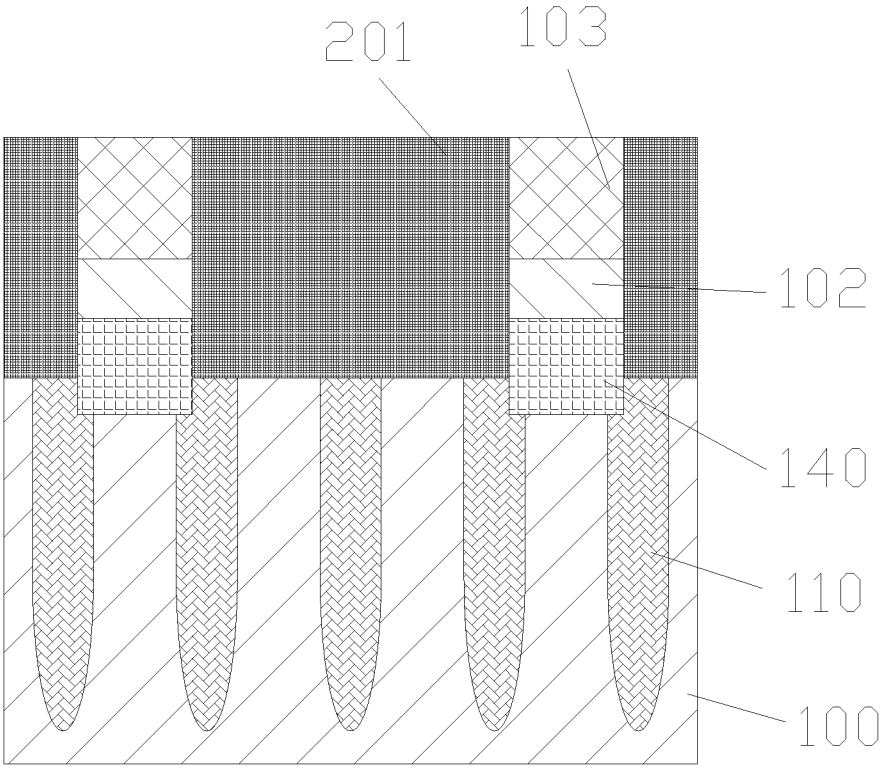


图 7

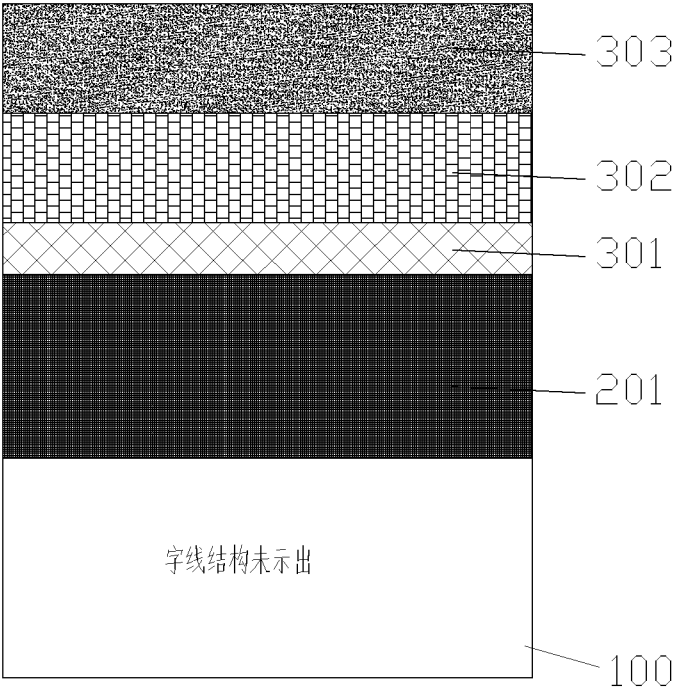


图 8

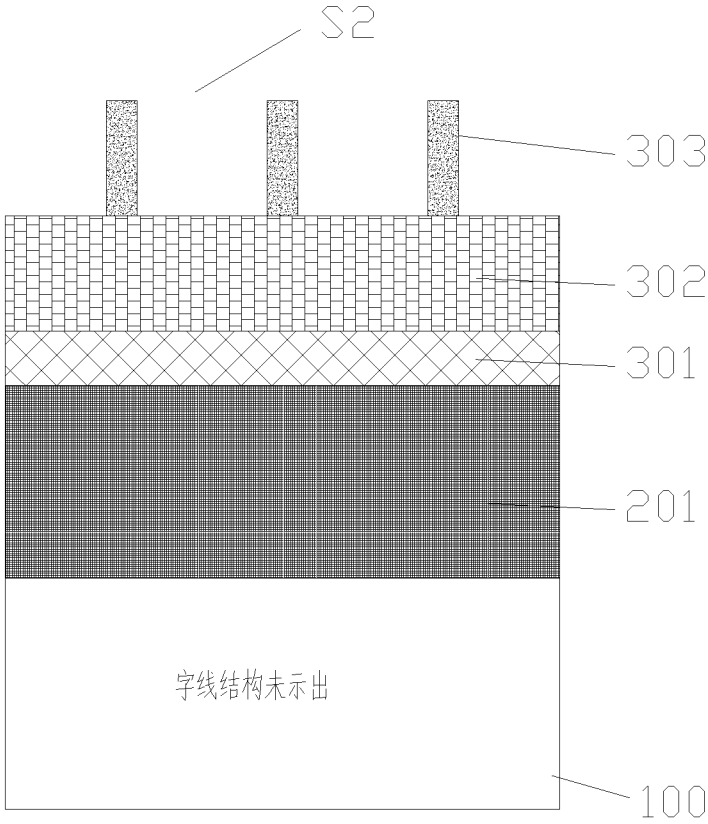


图 9

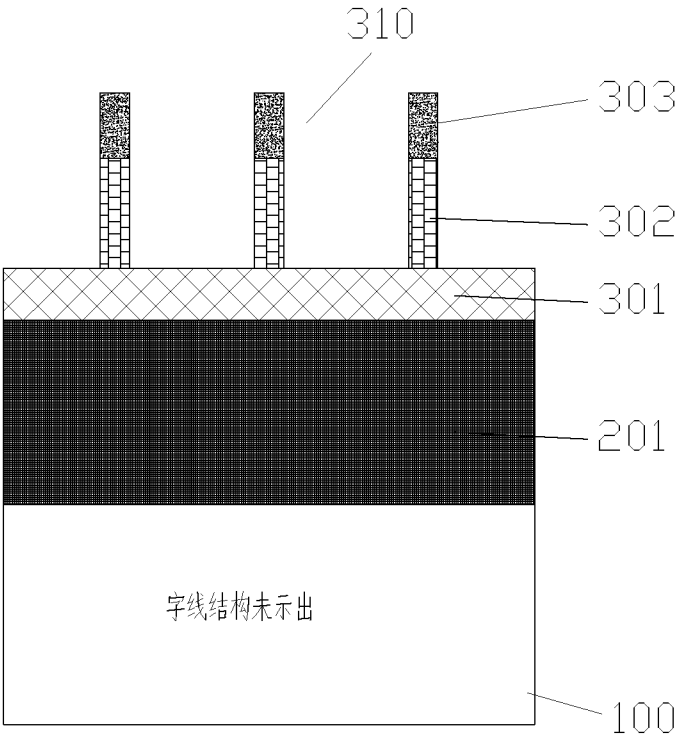


图 10

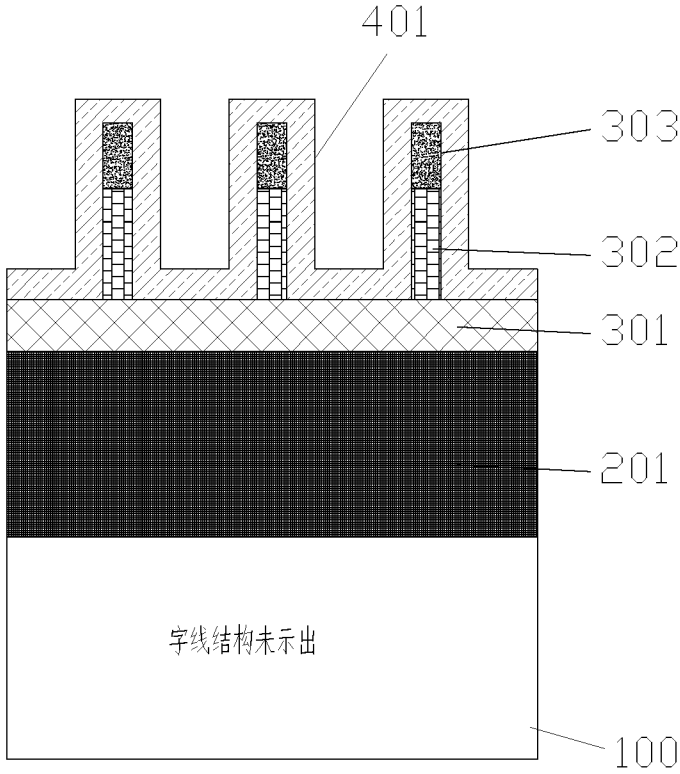


图 11

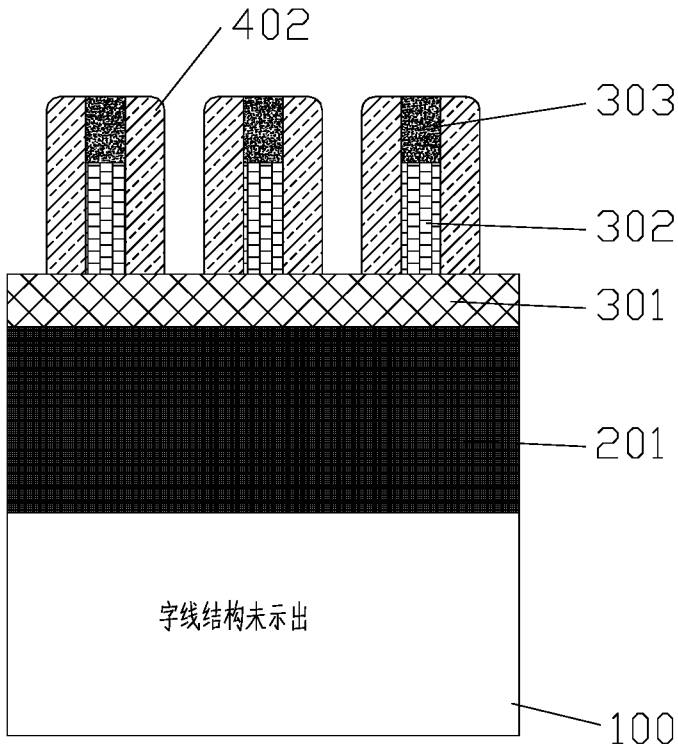


图 12

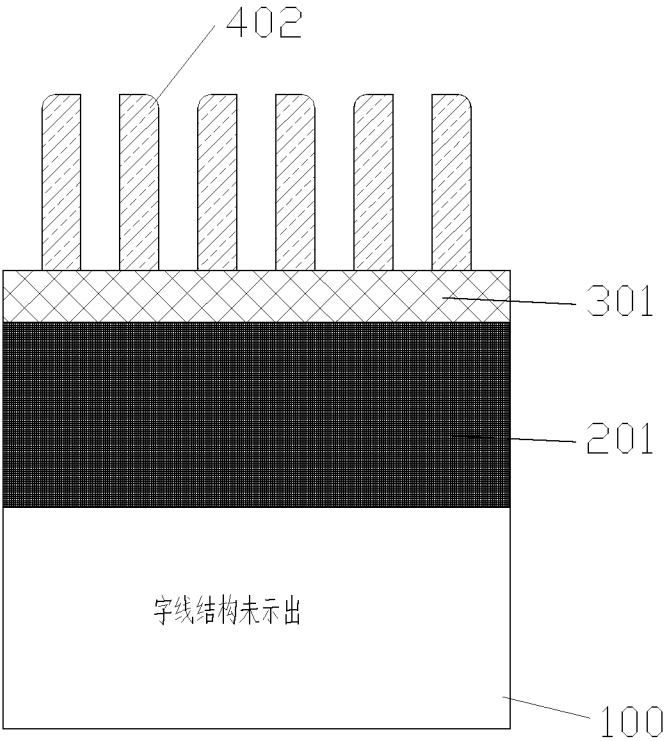


图 13

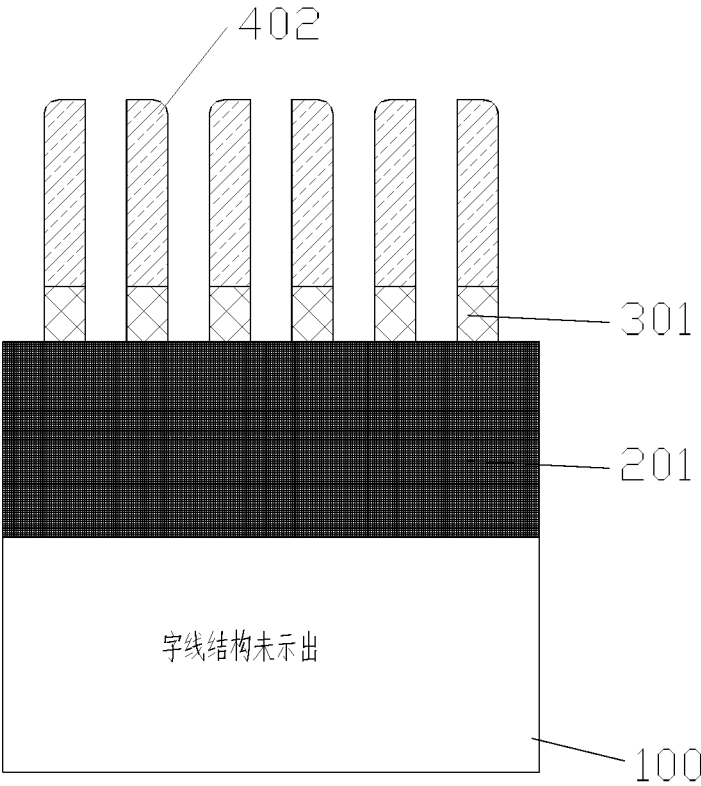


图 14

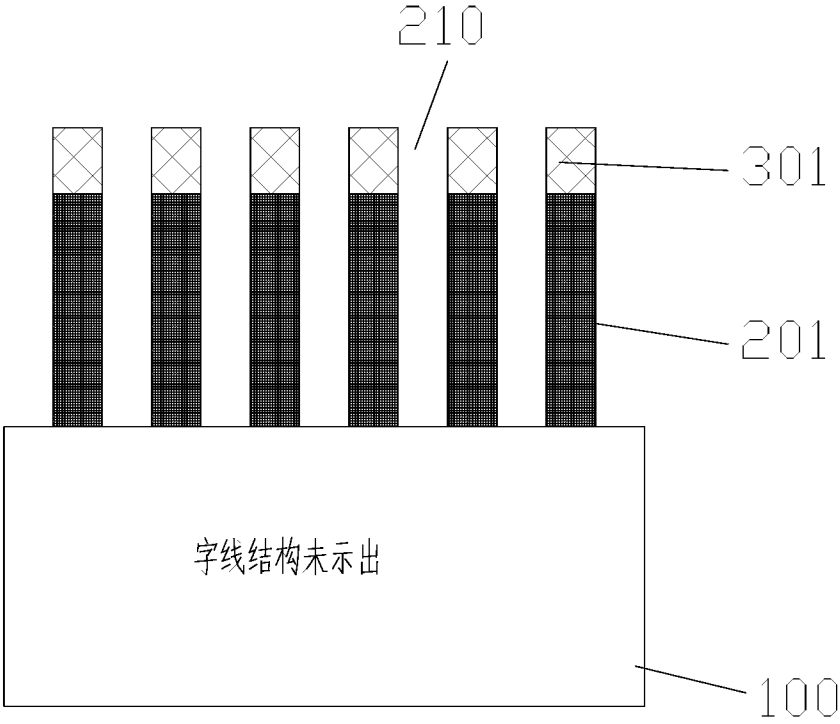


图 15

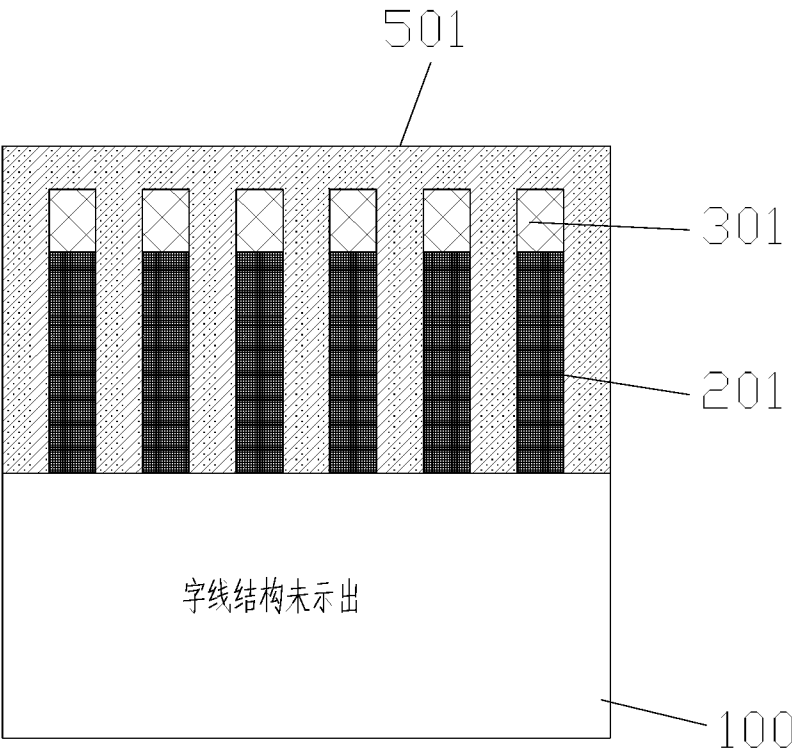


图 16

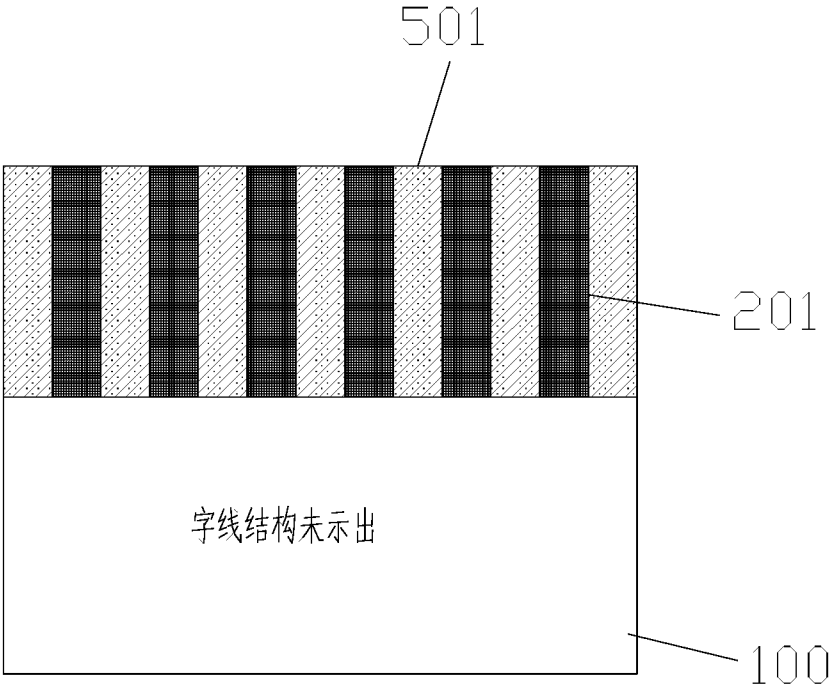


图 17

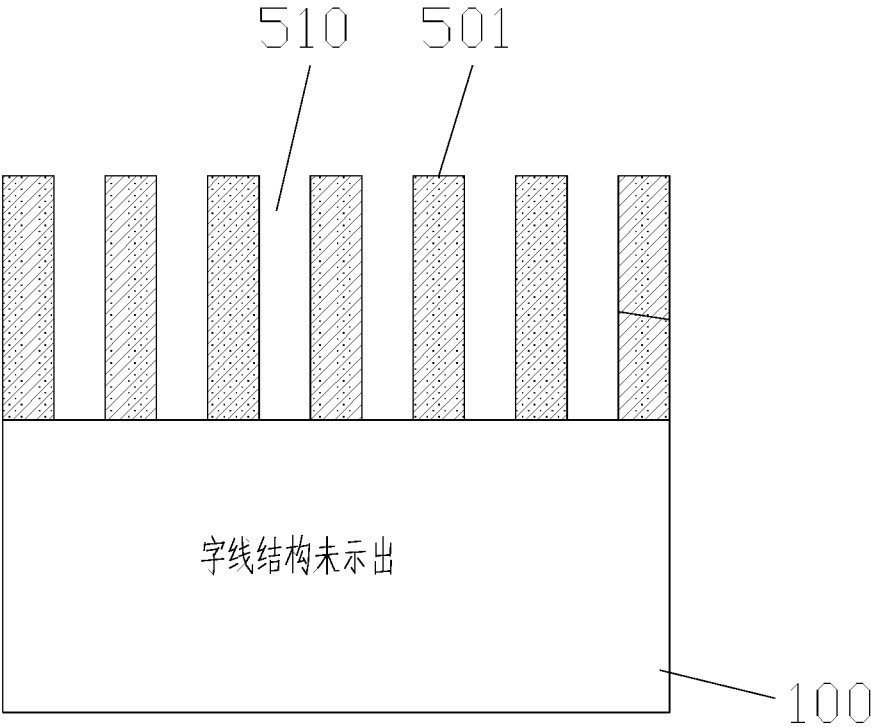


图 18

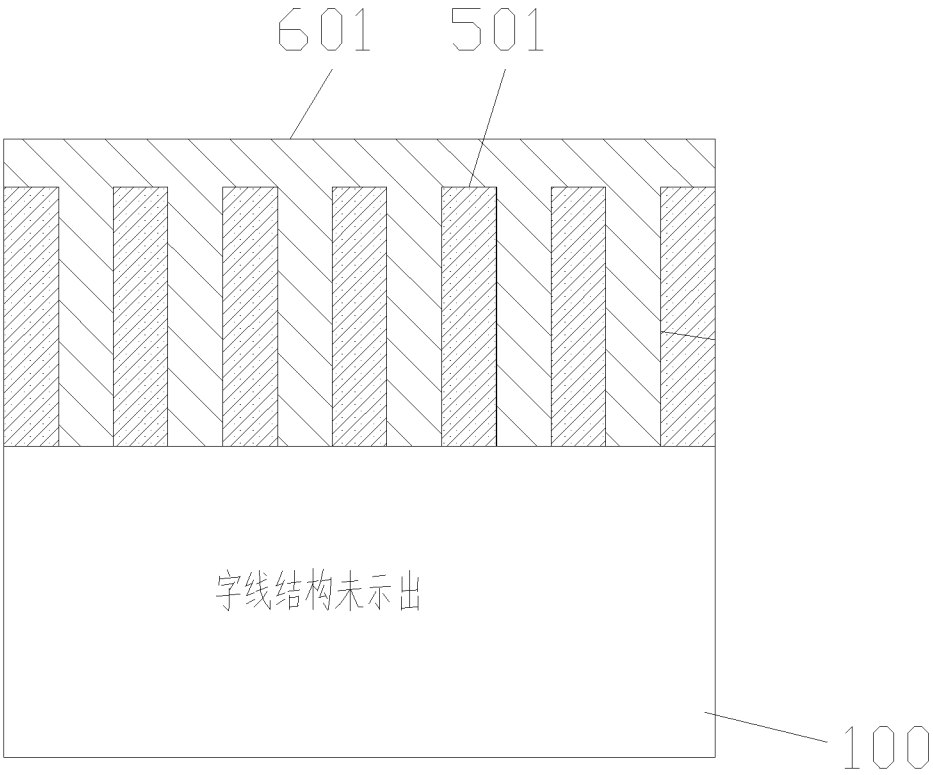


图 19

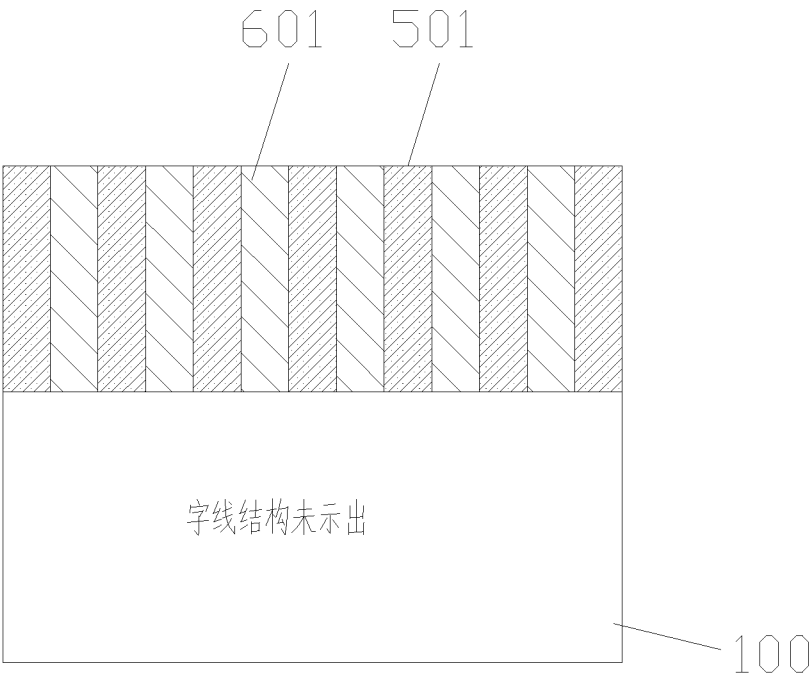


图 20

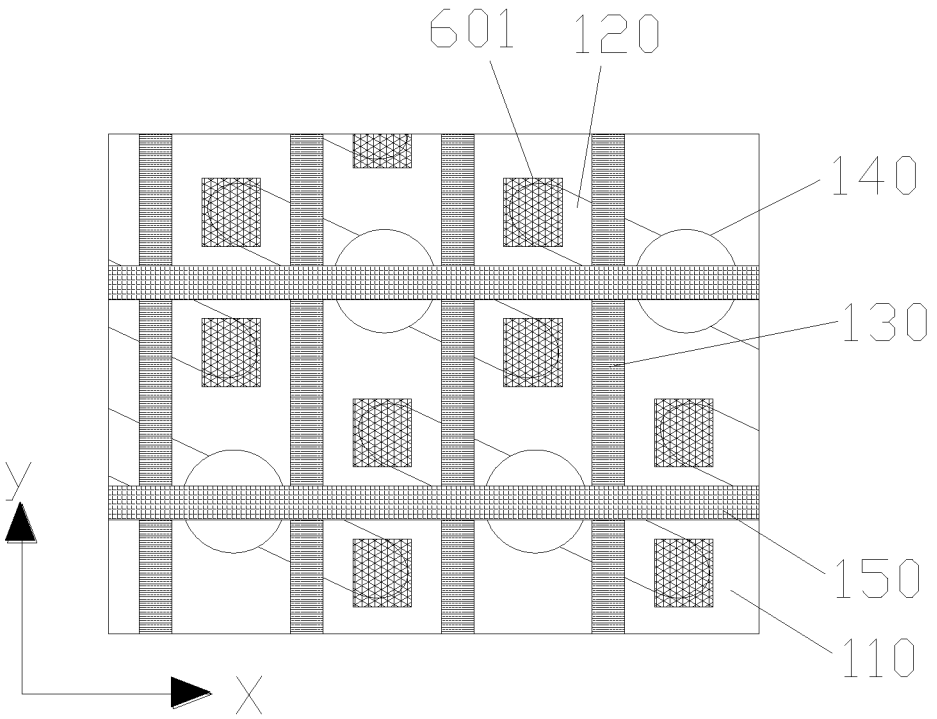


图 21

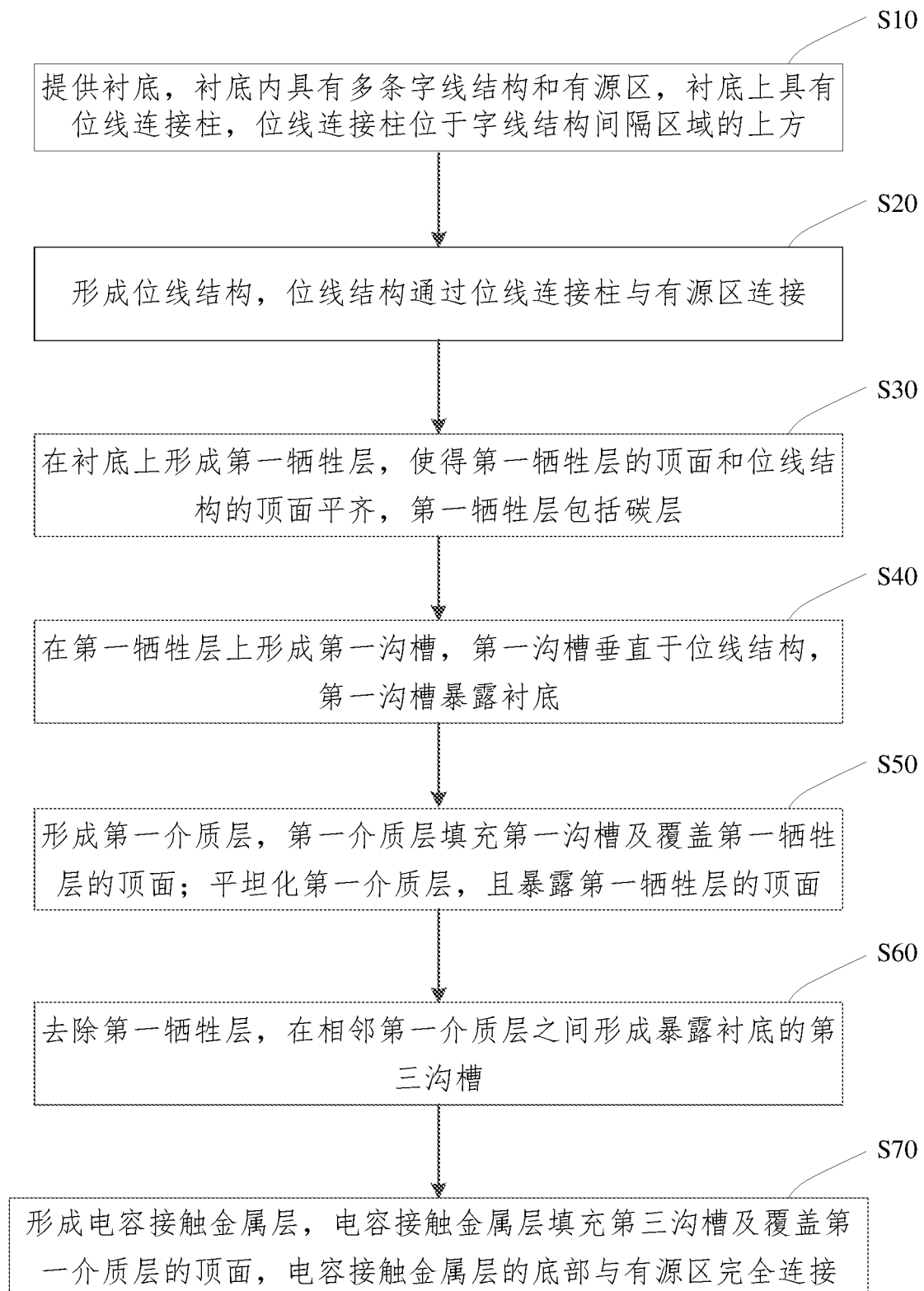


图 22

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/117214

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: 字线, 位线, 牺牲层, 碳, 电容, 接触, 蚀刻, 刻蚀, wordline, bitline, sacrifice, carbon, capacitor, contact, etching

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                       | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | CN 113053825 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 29 June 2021 (2021-06-29)<br>description, paragraphs [0002]-[0096], and figures 1-11 | 1-17                  |
| A         | CN 112992905 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 18 June 2021 (2021-06-18)<br>entire document                                         | 1-17                  |
| A         | CN 110896076 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 20 March 2020 (2020-03-20)<br>entire document                                        | 1-17                  |
| A         | US 2014175555 A1 (SK HYNIX INC.) 26 June 2014 (2014-06-26)<br>entire document                                                            | 1-17                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 April 2022

Date of mailing of the international search report

06 May 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/  
CN)  
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing  
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2021/117214**

| Patent document<br>cited in search report |            |    | Publication date<br>(day/month/year) | Patent family member(s) |             |    | Publication date<br>(day/month/year) |
|-------------------------------------------|------------|----|--------------------------------------|-------------------------|-------------|----|--------------------------------------|
| CN                                        | 113053825  | A  | 29 June 2021                         | None                    |             |    |                                      |
| CN                                        | 112992905  | A  | 18 June 2021                         | None                    |             |    |                                      |
| CN                                        | 110896076  | A  | 20 March 2020                        | None                    |             |    |                                      |
| US                                        | 2014175555 | A1 | 26 June 2014                         | CN                      | 103904115   | A  | 02 July 2014                         |
|                                           |            |    |                                      | KR                      | 20140082147 | A  | 02 July 2014                         |
|                                           |            |    |                                      | US                      | 9147595     | B2 | 29 September 2015                    |
|                                           |            |    |                                      | CN                      | 103904115   | B  | 18 January 2019                      |
|                                           |            |    |                                      | KR                      | 102033785   | B1 | 17 October 2019                      |

## 国际检索报告

国际申请号

PCT/CN2021/117214

## A. 主题的分类

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI, IEEE: 字线, 位线, 牺牲层, 碳, 电容, 接触, 蚀刻, 刻蚀, wordline, bitline, sacrifice, carbon, capacitor, contact, etching

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                                    | 相关的权利要求 |
|------|--------------------------------------------------------------------------------------|---------|
| X    | CN 113053825 A (长鑫存储技术有限公司) 2021年6月29日 (2021 - 06 - 29)<br>说明书第[0002]-[0096]段, 图1-11 | 1-17    |
| A    | CN 112992905 A (长鑫存储技术有限公司) 2021年6月18日 (2021 - 06 - 18)<br>全文                        | 1-17    |
| A    | CN 110896076 A (长鑫存储技术有限公司) 2020年3月20日 (2020 - 03 - 20)<br>全文                        | 1-17    |
| A    | US 2014175555 A1 (SK HYNIX INC.) 2014年6月26日 (2014 - 06 - 26)<br>全文                   | 1-17    |

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

国际检索实际完成的日期

2022年4月25日

国际检索报告邮寄日期

2022年5月6日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

刘婧

电话号码 86-(10)-53961452

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2021/117214

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 |             |    | 公布日<br>(年/月/日) |
|-------------|------------|----|----------------|------|-------------|----|----------------|
| CN          | 113053825  | A  | 2021年6月29日     | 无    |             |    |                |
| CN          | 112992905  | A  | 2021年6月18日     | 无    |             |    |                |
| CN          | 110896076  | A  | 2020年3月20日     | 无    |             |    |                |
| US          | 2014175555 | A1 | 2014年6月26日     | CN   | 103904115   | A  | 2014年7月2日      |
|             |            |    |                | KR   | 20140082147 | A  | 2014年7月2日      |
|             |            |    |                | US   | 9147595     | B2 | 2015年9月29日     |
|             |            |    |                | CN   | 103904115   | B  | 2019年1月18日     |
|             |            |    |                | KR   | 102033785   | B1 | 2019年10月17日    |