

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和4年8月15日(2022.8.15)

【国際公開番号】WO2021/125094

【出願番号】特願2021-565553(P2021-565553)

【国際特許分類】

H 0 1 L 2 1 / 8 2 4 4 (2 0 0 6 . 0 1)

H 0 1 L 2 1 / 3 2 0 5 (2 0 0 6 . 0 1)

G 1 1 C 1 1 / 4 1 2 (2 0 0 6 . 0 1)

10

【F I】

H 0 1 L 2 7 / 1 1

H 0 1 L 2 1 / 8 8 Z

G 1 1 C 1 1 / 4 1 2

【手続補正書】

【提出日】令和4年5月25日(2022.5.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

2ポートSRAMセルを含む半導体記憶装置であって、

前記2ポートSRAMセルは、

一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと

30

一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

一方のノードが第1ライトビット線に、他方のノードが前記第1ノードに、ゲートがライトワード線にそれぞれ接続された第5トランジスタと、

一方のノードが前記第1ライトビット線と相補ビット線対を構成する第2ライトビット線に、他方のノードが前記第2ノードに、ゲートが前記ライトワード線にそれぞれ接続された第6トランジスタと、

40

一方のノードが前記第2電源に、ゲートが前記第2ノードにそれぞれ接続された第7トランジスタと、

一方のノードが前記第7トランジスタの他方のノードに、他方のノードが第1リードビット線に、ゲートがリードワード線にそれぞれ接続された第8トランジスタと

を備え、

前記第1～第8トランジスタは、

第1方向に延びている第1～第8ナノシートと、

前記第1～第8ナノシートの、前記第1方向と垂直をなす第2方向、ならびに、前記第1および第2方向と垂直をなす第3方向をそれぞれ囲っている第1～第8ゲート配線とをそれぞれ備え、

50

前記第 1、第 3、第 6 および第 7 ナノシートは、前記第 2 方向において、前記第 6、第 1、第 3、第 7 ナノシートの順に、並んで形成されており、

前記第 2、第 4、第 5 および第 8 ナノシートは、前記第 2 方向において、前記第 4、第 2、第 5、第 8 ナノシートの順に、並んで形成されており、

前記第 2、第 3 および第 5 ナノシートは、前記第 2 方向における一方の側である第 1 側の面が、前記第 2、第 3 および第 5 ゲート配線からそれぞれ露出しており、

前記第 1、第 4、第 6、第 7 および第 8 ナノシートは、前記第 2 方向における他方の側である第 2 側の面が、前記第 1、第 4、第 6、第 7 および第 8 ゲート配線からそれぞれ露出しており、

前記第 1 側は、前記第 3 ナノシートの、前記第 1 ナノシートに対向する側であり、かつ 10
、前記第 2 ナノシートの、前記第 4 ナノシートに対向する側であり、

前記第 2 側は、前記第 1 ナノシートの、前記第 3 ナノシートに対向する側であり、かつ
、前記第 4 ナノシートの、前記第 2 ナノシートに対向する側である

ことを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 記載の半導体記憶装置において、

前記第 3、第 6 および第 7 ナノシートは、前記第 5、第 4 および第 8 ナノシートとそれぞれ前記第 1 方向に並んで形成されていることを特徴とする半導体記憶装置。

【請求項 3】

請求項 1 記載の半導体記憶装置において、

前記第 7 および第 8 ナノシートは、前記 2 ポート S R A M セルの、前記第 2 側のセル境界に近接して形成されていることを特徴とする半導体記憶装置。 20

【請求項 4】

請求項 1 記載の半導体記憶装置において、

前記 2 ポート S R A M セルは、

前記第 1 方向に延びており、前記第 2 電圧を供給する電源配線と、

前記第 1 方向に延びており、前記第 1 ライトビット線となる、第 1 配線と、

前記第 1 方向に延びており、前記第 2 ライトビット線となる、第 2 配線と、

前記第 1 方向に延びており、前記第 1 リードビット線となる、第 3 配線と

をさらに備え、 30

前記電源配線は、前記第 1 ~ 第 8 トランジスタよりも下層に形成されており、

前記第 1 ~ 第 3 配線は、それぞれ、前記第 1 ~ 第 8 トランジスタよりも上層の同じ配線層に形成されており、

前記第 1 ~ 第 3 配線のうち少なくとも 1 つの配線は、前記配線層に形成された配線のうち前記第 2 方向の幅が最小となる配線よりも、前記第 2 方向の幅が広い

ことを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 記載の半導体記憶装置において、

前記 2 ポート S R A M セルは、

一方のノードが前記第 2 電源に、ゲートが前記第 1 ノードにそれぞれ接続された第 9 40
トランジスタと、

一方のノードが前記第 9 トランジスタの他方のノードに、他方のノードが第 1 リードビット線と相補ビット線対を構成する第 2 リードビット線に、ゲートがリードワード線にそれぞれ接続された第 10 トランジスタと

をさらに備え、

前記第 9 および第 10 トランジスタは、

前記第 1 方向に延びている第 9 および第 10 ナノシートと、

前記第 9 および第 10 ナノシートの、前記第 2 および第 3 方向をそれぞれ囲っている第 9 および第 10 ゲート配線と

をそれぞれ備え、 50

前記第 1、第 3、第 6、第 7 および第 10 ナノシートは、前記第 2 方向において、前記第 10、第 6、第 1、第 3、第 7 ナノシートの順に、並んで形成されており、

前記第 2、第 4、第 5、第 8 および第 9 ナノシートは、前記第 2 方向において、前記第 9、第 4、第 2、第 5、第 8 ナノシートの順に、並んで形成されており、

前記第 9 および第 10 ナノシートは、前記 2 ポート S R A M セルの、前記第 1 側のセル境界に近接して形成されており、かつ、前記第 1 側の面が、前記第 9 および前記第 10 ゲート配線からそれぞれ露出している

ことを特徴とする半導体記憶装置。

【請求項 6】

請求項 5 記載の半導体記憶装置において、

10

前記第 9 および第 10 ナノシートは、前記第 1 方向に並んで形成されていることを特徴とする半導体記憶装置。

【請求項 7】

請求項 5 記載の半導体記憶装置において、

前記第 1 および第 2 トランジスタは、平面視において、2 ポート S R A M セルの中心点に対して、対称に配置されており、

前記第 3 および第 4 トランジスタは、平面視において、2 ポート S R A M セルの前記中心点に対して、対称に配置されており、

前記第 5 および第 6 トランジスタは、平面視において、2 ポート S R A M セルの前記中心点に対して、対称に配置されており、

20

前記第 7 および第 9 トランジスタは、平面視において、2 ポート S R A M セルの前記中心点に対して、対称に配置されており、

前記第 8 および第 10 トランジスタは、平面視において、2 ポート S R A M セルの前記中心点に対して、対称に配置されている

ことを特徴とする半導体記憶装置。

【請求項 8】

請求項 5 記載の半導体記憶装置において、

前記 2 ポート S R A M セルは、

前記第 1 方向に延びており、前記第 1 ライトビット線となる、第 1 配線と、

前記第 1 方向に延びており、前記第 2 ライトビット線となる、第 2 配線と、

30

前記第 1 方向に延びており、前記第 1 リードビット線となる、第 3 配線と、

前記第 1 方向に延びており、前記第 2 リードビット線となる、第 4 配線と

をさらに備え、

前記第 1 および第 2 配線は、平面視において、2 ポート S R A M セルにおける前記第 2 方向の中央線に対して、対称に配置されており、

前記第 3 および第 4 配線は、平面視において、2 ポート S R A M セルにおける前記第 2 方向の前記中央線に対して、対称に配置されている

ことを特徴とする半導体記憶装置。

【請求項 9】

2 ポート S R A M セルを含む半導体記憶装置であって、

40

前記 2 ポート S R A M セルは、

一方のノードが第 1 電圧を供給する第 1 電源に、他方のノードが第 1 ノードに、ゲートが第 2 ノードにそれぞれ接続された第 1 トランジスタと、

一方のノードが前記第 1 電源に、他方のノードが前記第 2 ノードに、ゲートが前記第 1 ノードにそれぞれ接続された第 2 トランジスタと、

一方のノードが前記第 1 ノードに、他方のノードが前記第 1 電圧と異なる第 2 電圧を供給する第 2 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 3 トランジスタと

、一方のノードが前記第 2 ノードに、他方のノードが前記第 2 電源に、ゲートが前記第 1 ノードにそれぞれ接続された第 4 トランジスタと、

50

一方のノードが第 1 ライトビット線に、他方のノードが前記第 1 ノードに、ゲートがライトワード線にそれぞれ接続された第 5 トランジスタと、

一方のノードが前記第 1 ライトビット線と相補ビット線対を構成する第 2 ライトビット線に、他方のノードが前記第 2 ノードに、ゲートが前記ライトワード線にそれぞれ接続された第 6 トランジスタと、

一方のノードが前記第 2 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 7 トランジスタと、

一方のノードが前記第 7 トランジスタの他方のノードに、他方のノードが第 1 リードビット線に、ゲートがリードワード線にそれぞれ接続された第 8 トランジスタと

を備え、

10

前記第 1 ~ 第 8 トランジスタは、

第 1 方向に延びている第 1 ~ 第 8 ナノシートと、

前記第 1 ~ 第 8 ナノシートの、前記第 1 方向と垂直をなす第 2 方向、ならびに、前記第 1 および第 2 方向と垂直をなす第 3 方向をそれぞれ囲っている第 1 ~ 第 8 ゲート配線とをそれぞれ備え、

前記第 1、第 3、第 6 および第 7 ナノシートは、前記第 2 方向において、前記第 6、第 1、第 3、第 7 ナノシートの順に、並んで形成されており、

前記第 2、第 4、第 5 および第 8 ナノシートは、前記第 2 方向において、前記第 4、第 2、第 5、第 8 ナノシートの順に、並んで形成されており、

前記第 2、第 3 および第 5 ナノシートは、前記第 2 方向における一方の側である第 1 側の面が、前記第 2、第 3 および第 5 ゲート配線からそれぞれ露出しており、

20

前記第 1、第 4、第 6、第 7 および第 8 ナノシートは、前記第 2 方向における他方の側である第 2 側の面が、前記第 1、第 4、第 6、第 7 および第 8 ゲート配線からそれぞれ露出しており、

前記第 1 側は、前記第 3 ナノシートの、前記第 7 ナノシートに対向する側であり、かつ、前記第 5 ナノシートの、前記第 8 ナノシートに対向する側であり、

前記第 2 側は、前記第 7 ナノシートの、前記第 3 ナノシートに対向する側であり、かつ、前記第 8 ナノシートの、前記第 5 ナノシートに対向する側である

ことを特徴とする半導体記憶装置。

【請求項 10】

30

請求項 9 記載の半導体記憶装置において、

前記第 1 ナノシートは、平面視において、前記第 2 ナノシートの、前記第 1 側に形成されていることを特徴とする半導体記憶装置。

【請求項 11】

請求項 9 記載の半導体記憶装置において、

前記第 3、第 6 および第 7 トランジスタは、前記第 5、第 4 および第 8 トランジスタとそれぞれ前記第 1 方向に並んで形成されていることを特徴とする半導体記憶装置。

【請求項 12】

請求項 9 記載の半導体記憶装置において、

前記第 7 および第 8 ナノシートは、前記 2 ポート S R A M セルの、前記第 1 側のセル境界に近接して形成されていることを特徴とする半導体記憶装置。

40

【請求項 13】

請求項 9 記載の半導体記憶装置において、

前記 2 ポート S R A M セルは、前記第 2 方向に延びており、前記第 1 ~ 第 8 トランジスタのいずれかのノードに接続されたローカル配線を備え、

前記ローカル配線は、前記第 2 方向において、一方の端が、接続されているノードの両端の間に位置している

ことを特徴とする半導体記憶装置。

【請求項 14】

請求項 9 記載の半導体記憶装置において、

50

前記 2 ポート S R A M セルは、

一方のノードが前記第 2 電源に、ゲートが前記第 1 ノードにそれぞれ接続された第 9 トランジスタと、

一方のノードが前記第 9 トランジスタの他方のノードに、他方のノードが第 1 リードビット線と相補ビット線対を構成する第 2 リードビット線に、ゲートがリードワード線にそれぞれ接続された第 10 トランジスタと

をさらに備え、

前記第 9 および第 10 トランジスタは、

前記第 1 方向に延びている第 9 および第 10 ナノシートと、

前記第 9 および第 10 ナノシートの、前記第 2 および第 3 方向をそれぞれ囲っている
第 9 および第 10 ゲート配線と

をそれぞれ備え、

前記第 1、第 3、第 6、第 7 および第 10 ナノシートは、前記第 2 方向において、前記第 10、第 6、第 1、第 3、第 7 ナノシートの順に、並んで形成されており、

前記第 2、第 4、第 5、第 8 および第 9 ナノシートは、前記第 2 方向において、前記第 9、第 4、第 2、第 5、第 8 ナノシートの順に、並んで形成されており、

前記第 1 側は、前記第 9 ナノシートの、前記第 4 ナノシートに対向する側であり、かつ、前記第 10 ナノシートの、前記第 6 ナノシートに対向する側であり、

前記第 2 側は、前記第 4 ナノシートの、前記第 9 ナノシートに対向する側であり、かつ、前記第 6 ナノシートの、前記第 10 ナノシートに対向する側である

ことを特徴とする半導体記憶装置。

【請求項 15】

請求項 14 記載の半導体記憶装置において、

前記第 1 および第 2 トランジスタは、平面視において、2 ポート S R A M セルの中心点に対して、対称に配置されており、

前記第 3 および第 4 トランジスタは、平面視において、2 ポート S R A M セルの前記中心点に対して、対称に配置されており、

前記第 5 および第 6 トランジスタは、平面視において、2 ポート S R A M セルの前記中心点に対して、対称に配置されており、

前記第 7 および第 9 トランジスタは、平面視において、2 ポート S R A M セルの前記中
心点に対して、対称に配置されており、

前記第 8 および第 10 トランジスタは、平面視において、2 ポート S R A M セルの前記
中心点に対して、対称に配置されている

ことを特徴とする半導体記憶装置。

【請求項 16】

請求項 14 記載の半導体記憶装置において、

前記 2 ポート S R A M セルは、

前記第 1 方向に延びており、前記第 1 ライトビット線となる、第 1 配線と、

前記第 1 方向に延びており、前記第 2 ライトビット線となる、第 2 配線と、

前記第 1 方向に延びており、前記第 1 リードビット線となる、第 3 配線と、

前記第 1 方向に延びており、前記第 2 リードビット線となる、第 4 配線と

をさらに備え、

前記第 1 および第 2 配線は、平面視において、2 ポート S R A M セルにおける前記第 2 方向の中央線に対して、対称に配置されており、

前記第 3 および第 4 配線は、平面視において、2 ポート S R A M セルにおける前記第 2 方向の前記中央線に対して、対称に配置されている

ことを特徴とする半導体記憶装置。

【請求項 17】

請求項 14 記載の半導体記憶装置において、

前記第 9 および第 10 ナノシートは、前記第 1 方向に並んで形成されていることを特徴

とする半導体記憶装置。

【請求項 18】

請求項 14 記載の半導体記憶装置において、

前記 2 ポート S R A M セルは、前記第 2 方向に延びており、前記第 1 ~ 第 10 トランジスタのいずれかのノードに接続されたローカル配線を備えており、

前記ローカル配線は、前記第 2 方向において、一方の端が、接続されているノードの両端の間に位置している

ことを特徴とする半導体記憶装置。

【請求項 19】

請求項 14 記載の半導体記憶装置において、

10

前記 2 ポート S R A M セルは、

前記第 1 方向に延びており、前記第 2 電圧を供給する電源配線と、

前記第 1 方向に延びており、前記第 1 ライトビット線となる、第 1 配線と、

前記第 1 方向に延びており、前記第 2 ライトビット線となる、第 2 配線と、

前記第 1 方向に延びており、前記第 1 リードビット線となる、第 3 配線と、

をさらに備え、

前記電源配線は、前記第 1 ~ 第 10 トランジスタよりも下層に形成されており、

前記第 1 ~ 第 3 配線は、それぞれ、前記第 1 ~ 第 10 トランジスタよりも上層の同じ配線層に形成されている

ことを特徴とする半導体記憶装置。

20

30

40

50