(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4001221号

(P4001221)

(45)発行日　平成19年10月31日(2007.10.31)　(24)登録日　平成19年8月24日(2007.8.24)

(51)Int.Cl.　F I

G01C 19/56 (2006.01)　G01C 19/56

G01P 9/04 (2006.01)　G01P 9/04

請求項の数 19　(全 12 頁)

(21)出願番号　特願2001-279090(P2001-279090)

(22)出願日　平成13年9月14日(2001.9.14)

(65)公開番号　特開2002-188925(P2002-188925A)

(43)公開日　平成14年7月5日(2002.7.5)

審査請求日　平成15年1月15日(2003.1.15)

(31)優先権主張番号　09/663741

(32)優先日　平成12年9月15日(2000.9.15)

(33)優先権主張国　米国(US)

(73)特許権者　500435931

ビーイーアイ　テクノロジーズ　インコーポレイテッド

アメリカ合衆国　カリフォルニア州　９４１０４　サン　フランシスコ　ワン　ポスト　ストリート　スイート　２５００

(74)代理人　100059959

弁理士　中村　稔

(74)代理人　100067013

弁理士　大塚　文昭

(74)代理人　100082005

弁理士　熊倉　禎男

(74)代理人　100065189

弁理士　宍戸　嘉一

最終頁に続く

(54)【発明の名称】改良型クロック手段を備えた慣性速度センサー及び方法

(57)【特許請求の範囲】

【請求項１】

慣性速度センサーにおいて、振動速度感知要素と、ドライブ信号を前記速度感知要素に送るためのドライブ回路と、前記速度感知要素に連結されていて、前記速度感知要素の動きに対応する出力信号を提供するためのピックアップ回路と、システムクロック信号によってドライブされ、速度センサーをキャリブレートし且つ速度センサーにおける故障の発生を検知するためのデジタル論理回路と、前記速度感知要素を周波数基準として利用して、前記デジタル論理回路に前記システムクロック信号を提供するための手段と、を備える慣性速度センサー。

【請求項２】

前記速度感知要素の振動と前記システムクロック信号との間に固定位相関係を維持するための手段と、作動電力がセンサーに印加された後に続く期間中は疑似遷移に対する応答を排除するために前記システムクロック信号を濾波するための手段と、前記システムクロック信号と同期して前記デジタル論理回路をリセットするための手段と、を備えていることを特徴とする請求項１記載の慣性速度センサー。

【請求項３】

前記速度感知要素の振動と前記システムクロック信号との間に固定位相関係を維持するための手段を備えることを特徴とする請求項１記載の慣性速度センサー。

【請求項４】

前記固定位相関係を維持するための手段は、前記速度感知要素の振動と同位相である入

力クロック信号を提供する手段と、前記入力クロック信号に応答して、周波数が前記入力クロック信号の半分に等しく上昇エッジが前記入力クロック信号の上昇エッジ又は下降エッジの何れかと同期する第１信号を生成するための手段と、周波数が前記入力クロック信号の周波数の半分に等しいが前記第１信号とは入力クロック信号の半分だけ位相がずれている第２信号を生成するための手段と、前記システムクロック信号を提供するために前記第１および第２信号を結合するための手段と、を含んでいることを特徴とする請求項２又は３に記載の慣性速度センサー。

【請求項５】

作動電力がセンサーに印加された後のある期間中はクロック信号の送り出しを禁止するための手段を更に含んでいることを特徴とする請求項１乃至４のいずれかに記載の慣性速度センサー。

【請求項６】

前記クロック信号の初期遷移に応答して、前記クロック信号の期間の１０から２５パーセント程度のある期間中は前記クロック信号の更なる遷移を禁止するための手段を更に含んでいることを特徴とする請求項１乃至５のいずれかに記載の慣性速度センサー。

【請求項７】

作動電力が前記センサーに印加された後のある期間中は疑似遷移への応答を排除するために前記システムクロック信号を濾波する手段を更に含んでいることを特徴とする請求項１、２、３、４、又は６に記載の慣性速度センサー。

【請求項８】

前記システムクロック信号と同期して前記デジタル論理回路をリセットするための手段を更に含んでいることを特徴とする請求項１、３、４、５、６、又は７に記載の慣性速度センサー。

【請求項９】

前記デジタル論理回路をリセットするための手段は、パワーオンリセット信号の受信後のある所定数の周期の間作動するオシレータと、オシレータからの信号に応答して、リセット信号を生成するための手段と、前記リセット信号を前記システムクロック信号と同期させるための手段と、同期したリセット信号を前記デジタル論理回路に送るための手段と、を含んでいることを特徴とする請求項１乃至８のいずれかに記載の慣性速度センサー。

【請求項１０】

振動速度感知要素と、システムクロックによってドライブされて、速度センサーをキャリブレートし且つ速度センサーの故障を検知するためのデジタル論理回路と、を有する速度センサーで慣性速度を感知する方法において、ドライブ信号を前記速度感知要素に送る段階と、前記速度感知要素の動きに対応する出力信号を提供するために前記速度感知要素からの信号をモニターする段階と、前記速度感知要素を周波数基準として利用して、システムクロック信号を前記デジタル論理回路に提供する段階と、から成ることを特徴とする方法。

【請求項１１】

前記速度感知要素の振動と前記システムクロック信号との間に固定位相関係を維持する段階と、作動電力がセンサーに印加された後に続く期間中は疑似遷移に対する応答を排除するために前記システムクロック信号を濾波する段階と、前記システムクロック信号と同期して前記デジタル論理回路をリセットする段階と、を更に含んでいることを特徴とする請求項１０に記載の方法。

【請求項１２】

前記速度感知要素の振動と前記システムクロック信号との間に固定位相関係を維持する段階を更に含んでいることを特徴とする請求項１０に記載の方法。

【請求項１３】

前記固定位相関係は、前記速度感知要素の振動と同位相である入力クロック信号を提供することと、周波数が前記入力クロック信号の周波数の半分に等しく、上昇エッジが前記入力クロック信号の上昇エッジ又は下降エッジの何れかと同期している第１信号を生成す

ることと、周波数は前記入力クロック信号の周波数の半分に等しいが入力クロック周期の半分だけ前記第１の信号と位相ずれしている第２信号を生成することと、前記システムクロック信号を提供するために前記第１および第２信号を結合すること、により維持されることを特徴とする請求項１１又は１２に記載の方法。

【請求項１４】

作動電力が前記センサーに印加された後のある期間中は、クロック信号の送り出しを禁止する段階を更に含んでいることを特徴とする請求項１０乃至１３のいずれかに記載の方法。

【請求項１５】

クロック期間の１０から２５パーセント程度の期間中は、最初の遷移に続く遷移を禁止する段階を更に含んでいることを特徴とする請求項１０乃至１４のいずれかに記載の方法。

【請求項１６】

前記速度感知要素の振動と同位相である入力クロック信号を提供する段階、周波数が前記入力クロック信号の周波数の半分と等しく、上昇エッジが前記入力クロック信号の上昇エッジ又は下降エッジの何れかと同期している第１信号を生成する段階、周波数は前記入力クロック信号の周波数の半分に等しいが入力クロック周期の半分だけ前記第１の信号と位相ずれしている第２信号を生成する段階、前記システムクロック信号を提供するために前記第１および第２信号を結合する段階を更に含んでいることを特徴とする請求項１０乃至１５のいずれかに記載の方法。

【請求項１７】

作動電力が前記センサーに印加された後のある期間中は疑似遷移への応答を排除するために前記システムクロック信号を濾波する段階を更に含んでいることを特徴とする請求項１０乃至１３、１５又は１６のいずれかに記載の方法。

【請求項１８】

前記システムクロック信号と同期して前記デジタル論理回路をリセットする段階を更に含んでいることを特徴とする請求項１０又は１２乃至１７のいずれかに記載の方法。

【請求項１９】

前記デジタル論理回路は、パワーオンリセット信号受信後のある所定数の周期の間オシレータを作動することと、前記オシレータからの信号に応答してリセット信号を生成することと、前記リセット信号を前記システムクロック信号と同期させることと、同期した信号を前記デジタル論理回路に送ること、によってリセットされることを特徴とする請求項１８に記載の方法。

【発明の詳細な説明】

【０００１】

（発明の属する技術分野）

本発明は、概括的には慣性速度センサーに、より厳密には改良型クロック手段を備えた慣性速度センサー及び方法に属する。

【０００２】

（発明の背景）

慣性速度センサーは、航空機航法、ミサイル及び宇宙船の誘導、及び自動車安定制御系を始めとして多種多様なアプリケーションに使用されている。これらのアプリケーションの多くは、安全性が最重要課題であるので、センサーの故障に対してガードするための対策が講じられねばならない。

【０００３】

（発明の概要）

本発明の目的は、概括的には、新しく且つ改良された慣性速度センサー及び方法を提供することである。

【０００４】

本発明の別の目的は、改良型クロック手段を備えた慣性速度センサー及び方法を提供する

ことである。

【０００５】

上記及び他の目的は、ドライブ信号は速度感知要素に送られ、振動速度感知要素の動きに対応する出力信号を提供するためにピックアップ回路は速度感知要素に連結され、デジタル論理は速度センサーをキャリブレートし、速度センサーの故障の発生を検知し、速度感知要素はデジタル論理にシステムクロック信号を提供するための周波数基準として利用され、速度感知要素の振動とシステムクロック信号との間には固定位相関係が維持され、作動電力がセンサーに印加された後のある期間中は疑似遷移に対する応答を排除するためにシステムクロック信号は濾波され、デジタル論理はシステムクロック信号と同期してリセットされる慣性速度センサー及び方法を提供する本発明に従って達成される。

【０００６】

（好適な実施態様の詳細な説明）

図1に示すように、速度センサーは双端音叉の形をしたクオーツ感知要素１１を含んでいる。本音叉は単体の水晶材料から製作されており、H型の構成で、一方がドライブ尖叉１２そして他方がピックアップ尖叉１３となっている。尖叉の各対は音叉の縦軸１４周りに対称に配設されている。

【０００７】

ドライブ尖叉１２は駆動されると、音叉の固有周波数で、音叉の面内で振動する。音叉が縦軸周りの回転を受けると、コリオリの力が働いて両尖叉が音叉の面から外れ、振動のピックアップモードを誘発する。ドライブ及びピックアップ信号は、従来の方法で電極（図示せず）を使用して尖叉に連結され、ドライブ信号は尖叉の圧電振動を誘発し、ピックアップ信号は、コリオリの力により生まれたひずみに反応して圧電的に生成された電荷の形態をとる。

【０００８】

感知要素は双端音叉であるものとして図示しているが、必要に応じ単端音叉を含め他のタイプの振動感知要素を使用することもできる。

【０００９】

ピックアップ信号は電荷増幅器１６を通過して前置増幅器１７に至り、その後復調器１８に至る。復調器を出た信号は、ローパスフィルタ１９を通過し補償加算器２１に至り、その後出力増幅器２２に至り、速度出力信号は出力増幅器の出力に現れる。電圧入力が＋５ボルト及び０ボルトの場合、ゼロ入力に対して速度出力は＋２．５ボルトまでバイアスされ、正の速度入力に対してはより大きな正の電圧まで振れるが、負の速度入力に対してはゼロボルトに向かって振れる。＋２．５ボルトのレベルは、しばしば実質的なグラウンドと称される。

【００１０】

米国特許第５，９４２，６８６号に記載されているように、印加電力に正比例して装置のスケールファクタが変化するように、補償信号は加算器に加えられ、温度などの要素に関する出力信号を調整し、システムを比率測定式にする。

【００１１】

システムには、外部ＥＥＰＲＯＭ２４と連携して作動するデジタル論理２３が含まれており、これにより、構成要素を手作業ではんだ付けする必要無しに、装置を電子的にキャリブレートすることができる。デジタル論理は、装置に故障が発生したことを検知する内蔵テスト機能も提供している。デジタル論理からの信号は、デジタル・アナログ変換器２６を介して補償加算器２１に、そして出力増幅器２２に送られる。

【００１２】

振動感知要素、即ち音叉１１は、デジタル論理用のクロック基準として使用され、ドライブ回路即ちオシレータ２８から引き出されたクロック信号がクロックフィルタ２９を介してデジタル論理に送られるようになっている。これにより、外部クロックの必要性が排除されるので、速度センサーの寸法及び費用が低減され、それにより総部品点数および回路盤面積が小さくできる。こうすると、音叉の完全性をモニターすることが自動的にクロッ

ク信号の完全性をモニターすることになるので、故障検知のタスクを単純化することにもつながる。加えて、クロック信号は出力信号と同期しているので、合計及び差異周波数でのエイリアス信号やビートトーンも発生しない。

【００１３】

該好適実施態様では、音叉の基本周波数がデジタル論理のクロック基準として用いられている。代替的には、フェーズロックループを使用して、信号をより速く処理するために多数の音叉ドライブ周波数を生成することもできる。何れの場合でも、周波数確定要素は感知要素として働く音叉と同じ音叉である。

【００１４】

図2に示すように、ドライブ回路即ちオシレータ２８は、ＡＧＣ（自動利得制御）サーボループと称されることもあるループを備えている。ドライブ尖叉が振動しているときは、電流はドライブ電極をまたいで生成される。この電流は電流対電圧増幅器３１を通過して、復調器３２の入力に印加される電圧を生み出す。電流対電圧増幅器の出力に接続されている電圧コンパレータ３３は、ドライブ周波数で方形波を生成する。この方形波は、復調器の制御入力に送られ、復調器がドライブ周波数で作動する状態となり、その出力はｄｃの項を含んでいる。

【００１５】

復調器からのｄｃ項は、加算回路３４に送られ、ここで固定スケールファクタ基準電圧３６及びプログラム可能スケールファクタ基準電圧３７と結び付く。加算回路の出力は、積分器３８の入力に接続されている。

【００１６】

積分器の出力は、入力が非ゼロの場合は、より大きな正電圧、或いはより大きな負電圧の何れかに向かって動くことになる。このことは、安定状態において、積分器への入力は平均するとゼロであるということを意味する。このように、復調器の出力は、２つのスケールファクタ基準電圧の合計を正確にキャンセルしなければならない。復調器の出力電圧は、音叉のドライブモードの振動の振幅を表しているので、この２つのスケールファクタ基準電圧は、ドライブモード信号の大きさをセットする。

【００１７】

音叉の速度感知能力は、ドライブ尖叉の対称軸周りの入力回転を面外ねじれモードにつなぐコリオリの力に依存している。コリオリの力は回転速度と尖叉速度の積に比例し、その速度は尖叉振動の振幅に比例する。こうして、尖叉が駆動されてより大きな変位の振幅と速度で振動するにつれ、コリオリの力を介する回転への反応は比例的に増大する。

【００１８】

こうして、スケールファクタ又は音叉の単位回転あたりの反応は、駆動振幅に比例して増加する。

【００１９】

音叉のドライブモードの振動の振幅を確定する際、スケールファクタ基準電圧３６及び３７は、デバイスのスケールファクタをも決める。固定電圧を使用して基準スケールファクタをセットし、プログラム可能電圧を使って微調整を行う。これにより、出来上がった各速度センサーが適正なスケールファクタ出力を有するように、各装置のスケールファクタは、個々の音叉特性の細かい違いに合わせて補正できるようになる。

【００２０】

プログラム可能スケールファクタ基準電圧をセットするためのプログラム可能データは、ＥＥＰＲＯＭ２４に記憶されデジタル論理２３によりアクセスされるデジタル係数から導き出される。そのデータはアナログ電圧に変換され、加算回路３４のプログラム可能バイアス電圧入力に送られる。現在のある好適な実施態様では、スケールファクタ基準のプログラム可能コンポーネントの調整範囲は、固定コンポーネントの＋／－３５パーセント程度となっている。

【００２１】

積分器の出力の電圧レベルは、ドライブループでの許容できない状況又は故障を検知する

ウインドウコンパレータ３９によりモニターされる。ウインドウコンパレータは、1対のコンパレータ４１、４２と否定和ゲート４３とを備えており、コンパレータの出力は否定和ゲートの入力に接続されている。電圧の上限及び下限は、回路のトリップポイントを定義する基準電圧＋ＲＥＦ及び－ＲＥＦによりセットされる。他の２つのコンパレータ入力は、積分器からの信号を受信するために合わせて一つにされる。否定和ゲートの出力は、ローパスフィルタ４４を通過し内蔵テスト論理によりモニターされる。

【００２２】

積分器の出力が基準電圧によりセットされた限度内にある限り、ウインドウコンパレータの出力は、内蔵テスト論理４６に受容可能と判定される。仮に積分器の出力が上記限度から外れるようなことが起きれば、テスト論理は故障を検知し出力段階22をトリガして正電圧レールに素早く切り替えるが、これを故障状況と解釈する。

【００２３】

オシレータループ内で検知され得る故障のタイプには、音叉の欠陥又は破損、音叉につながる又は音叉から出ている電気トレースがオープンであること、音叉が封入されているパッケージの充填ガスの漏れにより発生する音叉モード“Ｑ”ファクタの変化、及び積分器を横切るフィードバックコンポーネントが短絡しているか或いはオープンであることが含まれる。

【００２４】

積分器の故障が内蔵テスト論理で検知できるようにするため、積分器の出力は加算回路４９のバイアス電圧４８と組み合わせられ、積分器の安定状態出力を実質的なグラウンド、つまり正の供給電圧と負の供給電圧の間の中間点から所要値に移動させる。これは、積分器を横切るフィードバック経路が短絡すると、システムに＋５ボルト及び０ボルトの電圧が供給された場合には、積分器の出力は実質的グラウンド、つまり＋２．５ボルトに留まることから、必要である。この故障を検知するために、積分器出力電圧の受容可能範囲は、標準作動状態に関しては、実質的グラウンドから離れ、通常は約＋２．６ボルトから＋４ボルトの範囲にバイアスされねばならない。

【００２５】

積分器を横切るフィードバック経路がオープンになると、積分器増幅器は復調器により作り出されたダブル周波数コンポーネントをすべて通すことになる。このダブル周波数信号は、ウインドウコンパレータを通過すると、増幅器出力がトリップ限界を通り越して遷移するので、デジタル“１”と“０”のストリームができてしまう。ローパスフィルタ４４は、このパルスストリームをｄｃ電圧へ下げ、このｄｃ電圧を内蔵テスト論理が故障として検知する。

【００２６】

加算回路４９の出力は、増幅器５１により増幅されて、電圧コンパレータ３３からの出力電圧を変調するために振幅変調器５２に送られる。電圧コンパレータの出力はレールツーレールの方形波であり、変調器は方形波のピークツーピーク振幅を調整して、音叉のドライブ尖叉に可変ドライブ電圧を供給する。

【００２７】

変調器からの方形波は、論理回路からの信号により制御されるマルチプレクサ５３を介してドライブ尖叉に送られる。方形波はまた、音叉のドライブモードの固有周波数に大凡等しい中央周波数での利得１．０で、バンドパスフィルタ５４の入力にも送られる。このフィルタは、方形波の調波成分を著しく減衰させ、純粋な正弦波に近い別のドライブ信号を作り出す。その信号は、マルチプレクサの第2の入力に送られる。

【００２８】

方形波ドライブ信号のピークツーピーク電圧はより素早く上昇し、結果的に正弦波よりも速くターンオンするので、ターンオン時間を最小限にするためにターンオンの初期位相中にドライブ尖叉に送られる。一旦、音叉振動の振幅があるレベルに到達し、積分器３８の出力がウインドウコンパレータ３９の制御下限を超えてしまうと、内蔵テスト論理は、マルチプレクサに対してその出力を方形波から正弦波に切り替えるコマンド信号を生成する

。相対的には調波の無い正弦波をここでは使用して、次のターンオンシーケンスまでのオペレーションの残り部分に対して音叉を駆動する。

【００２９】

これにより、両方のタイプのドライブ信号の利点がどちらのタイプの欠点も受けずに提供される。方形波は、振幅制御レベルでの音叉振動及び安定性のより速い立ち上がりを提供する。しかしながら、方形波は、幾つかの例では音叉構造の高次のモードと結びついてセンサー出力に望ましくないバイアスシフトを引き起こしかねない高調波成分も有している。正弦波にはこのような調波は相対的に少なく、よりゆっくりと上昇するので、方形波よりもターンオンが遅くなり、起動オペレーションにとってはあまり良いとは言えない。

【００３０】

クロック基準が音叉運動の位相に対して固定位相関係を有するようなやり方で生成されることが重要である。仮に位相関係が１つのターンオンから次のターンオンまでで変化するのであれば、論理は依然として適正に機能するであろうが、位相に差があると、クロック信号の出力信号経路への有限な結合のせいで、センサーのバイアスオフセットに差異が生じやすい。固定クロック位相関係であれば、結合があったとしても、ターンオンからターンオンまで固定値を確実に有することになる。

【００３１】

固定位相関係は、クロック信号が論理回路に送られるときに通過するクロックフィルタ２９により提供される。図３に示すように、クロックフィルタは1対のＤ型フリップフロップ５６、５７を備えており、そのフリップフロップ５６、５７はそれぞれＱＡ及びＱＢとして示される自身の出力を消去するために同時にリセットされる。これらのフリップフロップが正に向かうクロックエッジ上でトリガすると、入力クロック信号が電圧コンパレータ３３の出力から導出され、非反転クロック入力信号がフリップフロップ５６に送られ、反転されたクロック入力信号がインバータ５８を介してフリップフロップ５７に送られる。

【００３２】

積分器５９、シュミットトリガ６０、及びインバータ６１を備えたフィードバックループは、フリップフロップ５７のＱ出力とＤ入力の間に接続されている。これによりクロック入力は２で分割されるので、フリップフロップ５７の出力の信号ＱＢはクロック入力のちょうど半分に等しい周波数の方形波になる。

【００３３】

フリップフロップ５６はフリップフロップ５７のスレーブであり、フリップフロップ５７からの遅延ＱＢ出力信号が、インバータ６２を介してフリップフロップ５６のＤ入力に送られる。こうして、フリップフロップ５６の出力の信号ＱＡも、クロック入力のちょうど半分に等しい周波数の方形波になるので、２つのフリップフロップの出力は、常に互いに入力クロック周期の半分だけ位相ずれしていることになる。

【００３４】

積分器及びシュミットトリガは、多数の遷移が入力クロック信号にある場合、そのような遷移がクロック出力信号に起きるのを防止する遅延をフィードバックに導入する。遅延は、第１の正方向クロックエッジでの最初の遷移の後ある一定の期間中に、フリップフロップが更なる遷移を作るのを防止する。この遅延を図４に示しているが、遅延はクロック期間の１０から２５パーセント程度である。このようにしてフリップフロップを抑止することで、最初の遷移後短期間の内に多数の遷移を含むかもしれないクロック入力からの出力信号がクリーンなものとなる。このような遷移は、例えば、クロック入力の生成に利用されるコンパレータのような要素から生じるが、それらは起動時だけに限らずセンサーのオペレーション中いつでも起こりうる。

【００３５】

フリップフロップ５６、５７の出力ＱＡ及びＱＢには疑似遷移が無く、これらの出力が排他的論理和ゲート６３に入力される。これら２つの信号は、両方とも周波数がクロック入力信号の半分なので、それらは合体してクロック入力信号と同じ周波数の新クロック信号

を生み出す。２つのフリップフロップは互いに隷属しており、それらのＱＡ及びＱＢ出力は、常に互いに入力クロック周期の半分だけ位相がずれているので、フィルタからの出力信号の位相は、常にフィルタへのクロック信号入力に対して固定関係を持つ。この位相関係を図４に示す。

【００３６】

図５は、パワーがセンサーに加えられた瞬間と十分な音叉駆動振動の立ち上がりとの間に生じる疑似振動から正しくないクロック信号が派生することを防止するリセット回路６４を示している。この回路は、オシレータの周波数を決めるレジスタ６８とキャパシタ６９が付いている電圧コンパレータ６７を備えた精密オシレータ６６を含んでいる。この周波数は、システムクロック周波数よりはるかに低く、ある現在の好適な実施態様では、システムクロックは、周波数が１０ＫＨｚで、オシレータ６６は周波数１Ｋｈｚで作動する。

【００３７】

図６に示すように、ドライブオシレータ信号７１がある不確定周波数から標準の作動周波数に遷移するには、ある有限期間が必要とされる。波形７２は、パワーが加えられるにつれて入力電圧が徐々に上昇する様子を図示している。入力電圧が閾値レベル、通常は３．８ボルトに到達すると、パワーオン・リセットパルス７３が生成され、論理回路を初期状態にリセットする。

【００３８】

オシレータ６６の出力は、９ビット（５１２分割）カウンタ７４の入力に接続されている。カウンタの出力は、制御論理７７に送られるが、制御論理７７は、パワーオン・リセット回路７８からの非同期リセット信号も受信する。カウンタ７４からの信号を受信すると、制御論理は、コンパレータ使用可能信号７９をトグルして電圧コンパレータ６７を遮断するが、コンパレータ６７は、ここで別のパワーオン・リセットが起きるまでは振動を止める。制御論理は又、リセットパルスシンクロナイザ８１も使用可能にするが、このシンクロナイザ８１は、有効であると知られているクロックフィルタ２９からのクロック信号と同期している同期リセット信号を届ける。同期リセット信号は、論理和ゲート８２で非同期リセット信号と組み合わせられてシステムリセット信号８３を提供する。図６に示すように、この信号は、メインシステムクロックと同期する際、低い状態に遷移し、次に高い状態に戻る。このようにしてリセット信号を遅れて届けることにより、有効であると知られているクロックが音叉から引き出された後、確実に最終的なリセットを全デジタル論理回路に与えることができるようになる。

制御論理は、オシレータ６６からの信号の２周期内にその機能を果たし、オシレータのオペレーションに対し合計５１４周期を生み出し、その時点で完全に使用不能となる。これには、典型的には、約０．５秒必要とされる。

【００３９】

下部の２つの波形は、システムクロック及びシステムリセット信号を拡大スケールで示したものである。これら２つの波形により示されるように、システムリセット信号の負方向の遷移は、システムクロックに対して非同期であり、正方向遷移前に幾つかのクロック周期を生じることができるが、正方向遷移はシステムクロックと同期化している。

【００４０】

このリセット回路は、パワーがセンサーに加えられたときデジタル論理を初期化する。タイミングシーケンスが完了するまでは、内蔵テスト論理は、正レール電圧での出力ステージ２２からの信号を保持する。その後、出力は、センサーの回転速度に対応する値を想定できるようになる。出力がレールを外れると、それはセンサーの使用準備が整っていることの標示となり、有効なデータを与える。出力は、ここで、故障が検知されたときにだけ正レールに戻される。

【００４１】

故障が検知され、出力が正電圧レールに向かうとき、ＢＩＴフラッグはラッチされ、別のパワーターンオンシーケンスが起きるまでは、ラッチのかけられた状態のままにされる。しかしながら、起動中の遷移状態によりＢＩＴフラッグにラッチが掛けられたままになら

ないように、ターンオンシーケンスが完了するまでは、ＢＩＴフラッグのラッチかけは禁止されている。

【００４２】

仮に装置に加えられているパワーがパワーオン・リセット回路の閾値を下回ることになれば、回路は自動的に再度トリガされる。再トリガの場合、パワーの損失が起きたことが標示される。

【００４３】

ある好適な実施態様では、センサー用の回路は、アプリケーション指定集積回路（ＡＳＩＣ）として一体型に構築される。音叉及びＥＥＰＲＯＭは、ＡＳＩＣに対して外部にあり、補償値は、コンピュータインターフェース経由でＡＳＩＣのデジタル論理を介してＥＥＰＲＯＭにロードすることができる。ある現在の好適な実施態様では、ＡＳＩＣにはコネクタ端子が３つしかなく、即ち、＋５ボルト、グラウンド（０ボルト）、及び出力信号の端子である。

【００４４】

本発明は、多くの重要な特質及び有利性を有する。感知要素自体をシステムのクロック基準として使用することにより、クロックを別に必要とすることを無くし、これにより、ユニットのサイズ及びコストを減少する。クロックフィルタは、始動時の擬似発振に応答して不正確なクロック信号が与えられることを防ぐ。また、このクロックフィルタは、システムクロックと音叉の発振との間に同じ位相関係が常に存在することも保証する。パワーオンリセット回路は、システムクロックと正確に同期するリセット信号を提供する。

【００４５】

以上のことより、新しく且つ改良された慣性速度センサー及び方法が提供されたことは明白である。現在のある特定の好適な実施態様しか詳細に説明していないが、当業者には自明であるように、請求の範囲に定義する本発明の範囲から逸脱することなく変更及び修正を加えることができる。

【図面の簡単な説明】

【図１】本発明を組み込んだ慣性速度センサーの１つの実施態様を示すブロック線図である。

【図２】図1の実施態様におけるドライブオシレータのブロック線図である。

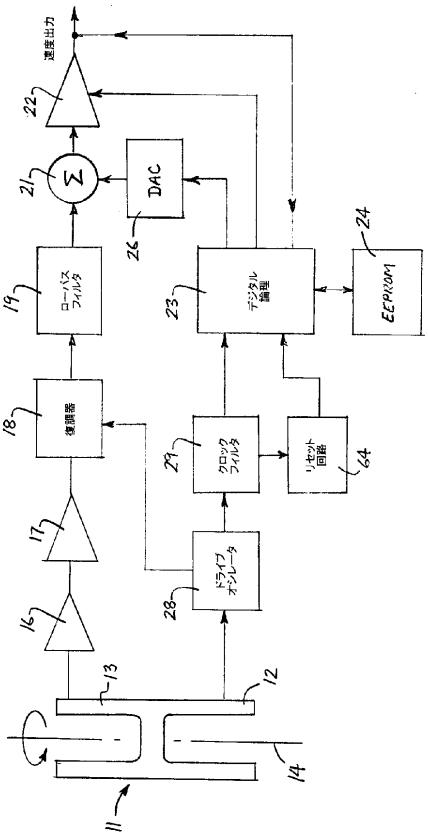
【図３】図1の実施態様におけるクロックフィルタのブロック線図である。

【図４】図３のクロックフィルタの異なる位置での波形を示すタイミング線図である。

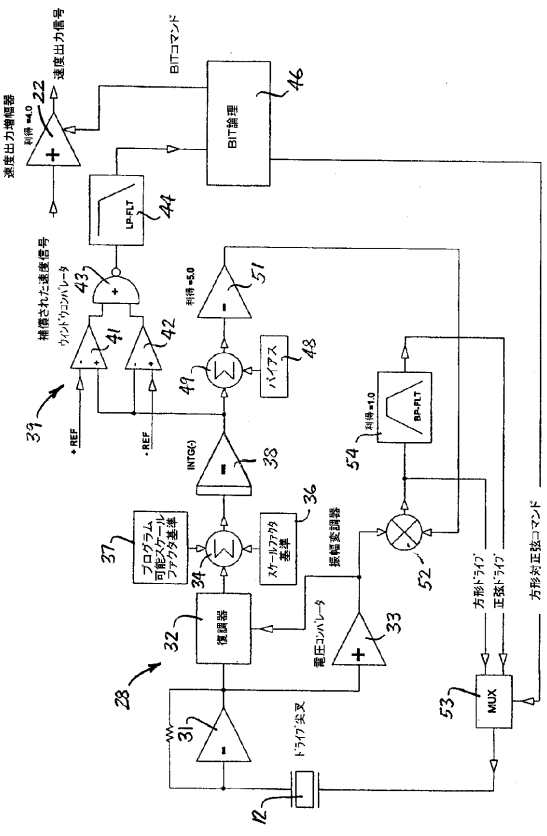
【図５】図1の実施態様のリセット回路のブロック線図である。

【図６】図５のリセット回路の異なる位置での波形を示すタイミング線図である。

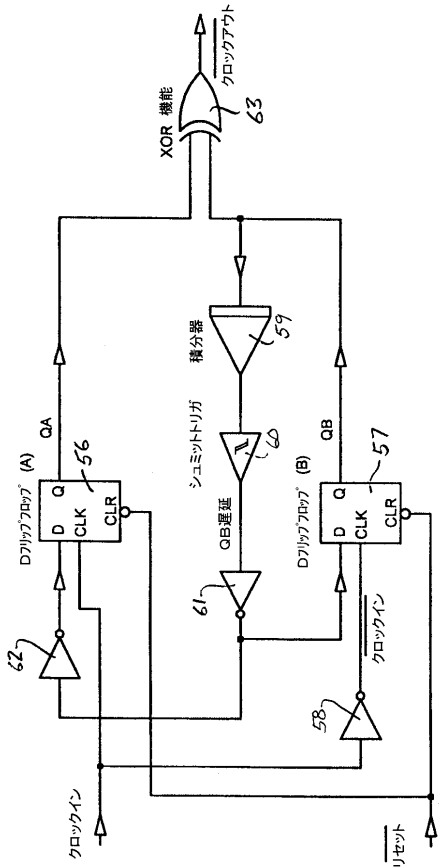
【図１】


速度出力
DAC
ローパスフィルタ
復調器
デジタル論理
EEPROM
クロックフィルタ
リセット回路
ドライブオシレータ

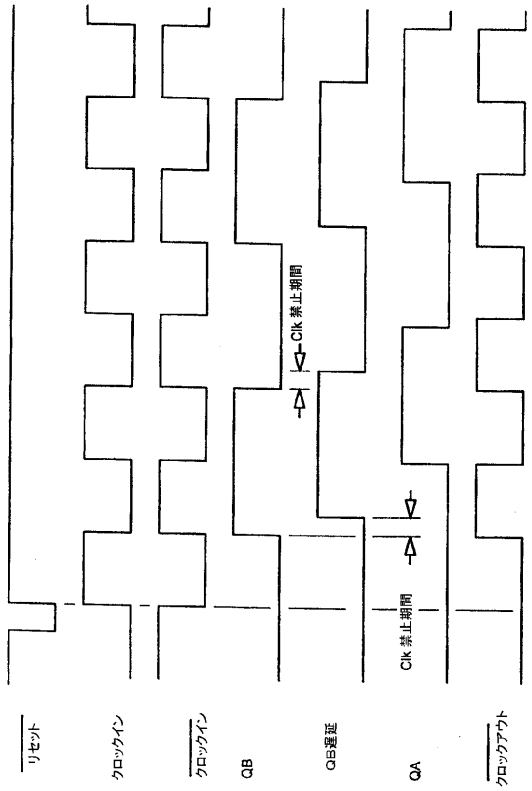
【図２】


速度出力信号
BITコマンド
BIT論理
LP-FLT
補償された速度信号
ウィンドウコンパレータ
+REF
-REF
INTG(-)
バイアス
BP-FLT
プログラム可能スケールファクタ基準
スケールファクタ基準
振幅変調器
復調器
電圧コンパレータ
ドライブ尖叉
MUX
方形ドライブ
正弦ドライブ
方形対正弦コマンド

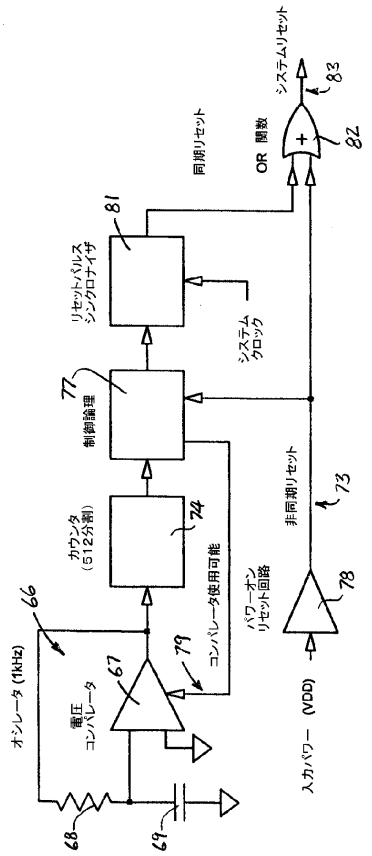
【図３】


XOR 機能
クロックアウト
積分器
シュミットトリガ
QB遅延
Dフリップフロップ (A)
Dフリップフロップ (B)
QA
QB
クロックイン
リセット

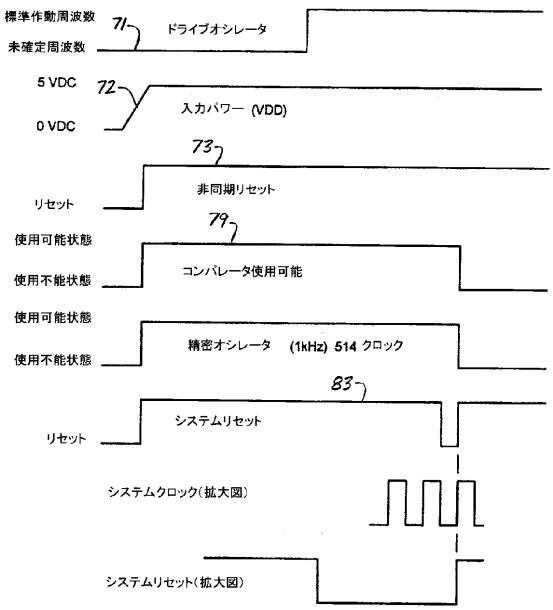
【図４】


Clk 禁止期間
リセット
クロックイン
QB
QB遅延
QA
クロックアウト

【図５】


システムリセット
83
OR 関数
82
同期リセット
81
リセットパルス
シンクロナイザ
システム
クロック
77
制御論理
カウンタ
(512分割)
74
コンパレータ使用可能
パワーオン
リセット回路
73
非同期リセット
78
66
79
67
電圧
コンパレータ
オシレータ (1kHz)
68
69
入力パワー (VDD)

【図６】


標準作動周波数
未確定周波数
71
ドライブオシレータ
5 VDC
0 VDC
72
入力パワー (VDD)
73
リセット
非同期リセット
79
使用可能状態
使用不能状態
コンパレータ使用可能
使用可能状態
使用不能状態
精密オシレータ (1kHz) 514 クロック
83
リセット
システムリセット
システムクロック(拡大図)
システムリセット(拡大図)

フロントページの続き

(74)代理人 100096194
弁理士 竹内 英人
(74)代理人 100074228
弁理士 今城 俊夫
(74)代理人 100084009
弁理士 小川 信夫
(74)代理人 100082821
弁理士 村社 厚夫
(74)代理人 100086771
弁理士 西島 孝喜
(74)代理人 100084663
弁理士 箱田 篤
(72)発明者 ラリー ピー ホッブス
アメリカ合衆国 カリフォルニア州 ９４５１３ ブレントウッド ピーオーボックス １５２６
(72)発明者 ジー リチャード ニューウェル
アメリカ合衆国 カリフォルニア州 ９４５９５ ウォルナット クリーク オーチャード レーン １６１５

審査官 谷口 智利

(56)参考文献 国際公開第９６／０３８７１２（WO，Ａ１）
特開平１０－０４７９７０（ＪＰ，Ａ）
特開昭６１－２４７９１３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G01C 19/56
G01P 9/04