



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월16일
(11) 등록번호 10-2123277
(24) 등록일자 2020년06월10일

(51) 국제특허분류(Int. Cl.)
H03M 1/46 (2006.01) H03M 1/00 (2006.01)
(52) CPC특허분류
H03M 1/462 (2013.01)
H03M 1/002 (2019.01)
(21) 출원번호 10-2019-0046136
(22) 출원일자 2019년04월19일
심사청구일자 2019년04월19일
(56) 선행기술조사문헌
JP2009525678 A*
JP2011120011 A*
KR1020010108754 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
조선대학교 산학협력단
광주광역시 동구 필문대로 309 (서석동)
(72) 발명자
최광석
경기도 성남시 분당구 중앙공원로 53 한신아파트
112-1603
(74) 대리인
김견수

전체 청구항 수 : 총 9 항

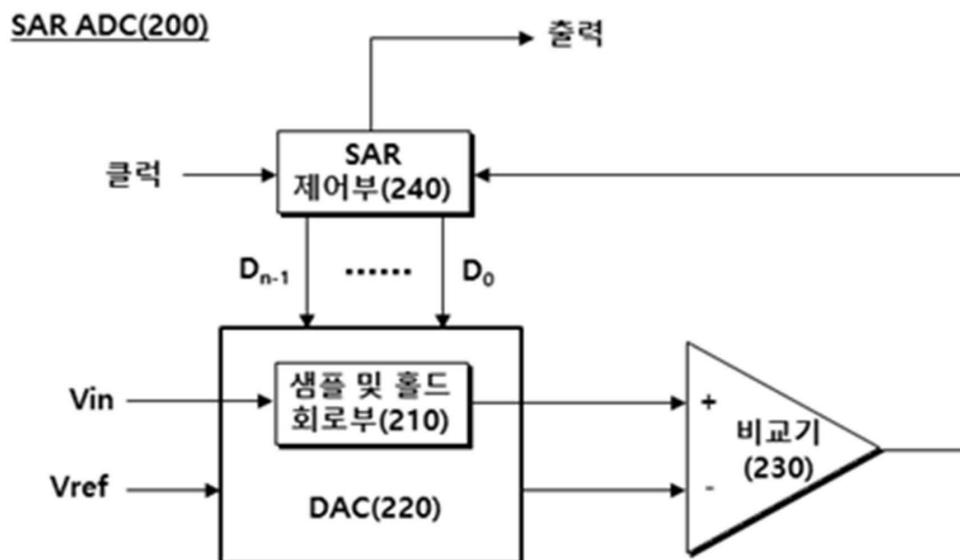
심사관 : 조춘근

(54) 발명의 명칭 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기

(57) 요약

본 발명은 저전력 및 고성능 전하 재분배 기능을 갖는 SAR(Successive Approximation Register) 아날로그 디지털 변환기에 관한 것으로, 더욱 상세하게는 생체 이식 디바이스 등에 사용되는 SAR 아날로그 디지털 변환기의 전력 소비를 최소화하기 위하여, 별도의 샘플 및 홀드회로를 사용하지 않고 디지털 아날로그 컨버터에 내장된 샘플 및 홀드회로를 사용하고, 또한 2 스테이지 바이너리 가중(binary weighted) 커패시터 어레이를 사용함으로써, 저전력 및 고성능의 전하 재분배를 구현할 수 있는 SAR 아날로그 디지털 변환기에 관한 것이다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호 1345278345

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 지역대학우수과학자지원사업(1년~3년)

연구과제명 효율적인 무선 전력 전송 기술과 생체 신호 처리 SoC가 적용된 이식형 생체 의료 장치 시스템

기 여 율 1/1

주관기관 조선대학교 산학협력단

연구기간 2018.03.01 ~ 2019.02.28

명세서

청구범위

청구항 1

아날로그 입력 전압을 샘플링하는 샘플 및 홀드회로부를 내장하고, 상기 아날로그 입력 전압을 커패시터 어레이에 저장하고, 상기 샘플링된 아날로그 입력 전압과 비교되는 아날로그 전압을 생성하여 출력하는 DAC(Digital Analog Converter);

상기 샘플링된 아날로그 입력 전압과 상기 DAC에서 생성한 아날로그 전압을 비교하는 비교기; 및

상기 비교기의 출력을 기반으로 0 또는 1의 디지털 신호를 생성하고, 상기 생성한 디지털 신호를 상기 DAC로 피드백하는 SAR(Successive Approximation Register) 제어부;를 포함하며,

상기 비교기는, PMOS 트랜지스터와 NMOS 트랜지스터로 구성되는 복수의 스위치(M_0 , M_3 내지 M_5 , M_{10} , M_{11}); 상기 샘플 및 홀드회로부에서 샘플링된 아날로그 입력 전압과 상기 DAC에서 생성한 아날로그 전압이 입력되는 입력 트랜지스터(M_2 , M_1); 및 입력신호와 출력신호의 극성을 반전시키는 복수의 인버터(M_6 내지 M_9);를 포함하며,

상기 SAR 제어부는, 상기 아날로그 입력 전압에 대한 MSB(Most Significant Bit)부터 LSB(Least Significant Bit)까지 해당되는 디지털 신호가 결정될 때까지 상기 디지털 신호의 생성을 반복하여 수행하며,

상기 샘플 및 홀드회로부를 상기 DAC에 내장함으로써, 전력 소모를 감소시키도록 하는 것을 특징으로 하는 SAR 아날로그 디지털 변환기.

청구항 2

청구항 1에 있어서,

상기 아날로그 입력 전압은,

사용자의 맥박, 혈압, 체온, 심전도, 혈당 또는 이들의 조합을 포함한 생체 데이터에 대한 정보인 것을 특징으로 하는 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기.

청구항 3

청구항 1에 있어서,

상기 DAC는,

상기 샘플 및 홀드회로부에서 샘플링한 아날로그 입력 전압과 상기 SAR 제어부에서 생성한 디지털 신호를 사용하여 기준전압의 중간 값에 해당하는 공통모드 전압에 대한 아날로그 전압을 생성하여 상기 비교기로 출력하는 것을 특징으로 하는 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기.

청구항 4

청구항 3에 있어서,

상기 DAC에서 출력되는 상기 샘플링한 아날로그 입력 전압과 비교되는 아날로그 전압은,

MSB에서는 $-V_{IN} + V_{CM} + 0.5V_{ref}$ 이고,

LSB에서는 $V_{outDAC} = -V_{IN} + V_{CM} + D_7 \frac{V_{ref}}{2} + D_6 \frac{V_{ref}}{4} + \dots + D_2 \frac{V_{ref}}{2^6} + D_1 \frac{V_{ref}}{2^7} + D_0 \frac{V_{ref}}{2^8}$ 이며,

V_{IN} 은 아날로그 입력 전압, V_{CM} 은 공통모드 전압, V_{ref} 는 기준전압, D_0 내지 D_7 은 해당 비트에서의 디지털 신호인 것을 특징으로 하는 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기.

청구항 5

삭제

청구항 6

청구항 1에 있어서,

상기 비교기는,

프리차지 상태인 클럭이 로우일 때, 상기 복수의 스위치 중 PMOS 트랜지스터 M_{10} 과 M_{11} 이 턴 온되어 공급전압 V_{DD} 로 출력 노드 커패시터를 충전하고,

클럭이 하이인 평가 상태가 되면, 상기 복수의 스위치 중 PMOS 트랜지스터 M_5 가 스위치 오프되어 상기 입력 트랜지스터 M_1 과 M_2 의 소스를 접지에 연결하고,

차동 입력 신호가 상기 입력 트랜지스터 M_1 과 M_2 의 게이트에 인가되면 다른 비율(different rate)로 상기 충전된 출력 노드 커패시터가 방전되고,

상기 입력 트랜지스터 M_1 과 M_2 의 게이트에 각각 인가되는 전압의 크기에 따라 상기 SAR 제어부로 + 극성의 출력 신호를 출력하는 V_{o+} 노드 또는 - 극성의 출력신호를 출력하는 V_{o-} 노드 중 어느 하나의 노드에서의 방전이 빠르게 수행되어 로직 0 또는 1을 생성하되, 상기 입력 트랜지스터 M_2 에 인가되는 전압이 상기 입력 트랜지스터 M_1 에 인가되는 전압보다 크면 V_{o+} 노드에서 로직 1을 생성하고, 반대의 경우에는 V_{o-} 노드에서 로직 0을 생성하는 것을 특징으로 하는 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기.

청구항 7

청구항 1에 있어서,

상기 DAC는,

제1 커패시터 어레이 및 제2 커패시터 어레이를 포함하는 2 스테이지 바이너리 가중(binary weighted) 커패시터 어레이;

상기 2 스테이지 바이너리 가중 커패시터 어레이의 모든 커패시터의 상단을 공통모드 전압 V_{CM} 이 입력되는 전압단에 연결하고, 하단을 아날로그 입력 전압 V_{IN} 이 입력되는 전압단에 연결하는 샘플링 스위치;

공통모드 전압 V_{CM} 이 입력되는 전압단과 상기 2 스테이지 바이너리 가중 커패시터 어레이를 연결하는 상단 스위치; 및

상기 2 스테이지 바이너리 가중 커패시터 어레이를 아날로그 입력 전압 V_{IN} 이 입력되는 전압단, 기준전압 V_{ref} 이 입력되는 전압단 또는 접지와 연결하는 하단 스위치;를 포함하는 것을 특징으로 하는 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기.

청구항 8

청구항 7에 있어서,

상기 샘플링 스위치는,

샘플링 단계에서, 상기 2 스테이지 바이너리 가중 커패시터 어레이에서 상기 아날로그 입력 전압 V_{IN} 이 샘플링되도록 하고,

홀드 단계에서, 오픈되어 $-V_{IN}$ (아날로그 입력 전압) + V_{CM} (공통모드 전압)전하가 상기 2 스테이지 바이너리 가중 커패시터 어레이에 충전되도록 하는 것을 특징으로 하는 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기.

청구항 9

청구항 7에 있어서,

상기 하단 스위치는,

상기 샘플 및 홀드회로부에서 아날로그 입력 전압을 샘플링한 샘플이 1일 때, 상기 SAR 제어부에서 결정된 디지털 데이터에 상관없이 아날로그 입력 전압 V_{IN} 이 입력되는 전압단에 연결되고,

상기 샘플이 0일 때, 상기 SAR 제어부에서 결정된 상기 디지털 데이터가 1이면 기준전압 V_{ref} 이 입력되는 전압단에 연결되고,

상기 샘플이 0일 때, 상기 SAR 제어부에서 결정된 상기 디지털 데이터가 0이면 접지에 연결되는 것을 특징으로 하는 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기.

청구항 10

청구항 1에 있어서,

상기 SAR 제어부는,

복수 개의 D 플립플롭으로 구성된 링 카운터 및 시프트 레지스터를 포함하고,

상기 비교기로부터 입력되는 비교 결과를 토대로 상기 아날로그 입력 전압에 대한 비트 값을 MSB부터 LSB까지 연속적으로 결정하는 제어 로직을 수행하는 것을 특징으로 하는 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기.

발명의 설명

기술 분야

[0001] 본 발명은 저전력 및 고성능 전하 재분배 기능을 갖는 SAR(Successive Approximation Register) 아날로그 디지털 변환기에 관한 것으로, 더욱 상세하게는 생체 이식 디바이스 등에 사용되는 SAR 아날로그 디지털 변환기의 전력 소비를 최소화하기 위하여, 별도의 샘플 및 홀드회로를 사용하지 않고 디지털 아날로그 컨버터에 내장된 샘플 및 홀드회로를 사용하고, 또한 2 스테이지 바이너리 가중(binary weighted) 커패시터 어레이를 사용함으로써, 저전력 및 고성능의 전하 재분배를 구현할 수 있는 SAR 아날로그 디지털 변환기에 관한 것이다.

배경 기술

[0002] 최근 들어 대부분의 애플리케이션은 이식형 디바이스 또는 무선 시스템과 같이 저전력 소모에 대한 까다로운 요구 사항을 기반으로 구축된다. 특히 인체 내에 삽입되어 사용되는 생체 이식 디바이스는 장기간의 작업이 배터리 수명에 의해 제한되므로 초 저전력 소모가 필요하다. 즉 상기 생체 이식 디바이스는 장기간 작동을 위해 지속적인 전력 공급이 필요하며, 이에 따라 초 저전력 동작은 생체 이식 디바이스의 핵심적인 요구 사항이다.

[0003] 상기 생체 이식 디바이스는 물론 대부분의 전자 시스템에서 신호는 본질적으로 아날로그이며, 아날로그 신호를 디지털 신호로 변환하기 위해 입력 측에 ADC(Analog Digital Converter)가 필요하다.

[0004] 상기 ADC는 많은 응용 분야에서 중요한 기본 유닛이며, 전력 소모를 가능한 한 낮게 유지하기 위해 ADC는 전력 제한 시스템 설계에 필수적인 구성 요소이다. 맥박 조정기 및 심장 제세동기는 에너지 소비가 매우 제한적인 생체 디바이스의 예이다. ADC의 초 저전력 소모는 장기간의 작동을 위해 필수적이며, 이러한 애플리케이션을 위해 ADC의 면적을 최소화해야 한다. 따라서 ADC 설계에서 저전력 및 소형 크기가 핵심 요소이다.

[0005] 상기 ADC는 아날로그 신호를 디지털 신호로 변환하기 위한 장치이며, 아날로그 신호를 샘플링하여 그 크기에 상응하는 디지털 코드 또는 디지털 신호로 변환한다. 이러한 ADC의 종류에는 파이프라인 ADC, 플래시 타입 ADC, 트래킹 기법을 이용한 ADC 및 SAR ADC 등이 있으며, 이 중에서도 특히 SAR ADC가 에너지 효율이 매우 높다.

[0006] 상기 SAR ADC는 각종 애플리케이션에서 저전력 A/D 변환에 널리 사용되는 옵션이며, 저전력을 소모하는 간단한 구조로 되어 있다. 게다가, 기술 발전으로 SAR ADC는 설계의 대부분이 디지털이므로 확장이 가능하다.

[0007] 상기 SAR ADC는 최상위 비트부터 순서대로 하위 비트 방향으로 수정하여 아날로그 입력 전압에 근사시키는 방식으로, 입력신호에 가장 가까운 디지털 신호를 생성할 수 있다.

[0008] 이때 상기 SAR ADC의 주요 소비 전력원은 DAC와 비교기이다. 상기 DAC의 스위칭 시퀀스는 커패시터 어레이를 충

전하거나 방전하는데 필요한 에너지 소실(dissipation)을 지배한다.

- [0009] 하지만 종래의 스위칭 방식은 효율적인 기술이 아니며, 커패시터 어레이의 충전 및 방전 시에 충분한 양의 에너지가 소비되는 문제점이 있었다.
- [0010] 따라서 본 발명에서는 전하 재분배 디지털 아날로그 변환기, 동적 비교기 및 시퀀서와 링 카운터로 구성된 SAR 제어 로직을 포함하여 SAR 아날로그 디지털 변환기를 설계함으로써, 저전력 및 고성능의 전하 재분배를 구현할 수 있는 방안을 제시하고자 한다.
- [0011] 특히, 본 발명은 SAR 아날로그 디지털 변환기를 설계할 때, 에너지 효율을 높이기 위하여 별도의 샘플 및 홀드 회로를 사용하지 않고 디지털 아날로그 컨버터에 내장된 샘플 및 홀드회로를 사용하고, 2 스테이지 바이너리 가중(binary weighted) 커패시터 어레이를 사용함으로써, 전력 소비를 최소화할 수 있는 방안을 제시하고자 한다.
- [0012] 다음으로 본 발명의 기술분야에 존재하는 선행기술에 대하여 간단하게 설명하고, 이어서 본 발명이 상기 선행기술에 비해서 차별적으로 이루고자 하는 기술적 사항에 대해서 기술하고자 한다.
- [0013] 먼저 한국등록특허 제1056380호(2011.08.12.)는 SAR 아날로그 디지털 변환기에 관한 것으로, 아날로그 입력 전압값을 비교기의 양쪽 노드에 각각 다른 식으로 샘플링된 값을 제공하여주는 것에 의하여, 스위칭 에너지 및 총 커패시터 사이즈를 감소시킬 수 있는 SAR 아날로그 디지털 변환기에 관한 것이다.
- [0014] 즉 상기 선행기술은 아날로그 입력 전압 값을 비교기의 양쪽 노드에 각각 다른 식으로 샘플링된 값을 제공하는 것에 의하여, 스위칭 에너지 및 총 커패시터 사이즈를 감소시킬 수 있는 SAR 아날로그 디지털 변환기에 대해 기재하고 있다.
- [0015] 또한 한국등록특허 제1726754호(2017.04.14.)는 연속 근사 레지스터 아날로그 디지털 컨버터에 관한 것으로, 보정 커패시터를 이용하여 안정적으로 아날로그 신호를 디지털 신호로 변환하는 연속 근사 레지스터 아날로그 디지털 컨버터에 관한 것이다.
- [0016] 즉 상기 선행기술은 실시간으로 보정되어 연속 근사 레지스터 아날로그 디지털 컨버터의 아날로그 디지털 변환의 선형성을 더욱 개선할 수 있는 연속 근사 레지스터 아날로그 디지털 컨버터를 기재하고 있다.
- [0017] 이상에서 선행기술들을 검토한 결과, 상기 선행기술들은 비교기의 양쪽 노드에 각각 다른 식으로 샘플링된 아날로그 입력 전압값을 제공하여 스위칭 에너지 및 총 커패시터 사이즈를 감소시키는 구성, 보정 커패시터를 이용하여 안정적으로 아날로그 신호를 변환하는 구성을 기재하고 있을 뿐이다.
- [0018] 이에 반하여 본 발명은 전하 재분배 디지털 아날로그 변환기, 동적 비교기 및 시퀀서와 링 카운터로 구성된 SAR 제어 로직을 포함하여 SAR 아날로그 디지털 변환기를 설계하고, 에너지 효율을 높이기 위하여 별도의 샘플 및 홀드회로를 사용하지 않고 디지털 아날로그 컨버터에 내장된 샘플 및 홀드회로를 사용하고, 2 스테이지 바이너리 가중 커패시터 어레이를 사용함으로써, 전력 소비를 최소화하고, 고성능의 전하 재분배를 구현할 수 있도록 하는 것이다. 따라서 상기 선행기술들은 본 발명의 이러한 기술적 특징을 기재하거나 시사하고 있지 않다.

발명의 내용

해결하려는 과제

- [0019] 본 발명은 상기와 같은 문제점을 해결하기 위해 창작성된 것으로서, 저전력 및 고성능의 전하 재분배를 구현하기 위한 SAR 아날로그 디지털 변환기를 제공하는 것을 목적으로 한다.
- [0020] 또한 본 발명은 에너지 효율을 높이기 위하여, 전하 재분배 디지털 아날로그 변환기, 동적 비교기 및 시퀀서와 링 카운터로 구성된 SAR 제어 로직을 포함하여 설계한 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기를 제공하는 것을 목적으로 한다.
- [0021] 또한 본 발명은 상기 SAR 아날로그 디지털 변환기를 설계할 때, 별도의 샘플 및 홀드회로를 사용하지 않고 디지털 아날로그 컨버터에 내장된 샘플 및 홀드회로를 사용하여 전력 소비를 최소화할 수 있는 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기를 제공하는 것을 또 다른 목적으로 한다.
- [0022] 또한 본 발명은 2 스테이지 바이너리 가중 커패시터 어레이를 사용하여 전력 소비를 줄일 수 있는 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기를 제공하는 것을 또 다른 목적으로 한다.

과제의 해결 수단

- [0023] 본 발명의 일 실시예에 따른 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기는, 아날로그 입력 전압을 샘플링하고, 상기 아날로그 입력 전압을 커패시터 어레이에 저장하고, 상기 샘플링된 아날로그 입력 전압과 비교되는 아날로그 전압을 생성하여 출력하는 DAC(Digital Analog Converter), 상기 샘플링된 아날로그 입력 전압과 상기 DAC에서 생성한 아날로그 전압을 비교하는 비교기, 및 상기 비교기의 출력을 기반으로 0 또는 1의 디지털 신호를 생성하고, 상기 생성한 디지털 신호를 상기 DAC로 피드백하는 SAR(Successive Approximation Register) 제어부;를 포함하며, 상기 SAR 제어부는, 상기 아날로그 입력 전압에 대한 MSB(Most Significant Bit)부터 LSB(Least Significant Bit)까지 해당되는 디지털 신호가 결정될 때까지 상기 디지털 신호의 생성을 반복하여 수행하며, 상기 아날로그 입력 전압을 샘플링하는 샘플 및 홀드회로를 상기 DAC에 내장함으로써, 전력 소모를 감소시키도록 하는 것을 특징으로 한다.
- [0024] 또한 상기 아날로그 입력 전압은, 사용자의 맥박, 혈압, 체온, 심전도, 혈당 또는 이들의 조합을 포함한 생체 데이터 정보인 것을 특징으로 한다.
- [0025] 또한 상기 DAC는, 상기 샘플링된 아날로그 입력 전압과 상기 SAR 제어부에서 생성되는 디지털 신호를 사용하여 기준전압의 중간 값에 해당하는 공통모드 전압에 대한 아날로그 전압을 생성하여 상기 비교기로 출력하는 것을 특징으로 한다.
- [0026] 이때 상기 DAC에서 출력되는 상기 샘플링된 아날로그 입력 전압과 비교되는 아날로그 전압은, MSB에서는 $-V_{IN} + V_{CM} + 0.5V_{ref}$ 이고, LSB에서는 $V_{outDAC} = -V_{IN} + V_{CM} + D_7 \frac{V_{ref}}{2} + D_6 \frac{V_{ref}}{4} + \dots + D_2 \frac{V_{ref}}{2^6} + D_1 \frac{V_{ref}}{2^7} + D_0 \frac{V_{ref}}{2^8}$ 이며, V_{IN} 은 아날로그 입력 전압, V_{CM} 은 공통모드 전압, V_{ref} 는 기준전압, D_0 내지 D_7 은 해당 비트에서의 디지털 신호인 것을 특징으로 한다.
- [0027] 또한 상기 비교기는, PMOS 트랜지스터와 NMOS 트랜지스터로 구성되는 복수의 스위치(M_0 , M_3 내지 M_5 , M_{10} , M_{11}), 상기 샘플 및 홀드회로부에서 샘플링된 아날로그 입력 전압과 상기 DAC에서 생성한 아날로그 전압이 입력되는 입력 트랜지스터(M_2 , M_1), 및 입력신호와 출력신호의 극성을 반전시키는 다수의 인버터(M_6 내지 M_9)를 포함하는 것을 특징으로 한다.
- [0028] 이때 프리차지 상태인 클럭이 로우일 때, 상기 PMOS 트랜지스터 M_{10} , M_{11} 이 턴 온되어 공급전압 V_{DD} 로 출력 노드 커패시터를 충전하고, 클럭이 하이인 평가 상태가 되면, 상기 PMOS 트랜지스터 M_5 는 스위치 오프되어 상기 입력 트랜지스터 M_1 , M_2 의 소스를 접지에 연결하고, 차동 입력 신호가 상기 입력 트랜지스터 M_1 , M_2 의 게이트에 인가되면 다른 비율(different rate)로 상기 충전된 출력 노드 커패시터가 방전되고, 상기 입력 트랜지스터 M_1 , M_2 의 게이트에 각각 인가되는 전압의 크기에 따라 V_{o+} 노드 또는 V_{o-} 노드 중 어느 하나의 노드에서의 방전이 빠르게 수행되어 로직 0 또는 1을 생성하되, 상기 입력 트랜지스터 M_2 에 인가되는 전압이 상기 입력 트랜지스터 M_1 에 인가되는 전압보다 크면 V_{o+} 노드에서 로직 1을 생성하고, 반대의 경우에는 V_{o-} 노드에서 로직 0을 생성하는 것을 특징으로 한다.
- [0029] 또한 상기 DAC는, 제1 커패시터 어레이 및 제2 커패시터 어레이를 포함하는 2 스테이지 바이너리 가중(binary weighted) 커패시터 어레이, 상기 2 스테이지 바이너리 가중 커패시터 어레이의 모든 커패시터의 상단을 공통모드 전압단에 연결하고, 하단을 아날로그 입력 전압단에 연결하는 샘플링 스위치, 공통모드 전압단과 상기 2 스테이지 바이너리 가중 커패시터 어레이를 연결하는 상단 스위치, 및 상기 2 스테이지 바이너리 가중 커패시터 어레이를 아날로그 전압 입력단, 기준전압단 또는 접지와 연결하는 하단 스위치를 포함하는 것을 특징으로 한다.
- [0030] 또한 상기 샘플링 스위치는, 샘플링 단계에서 상기 2 스테이지 바이너리 가중 커패시터 어레이에서 상기 아날로그 입력 전압이 샘플링되도록 하고, 홀드 단계에서 오픈되어 $-V_{IN} + V_{CM}$ 의 전하가 상기 2 스테이지 바이너리 가중 커패시터 어레이에 충전되도록 하는 것을 특징으로 한다.
- [0031] 또한 상기 하단 스위치는, 샘플이 1일 때 상기 SAR 제어부에서 결정된 디지털 데이터에 상관없이 아날로그 전압 입력단(V_{IN})에 연결되고, 샘플이 0일 때 상기 디지털 데이터가 1이면 기준전압단(V_{ref})에 연결되고, 상기 디지털

데이터가 0이면 접지에 연결되는 것을 특징으로 한다.

- [0032] 또한 상기 SAR 제어부는, 복수 개의 D 플립플롭으로 구성된 링 카운터 및 시프트 레지스터를 포함하고, 상기 비교기의 출력 결과를 토대로 상기 아날로그 입력 전압에 대한 비트 값을 MSB부터 LSB까지 연속적으로 결정하는 제어 로직을 수행하는 것을 특징으로 한다.

발명의 효과

- [0033] 이상에서와 같이 본 발명의 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기에 따르면, 전하 재분배 디지털 아날로그 변환기, 동적 비교기 및 시퀀서와 링 카운터로 구성된 SAR 제어 로직을 포함하여 SAR 아날로그 디지털 변환기를 설계함으로써, 저전력 및 고성능의 전하 재분배를 구현할 수 있는 효과가 있다.
- [0034] 또한 본 발명은 SAR 아날로그 디지털 변환기를 설계할 때, 에너지 효율을 높이기 위하여 별도의 샘플 및 홀드회로를 사용하지 않고 디지털 아날로그 컨버터에 내장된 샘플 및 홀드회로를 사용하고, 2 스테이지 바이너리 가중 커패시터 어레이를 사용함으로써, 전력 소비를 최소화할 수 있는 효과가 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 일 실시예에 따른 SAR 아날로그 디지털 변환기가 적용된 생체 이식 디바이스의 구성을 나타낸 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 SAR ADC의 구성을 나타낸 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 SAR ADC에 적용되는 연속 근사 알고리즘을 설명하기 위한 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 SAR ADC의 4비트 동작을 설명하기 위한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 SAR ADC에 구비된 비교기 구조를 상세하게 나타낸 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 SAR ADC에 구비된 DAC 구조를 상세하게 나타낸 도면이다.
- 도 7은 본 발명에 적용되는 DAC 구조에서의 하단 스위치 작동 테이블을 나타낸 도면이다.
- 도 8은 본 발명에 적용되는 DAC 구조에서의 샘플링 스위치를 보다 상세하게 나타낸 도면이다.
- 도 9는 본 발명에 적용되는 DAC 구조에서의 상단 스위치를 보다 상세하게 나타낸 도면이다.
- 도 10은 본 발명에 적용되는 DAC 구조에서의 하단 스위치를 보다 상세하게 나타낸 도면이다.
- 도 11은 본 발명의 일 실시예에 따른 SAR ADC에서 구현되는 SAR 제어 로직의 흐름도이다.
- 도 12는 본 발명에 적용되는 SAR 제어 로직에 따른 SAR 동작 테이블을 나타낸 도면이다.
- 도 13은 본 발명의 일 실시예에 따른 SAR ADC에 구비된 SAR 제어부 구조를 보다 상세하게 나타낸 도면이다.
- 도 14는 본 발명에 적용되는 SAR 제어부의 D-플립플롭 구조를 보다 상세하게 나타낸 도면이다.
- 도 15는 본 발명의 일 실시예에 따른 SAR ADC의 비교기 과도 응답을 나타낸 도면이다.
- 도 16은 본 발명의 일 실시예에 따른 SAR ADC의 SAR 로직의 링 카운터로써 사용되는 전송 게이트 기반 D 플립플롭의 과도 응답을 나타낸 도면이다.
- 도 17은 본 발명에 적용되는 SAR 과도 응답을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 첨부한 도면을 참조하여 본 발명의 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기에 대한 바람직한 실시 예를 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다. 또한 본 발명의 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는

한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는 것이 바람직하다.

- [0037] 도 1은 본 발명의 일 실시예에 따른 SAR 아날로그 디지털 변환기가 적용된 생체 이식 디바이스의 구성을 나타낸 도면이다.
- [0038] 도 1에 도시된 바와 같이, 생체 이식 디바이스(100)는 질병이나 관찰 대상이 되는 사용자의 생체에 이식되는 부분으로서, 무선 전력 전송부(110), 전압 조정부(120), 데이터 처리부(130), 데이터 송수신부(140), 인터페이스부(150) 등을 포함하여 구성된다.
- [0039] 상기 무선 전력 전송부(110)는 전자기 유도방식이나 공진 방식에 의해 무선으로 전력을 공급받아 상기 전압 조정부(120)로 출력한다. 이때 상기 생체 이식 디바이스(100)는 상기 무선 전력 전송부(110) 구성 이외에 배터리 전원을 사용할 수도 있다.
- [0040] 상기 전압 조정부(120)는 상기 무선 전력 전송부(110)로부터 공급되는 전원을 정류하고, 상기 데이터 처리부(130)와 상기 데이터 송수신부(140)에서 사용하는 동작 전원으로 조정하여 출력한다.
- [0041] 상기 데이터 처리부(130)는 전단 증폭기와 ADC로 구성되고, 상기 전압 조정부(120)에서 공급하는 전원으로 동작하여 사용자의 질병 진단이나 모니터링을 위한 아날로그 생체 데이터를 상기 전단 증폭기로 증폭하고, 상기 증폭한 아날로그 생체 데이터를 디지털로 변환하여 상기 데이터 송수신부(140)로 출력한다.
- [0042] 이때 상기 ADC가 본 발명에 적용되는 저전력 및 고성능의 전하 재분배 기능을 갖는 SAR ADC이다.
- [0043] 상기 데이터 송수신부(140)는 상기 전압 조정부(120)에서 공급하는 전원으로 동작하여 상기 데이터 처리부(130)로부터 입력되는 디지털 생체 데이터를 변조하고, 상기 변조한 생체 데이터를 상기 인터페이스부(150)를 통해 외부 장치로 전송한다.
- [0044] 이때 상기 외부 장치는 무선으로 질병이나 관찰 대상이 되는 사용자의 생체 데이터를 수신하여 디스플레이(예를 들어, 스마트 기기에 설치된 애플리케이션 프로그램을 통해 디스플레이)하거나 또는 상기 생체 데이터를 정보수집 및 관리를 수행한다.
- [0045] 또한 상기 데이터 송수신부(140)는 상기 인터페이스부(150)를 통해 외부 장치로부터 수신받은 제어정보를 제어부(미도시)로 제공하여 상기 생체 이식 디바이스(100)에 구비된 각종 센서의 동작이나 각 구성부분의 동작을 제어하도록 할 수 있다.
- [0046] 상기 인터페이스부(150)는 상기 데이터 송수신부(140)에서 출력되는 변조된 생체 데이터를 외부 장치로 전송하고, 상기 외부 장치로부터 내부 각 구성 부분의 동작을 위한 제어정보를 수신하여 상기 데이터 송수신부(140)로 출력한다.
- [0047] 도 2는 본 발명의 일 실시예에 따른 SAR ADC의 구성을 나타낸 도면이다.
- [0048] 도 2에 도시된 바와 같이, 상기 SAR ADC(200)는 샘플 및 홀드회로부(210)가 내장된 DAC(220), 비교기(230), SAR 제어부(240) 등으로 구성된다.
- [0049] 상기 샘플 및 홀드회로부(210)는 아날로그 입력 전압(V_{in})(예를 들어 생체 데이터)의 샘플링 프로세스가 진행되는 부분이다.
- [0050] 이때 상기 아날로그 입력 전압은 사용자의 맥박, 혈압, 체온, 심전도, 혈당 또는 이들의 조합을 포함한 생체 데이터 정보이다.
- [0051] 상기 DAC(220)는 상기 샘플 및 홀드회로부(210)에서 샘플링된 아날로그 입력 전압(V_{in})과 비교되는 아날로그 전압을 생성하여 상기 비교기(230)로 출력한다. 즉 상기 DAC(220)는 상기 샘플링된 아날로그 입력 전압(V_{in})과 상기 SAR 제어부(240)에서 생성되는 디지털 신호를 사용하여 기준전압(V_{ref})의 중간 값에 해당하는 공통모드 전압에 대한 아날로그 전압을 생성하는 것이다.
- [0052] 상기 비교기(230)는 상기 샘플 및 홀드회로부(210)에서 샘플링된 아날로그 입력 전압(V_{in})과 상기 DAC(220)에서 생성한 아날로그 전압을 비교하고, 비교 결과를 상기 SAR 제어부(240)로 출력한다.
- [0053] 상기 SAR 제어부(240)는 상기 비교기(230)로부터 입력되는 비교 결과를 토대로 디지털 신호를 생성하고, 상기 생성한 디지털 신호는 상기 DAC(220)로 피드백 된다.

- [0054] 이때 SAR 제어부(240)에서 수행되는 제어과정은 상기 입력된 아날로그 입력 전압(V_{in})에 대한 MSB(Most Significant Bit)부터 LSB(Least Significant Bit)까지 해당되는 디지털 신호가 결정될 때까지 반복하여 수행된다.
- [0055] 예를 들어, 상기 DAC(220)의 출력 아날로그 전압은 먼저 MSB 1로 설정되고, 해당 아날로그 전압은 상기 비교기(230)에서 상기 샘플 및 홀드회로부(210)에서 샘플링된 아날로그 입력 전압(V_{in})과 비교되며, 이에 따라 상기 비교기(230)의 출력은 1 또는 0으로 설정된다. 이처럼 상기 비교기(230)의 출력을 기반으로 상기 SAR 제어부(240)는 상기 DAC(220)의 출력을 결정한다.
- [0056] 또한 이진 검색 알고리즘은 상기 SAR ADC(200)가 변환 작업을 수행하는 데 사용된다. 타이밍은 ADC의 정확한 기능을 위한 가장 중요한 요소 중 하나이다. 상기 SAR ADC(200)에서 2개의 클럭은 일반적으로 글로벌 클럭(Global clock), 비트 사이클링 클럭(bit cycling clock)으로 표현되는 변환 프로세스를 수행하는 데 사용된다.
- [0057] 상기 글로벌 클럭에는 두 단계가 있다. 클럭이 높은 기간을 샘플 단계(Sample Phase)라 하며, 입력 신호는 이 단계 동안 샘플링된다. 또한 클럭이 낮은 기간을 홀드 단계(Hold phase)라 하며, 샘플링 후 샘플링된 값이 유지되고 샘플링된 값의 변환이 이 단계에서 수행된다.
- [0058] 상기 글로벌 클럭의 홀드 단계 동안의 변환 동작은 비트 사이클링 클럭으로 알려진 다른 클럭에 의해 처리된다. 상기 SAR ADC의 비트 분해능은 홀드 기간 내에 비트 사이클링 클럭에 대한 사이클 수를 결정한다. 비트 사이클링 클럭은 N 비트 SAR ADC에 대해 N 사이클을 필요로 한다. SAR 로직 알고리즘은 비교기의 출력에 따라 작동한다.
- [0059] 보다 구체적으로 설명하면, 상기 이진 검색 알고리즘은 샘플링된 해당 아날로그 신호에 정확한 디지털 값을 얻기 위해 연속 근사(successive approximation)를 기반으로 하는 ADC에서 구현된다. 비트 1은 제1 주기에서 MSB로 결정된다. 비트 2는 다음 주기에서 다음 최상위 비트로 결정된다. 유사하게 N 비트가 모두 결정될 때까지 하나의 비트가 결정된다. 결과적으로 N 비트 변환의 경우 N 사이클이 필요하다. 또한 고주파 클럭은 하나의 변환 주기에서 변환을 완료하는데 필요하다.
- [0060] 상기 연속 근사 알고리즘의 절차를 도 3을 참조하여 설명하면 다음과 같다.
- [0061] 도 3은 본 발명의 일 실시예에 따른 SAR ADC에 적용되는 연속 근사 알고리즘을 설명하기 위한 도면이다.
- [0062] 예를 들어 1에서 64 사이의 난수를 생각하고, 그 번호를 찾으려면, 첫 번째 질문은 이 숫자가 절반인 32보다 큰지 아니면 작은지의 여부이다. 만일 숫자가 더 작으면, 다음으로 고려해야 할 사항은 상기 숫자가 16(0과 32의 중간 값) 보다 크거나 작은지의 여부이다. 그러나 만일 숫자가 더 크면, 다음 질문은 숫자가 48(32와 64의 중간 값) 보다 크거나 작은지의 여부이다. 따라서 추가 단계는 난수가 결정될 때까지 2로 스케일을 연속적으로 나누는 것을 포함한다. 도 3은 이와 같은 연속 근사 알고리즘을 나타낸다.
- [0063] 다음에는 도 4를 참조하여 4비트 SAR ADC의 동작에 대하여 설명한다.
- [0064] 도 4는 본 발명의 일 실시예에 따른 SAR ADC의 4비트 동작을 설명하기 위한 도면이다.
- [0065] 상기 도 4는 SAR ADC 내의 DAC의 출력에서 전압을 연속적으로 근사하는 과정을 나타낸 것이다.
- [0066] 예를 들어 코드를 1000으로 설정하면, 첫 번째 클럭 사이클 동안 DAC 전압이 V_{ref} 의 절반으로 설정된다. 이 V_{in} 이 V_{ref} 의 1/2, 즉 $V_{ref}/2$ 와 비교되고, 결과 비교에 따라, MSB가 결정된다. 만일 $V_{in} < V_{ref}/2$ 이면, MSB는 0으로 리셋되고, 그렇지 않으면 1로 유지된다. 도 4의 경우 1로 유지된다. 다음 사이클에서 DAC 입력이 1100으로 설정되고 입력 전압은 $3V_{ref}/4$ 와 비교된다. $V_{in} > 3V_{ref}/4$ 일 때, 두 번째 최상위 비트는 그 값을 유지한다. 따라서 다음 비트에 대해 DAC 입력은 1110으로 설정되고 비교 시 세 번째 비트는 $V_{in} < 7V_{ref}/8$ 일 때 0으로 리셋된다. 마지막으로 LSB를 결정할 때 DAC 입력은 1101로 설정되고 $V_{in} > 13V_{ref}/16$ 일 때 LSB는 1이다. 따라서 최종 디지털 코드는 4 클럭 사이클에서 1101로 나타난다.
- [0067] 다음에는 도 5를 참조하여 본 발명에 적용된 상기 SAR ADC(200)의 비교기의 초 저전력 구조에 대하여 설명한다.
- [0068] 도 5는 본 발명의 일 실시예에 따른 SAR ADC에 구비된 비교기 구조를 상세하게 나타낸 도면이다.
- [0069] 도 5에 도시된 바와 같이, 상기 비교기(230)는 PMOS 트랜지스터와 NMOS 트랜지스터를 포함하는 스위치(M_0 , M_3 내

지 M_5 , M_{10} , M_{11}), 상기 샘플 및 홀드회로부(210)에서 샘플링된 아날로그 입력 전압(Inp)과 상기 DAC(220)에서 생성한 아날로그 전압(Inn)이 입력되는 입력 트랜지스터(M_2 , M_1), 입력신호와 출력신호의 극성을 반전시키는 다수의 인버터(M_6 내지 M_9)로 구성된다.

[0070] 먼저 프리 차지 상태, 즉 클럭이 로우일 때, PMOS 트랜지스터들(M_{10} , M_{11})은 턴 온되어 V_{DD} 로 출력 노드 캐패시턴스(미도시)를 충전한다. 또한 PMOS 트랜지스터(M_5)는 스위치 온 되어 입력 트랜지스터(M_1 , M_2)들 사이의 경로를 가져온다.

[0071] 다음, 클럭이 하이(평가 상태)가 되면, NMOS 트랜지스터 M_1 및 M_2 는 접지로의 경로를 설정하기 위해 스위치 온 된다. PMOS 트랜지스터 M_5 는 스위치 오프되어 입력 트랜지스터(M_1 , M_2)의 소스를 접지에 연결한다.

[0072] 이제 차동 입력 신호가 입력 트랜지스터(M_1 , M_2)의 게이트에 인가되면, 다른 비율(different rate)로 출력 커패시턴스가 방전된다. 인가된 전압은 전류 흐름에 비례하고, V_{inp} 가 더 크면 V_o - 노드가 급격하게 떨어진다. $V_{DD} - |V_{ThresholdP}|$ 미만의 값에 도달하면, PMOS 트랜지스터 M_9 가 턴 온되어 V_o +서 로직 "1"을 생성하고, 결과적으로 V_o -에서 "0"을 생성한다.

[0073] 다음에는 도 6 내지 도 10을 참조하여 본 발명에 적용된 상기 SAR ADC(200)의 DAC에 대해 설명한다.

[0074] 도 6은 본 발명의 일 실시예에 따른 SAR ADC에 구비된 DAC 구조를 상세하게 나타낸 도면이고, 도 7은 본 발명에 적용되는 DAC 구조에서의 하단 스위치 작동 테이블을 나타낸 도면이며, 도 8 내지 도 10은 본 발명에 적용되는 DAC 구조에서의 샘플링 스위치, 상단 스위치, 하단 스위치 각각을 보다 상세하게 나타낸 도면이다.

[0075] 상기 도 6은 8비트 DAC의 구조를 나타낸 것으로서, 상기 DAC(220)는 제1 커패시터 어레이(224) 및 제2 커패시터 어레이(225)를 포함하는 2 스테이지 바이너리 가중(binary weighted) 커패시터 어레이, 상기 2 스테이지 바이너리 가중 커패시터 어레이의 모든 커패시터의 상단을 공통모드 전압단(V_{CM})에 연결하고, 하단을 아날로그 입력 전압단(V_{in})에 연결하는 샘플링 스위치(221), 공통모드 전압단(V_{CM})과 상기 2 스테이지 바이너리 가중 커패시터 어레이를 연결하는 상단 스위치(222), 상기 2 스테이지 바이너리 가중 커패시터 어레이를 아날로그 전압 입력단(V_{in}), 기준전압단(V_{ref}) 또는 접지와 연결하는 하단 스위치(223) 등으로 구성된다.

[0076] 또한 상기 DAC(220)는 제1 커패시터 어레이(224) 및 제2 커패시터 어레이(225)로 구성된 2 스테이지의 바이너리 가중 커패시터 어레이를 토대로 저전력의 전하 재분배가 이루어질 수 있도록 한다.

[0077] 도 6에 도시된 바와 같이, 상기 DAC(220)를 통해 변환을 수행하는 세 개의 조작 단계가 있다. 첫 번째는, 샘플링 단계에서 샘플링 스위치(221), 상단 스위치(222) 및 하단 스위치(223)는 제1 커패시터 어레이(224) 및 제2 커패시터 어레이(225)의 모든 커패시터의 상단(top plate)을 V_{CM} 에 연결하고 하단(bottom plate)을 V_{in} 에 연결한다. 따라서 입력 전압(V_{in})은 커패시터 어레이에서 샘플링된다. 다음, 홀드 단계(hold phase) 동안, 샘플링 스위치(221)는 오픈되고 나머지 스위치는 하단을 접지에 연결하므로 $-V_{IN} + V_{CM}$ 의 전하가 커패시터 어레이에 저장된다.

[0078] 재배포 단계(redistribution phase)에서 디지털 코드는 스위치의 상태를 결정하고 실제 변환이 이 단계에서 수행된다. 변환 초기에는 D_7 이 하이이므로 MSB 커패시터가 V_{ref} 에 연결된다. 이 단계에서 DAC의 출력 전압은 $-V_{IN} + V_{CM} + 0.5V_{ref}$ 와 같으며 V_{CM} 과 비교된다. 비교기 결과를 토대로, D_7 은 비교기 출력이 1이면 V_{ref} 에 연결되며 비교기의 결과가 0이면 연결을 접지로 변경한다. 이에 따라 MSB가 정의된다. 다음으로, D_6 이 V_{ref} 에 연결된다. D_6 의 값에 따라 V_{outDAC} 는 $-V_{in} + V_{CM} + D_7 \circ 0.5V_{ref} + D_6 \circ 0.25V_{ref}$ 이며 V_{CM} 과 비교된다. 모든 비트는 연속적으로 생성되며, 마지막 단계에서의 V_{outDAC} 는 다음과 같이 정의된다.

$$V_{outDAC} = -V_{IN} + V_{CM} + D_7 \frac{V_{ref}}{2} + D_6 \frac{V_{ref}}{4} + \dots + D_2 \frac{V_{ref}}{2^6} + D_1 \frac{V_{ref}}{2^7} + D_0 \frac{V_{ref}}{2^8}$$

[0079]

[0080] 한편, 2 스테이지 가중치 커패시터 어레이와 관련하여, ADC의 선형성은 커패시터 불일치로 인해 DAC의 선형성에 의해 제한된다. 따라서 단위 커패시턴스에 대한 적절한 값을 선택하는 것이 중요하다. 단위 커패시턴스 값을 줄

이면 선형성은 향상되지만 열 잡음으로 인해 잡음 성능이 저하된다. 단위 커패시터의 최소값은 열 잡음, 커패시터 매칭 및 기생(parasitic) 커패시턴스 값을 포함한 몇 가지 요소에 의해 제한된다. 본 발명의 설계에서는 21fF(펨토판렛)의 단위 커패시턴스가 선택된다. 커패시터 어레이 내의 다른 커패시터의 값은 단위 커패시턴스에 기초하여 정의된다.

- [0081] 또한 상기 하단 스위치(223)의 작동은 도 7과 같다. 즉 샘플이 1일 때 디지털 데이터에 상관없이 상기 하단 스위치(223)는 V_{in} 에 연결되고, 샘플이 0일 때 디지털 데이터가 1이면 V_{ref} 에 연결되고 디지털 데이터가 0이면 접지에 연결된다.
- [0082] 도 8은 샘플 및 홀드회로로 작동하는 샘플링 스위치(221)를 보다 상세하게 나타낸 도면으로서, 상기 샘플링 스위치(221)는 더미 커패시터와 연결된다. V_{in} 에 연결하기 위한 전송 게이트와 접지에 연결하기 위한 간단한 NMOS 스위치를 사용한다.
- [0083] 도 9는 상기 상단 스위치(222)를 보다 상세하게 나타낸 도면으로서, 2개의 PMOS 트랜지스터(스위치)가 직렬로 연결되어 상단 스위치(222)를 형성한다.
- [0084] 도 10은 상기 하단 스위치(223)를 보다 상세하게 나타낸 도면으로서, 상기 하단 스위치(223)는 V_{in} , V_{ref} 및 접지에 연결한다. 전송 게이트는 V_{ref} 및 V_{in} 에 연결하기 위해 선택된다. NMOS 스위치는 하단(bottom plate)을 접지하는 데 사용된다.
- [0085] 다음에는 도 11 내지 도 14를 참조하여 본 발명에 적용된 상기 SAR ADC(200)의 SAR 제어부에 대해 설명한다.
- [0086] 도 11은 본 발명의 일 실시예에 따른 SAR ADC에서 구현되는 SAR 제어 로직의 흐름도이고, 도 12는 본 발명에 적용되는 SAR 제어 로직에 따른 SAR 동작 테이블을 나타낸 도면이고, 도 13은 본 발명의 일 실시예에 따른 SAR ADC에 구비된 SAR 제어부 구조를 보다 상세하게 나타낸 도면이며, 도 14는 본 발명에 적용되는 SAR 제어부의 D-플립플롭 구조를 보다 상세하게 나타낸 도면이다.
- [0087] SAR 제어 로직을 사용하는 이진 검색 알고리즘은 상기 SAR ADC(200)에서 구현된다. 상기 SAR 제어 로직을 설계하는 데 있어 두 가지 방법론이 있다. 첫 번째는 링 카운터와 시프트 레지스터로 구성된다. 이러한 종류의 SAR에는 최소 2N개의 플립플롭이 사용된다. 두 번째는 N개의 플립플롭과 일부 조합 로직을 포함한다. 본 발명의 상기 SAR 제어부(240)에서 사용하는 SAR 제어 로직은 상기 비교기(230)의 결과에 따라 비트 값을 연속적으로 결정한다. SAR 동작에 대한 흐름도는 도 11에 나타나 있으며, 도 12에 나타난 순차적 유한 상태 머신(sequential Finite State Machine)을 사용하여 표현할 수 있다.
- [0088] 각 변환에는 12 클럭 사이클이 소요된다. SAR은 첫 번째 클럭 사이클 동안 리셋 모드에 있고, 모든 출력은 0이다. 따라서 데이터는 변환되고 각 비트는 다음 10 클럭 사이클에서 연속적으로 정의된다. 마지막 사이클은 전체 변환 결과를 저장하는 데 사용된다.
- [0089] 도 13은 본 발명의 일 실시예에 따른 SAR ADC에 구비된 SAR 제어부(240)의 구조를 보다 상세하게 나타낸 도면으로서, 상기 SAR 제어부(240)는 링 카운터 및 코드 레지스터를 포함한다. 링 카운터는 실제로 시프트 레지스터이다. 각 변환에 대해, 클럭 사이클 0에서 EOC(End of Conversion) 신호는 하이이고 모든 플립플롭 출력이 0으로 리셋되며, 나머지 사이클 동안 EOC는 로우이다. 다음 클럭 사이클에서, 최상위 플립플롭은 DAC에 대한 디지털 워드(digital word)의 MSB에 해당하는 것으로 설정된다. 그런 다음 카운터는 플립플롭을 통해 MSB에서 LSB로 '1' 시프트한다.
- [0090] 또한 링 카운터에서 출력 중 하나는 각각의 클럭 사이클에서 코드 레지스터에 플립플롭을 설정한다. 이전 플립플롭에 대한 클럭 신호는 링 카운터에 의해 설정된 이 플립플롭의 출력을 통해 얻어진다. 클럭의 상승 에지에서, 이 플립플롭은 비교기로부터 결과를 로드한다. 각 변환이 끝나면, EOC 신호는 하이로 바뀐다. 이러한 유형의 SAR 로직은 각 샘플을 12 클럭 사이클로 변환한다.
- [0091] 셋-리셋 D 플립플롭이 본 발명의 상기 SAR 제어부(240)에 사용되었다. 이 SAR ADC의 설계는 저전력 소모를 목표로 하므로, 사용되는 플립플롭은 트랜스미션 게이트 기반 플립플롭이다. 두 배 길이를 갖는 최소 크기 트랜지스터는 전력 성능을 향상시키기 위해 선택된다. 상기 D-플립플롭의 구조는 도 14에 나타난 바와 같다.
- [0092] 다음에는, 이와 같이 구성된 본 발명의 일 실시예에 따른 저전력 및 고성능 전하 재분배 기능을 갖는 SAR 아날로그 디지털 변환기의 실험결과를 도 15 내지 도 17을 참조하여 상세하게 설명한다.

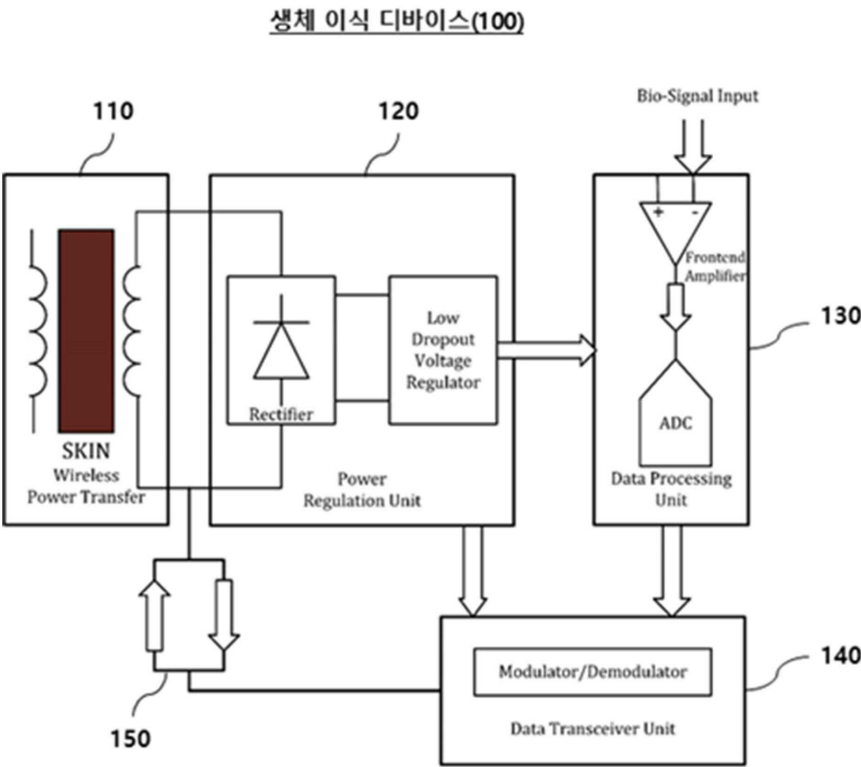
- [0093] 도 15는 본 발명의 일 실시예에 따른 SAR ADC의 비교기 과도 응답을 나타낸 도면이고, 도 16은 본 발명의 일 실시예에 따른 SAR ADC의 SAR 로직의 링 카운터로써 사용되는 전송 게이트 기반 D 플립플롭의 과도 응답을 나타낸 도면이며, 도 17은 본 발명에 적용되는 SAR 과도 응답을 나타낸 도면이다.
- [0094] 본 발명의 SAR ADC(200)는 180nm 기술 모드를 사용하여 시뮬레이션 트랜지스터 레벨에서 검증하였다. 먼저 재생성 래치 비교기(230)의 과도 응답은 도 15와 같다. 공급전압 V_{DD} 1.8V, 주파수 100K로 시뮬레이션한 경우, 소비 전력은 34.61pW이다. 생체 디바이스용으로 특별히 설계된 본 발명의 SAR ADC(200)는 초 저전력 소비를 목표로 하므로, 재생성 래치 비교기가 본 발명의 설계에 적합한 선택이다.
- [0095] 도 16은 시퀀서의 기본 부분 및 SAR 로직의 링 카운터로써 사용되는 전송 게이트 기반 D 플립플롭의 과도 응답을 나타낸다. 또한 SAR의 과도 응답은 도 17과 같다.
- [0096] 테스트 벤치가 SAR ADC의 결과를 측정하기 위해 설정되었다. 입력 전압, 기준 전압 및 전원 공급은 모두 이상적인 소스를 통해 제공된다. 일반적인 공급 전압은 180nm CMOS 기술에 따라 1.8V이다. SAR ADC의 기준 전압으로 1V가 선택되었다. 그리고 입력 아날로그 신호는 0에서 기준 전압까지의 범위를 갖는다. 전력 소비에 기여하는 세 가지 주요 요소는 동적 전력 소비, 직접 경로 소비 및 누설 전력 소비이다. 직접 경로 소비 및 누설 전력 소비는 전력에 대한 기여도가 매우 낮다. 전력 소비에 영향을 미치는 주요 요소는 동적 전력 소비이다. 동적 전력은 공급 전압에 의해 크게 영향을 받으므로 공급 전압을 감소시켜 측정하는 것도 고려된다. 500kS/s 및 1.8V의 공급 전압에서 설계된 SAR ADC가 소비하는 총 전력은 대략 125 μ W이다.
- [0097] 이처럼, 본 발명은 저전력 및 고성능의 전하 재분배를 구현하기 위하여 전하 재분배 DAC, 재생 래치 비교기 및 시퀀서와 링 카운터로 구성된 SAR 로직을 포함하여 SAR ADC를 설계한 것으로서, 상기 ADC는 500kS/s에서 동작하고, 공급 전압은 1.8V이며, 180nm CMOS 기술이 사용된다.
- [0098] 또한 본 발명은 에너지 효율을 높이기 위하여 별도의 샘플 및 홀드회로를 사용하지 않고 SAR ADC의 DAC에 내장된 샘플 및 홀드회로를 사용하고, 또한 2 스테이지 바이너리 가중 커패시터 어레이를 사용함으로써, 전력 소비를 최소화할 수 있다.
- [0099] 또한 본 발명은 전력을 소비하는 DAC에 사용되는 스위치를 NMOS 및 PMOS 스위치로 사용하면 온 저항(on-resistance)에 영향을 미치고 전하 주입이 유도되는데, 이 두 가지 효과에 모두 대처하기 위해 트랜스미션 게이트 스위치를 사용하여 일정한 온 저항을 제공하고 전하 주입 효과를 제거할 수 있다.
- [0100] 이상에서와 같이 본 발명은 도면에 도시된 실시예를 참고로 하여 설명되었으나, 이는 예시적인 것에 불과하며, 당해 기술이 속하는 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 기술적 보호범위는 아래의 특허청구범위에 의해서 판단되어야 할 것이다.

부호의 설명

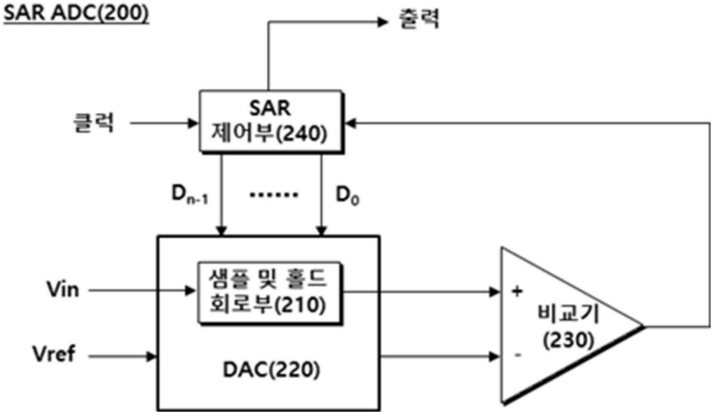
- [0101]
- | | |
|------------------|---------------|
| 100 : 생체 이식 디바이스 | 200 : SAR ADC |
| 210 : 샘플 및 홀드회로부 | 220 : DAC |
| 230 : 비교기 | 240 : SAR 제어부 |

도면

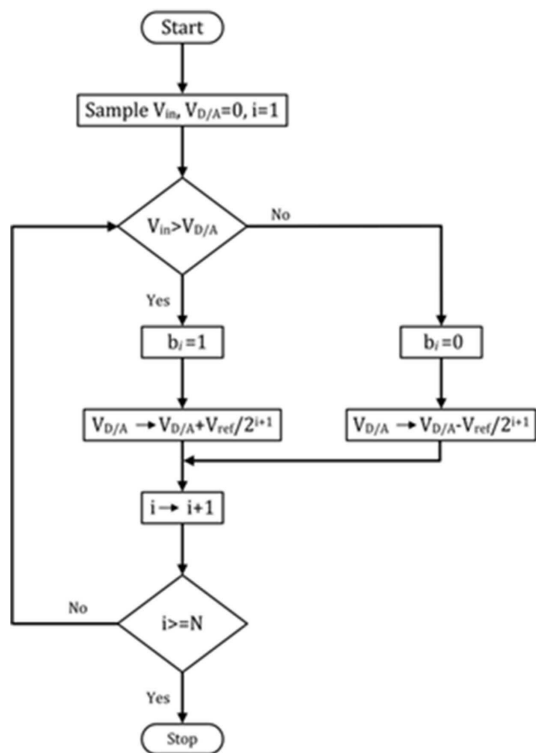
도면1



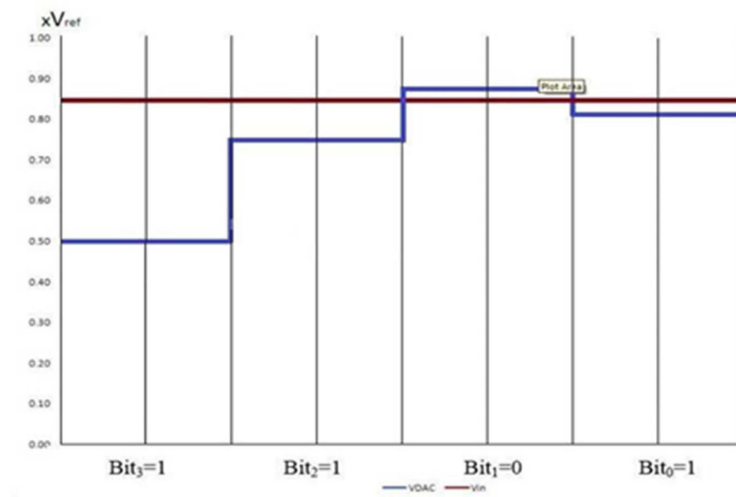
도면2



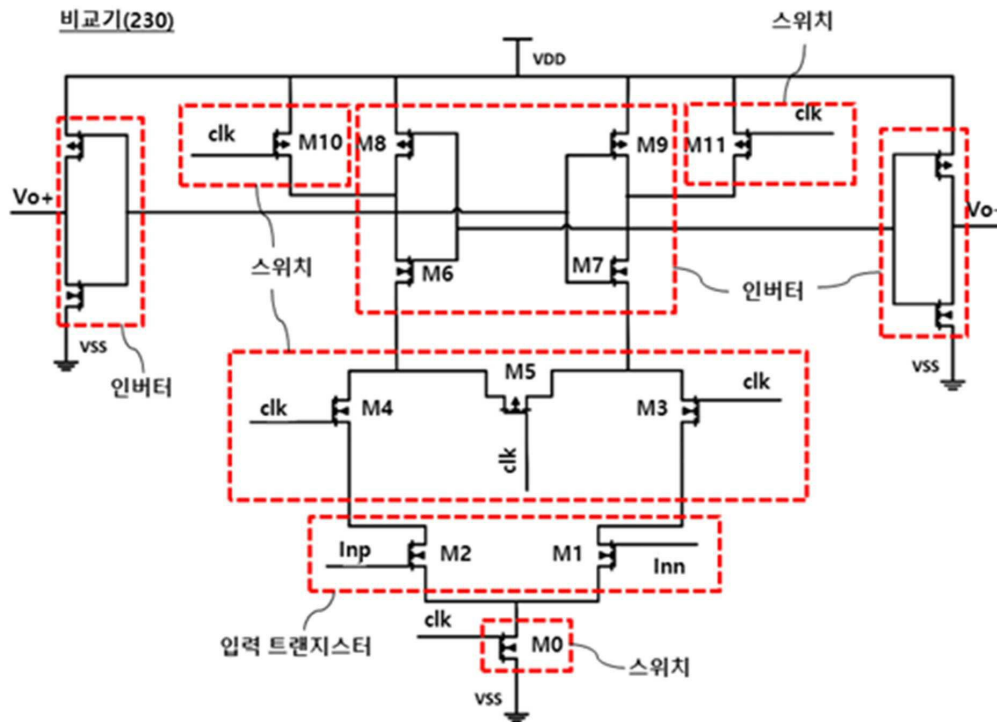
도면3



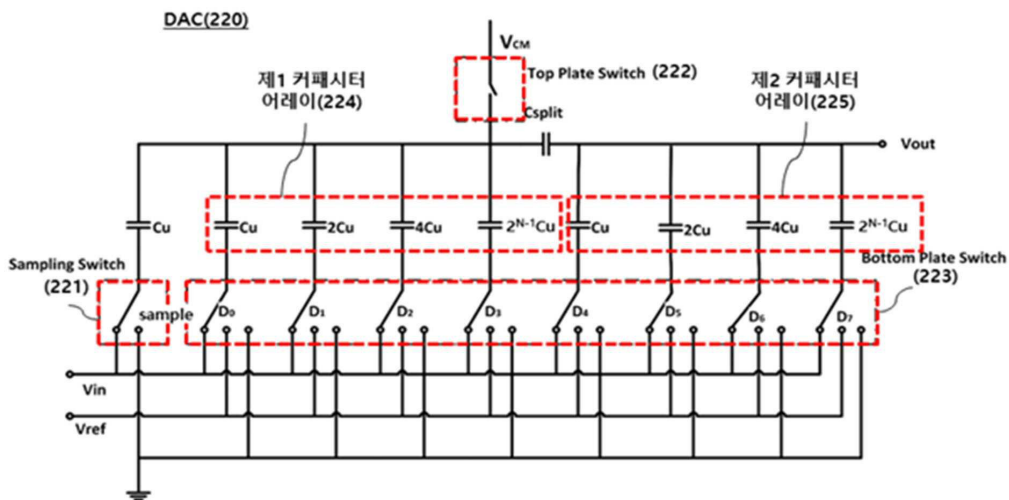
도면4



도면5



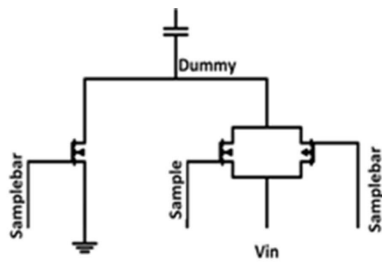
도면6



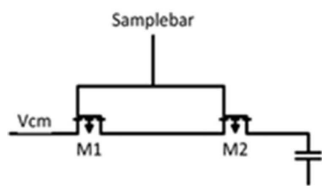
도면7

Sample	Digital Data	V _{Bottom Plate}
1	x	V _{DN}
0	1	V _{REF}
0	0	Ground

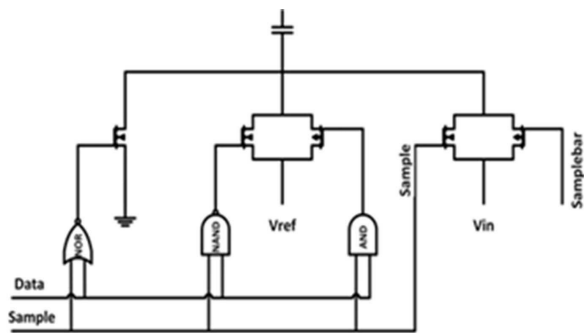
도면8



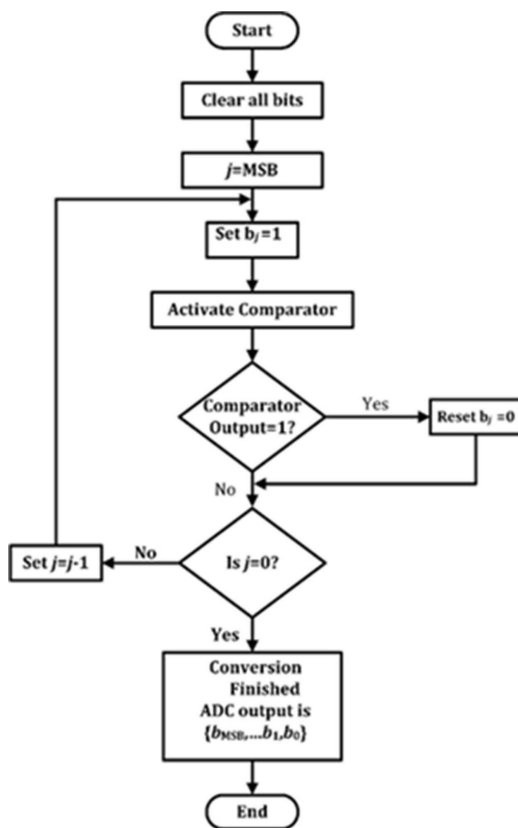
도면9



도면10



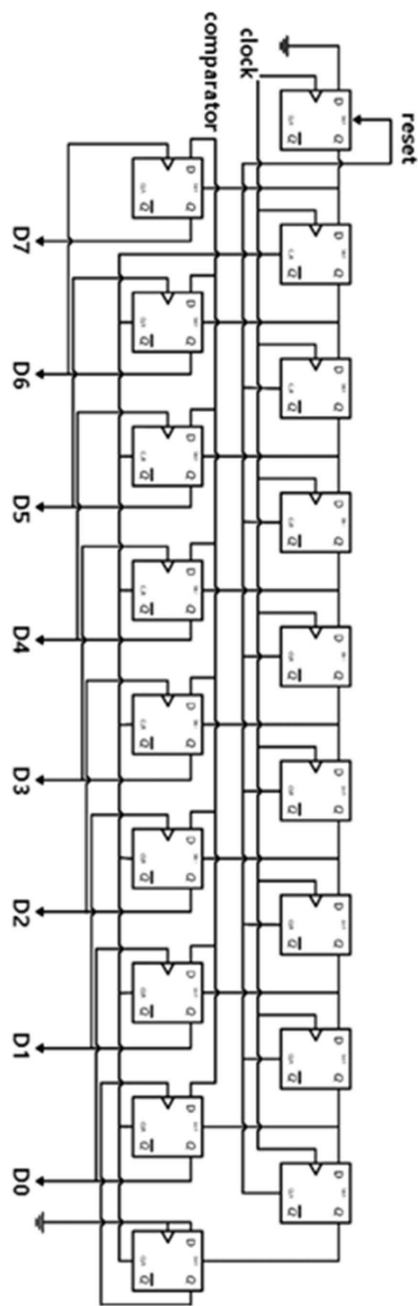
도면11



도면12

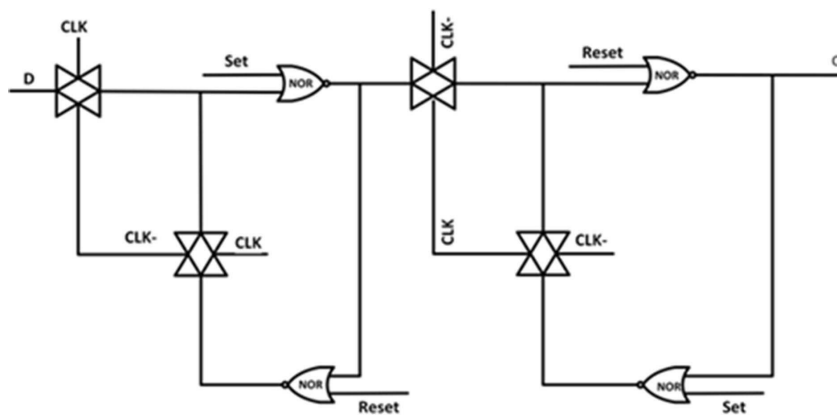
Cycle	Sample	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	Comparator
0	1	0	0	0	0	0	0	0	0	0	0	-
1	0	1	0	0	0	0	0	0	0	0	0	a ₉
2	0	a ₉	1	0	0	0	0	0	0	0	0	a ₈
3	0	a ₉	a ₈	1	0	0	0	0	0	0	0	a ₇
4	0	a ₉	a ₈	a ₇	1	0	0	0	0	0	0	a ₆
5	0	a ₉	a ₈	a ₇	a ₆	1	0	0	0	0	0	a ₅
6	0	a ₉	a ₈	a ₇	a ₆	a ₅	1	0	0	0	0	a ₄
7	0	a ₉	a ₈	a ₇	a ₆	a ₅	a ₄	1	0	0	0	a ₃
8	0	a ₉	a ₈	a ₇	a ₆	a ₅	a ₄	a ₃	1	0	0	a ₂
9	0	a ₉	a ₈	a ₇	a ₆	a ₅	a ₄	a ₃	a ₂	1	0	a ₁
10	0	a ₉	a ₈	a ₇	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	0	a ₀
11	0	a ₉	a ₈	a ₇	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	-

도면13

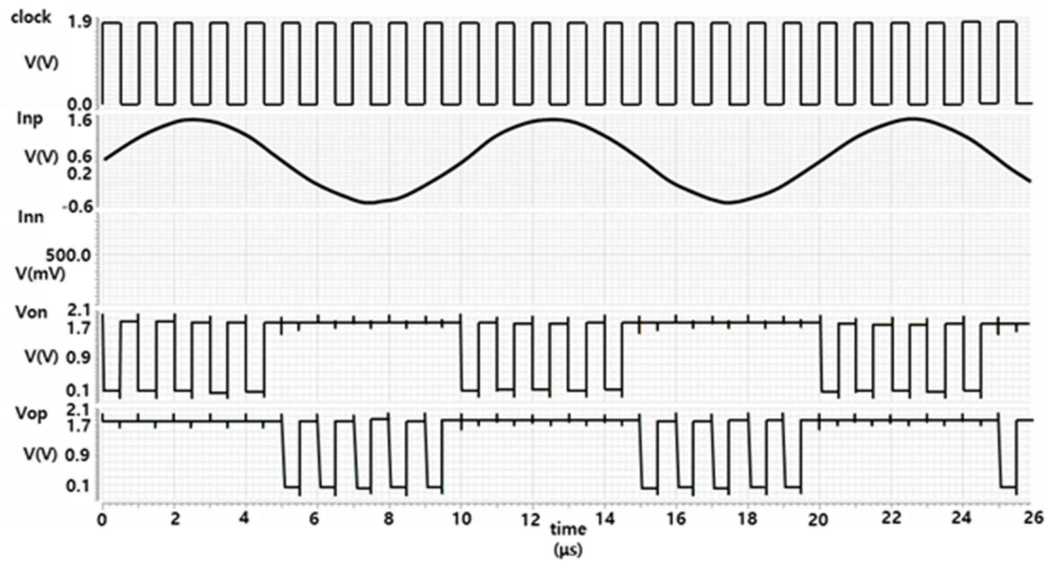


SAR 제어부(240)

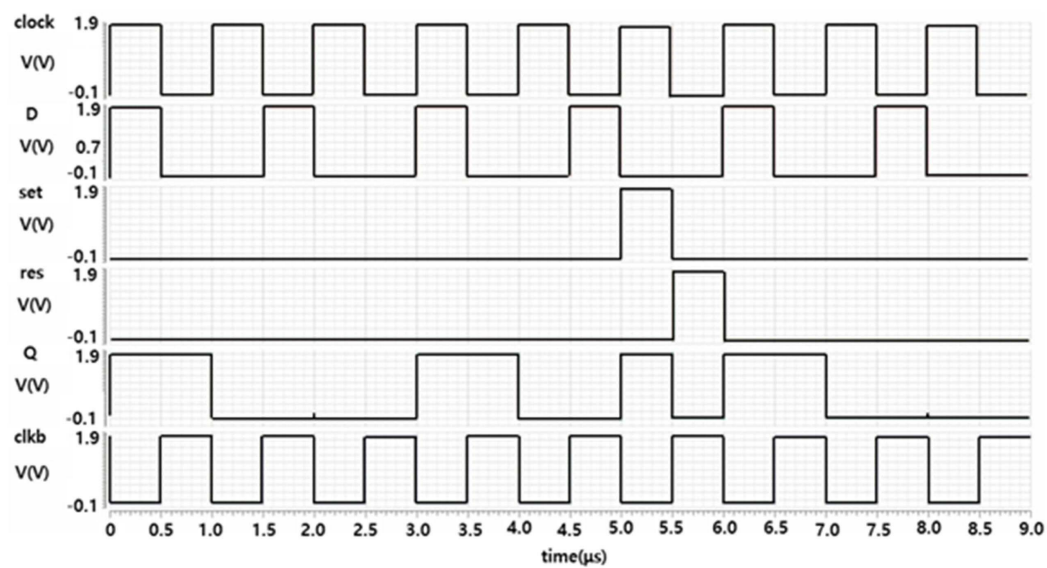
도면14



도면 15



도면 16



도면17

