

(此處由本局於收
文時黏貼條碼)

771623

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97134560

※申請日期：97年09月09日

※IPC分類：H01L 21/822(2006.01)
H01L 27/04 (2006.01)

一、發明名稱：

(中) 半導體積體電路

(英) Semiconductor integrated circuit

二、申請人：(共 1 人)

1. 姓 名：(中) 新力股份有限公司

(英) SONY CORPORATION

代表人：(中) 1. 中鉢 良治

(英) 1. CHUBACHI, RYOJI

地 址：(中) 日本國東京都港區港南一丁目七番一號

(英) 1-7-1 Konan, Minato-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 緒方 博美

(英) OGATA, HIROMI

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/09/18 ; 2007-241517 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：半導體積體電路

一種半導體積體電路，包括：具有內部電壓線路之電路區塊；環狀軌道線路，其形成環繞該電路區塊之封閉環狀線路並被供應予電源電壓和參考電壓其中之一；及複數個開關區塊，其係沿該環狀軌道線路而環繞該電路區塊配置，該複數個開關區塊各包括形成一部分該環狀軌道線路之電壓線路段，及用於控制該電壓線路段和該內部電壓線路之間連接和脫鉤之開關。

六、英文發明摘要

發明之名稱：**SEMICONDUCTOR INTEGRATED CIRCUIT**

A semiconductor integrated circuit including: a circuit block having an internal voltage line; an annular rail line forming a closed annular line around the circuit block and supplied with one of a power supply voltage and a reference voltage; and a plurality of switch blocks arranged around the circuit block along the annular rail line, the plurality of switch blocks each including a voltage line segment forming a part of the annular rail line and a switch for controlling connection and disconnection between the voltage line segment and the internal voltage line.

七、指定代表圖

(一)、本案指定代表圖為：第 (5) 圖

(二)、本代表圖之元件代表符號簡單說明：

1：電力截止目標電路區塊

2D：下開關區塊

2L：左開關區塊

2R：右開關區塊

2U：上開關區塊

3：環狀軌道線路

3V：虛擬環狀軌道線路

5：真實參考電壓佈線

34：控制電路

35：控制線路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明

【發明所屬之技術領域】

本發明關於一種半導體積體電路，其經由開關控制被施加以電源電壓或參考電壓之電路區塊的內部電壓線路與佈線之間之連接和脫鉤。

【先前技術】

已知多閾值互補型金屬氧化物半導體（MTCMOS）技術為一種用於藉由開關控制至電路之電源的截止和之該截止的取消之技術。

通常，邏輯電路等之中電晶體之閾值電壓需降低為設計值以避免伴隨電源電壓下降或元件小型化之信號延遲。當邏輯電路等中之電晶體之閾值電壓為低時，便發生高洩漏電流。MTCMOS 技術藉具有較邏輯電路等中之電晶體更高閾值之電晶體（電源開關）截止停止狀態中電路之洩漏電流路徑，而避免停止狀態中電路之不必要的電力消耗。

在 MTCMOS 技術至電路區塊之應用中，稱為所謂虛擬 VDD 線路和所謂虛擬 GND 線路之內部電壓線路係配置於電路區塊中。內部電壓線路經由用於電力截止和該截止之取消的電源開關而被連接至整個真實電源線（真實 VDD 線路）和真實參考電壓線路（真實 VSS 線路）以組建電路區塊外各區塊之間之連接。

電源開關係配置於三種位置，即重複啟動和停止之功能電路與真實 VDD 線路之間之位置，功能電路與真實

VSS 線路之間之位置，和該二種位置兼具。通常，PMOS 電晶體被用做 VDD 端之開關，NMOS 電晶體被用做 VSS 線路端之開關。

MTCMOS 應用區塊中功能電路之啓動和停止在任何時間均由於作業狀態中設定之非 MTCMOS 應用區塊中電路控制，同時於半導體積體電路啓動之後被供應予來自真實 VDD 線路和真實 VSS 線路之電力。另一方面，可採用一種組態其中用於控制 MTCMOS 應用區塊中功能電路之啓動和停止的控制信號可從半導體積體電路之外部端子輸入。

電源開關可藉由 MTCMOS 應用區塊中之格 (cell) 加以體現。更具體地，有一種狀況其中在 MTCMOS 應用區塊內電源開關係配置於反向器、NAND 電路、NOR 電路等之每一邏輯電路格中，或配置於由少數邏輯電路所體現之功能電路格中，及有一種狀況其中配置不具邏輯電路或功能電路之專用電源開關格。此類開關排列以下將稱為 "內部開關 (SW) 排列"，且採用該排列之半導體積體電路以下將稱為 "內部 SW 排列型 IC"。

與內部 SW 排列型 IC 相對的是已知的半導體積體電路其中電源開關係環繞做為電源控制之物件的電路區塊配置 (例如參照以下稱為專利文獻 1 之日本早期公開專利 No. 2003-289245，及以下稱為專利文獻 2 之日本早期公開專利 No. 2003-158189)。此類開關排列以下將稱為 "外部開關 (SW) 排列"，且採用該排列之半導體積體電路以下

將稱為 "外部 SW 排列型 IC"。

外部 SW 排列適用於與具有通用電路（例如記憶體、CPU 等）之電路區塊組合，該通用電路稱為所謂 "巨集"係整個電路區塊之一部分。

專利文獻 2 揭露一種組態，其中電晶體格（開關）係置於電路區塊之四端的三端，該些開關具有形狀使得該些開關之長度方向係沿各端且該些開關內電晶體閘極線路之排列方向係與長度方向相同。

在此組態中，VDD 供應環和 VSS 供應環係配置為環狀線路，從電路區塊環狀圍住電晶體格排列區（外側）相對端之電路區塊的外圍。VDD 供應環和開關電晶體之汲極於與 VDD 供應環不同之層級經由金屬佈線層而彼此相連。VSS 供應環和電路區塊之 VSS 線路於與 VSS 供應環不同之層級經由金屬佈線層而彼此相連。開關電晶體之源極和電路區塊之虛擬 VSS 線路於與 VSS 供應環不同之層級經由金屬佈線層而彼此相連。

【發明內容】

上述專利文獻 1 中所揭露之半導體積體電路不具有環繞電路區塊（內部電路）之環形配置的 VDD 電壓供應線路。因此於遠離 VDD 電壓供應源極之 VDD 電壓供應線路的位置發生電壓降。結果，當具有與其他開關電晶體相同尺寸之開關電晶體被開啓或關閉達相同時間時，該開關電晶體於充電或放電內部電路之內部電壓線路有不同容量。

因而需要一種裝置使得隨著開關電晶體之位置愈遠離 VDD 電壓供應源極，而開關電晶體之尺寸愈提升或電晶體之數量愈增加。此導致在內部電路停止之狀態下經由開關電晶體之洩漏電流增加之缺點。

開關電晶體之閾值電壓被設定高於內部電路中電晶體之閾值電壓，使得洩漏電流相對地小。然而，當停止期間長時，便無法忽視因開關電晶體之尺寸或開關電晶體之數量增加之不必要的電力消耗。

上述專利文獻 2 中所描述之半導體積體電路具有以環狀形式配置做為供應環之 VDD 電壓供應線路和 VSS 電壓供應線路。相較於上述專利文獻 1 中所描述之其中電路不具供應環之半導體積體電路，上述專利文獻 2 中所描述之半導體積體電路因而使從電壓供應源極至每一開關電晶體之電壓降一致。因此，洩漏電流之增加被相對地抑制。

然而，上述專利文獻 2 中所描述之半導體積體電路具有彼此分離配置之環狀線路（供應環）和開關電晶體，因而具有用於連接開關電晶體和供應環（VDD 供應環和 VSS 供應環）彼此之複雜佈線。

雖然為使電壓降一致而配置 VDD 供應環和 VSS 供應環，但結果受操作周邊電路之影響，VDD 供應環和 VSS 供應環之電位可能不會理想地一致。當然，經由降低該些供應環之佈線阻抗，電位將變得更加一致。然而，例如在頻繁地以高振幅作業之周邊電路附近之 VSS 供應環的電位，結果可能受周邊電路之影響而從參考電位（例如 0 [V]

）提升。然而，困難的是理想地評估周邊電路之作業。因而，為避免周邊電路之影響並使開關電晶體之作業穩定，在設計程序中產生偏移開關電晶體之位置或改變開關電晶體之尺寸的需要，並加上執行再次連接佈線的強大設計負荷。

即，專利文獻 2 中所描述之開關電晶體的組態（專利文獻 2 中稱為"巨集"）不具有為該設計改變準備之結構。

附帶一提地，專利文獻 2 中所揭露之修改的各式範例亦清楚地表示開關電晶體之位置和尺寸的重要性，在該些範例中開關電晶體的尺寸改變或加倍配置開關電晶體。

依據本發明之第一實施例的半導體積體電路包括：具有內部電壓線路之電路區塊；環狀軌道線路，其形成環繞該電路區塊之封閉環狀線路並被供應予電源電壓和參考電壓其中之一；及複數個開關區塊，其係沿該環狀軌道線路而環繞該電路區塊配置，該複數個開關區塊各包括形成一部分該環狀軌道線路之電壓線路段，及用於控制該電壓線路段和該內部電壓線路之間連接和脫鉤之開關。

在本發明中，較佳的是該複數個開關區塊具有該電壓線路段，且該開關內部彼此連接，及位於區塊框兩相對端之該電壓線路段的末端之位置關係被設定為該複數個開關區塊中完全相同。

在本發明中，較佳的是該複數個開關區塊經由具有相同尺寸並於該電路區塊之四個個別端包括四個不同類之開關區塊而被標準化。

另一方面，較佳的是對該複數個開關區塊而言，決定配置於該電路區塊之每一端的多個開關區塊，使得開關區塊之數量隨著自該電路區塊之四端的每一端檢視時供應該電源電壓和該參考電壓其中之一予該電路區塊之佈線的阻抗減少而增加。

在本發明中，較佳的是該環狀軌道線路之佈線部分中與該電路區塊之四端的一對相對端平行之佈線部分，和該環狀軌道線路之佈線部分中與該電路區塊之該四端的另一對相對端平行之佈線部分，係由佈線層於不同層級形成。

在本發明中，較佳的是在每一該開關區塊中，該電壓線路段係以交叉和鄰近該開關之排列區的狀態之一配置，接收來自該電壓線路段所供應之電壓的緩衝器電路係形成於來自該電路區塊之該開關和該電壓線路段之排列區的相對端，經由控制線路而被輸入控制信號之第一控制線路段係配置於該緩衝器電路之輸入端，及電性連接至該開關的控制節點之第二控制線路段係配置於該緩衝器電路之輸出端。

此外，較佳的是做為該開關之電晶體閘極的長度方向在該複數個開關區塊內被製成完全相同。

依據本發明之第二實施例的半導體積體電路包括：具有內部電壓線路之電路區塊；第一環狀軌道線路，其形成環繞該電路區塊之封閉環狀線路並被供應予電源電壓和參考電壓其中之一；第二環狀軌道線路，其形成環繞該電路區塊之封閉環狀線路並於該第一環狀軌道線路與該電路區

塊之間的複數個位置被連接至該內部電壓線路；及複數個開關區塊，其係沿該第一環狀軌道線路和該第二環狀軌道線路而環繞該電路區塊配置，該複數個開關區塊各包括形成一部分該第一環狀軌道線路之第一電壓線路段，形成一部分該第二環狀軌道線路之第二電壓線路段，及連接於該第一電壓線路段和該第二電壓線路段之間之開關。

在本發明中，較佳的是該第一電壓線路段、該第二電壓線路段和該開關之間之相互位置關係在該複數個開關區塊中是一致的。

在本發明中，較佳的是位於區塊框兩相對端之該第一電壓線路段和該第二電壓線路段的末端之位置關係被設定為該複數個開關區塊中完全相同。

依據上述第一實施例之構成，所形成之開關區塊包括形成一部分環狀軌道線路之電壓線路段和開關，且複數個該開關區塊係環繞電路區塊而配置。因而，環狀軌道線路和開關之間之相互位置關係在複數個開關區塊中是一致的。

經由使開關區塊彼此毗連，兩電壓線路段彼此相連，或當開關區塊彼此分離時，兩電壓線路段之間佈線相連，藉以形成環繞電路區塊之封閉環狀軌道線路。

依據上述第二實施例之構成，形成稱為第一環狀軌道線路和第二環狀軌道線路之兩環狀軌道線路。

因此，複數個開關區塊各包括形成一部分第一環狀軌道線路之第一電壓線路段和形成一部分第二環狀軌道線路

之第二電壓線路段。開關係連接於第一電壓線路段與第二電壓線路段之間。在此狀況下，較佳的是第一環狀軌道線路、第二環狀軌道線路和開關之間之相互位置關係在複數個開關區塊中是一致的。

因而，藉由使開關區塊彼此毗連，第一電壓線路段彼此連接且第二電壓線路段彼此連接，或當開關區塊彼此分離時，便經由佈線而組建相應電壓線路段之間之連接，藉以形成環繞電路區塊之封閉環狀軌道線路。

當開關區塊將被移動時，便將除了電壓線路段以外之將被移動之開關區塊的其他組成元件移至所欲位置，且組成元件係於已被移至之位置連接環狀軌道線路。

此時，在第一實施例中，連接至電路區塊之改變可為必要的。然而，如在第二實施例中，當每一開關區塊具有一部分第一環狀軌道線路及一部分第二環狀軌道線路時，特別是連接至電路區塊之改變便非必要的。因此，經由僅移動每一第一環狀軌道線路和第二環狀軌道線路上除了第一電壓線路段和第二電壓線路段以外的組成元件，便可自由地在電源線軌道上移動開關區塊。

上述為移動開關之效果的描述。而且在開關插入或刪除的狀況下，類似地於必要位置充分插入或刪除開關區塊之除了電壓線路段（或第一電壓線路段和第二電壓線路段）以外之必要數量的組成元件。

依據本發明之實施例，在移動開關或改變開關之數量中，主要是充分改變開關區塊之除了電壓線路段以外之組

成元件。因而其中所獲得之利益為易於進行設計改變和易於使開關之位置和數量最佳化。更具體地，在電源電壓供應線路或參考電壓供應線路與開關分離，且供應線路和開關之間之相互位置關係中無一致性的狀況下，不同層級之金屬佈線層於進行設計改變中需再次彼此連接，例如開關之移動、開關之插入或刪除等。另一方面，本發明排除再次連接除了環狀軌道線路以外之每一項佈線的需要。

【實施方式】

以下將參照圖式描述本發明之較佳實施例。

< 一般組態 >

圖 1 顯示依據本發明之實施例的半導體積體電路之一般組態。

在圖 1 中，分別配置複數個輸入-輸出格 40 以便形成沿其上形成半導體積體電路之矩形半導體晶片的四端之行。

少數電路區塊係配置於電路排列之晶片區中，該區係由圖 1 中所示之輸入-輸出格 40 於所有四端圍繞。在圖 1 中所示之範例中，半導體積體電路之基本組態被配置於晶片區中，該組態被稱為"激化區"，例如包括中央處理單元（CPU）、暫存器、記憶體、電源電路等之激化電路區塊 32。激化電路區塊 32 相應於未應用 MTCMOS 技術之電路區塊。激化電路區塊 32 藉由於半導體積體電路啟動之後

隨時被供應予電源電壓 VDD 和參考電壓 VSS 而作業。

大量電路區塊被稱為 "巨集" 並包括部分或整個個別設計之通用電路以便亦可用於其他半導體積體電路，其進一步被配置於電路排列之晶片區中。"巨集" 可外包設計，並可自例如 IP（智財）之其他公司購買。

做為 "巨集" 之電路區塊可概分為未應用 MTCMOS 技術之稱為 "激化巨集" 的非應用電路區塊 33，其係如同激化電路區塊 32 於半導體積體電路啟動之後隨時供應予電源電壓 VDD 和參考電壓 VSS 而進行作業，及應用 MTCMOS 技術之稱為 "電力截止巨集" 的電力截止目標電路區塊 1，且其電力視需要而被截止。

附帶一提地，配置於輸入-輸出格 40 所圍繞之晶片區的激化電路區塊 32、非應用電路區塊 33 及電力截止目標電路區塊 1 具有配置於其中之一對真實 VDD 線路和真實 VSS 線路，其於圖 1 中未顯示，並藉以供應予電力。更具體地，一些輸入-輸出格 40 係配賦予電源，且一對真實電源線係從晶片區內每一列方向和行方向中電源之輸入-輸出格 40 配置。藉以形成激化電路區塊 32、非應用電路區塊 33 及電力截止目標電路區塊 1。

電力截止目標電路區塊 1 係為所謂具開關之 "外部 SW 排列類型"，該開關控制電力截止及連接，其係環繞電力截止目標電路區塊 1 而配置。如圖 1 中所示，包括開關之預定數量的開關區塊 2 其係環繞電力截止目標電路區塊 1 而配置。

儘管圖 1 中未顯示，配置應用電源電壓 VDD 或參考電壓 VSS 之環狀軌道線路，使其重疊於環繞電力截止目標電路區塊 1 配置之複數個開關區塊 2 上。提供至少一環狀軌道線路或較佳地提供二環狀軌道線路。下列將參照圖式描述環狀軌道線路和開關區塊 2 之間之排列關係。

如上述，在 MTCMOS 技術中，開關電晶體係以三種位置配置。即重複啓動和停止之功能電路與真實 VDD 線路之間之位置，功能電路與真實 VSS 線路之間之位置，和該二種位置兼具。通常，PMOS 電晶體被用做 VDD 端之開關，NMOS 電晶體被用做 VSS 線路端之開關。

本實施例中開關電晶體可配置於上述該三種位置中任一種。然而，考量於 VDD 端和 VSS 端配置開關電晶體之效果，於 VDD 端和 VSS 端配置開關電晶體導致開關電晶體所佔區域增加之重大缺點。因而希望將開關電晶體配置於 VDD 端和 VSS 端之一。此外，相較於 PMOS 電晶體，NMOS 電晶體之每單位閘極寬度具有較高驅動電力。因而，更希望將開關電晶體配置於 VSS 端。

因此，下列描述假設於 VSS 端配置開關（電晶體）。

圖 2 顯示電力截止目標電路區塊 1 之內部組態範例。

在所描繪的組態範例中，電力截止目標電路區塊 1 之內部被分為例如由標準格體現功能電路之標準格排列區 1A，和隨機存取記憶體（RAM）之巨集格區 1B。附帶一提地，對本發明之應用而言，做為電力截止控制之目標的"電路區塊"不需具有巨集，並可僅由標準格排列區 1A 形

成。

稱為所謂"虛擬 VSS 線路"並施予參考電壓 VSS 之內部電壓線路 11 在標準格排列區 1A 和巨集格區 1B 上於列方向和行方向彼此平行地排列。列方向之內部電壓線路 11 和行方向之內部電壓線路 11 係由層級高於各格之佈線層形成，並於其交點互連。

另一方面，儘管為避免複雜而未顯示，稱為所謂"真實 VDD 線路"並施予電源電壓 VDD 之電源線及施予參考電壓 VSS 之電源線係以格子的形式類似地排列。

在標準格排列區 1A 中，複數個分支線路 11A 從做為"虛擬 VSS 線路"之內部電壓線路 11 的行方向主幹佈線以預定間隔於列方向延伸。此外，在標準格排列區 1A 中，複數個分支線路 12A 從做為圖 2 中未顯示之"真實 VDD 線路"之電壓供應線路的行方向主幹佈線以預定間隔於列方向延伸。

圖 2 顯示放大狀態之反向器格 13，該反向器格 13 代表標準格。反向器格 13 具有形成一部分分支線路 11A 之 VSS 線路路段和形成一部分分支線路 12A 之 VDD 線路路段。PMOS 電晶體和 NMOS 電晶體於該兩段之間彼此串聯。PMOS 電晶體和 NMOS 電晶體之閘極均連接至輸入信號線路。PMOS 電晶體和 NMOS 電晶體之間之節點連接至輸出信號線路。輸入信號線路和輸出信號線路係由反向器格 13 和相鄰格內信號線路段形成。然而，整個標準格排列區 1A 之輸入和輸出線路係由較高層級之佈線層（未顯示）

形成。

<軌道排列之第一範例>

圖 3 顯示軌道排列之第一範例。

如圖 3 中所描繪，複數個開關區塊 2 經排列以便圍繞電力截止目標電路區塊 1 之四端附近的電力截止目標電路區塊 1。在此狀況下，為求便利針對電力截止目標電路區塊 1 之各端將開關區塊 2 區分為上開關區塊 2U、下開關區塊 2D、右開關區塊 2R 和左開關區塊 2L。上開關區塊 2U 具有相同組態；下開關區塊 2D 具有相同組態；右開關區塊 2R 具有相同組態；和左開關區塊 2L 具有相同組態。

該四類開關區塊 2U、2D、2R 和 2L 各具有電壓線路段 21 和圖 3 中未顯示之開關。

電壓線路段 21 係由圖 3 中虛線代表。電壓線路段 21 為形成一部分環狀軌道線路 3 之佈線部分，其中環狀軌道線路 3 形成環繞電力截止目標電路區塊 1 之封閉環狀線路。

在排列佈線之設計的狀態下，於開關排列之後之佈線階段配置環狀軌道線路 3 並連接至開關。在配置並連接環狀軌道線路 3 之後，除了電壓線路段 21 之外的組成元件（包括開關）係以開關區塊 2U、2D、2R 或 2L 為單位移動，且開關係於移動之後的位置連接至環狀軌道線路 3。附帶一提地，在圖 3 中，每當開關區塊移動時需改變電力截止目標電路區塊 1 內之內部電壓線路 11（參照圖 2）與

開關之間之連接的連接佈線。然而，避免了連接環狀軌道線路 3 至開關之改變連接佈線的麻煩，且其相應地易於移動開關。

類似地，若插入開關區塊，必要數量之開關區塊隨著除了開關區塊內之電壓線路段 21 以外之組成元件做為單元插入於必要位置，且開關等於該位置被連接至環狀軌道線路 3。

類似地，若刪除開關，該開關便隨著除了開關區塊內之電壓線路段 21 以外之組成元件做為單元而被刪除。

即使在插入或刪除開關中，亦可避免連接環狀軌道線路 3 至開關之改變連接佈線的麻煩，且其相應地易於移動開關。

<軌道排列之第二範例>

圖 4 顯示軌道排列之第二範例。

有關圖 4 中所示排列之範例與圖 3 中之第一差異，除了做為"第一環狀軌道線路"之環狀軌道線路 3 外，配置做為"第二環狀軌道線路"之虛擬環狀軌道線路 3V。

虛擬環狀軌道線路 3V 係與環狀軌道線路 3 和電力截止目標電路區塊 1 之間之環狀軌道線路 3 平行配置。虛擬環狀軌道線路 3V 被連接至電力截止目標電路區塊 1 內之內部電壓線路 11（參照圖 2）的預定位置，例如在圖 2 之狀況下內部電壓線路 11 之每一末端部分（列方向的三個位置及行方向的四個位置）。

在每一開關區塊 2U、2D、2R 和 2L 中，圖中未顯示之開關被連接至環狀軌道線路 3（電壓線路段 21）與虛擬環狀軌道線路 3V（虛擬電壓線路段 21V）之間。

有關第二差異，在每一開關區塊 2U、2D、2R 和 2L 中，做為"第二電壓線路段"之虛擬電壓線路段 21V 係與做為"第一電壓線路段"之電壓線路段 21 平行配置。

相對於電力截止目標電路區塊 1 之開關區塊 2U、2D、2R 和 2L 的其他排列本身與圖 3 中相同。

在軌道排列之第二範例中，如同軌道排列之第一範例，除了開關區塊之電壓線路段 21 和虛擬電壓線路段 21V 以外的組成元件僅被移動、插入或刪除。免除了連接環狀軌道線路 3 至開關之改變連接佈線的麻煩，且其相應地易於移動開關。

此外，在軌道排列之第二範例中，虛擬環狀軌道線路 3V 被連接至例如內部電壓線路 11 之每一末端部分（列方向的三個位置及行方向的四個位置）。在未改變連接位置下亦免除了連接虛擬環狀軌道線路 3V 至開關之改變連接佈線的麻煩，且其相應地易於移動開關。

如已描述的，在上述軌道排列之第一範例（圖 3）和軌道排列之第二範例（圖 4）中，僅經由移動、插入或刪除上述開關區塊之電壓線路段 21（和虛擬電壓線路段 21V）以外的組成元件，便可自由地改變開關區塊之位置和數量。

為致能該自由設計改變，開關區塊 2U、2D、2R 和 2L

必須具有相同尺寸，且於開關區塊 2U、2D、2R 和 2L 之區塊框的兩相對端之電壓線路段 21（和虛擬電壓線路段 21V）的末端位置需標準化（固定），其中開關區塊 2U、2D、2R 和 2L 之相對端係被環狀軌道線路 3（和虛擬環狀軌道線路 3V）穿過。

附帶一提地，當末端位置未標準化時，需修正環狀軌道線路 3（和虛擬環狀軌道線路 3V）之型樣，使得於除了開關區塊之電壓線路段 21（和虛擬電壓線路段 21V）以外之組成元件被沿環狀軌道線路 3（和虛擬環狀軌道線路 3V）移動、插入或刪除之後，相鄰開關區塊之間的末端位置彼此相連。然而，此工作為連接末端之簡單作業，因而可為自動的。因此，相較於排列開關之後使用其他層級之佈線層以人工再次執行連接佈線連接開關至配置於開關外部之環狀線路的狀況，開關排列之改變更加容易。

<開關控制線路>

儘管圖 3 或圖 4 中未顯示，可依據同步控制之開關群組的數量而排列複數個開關控制線路。

圖 5 顯示二控制線路之排列範例。在此狀況下，將軌道排列之第二範例（圖 4）用於環狀軌道線路。

圖 5 中所示之控制電路 34 被置於例如圖 1 中激化電路區塊 32 或非應用電路區塊 33 之 MTCMOS 非應用電路區塊中。藉此控制電路 34 可於半導體積體電路啟動之後隨時作業同時被供應予電力。來自控制電路 34 之控制線

路 35 依序通往上開關區塊 2U、左開關區塊 2L、下開關區塊 2D 和右開關區塊 2R，並按此順序施予控制信號。控制信號控制每一開關區塊內開關之傳導和非傳導。

附帶一提地，圖 5 中所示之組態係於環狀軌道線路 3 之預定位置配置真實 VSS 佈線之分支，以便可用做如圖 6 中所示之組態的不具環狀軌道線路之組態的替代。

在未應用本發明之圖 6 中所示之外部 SW 排列組態中，以格子形式配置之各個整體真實 VSS 佈線 5 經由開關區塊 SB 而連接至電力截止目標電路區塊 1。

圖 5 中所示之環狀軌道線路 3 於列方向的兩個位置和行方向的四個位置被連接至以格子形式配置之真實 VSS 佈線 5。

另一方面，虛擬環狀軌道線路 3V 於列方向的六個位置和行方向的八個位置被連接至電力截止目標電路區塊 1。

當開關區塊 2U、2D、2R 或 2L 被移動、插入或刪除時，該些連接位置完全不需改變。

接著將參考圖式描述範例中更詳細之開關組態，其中開關控制係由兩控制線路 35 執行。

<開關組態範例>

圖 7 為開關區塊組態圖，示意地顯示施予參考電壓 VSS（例如 0[V]）之電壓線路段 21 之間的開關電晶體之排列，及保持處於虛擬參考電壓 VSSV 之虛擬電壓線路段

21V。

在圖 7 中，三條分支線路 21B 配置予電壓線路段 21，及三條分支線路 21VB 配置予虛擬電壓線路段 21V。分支線路 21B 和分支線路 21VB 係彼此交替排列。四個開關電晶體 SWT 於一條分支線路 21B 與和該分支線路 21B 相鄰之一條分支線路 21VB 之間彼此並聯。配置五階段之該等開關電晶體串，且共有 $4 \times 5 = 20$ 個開關電晶體 SWT 係以矩陣的形式排列。

圖 7 中未顯示之一條控制線路控制每一階段中一個開關電晶體 SWT 或總共 20 個開關電晶體 SWT 之五個開關電晶體 SWT 的傳導和非傳導。五個開關電晶體 SWT 的電路符號部分係以圖 7 中之暗格顯示。未以網格配置的其他 15 個開關電晶體 SWT 係由另一條控制線路同步控制。

一部分開關和其他開關因而係彼此分別受控制，以便抑制由於當電源開始從電力截止目標電路區塊 1 之電源關閉的停止狀態（參照圖 1 至 5）返回至作業狀態時突然切換之電壓線路段 21（環狀軌道線路 3）的電位變化。因此，執行控制使得在此狀況下首先開啓少量開關電晶體 SWT 或五個開關電晶體 SWT，而經由極高阻抗將虛擬電壓線路段 21V（電力截止目標電路區塊 1 內之內部電壓線路 11）之電位降低至某程度，且當虛擬電壓線路段 21V 之電位穩定時，便開啓另 15 個開關電晶體 SWT。藉此，從環狀軌道線路 3 傳輸至真實 VSS 佈線 5 之參考電壓 VSS 之電位升（電源雜訊）的峰值便被抑制至隨時均不影響其他電路

作業的位準。

圖 8A 至 9B 顯示實際開關區塊內排列之範例。依據與圖 3 和圖 4 之相應性，圖 8A 顯示上開關區塊 2U，圖 8B 顯示下開關區塊 2D，圖 9A 顯示左開關區塊 2L，及圖 9B 顯示右開關區塊 2R。

四類開關區塊 2U、2D、2R 和 2L 具有相同尺寸。在此狀況下，參考電壓 VSS、虛擬參考電壓 VSSV 和控制信號輸入和輸出之區塊框的各端（以下稱為連接端），即圖 8A 中之 LU1 和 LU2 端，圖 8B 中之 LD1 和 LD2 端，圖 9A 中之 LL1 和 LL2 端，和圖 9B 中之 LR1 和 LR2 端被設定為相同長度。此外，電壓線路段 21、虛擬電壓線路段 21V、第一開關控制線路 35_1 和第二開關控制線路 35_2 之各末端於任一該些連接端之相同位置被標準化。

在此狀況下，第一開關控制線路 35_1 控制如圖 7 中首先控制之開關電晶體 SWT 的數量，且第二開關控制線路 35_2 控制其他開關電晶體 SWT 的數量。

不同於圖 7，圖 8A 和 8B 及圖 9A 和 9B 中所示之開關區塊 2U、2D、2R 和 2L 具有彼此平行配置之電壓線路段 21 和虛擬電壓線路段 21V，以便疊於虛線所封閉之開關排列區之上。此提供了降低該些區塊所佔據之區域的優點。然而，亦可採用一種排列其中電壓線路段 21 和虛擬電壓線路段 21V 並未疊於如圖 7 中之開關排列區之上。

當電壓線路段 21 和虛擬電壓線路段 21V 係彼此平行配置以便疊於開關排列區之上時，第一開關控制線路 35_1

和 第二開關控制線路 35_2 可不以有限數量層之多層佈線結構予以配置。因此，在本範例中，第一開關控制線路 35_1 和 第二開關控制線路 35_2 係置於與電力截止目標電路區塊 1 相對之外側的開關排列區外部。

圖 9A 和 9B 中所示之左開關區塊 2L 和右開關區塊 2R 如圖 7 中所示於 X-方向（圖中水平方向）具有六個開關格，及如圖 7 中所示於 Y-方向（圖中垂直方向）具有六個開關格，即其中共配置 36 個開關格。

另一方面，雖然圖 8A 和 8B 中所示之上開關區塊 2U 和下開關區塊 2D 總共具有 36 個開關格，該數量與圖 9A 和 9B 中相同，但上開關區塊 2U 和下開關區塊 2D 具有配置於 X-方向的 12 個開關格和配置於 Y-方向的 3 個開關格。

原因在於相較於 X-方向，開關格於 Y-方向具有較大尺寸，且為滿足使圖 8A 和 8B 與圖 9A 和 9B 中閘極電極之長度方向為相同之 Y-方向，具有相同尺寸之開關區塊內所包含之開關排列區的水平對垂直比例被調整為圖 8A 和 8B 中開關區塊之垂直尺寸和水平尺寸與圖 9A 和 9B 中開關區塊之垂直尺寸和水平尺寸互換。

在圖 9A 和 9B 的狀況下，電壓線路段 21 和虛擬電壓線路段 21V 各與所有分支線路 21B 和 21VB 交叉。因此，電壓線路段 21 經由接點可連接至下層中所有分支線路 21B 和 21VB，且虛擬電壓線路段 21V 經由接點可連接至下層中所有分支線路 21B 和 21VB。

另一方面，在圖 8A 和 8B 的狀況下，電壓線路段 21 和虛擬電壓線路段 21V 未與所有下層佈線（分支線路 21B 和 21VB）交叉而提供接點。因此，如圖 8A 和 8B 中所示，在上開關區塊 2U 和下開關區塊 2D 中，垂直於電壓線路段 21 和分支線路 21B 之進接分支線路 21Ba 需置於從電壓線路段 21 至分支線路 21B 之進接路徑中。進接分支線路 21Ba 係由低於電壓線路段 21 並高於分支線路 21B 之佈線層形成。因此，採用兩階段分支結構其中電壓線路段 21 之分支線路為進接分支線路 21Ba，且進一步分支線路 21B 係自進接分支線路 21Ba 分歧。

類似地，採用兩階段分支結構其中垂直於虛擬電壓線路段 21V 之進接分支線路 21VBa 係自虛擬電壓線路段 21V 分歧，且進一步垂直於進接分支線路 21VBa 之分支線路 21VB 係自進接分支線路 21VBa 分歧。

由第一開關控制線路 35_1 控制之開關電晶體 SWT 的總閘極寬度（長度方向中總長度）被設定為圖 8A 和 8B 與圖 9A 和 9B 中相同。類似地，由第二開關控制線路 35_2 控制之開關電晶體 SWT 的總閘極寬度被設定為圖 8A 和 8B 與圖 9A 和 9B 中相同。

每一開關區塊 2U、2D、2R 和 2L 具有置於第一開關控制線路 35_1 之中間點的緩衝器電路 BUF1，及置於電路區塊 1 之開關排列區的相對端（外部）之第二開關控制線路 35_2 之中間點的緩衝器電路 BUF2。

緩衝器電路 BUF1 和 BUF2 被連接至圖中未顯示之真

實 VDD 線路和電壓線路段 21，藉以執行將傳輸程序中衰減之控制信號之波形成形為具有電源電壓 VDD 之振幅的脈衝信號。因此，由虛線代表之緩衝器電路排列區被置於開關排列區外部。

開關控制之佈線從緩衝器電路 BUF1 和 BUF2 之每一輸出延伸至開關排列區，並被連接至相應開關電晶體群組之閘極。

附帶一提地，該佈線以及第一開關控制線路 35_1 和第二開關控制線路 35_2 係由圖 8A 和 8B 與圖 9A 和 9B 中線路代表，但實際上係由具有類似於電壓線路段 21 等之寬度的佈線層形成。

開關控制線路 35_1 和第二開關控制線路 35_2 於開關區塊內各包括置於相應緩衝器電路 BUF1 或 BUF2 之輸入端並被輸入控制信號之"第一控制線路段"，及置於相應緩衝器電路 BUF1 或 BUF2 之輸出端並輸出定形波形之控制信號之"第二控制線路段"。

<佈線結構>

圖 10 顯示於多層佈線結構中各層級之佈線層的使用範例。在此狀況下，各項佈線係使用從多層佈線結構中之底層依序層壓之第一層級（第一佈線層（1M））之佈線層至第七層級（第七佈線層（7M））之佈線層形成。

具體地，電力截止目標電路區塊 1 內例如反向器格 13（圖 2）等之標準格 15 之間之佈線係由第一佈線層（1M

）至第四佈線層（4M）形成。從某標準格 15 至外部之信號線路亦由第一佈線層（1M）至第四佈線層（4M）形成。

環狀軌道線路 3 之行方向的佈線 3C 係由第五佈線層（5M）形成。環狀軌道線路 3 之列方向的佈線 3R 係由較第五佈線層（5M）高一層級之第六佈線層（6M）形成，並被連接至行方向之佈線 3C 的兩末端。

類似地，虛擬環狀軌道線路 3V 之行方向的佈線 3VC 係由第五佈線層（5M）形成。虛擬環狀軌道線路 3V 之列方向的佈線 3VR 係由較第五佈線層（5M）高一層級之第六佈線層（6M）形成，並被連接至行方向之佈線 3VC 的兩末端。

內部電壓線路 11 之列方向的佈線 11R 係由較第五佈線層（5M）高一層級之第六佈線層（6M）形成，以被連接至虛擬環狀軌道線路 3V 之行方向的佈線 3VC，佈線 3VC 係由第五佈線層（5M）形成。此外，內部電壓線路 11 之列方向的佈線 11R 係由第六佈線層（6M）形成，其於佈線 11R 和佈線 11C 之交點被連接至內部電壓線路 11 之行方向的佈線 11C，佈線 11C 係由較第六佈線層（6M）高一層級之第七佈線層（7M）形成。

附帶一提地，真實 VSS 佈線 5 亦由第七佈線層（7M）形成。

因此，內部佈線連接係於較列方向之佈線低一層級之佈線形成行方向之佈線並應用此規則而適當地達成。

在上列描述中，開關格之型樣是任意的且未被提及。然而，接著將描述具有雙軸對稱型樣之開關格做為所欲之具體範例。

圖 11 為一開關格之示意佈局圖。附帶一提地，圖 11 中型樣尺寸等與實際開關格並不相等，且圖 11 僅示意地顯示型樣之概略排列和連接關係。

圖 11 中所示之開關格 20N 係經由將一 NMOS 電晶體轉換為標準格而形成。開關格 20N 具有相對於每一通過該格中心之 X 軸和 Y 軸對稱之組態。該對稱稱為 "雙軸對稱"。

圖 11 中所描繪之開關格 20N 的整個區域形成一部分 P 井。

通過格中心之閘極電極耦合部 21C 係沿 X 軸而形成。從格中心之耦合部 21C 的長度與 Y 軸相等（對稱）而做為邊界。即，耦合部 21C 具有雙軸對稱之型樣。

相同長度的四個閘極電極 21A 於耦合部 21C 之寬度方向的一端從耦合部 21C 延伸，且相同長度的四個閘極電極 21B 於耦合部 21C 之另一端從耦合部 21C 延伸。四個閘極電極 21A 係以 X 軸方向相同間隔排列。四個閘極電極 21B 類似地係以 X 軸方向相同間隔排列。由於閘極電極 21A 和閘極電極 21B 均具有相同長度和相同厚度，閘極電極 21A 和閘極電極 21B 相對於 Y 軸而對稱。由於閘極電極 21A 和 21B 係自耦合部 21C 之相同位置分歧，閘極電極 21A 和閘極電極 21B 相對於 X 軸而對稱。耦合部 21C 及閘

極電極 21A 和 21B 係經由處理相同傳導材料而整體形成。

相同尺寸的兩 N 型作用區 22A 和 22B 係以距 X 軸相等距離形成於 P 井中。N 型作用區 22A 係形成於 N 型作用區 22A 與四個閘極電極 21A 相交之位置。N 型作用區 22B 係形成於 N 型作用區 22B 與四個閘極電極 21B 相交之位置。N 型作用區 22A 和 22B 係於閘極電極 21A 和 21B 形成之後經由選擇性地將 N 型雜質導入 P-井並以閘極電極 21A 和 21B 做為遮罩而形成。

N 型作用區 22A 和 22B 各經由閘極電極部分劃分為五區，交替做為源極（S）和汲極（D）。

藉此，形成具有雙軸對稱之基本結構，該結構包括劃分 N 型作用區 22A 做為通道之部分的第一單位電晶體（TR1）及劃分 N 型作用區 22B 做為通道之部分的第二單位電晶體（TR2）。

在配置第一單位電晶體（TR1）之區域中配置以第二佈線層（2M）形成之電壓格線路 23A，以便垂直於四個閘極電極 21A。類似地，在配置第二單位電晶體（TR2）之區域中配置以第二佈線層（2M）形成之電壓格線路 23B，以便垂直於四個閘極電極 21B。

兩電壓格線路 23A 和 23B 各為經由高於電壓格線路 23A 和 23B 之層中虛擬電壓線路段 21V（參照圖 7）而電性連接至電路區塊 1（參照圖 2）內之內部電壓線路 11 的格內部線路。即，就與圖 7 之相應性而言，圖 11 中兩電壓格線路 23A 和 23B 相應於圖 7 中一分支線路 21VB。

提供經由每一 N 型作用區 22A 和 22B 中第一接點 (1C) 而連接至兩個別汲極 (D) 的兩汲極線路 28。每一 N 型作用區 22A 和 22B 中之兩汲極線路 28 或共四個汲極線路 28 係由第一佈線層 (1M) 形成。

電壓格線路 23A 經由第二接點 (2C) 而連接至 N 型作用區 22A 上之兩汲極線路 28。類似地，電壓格線路 23B 經由第二接點 (2C) 而連接至 N 型作用區 22B 上之兩汲極線路 28。

兩電壓格線路 23A 和 23B 彼此平行並以與 X 軸的相等距離配置。

與電壓格線路 23A 平行之電力格線路 24A 係配置於四個閘極電極 21A 之塞尖側。類似地，與電壓格線路 23B 平行之電力格線路 24B 係配置於四個閘極電極 21B 之塞尖側。

電力格線路 24A 和 24B 各為電性連接至高於電力格線路 24A 和 24B 之層中真實 VDD 線路 (圖 7 中電壓線路段 21) 之格內部線路。即，就與圖 7 之相應性而言，圖 11 中兩電力格線路 24A 和 24B 相應於圖 7 中一支線路 21B。

兩電力格線路 24A 和 24B 各包括與圖中未顯示之 P 型作用區等同步形成之佈線區 24d，以第一佈線層 (1M) 形成之第一內層佈線 24m1，和以第二佈線層 (2M) 形成之第二內層佈線 24m2。

在每一兩電力格線路 24A 和 24B 中，佈線區 24d 和第

一內層佈線 24m1 經由相等間隔之第一接點 (1C) 被短路，及第一內層佈線 24m1 和第二內層佈線 24m2 經由相等間隔之第二接點 (2C) 被短路。

形成電力格線路 24A 之第一內層佈線 24m1 係與於 N 型作用區 22A 之兩源極 (S) 端延伸之兩源極線路 24S 整體形成。類似地，形成電力格線路 24B 之第一內層佈線 24m1 係與於 N 型作用區 22B 之兩源極 (S) 端延伸之兩源極線路 24S 整體形成。

源極 (S) 經由第一接點 (1C) 而連接至源極線路 24S。

在此狀況下，可省略首先描述之閘極電極耦合部 21C，並可以四個接點墊零件取代。

在任一狀況下，整體而言，由與 Y 軸平行之閘極電極 21A 和 21B 所形成之四個閘極電極經由高於閘極電極之佈線層短路。將閘極電極短路之格內部佈線將被稱為 "控制格線路"。

本範例中控制格線路 25 係經由將以第二佈線層 (2M) 形成之第二控制格線路 27 疊置於以第一佈線層 (1M) 形成之第一控制格線路 26 上而形成。耦合部 21C (或四個接點墊零件) 和第一控制格線路 26 經由第一接點 (1C) 而彼此連接。第一控制格線路 26 和第二控制格線路 27 經由第二接點 (2C) 而彼此連接。

控制格線路 25 係沿 X 軸配置使得控制格線路 25 的寬度方向和長度方向之中心與格中心重合。

因此，控制格線路 25 係與每一之兩電壓格線路 23A 和 23B 及兩電力格線路 24A 和 24B 平行配置。

圖 12 顯示 PMOS 電晶體之開關格 20P。

圖 12 中所描繪之開關格 20P 與圖 11 中開關格 20N 不同，其中整個開關格 20P 係形成於 N 井中，且形成於 N 井中之第一單位電晶體 (TR1) 和第二單位電晶體 (TR2) 之作用區為 P 型作用區 22AP 和 22BP。其他組態係與圖 11 中相同。因而，其他組態係配賦予相同參考編號，並將省略其描述。

圖 13A 和 13B 為使用圖 11 中 NMOS 電晶體組態之開關格 20N 的上開關區塊 2U 和下開關區塊 2D 之組態圖。圖 14A 和 14B 為類似地使用開關格 20N 之左開關區塊 2L 和右開關區塊 2R 之組態圖。

圖 13A 和 13B 及圖 14A 和 14B 與圖 8A 和 8B 及圖 9A 和 9B 之比較顯示，相應於圖 8A 和 8B 及圖 9A 和 9B 中分支線路 21B 的電力格線路 24A 和 24B 係以兩倍分支線路 21B 之密度形成，及相應於圖 8A 和 8B 及圖 9A 和 9B 中分支線路 21VB 的電壓格線路 23A 和 23B 係以兩倍分支線路 21VB 之密度形成。在此狀況下，電力格線路 24AB 係由圖 11 中電力格線路 24A 和 Y 方向另一相鄰格之電力格線路 24B 共用。

其他組態是共用的，且其描述將予省略。

儘管圖 13A 和 13B 及圖 14A 和 14B 中未顯示，多層佈線結構被用於在預定位置連接預定數量之開關格 20N 至

每一第一開關控制線路 35_1 和第二開關控制線路 35_2。當佈線層數量增加時，開關控制線路可相對於區塊之中心而對稱配置。然而，不希望僅為此目的而使佈線結構複雜並因而增加製造成本。此外，在本範例中，從配置緩衝器電路 BUF1 和 BUF2 之需求，需要相對於開關區塊之中心而非對稱地配置第一開關控制線路 35_1 和第二開關控制線路 35_2。

接著將描述當開關控制線路因而未相對於區塊中心而對稱配置時開關格之對稱佈線結構的優點。

首先將描述開關區塊之設計容易做為第一優點。

本實施例中較佳開關排列佈線方法（開關區塊設計方法）依循利用開關格 20N 之佈局對稱之下列程序。

第一步驟：配置電晶體，每一兩電壓格線路 23A 和 23B 係電性連接至內部電壓線路 11，兩電力格線路 24A 和 24B（或兩共用電力格線路 24AB）係各電性連接至應用電源電壓 VDD（在開關格 20P 之狀況）或參考電壓 VSS（在開關格 20N 之狀況）之第二電源線，及電性連接至開關控制線路 29A 至 29C 之控制格線路 25 係相對於每一通過格中心之 X 軸和 Y 軸而相對稱地配置並連接至該些電晶體。藉此形成開關格 20N 或 20P（或二者兼具）。

第二步驟：所形成之開關格 20N 或 20P（或二者兼具）係以矩陣的形式配置。預定開關格 20N 或 20P（或二者兼具）被連接至每一複數個開關控制線路 29A 至 29C。藉此形成開關區塊 20。

第三步驟：所製造之開關區塊 2 上資料為平行於 X 軸或 Y 軸之線路上鏡像反向，或格中心上旋轉 180 度（180 度反向）。藉此形成反向開關區塊。

第四步驟：複數個開關控制線路 29A 至 29C 和第二電源線係連接至配置的開關區塊與反向開關區塊之間。電壓格線路 23A 和 23B 被連接至電路區塊 1 之內部電壓線路 11。

更具體地進行描述，儘管描述重複，控制格線路 25、電壓格線路 23A 和 23B 及電力格線路 24A 和 24B（或兩電力格線路 24AB）係相對於每一 X 軸和 Y 軸而對稱。因此，當開關格 20N 為與沿做為反向軸之 X 軸或 Y 軸之線路鏡像反向或於格中心上旋轉 180 度時，上述五條格線路之間之位置關係保持原始狀態。

在圖 5 之狀況下，其中儘管電晶體係雙軸對稱配置，特別是當整個某開關區塊 2 於其中係如圖 4 中設計開關控制線路之階段中為鏡像反向或旋轉 180 度時，例如矩陣形式之開關格群組中如圖 11 中所示之每一開關格 20N 的基本型樣則一點都未改變。係針對開關控制線路 29A 至 29C 實施改變並連接其線路，其於區塊內並未對稱地配置，且係由第三佈線層（3M）更高佈線層形成。

當每一第一開關控制線路 35_1 和第二開關控制線路 35_2 與電路區塊 1 之距離相同時，區塊之間之佈線是容易的。此外，通常存在一限制，為均勻特徵而要求電晶體之閘極的方位（長度之方向）於積體電路內相同。在此狀況

下，配置於電路區塊 1 之四端的開關區塊具有每一端不同之型樣。

然而，當使用圖 11 中所示之開關格時，其中開關格的五條格線路，即電壓格線路 23A 和 23B、電力格線路 24A 和 24B 及控制格線路 25 具有雙軸對稱，可經由具有上述第一至第五步驟之程序的方法而輕易地設計開關區塊。

利用五條格線路之間之關係未因鏡像反向或 180 度旋轉而改變，且高於格線路之層中佈線改變的現象，在將配置於電路區塊 1 之兩相對端之一端的一開關區塊 2 於第一和第二步驟中設計之後，設計之後開關區塊 2 上之資料為平行於兩端之線路上鏡像反向或旋轉 180 度。藉此可輕易地製造將配置於另一端之另一開關區塊 2 上之資料（第三步驟）。

類似地，對另兩端而言，在將配置於該些端之一的開關區塊 2 於第一和第二步驟中設計之後，設計之後之資料為鏡像反向或旋轉 180 度（第三步驟）。藉此可輕易地製造將配置於另一端之開關區塊 2 上之資料。

因而製造之四類開關區塊（2U、2D、2L 和 2R）中每一開關控制線路 29A 至 29C 具有至電路區塊 1 之相同距離。因而易於於第四步驟中連接區塊之間之開關控制線路。此外，這對將於開關區塊之間連接之其他佈線而言是真實的。

接著將描述開關格設計本身之容易。

當除了五條格線路之對稱以外，電晶體之型樣具有如圖 11 和圖 12 中之雙軸對稱時，便設計由 X 軸和 Y 軸劃分之第一至第四象限的型樣之一（該些型樣以下將稱為四分之一劃分型樣），且以下另四分之三劃分型樣變僅經由複製設計後之型樣資料並貼上該型樣資料同時執行鏡像反向或鏡像反向與 180 度旋轉之組合而予形成。藉此完成開關格之設計。

因此，可極容易地設計開關格。此外，當實施高密度設定使得可於四分之一劃分型樣之第一設計的階段中確保最大開極寬度時，便可不浪費地設計開關格。

依據本實施例，獲得下列優點。

環繞電力截止目標電路區塊 1 而配置之複數個開關區塊具有一開關及做為應用電源電壓或參考電壓之一部分環狀軌道線路的電壓線路段。因此，開關段可以說是僅於電壓線路段和開關之間之位置關係為固定之狀態下移動、插入或刪除開關區塊，便可自由地沿環狀軌道線路移動、新插入或輕易地刪除。

特別是，如圖 15 中所示，配置複數個開關區塊使得當從電路區塊 1 之四端的每一端檢視時，供應電源電壓或參考電壓予電力截止目標電路區塊 1 之佈線（具體地為本實施例所描述中之真實 VSS 佈線 5 和環狀軌道線路 3）的阻抗愈低，開關區塊之數量愈多。

在圖 15 中，較粗箭頭所表示之端的阻抗低於較細箭頭所表示之端的阻抗。即，由於圖 1 中所示輸入-輸出格

40 係配置於較粗箭頭之端，外部參考電壓假定為約 0 [V] 之值。另一方面，由於隨時作業之另一電路區塊（例如激化電路區塊 32）係配置於較細箭頭之端，真實 VSS 線路之電位的時間平均為大於 0 [V]。

在此狀況下，當許多開關區塊係配置於參考電壓固定為 0 [V] 之端時，內部電壓線路 11 之放電於相同的開啓時間內進行的更有效率。另一方面，當許多開關區塊係配置於參考電壓為高於 0 [V] 之端時，需增加開關區塊之數量以獲得相同放電效果，因而導致浪費。

本實施例具有致能輕易地實施該有效率之開關區塊排列的效果。

具體地，可於設計之下半時判斷電力消耗時進行配置，且相較於現有狀況可減少將使用之開關區塊的數量。當開關電晶體之總閘極寬度經由減少開關區塊數量而降低時，洩漏電流便相應地減少，使得獲得電力減少之效果。此外，由於在輸入-輸出格 40 之端無作業中電路區塊，因放電之電源雜訊的影響便小，並可抑制其他電路區塊之作業速度的反效果。

此外，由於可配置應用電源電壓或參考電壓之環狀線路以便疊置於開關上，而獲得區域減少之顯著效果。

此外，當使用具有雙軸對稱型樣之開關格時，便獲得上述第一優點（開關區塊設計之容易）及（開關格設計本身之容易）。

熟悉本技藝之人士應理解的是在不偏離申請專利範圍

或其等效論述之範圍下，可依據設計需要或其他因素而實施各式修改、組合、次修改和替換。

【圖式簡單說明】

圖 1 為區塊圖，顯示依據本發明之實施例的半導體積體電路之一般組態；

圖 2 為依據實施例之電力截止目標電路區塊之內部組態；

圖 3 顯示實施例之軌道排列之第一範例；

圖 4 顯示實施例之軌道排列之第二範例；

圖 5 顯示實施例中電路區塊和環繞該電路區塊之路由至開關區塊的控制線路；

圖 6 為區塊圖，顯示無環狀軌道線路之組態；

圖 7 示意地顯示實施例中開關電晶體之排列；

圖 8A 和 8B 關於該實施例，圖 8A 為上開關區塊之組態圖，及圖 8B 為下開關區塊之組態圖；

圖 9A 和 9B 關於該實施例，圖 9A 為左開關區塊之組態圖，及圖 9B 為右開關區塊之組態圖；

圖 10 顯示代號 1M 至 7M 之多層佈線結構中各層級之佈線層之使用狀況；

圖 11 為依據實施例之開關格之示意佈局圖；

圖 12 為依據實施例之另一開關格之示意佈局圖；

圖 13A 和 13B 關於該實施例，圖 13A 為使用圖 11 之開關格所形成之上開關區塊之組態圖，及圖 13B 為下開關

區塊之組態圖；

圖 14A 及 14B 關於該實施例，圖 14A 為使用圖 11 之開關格所形成之左開關區塊之組態圖，及圖 14B 為右開關區塊之組態圖；及

圖 15 顯示實施例中開關區塊之適當排列。

【主要元件符號說明】

1：電力截止目標電路區塊

1A：標準格排列區

1B：巨集格區

1C：第一接點

1M：第一佈線層

2、20、SB：開關區塊

2C：第二接點

2D：下開關區塊

2L：左開關區塊

2M：第二佈線層

2R：右開關區塊

2U：上開關區塊

3：環狀軌道線路

3C、3R、3VC、3VR、11C、11R：佈線

3M：第三佈線層

3V：虛擬環狀軌道線路

4M：第四佈線層

5：真實參考電壓佈線

5M：第五佈線層

6M：第六佈線層

7M：第七佈線層

11：內部電壓線路

11A、12A、21B、21VB：分支線路

13：反向器格

15：標準格

20N、20P：開關格

21：電壓線路路段

21A、21B：閘極電極

21Ba、21VBa：進接分支線路

21C：閘極電極耦合部

21V：虛擬電壓線路段

22A、22B：N型作用區

22AP、22BP：P型作用區

23A、23B：電壓格線路

24A、24AB、24B：電力格線路

24d：佈線區

24m1：第一內層佈線

24m2：第二內層佈線

24S：源極線路

25：控制格線路

26：第一控制格線路

27：第二控制格線路

28：汲極線路

29A 至 29C：開關控制線路

32：激化電路區塊

33：非應用電路區塊

34：控制電路

35：控制線路

35_1：第一開關控制線路

35_2：第二開關控制線路

40：輸入-輸出格

BUF1、BUF2：緩衝器電路

D：汲極

S：源極

SWT：開關電晶體

TR1：第一單位電晶體

TR2：第二單位電晶體

VDD：電源電壓

VSS：參考電壓

VSSV：虛擬參考電壓

十、申請專利範圍

1. 一種半導體積體電路，包含：

具有一內部電壓線路之一電路區塊；

一環狀軌道線路，其形成環繞該電路區塊之封閉環狀線路並被供應予一電源電壓和一參考電壓其中之一；及

複數個開關區塊，其係沿該環狀軌道線路而環繞該電路區塊配置，該複數個開關區塊各包括形成一部分該環狀軌道線路之電壓線路段，及用於控制該電壓線路段和該內部電壓線路之間連接和脫鉤之一開關，

其中該複數個開關區塊經由具有相同尺寸並於該電路區塊之四個個別端包括四個不同類之開關區塊而被標準化，及

其中對該複數個開關區塊而言，決定配置於該電路區塊之每一端的開關區塊之數量，使得開關區塊之數量隨著自該電路區塊之四端的每一端檢視時供應該電源電壓和該參考電壓其中之一予該電路區塊之佈線的阻抗減少而增加。

2. 如申請專利範圍第 1 項之半導體積體電路，

其中該複數個開關區塊具有該電壓線路段，且該開關內部彼此連接，及

位於一區塊框兩相對端之該電壓線路段的末端之位置關係被設定為該複數個開關區塊中完全相同。

3. 如申請專利範圍第 1 項之半導體積體電路，

其中在每一該等開關區塊中，

該電壓線路段係以交叉和鄰近該開關之排列區的狀態之一配置，

操作以接收來自該電壓線路段所供應之電壓的一緩衝器電路係形成於來自該電路區塊之該開關和該電壓線路段之排列區的相對端，

經由一控制線路而被輸入一控制信號之一第一控制線路段係配置於該緩衝器電路之輸入端，及

電性連接至該開關的控制節點之一第二控制線路段係配置於該緩衝器電路之輸出端。

4.如申請專利範圍第 1 項之半導體積體電路，

其中做為該開關之電晶體之閘極的一長度方向在該複數個開關區塊內被製成完全相同。

5.如申請專利範圍第 1 項之半導體積體電路，

其中該環狀軌道線路之佈線部分中與該電路區塊之四端的一對相對端平行之佈線部分，和該環狀軌道線路之佈線部分中與該電路區塊之該四端的另一對相對端平行之佈線部分，係由佈線層於不同層級形成。

6.一種半導體積體電路，包含：

具有一內部電壓線路之一電路區塊；

一環狀軌道線路，其形成環繞該電路區塊之封閉環狀線路並被供應予一電源電壓和一參考電壓其中之一；及

複數個開關區塊，其係沿該環狀軌道線路而環繞該電路區塊配置，該複數個開關區塊各包括形成一部分該環狀軌道線路之電壓線路段，及用於控制該電壓線路段和該內

部電壓線路之間連接和脫鉤之一開關，

其中在每一該等開關區塊中，

該電壓線路段係以交叉和鄰近該開關之排列區的狀態之一配置，

操作以接收來自該電壓線路段所供應之電壓的一緩衝器電路係形成於來自該電路區塊之該開關和該電壓線路段之排列區的相對端，

經由一控制線路而被輸入一控制信號之一第一控制線路段係配置於該緩衝器電路之輸入端，及

電性連接至該開關的控制節點之一第二控制線路段係配置於該緩衝器電路之輸出端。

圖 1

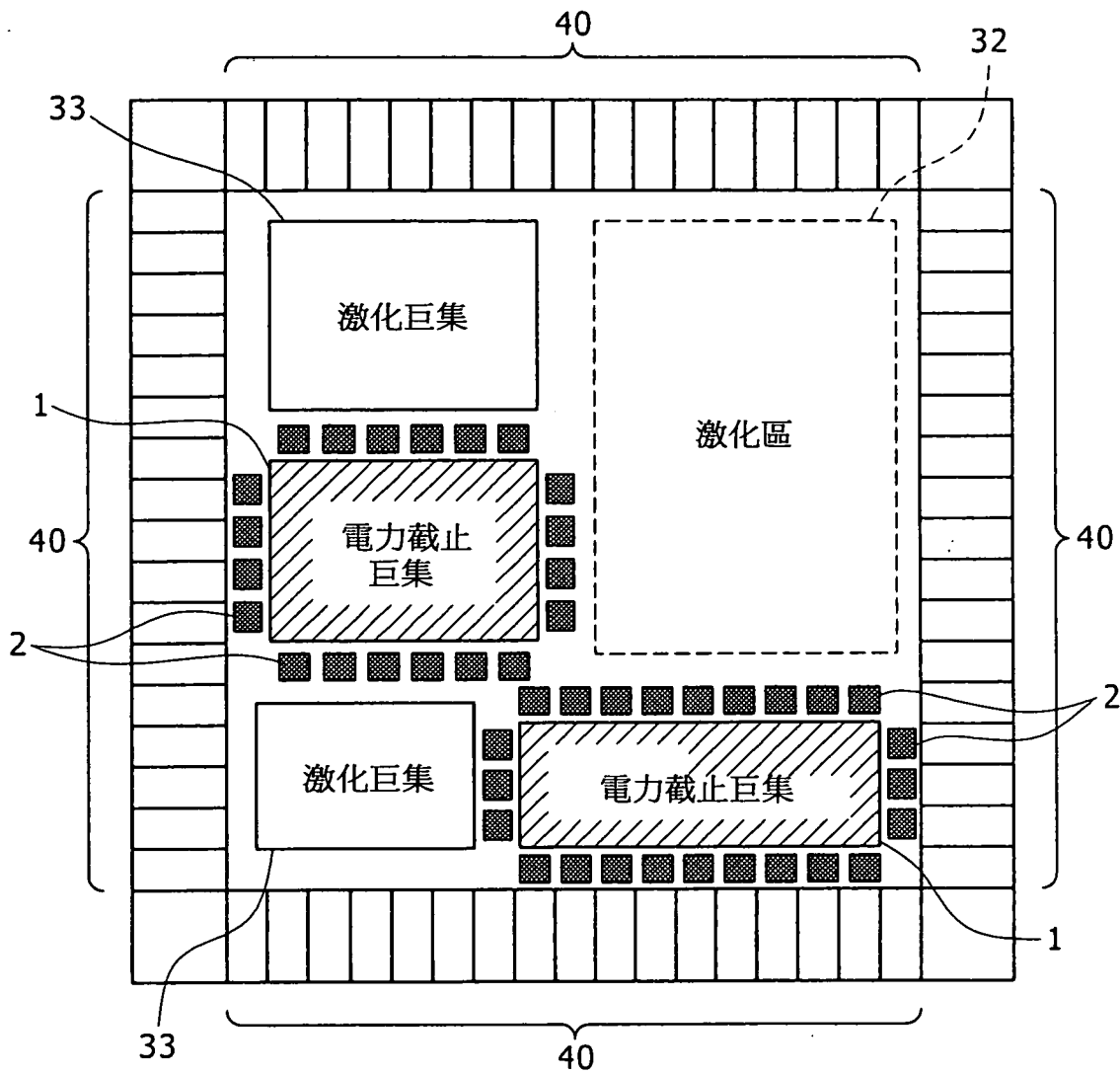


圖2

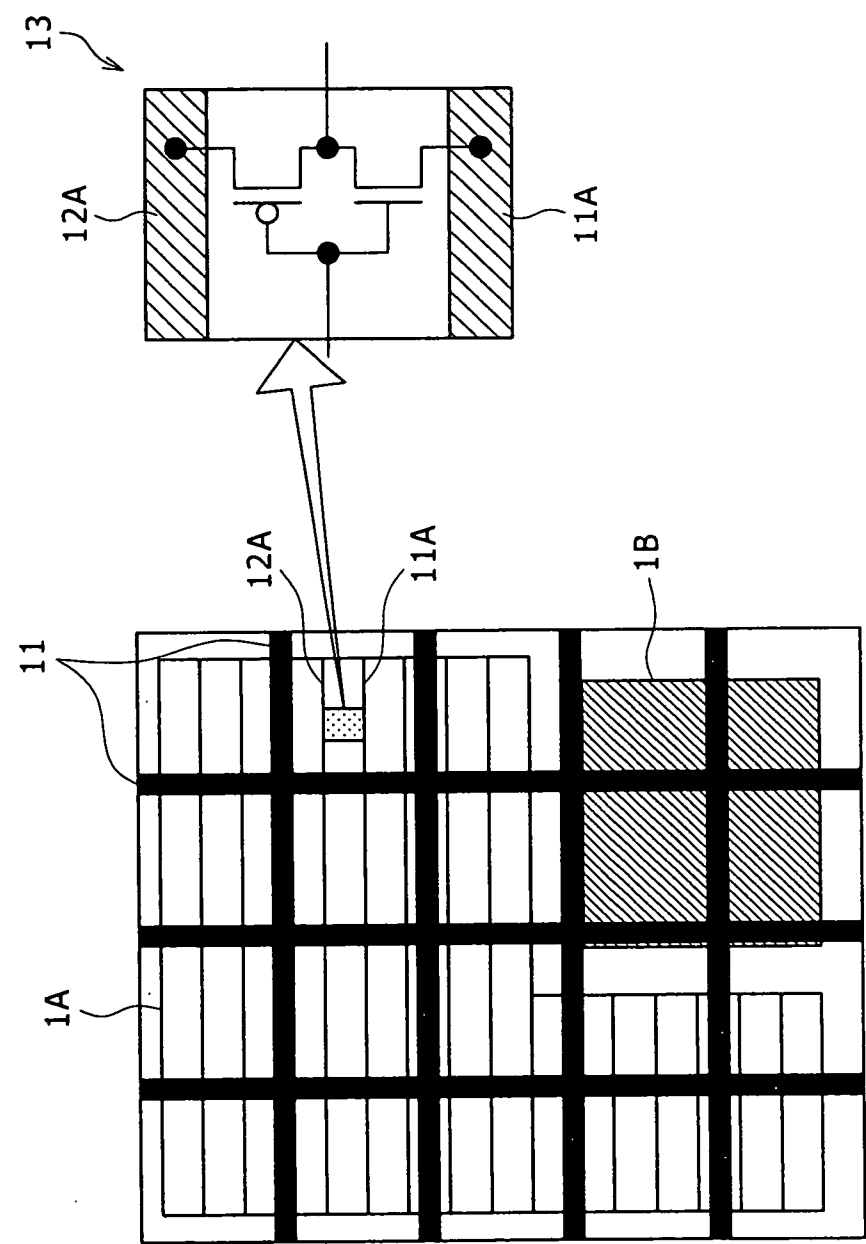


圖 3

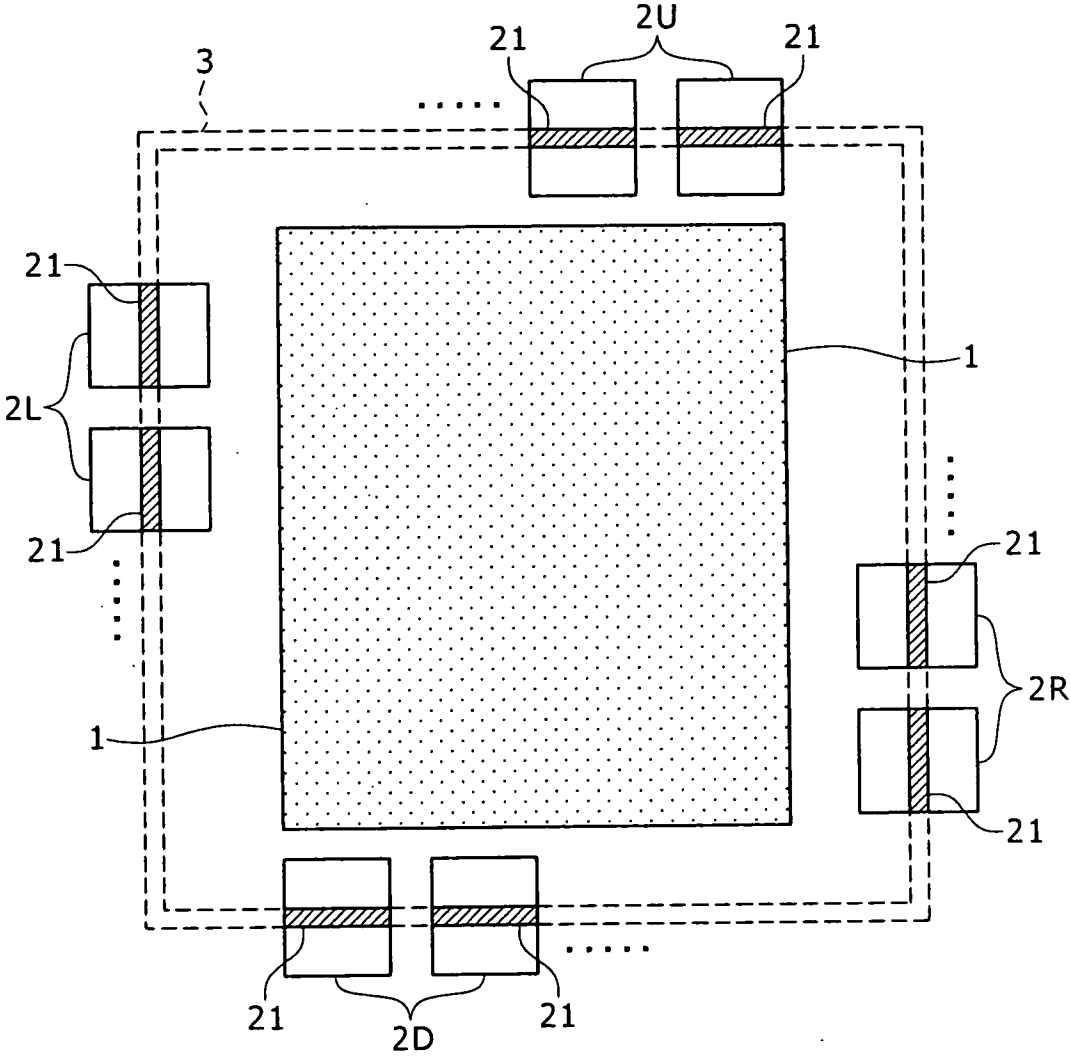


圖4

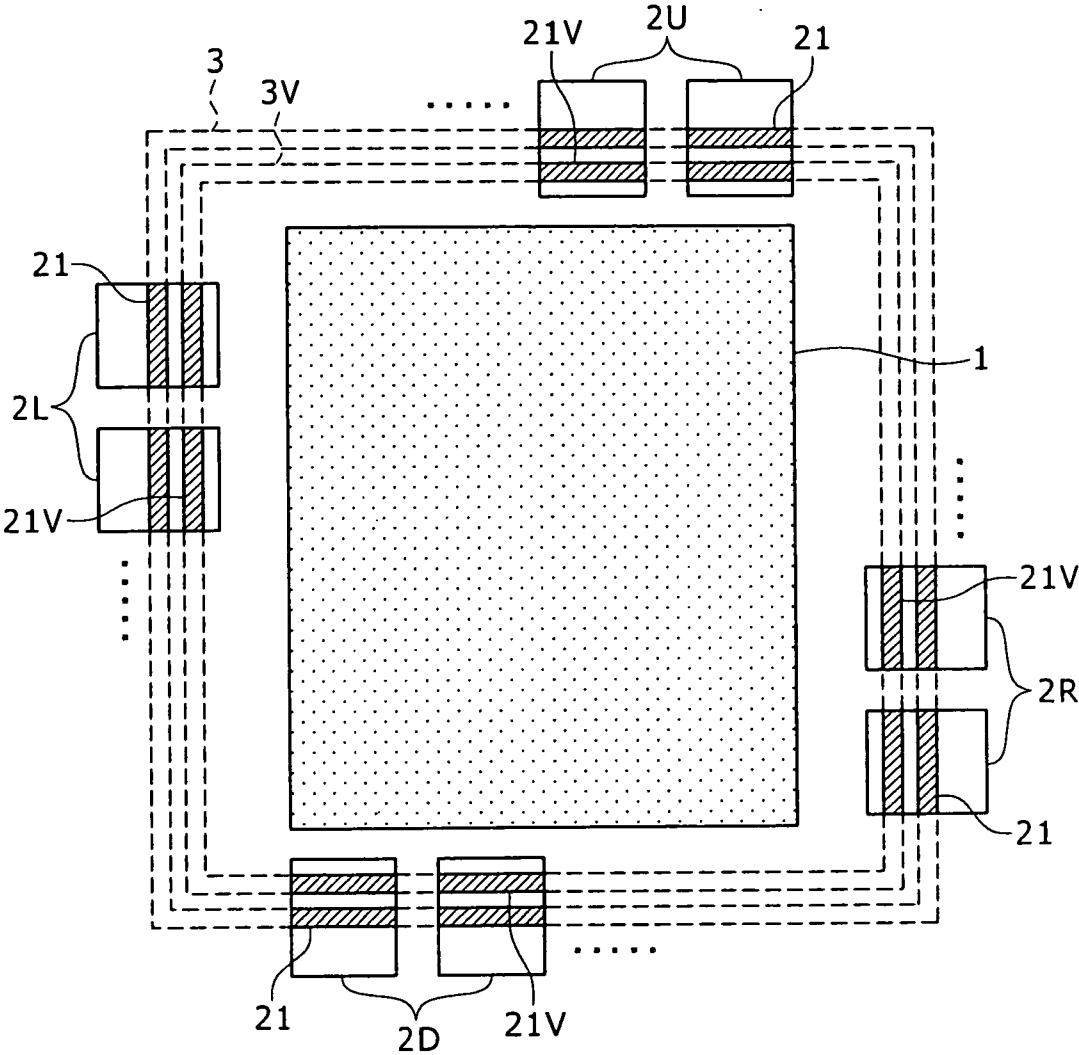


圖5

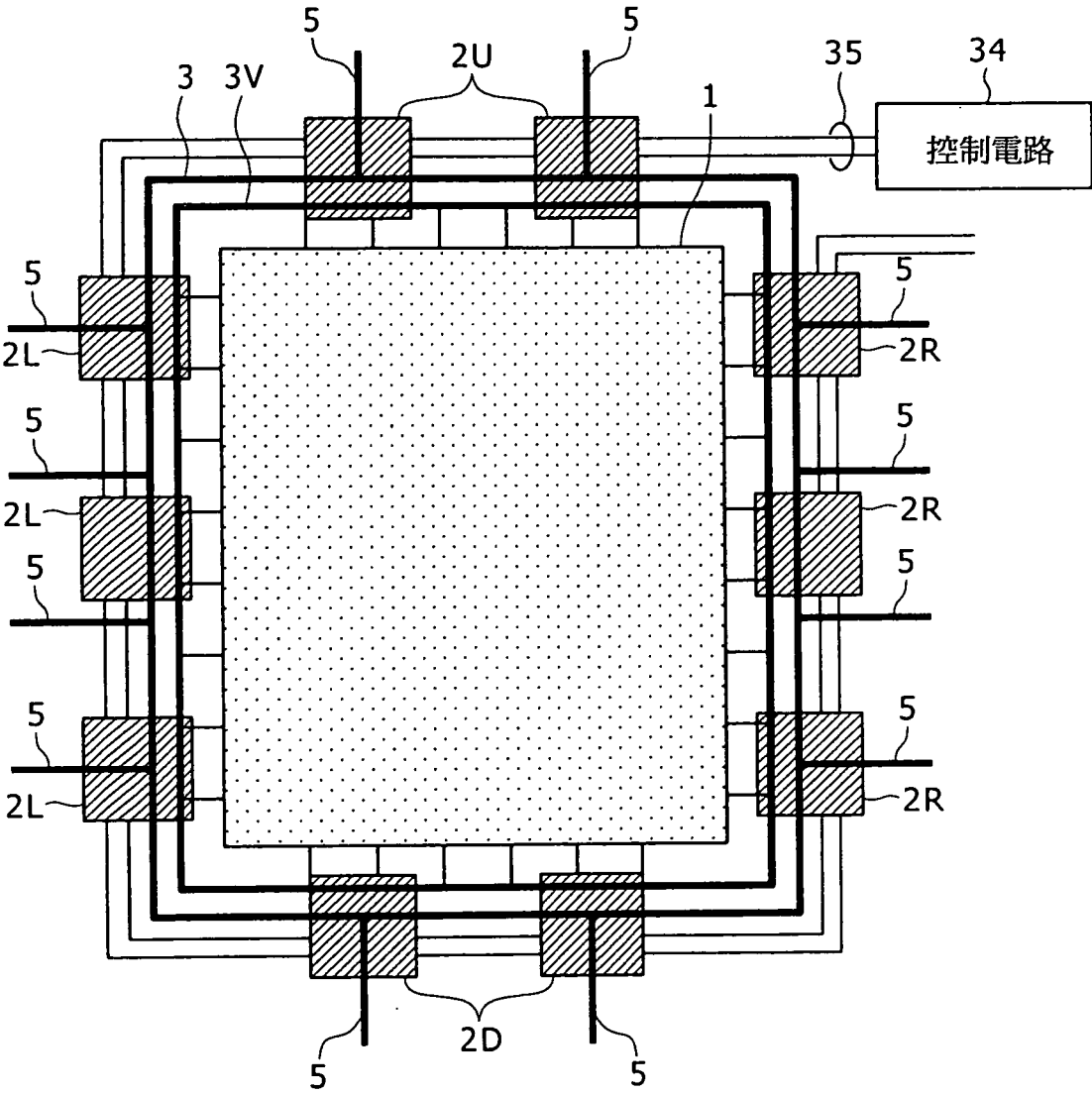
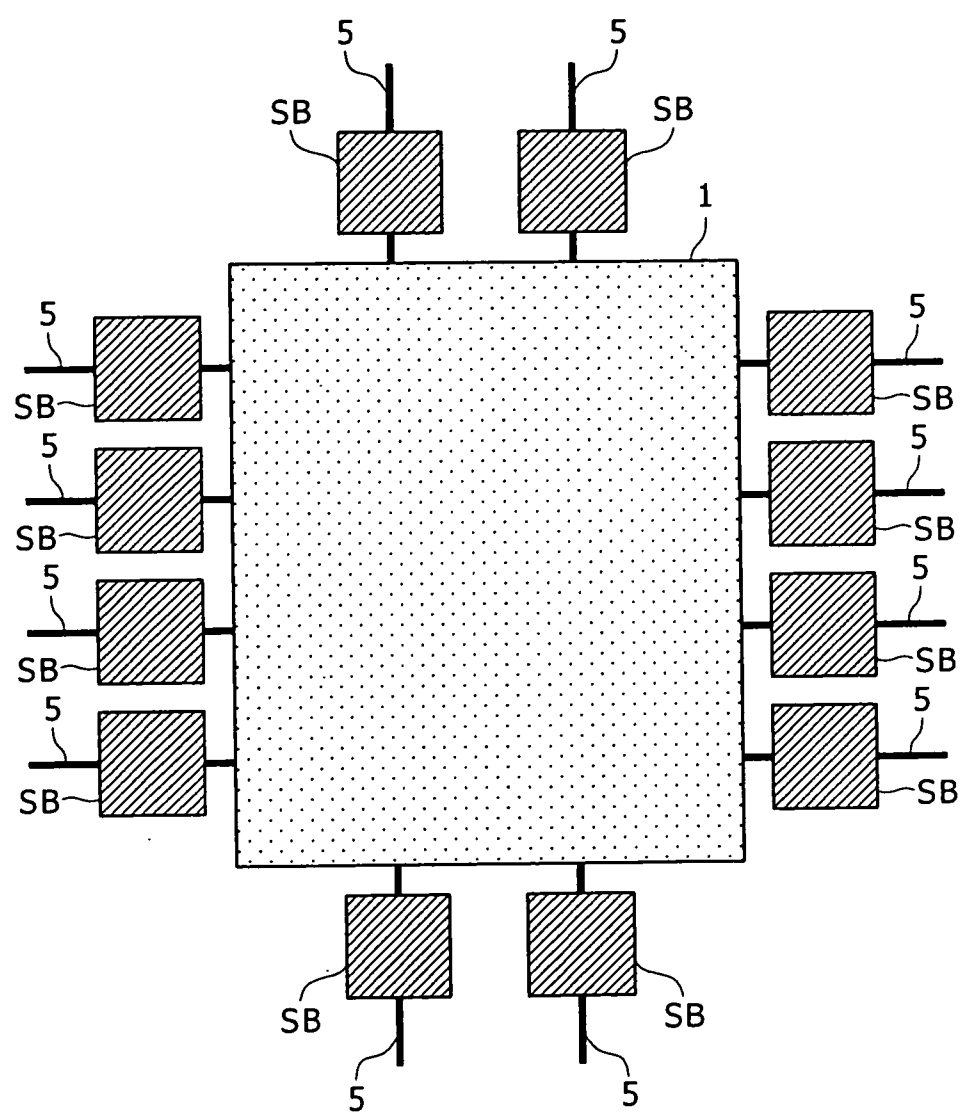


圖 6



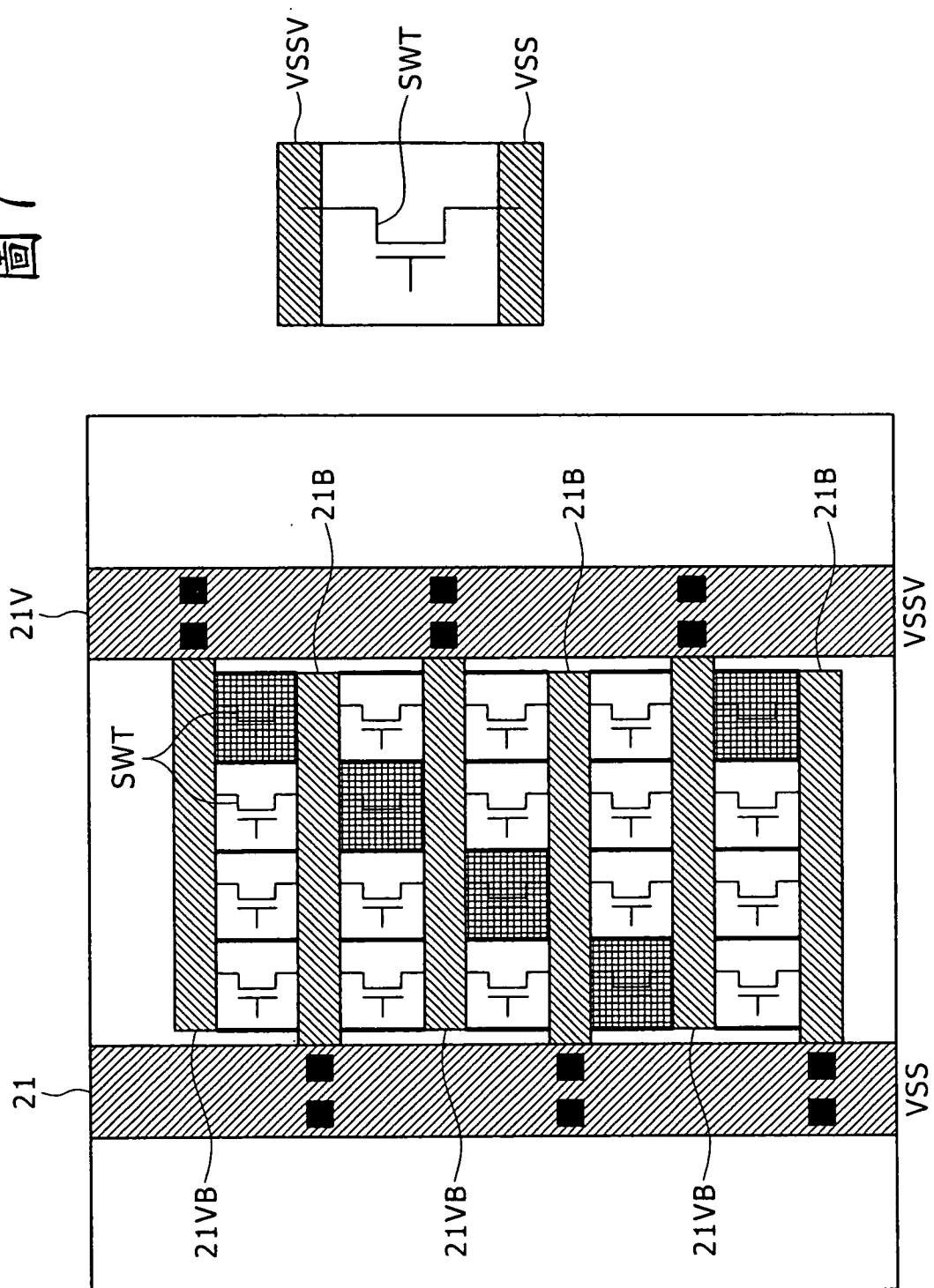


圖 8A

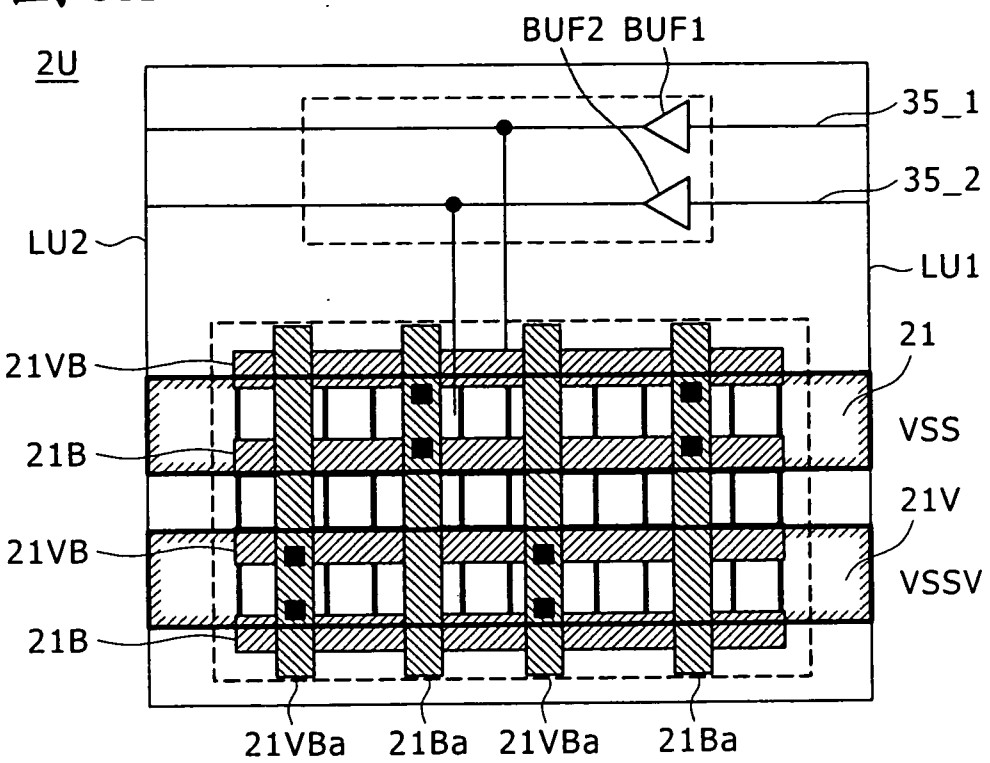


圖 8B

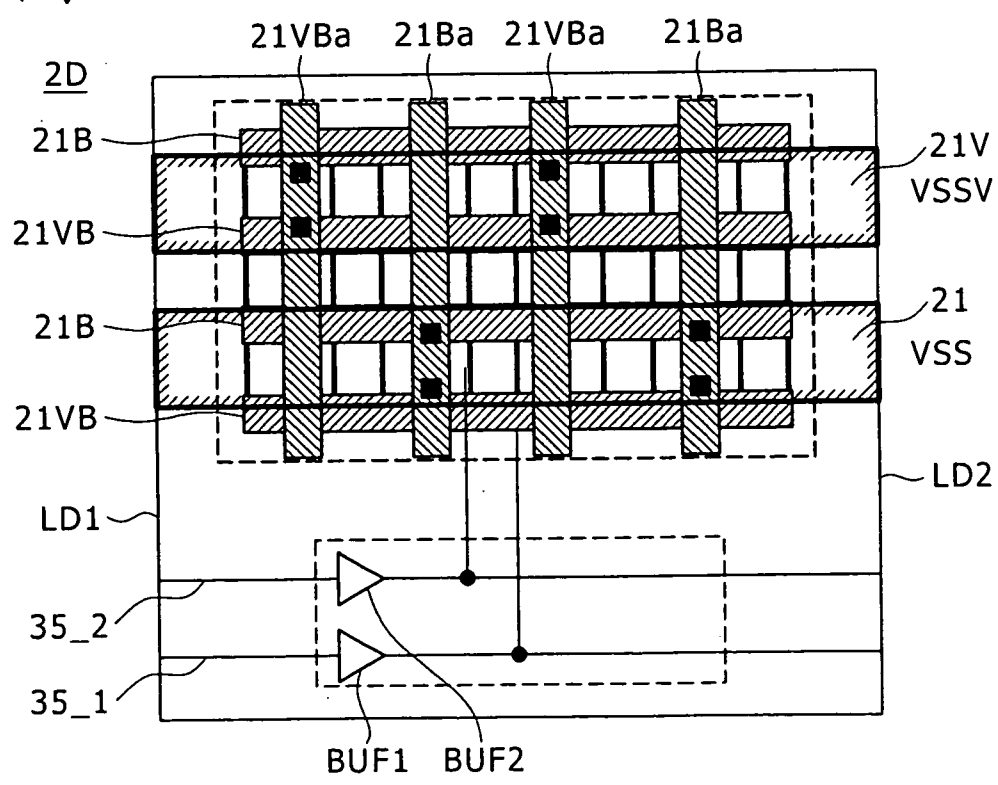


圖 9A

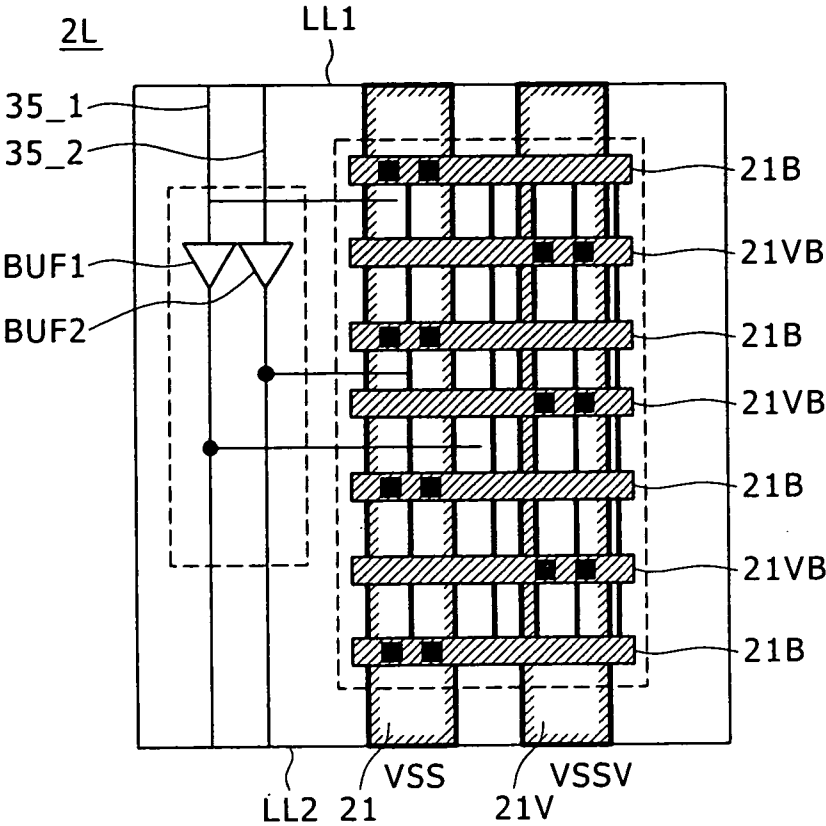
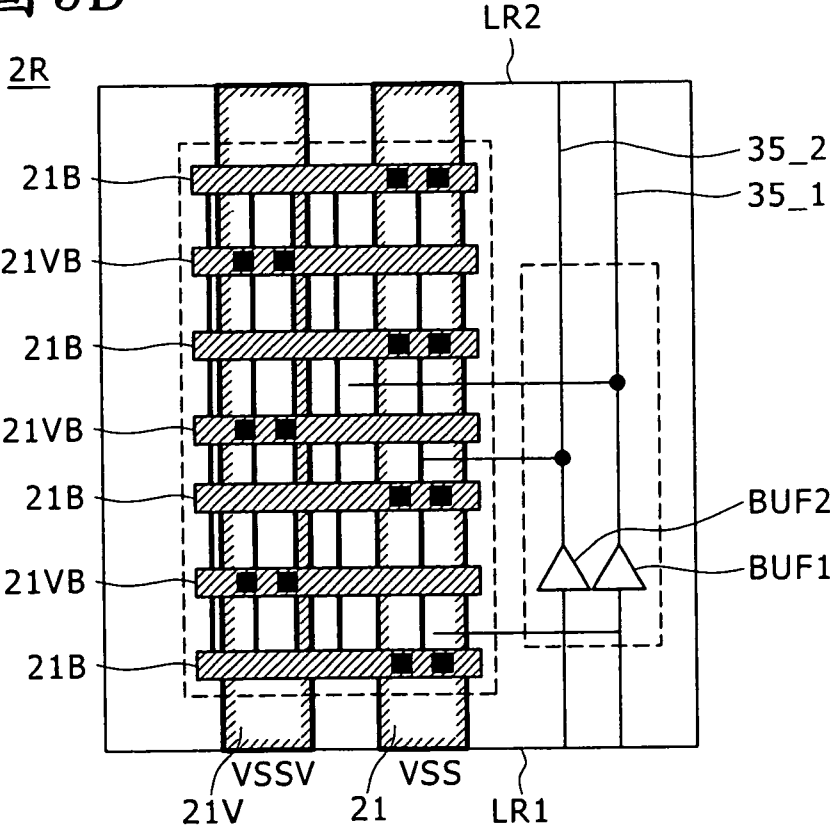


圖 9B



10/15

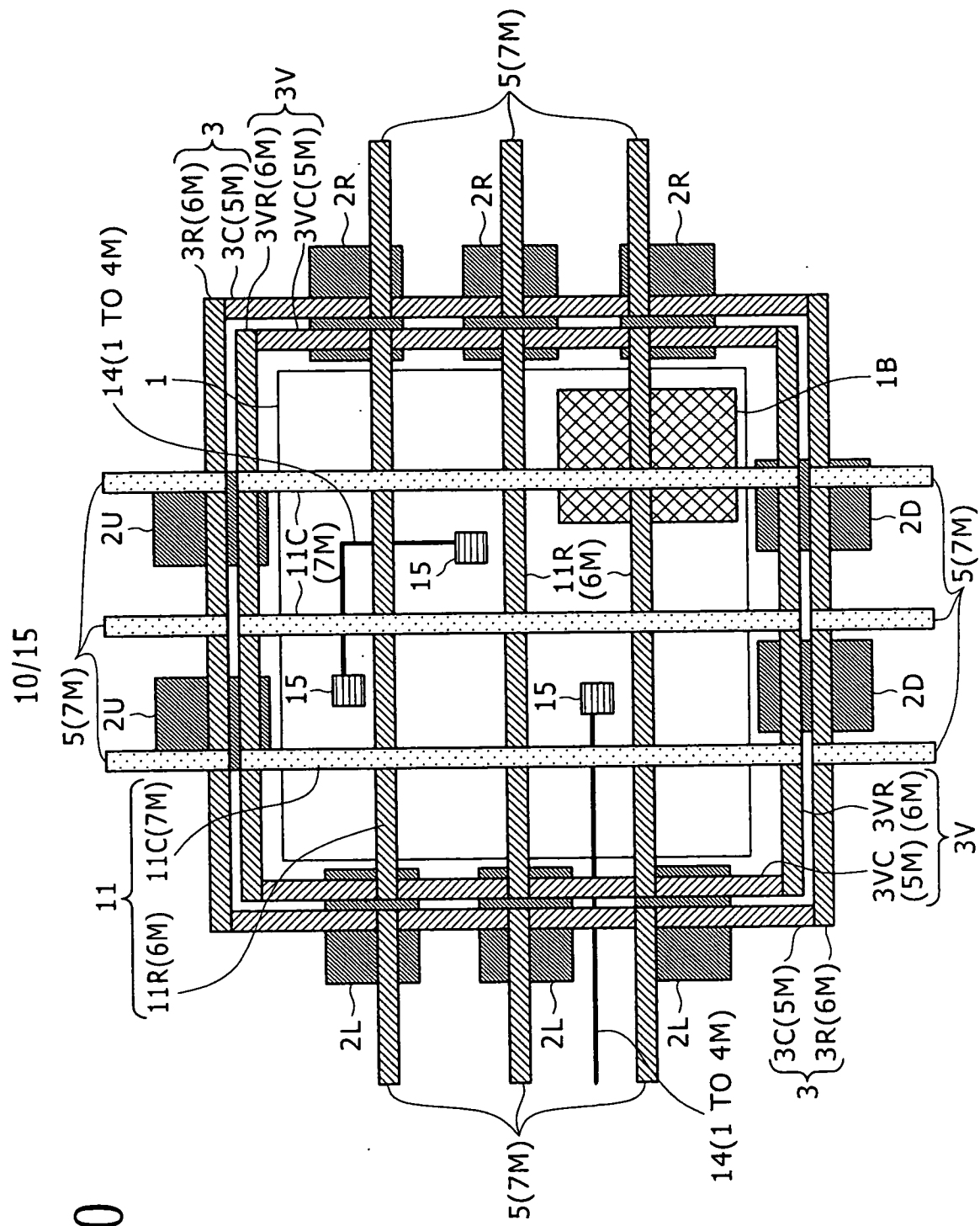


圖 11

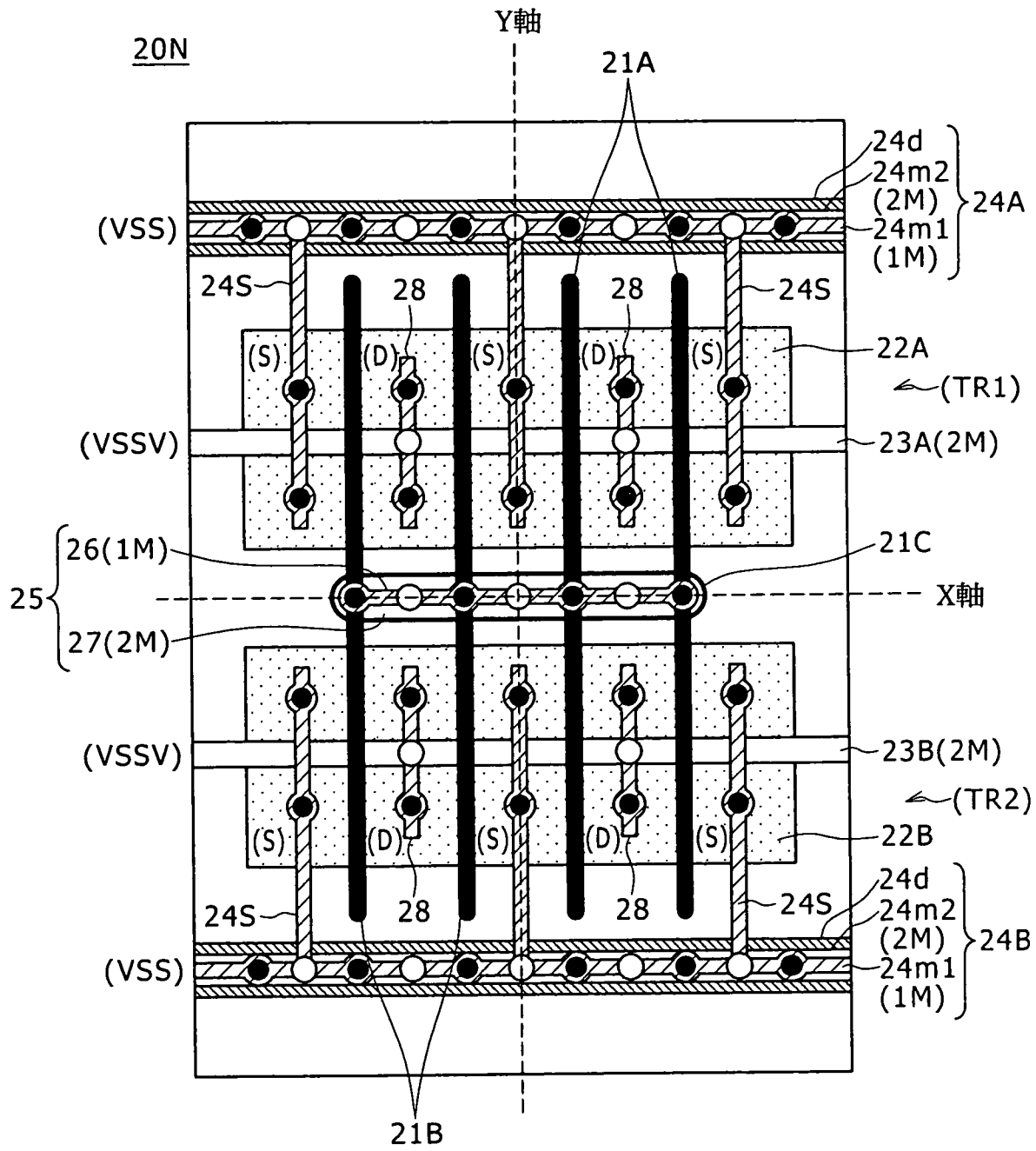
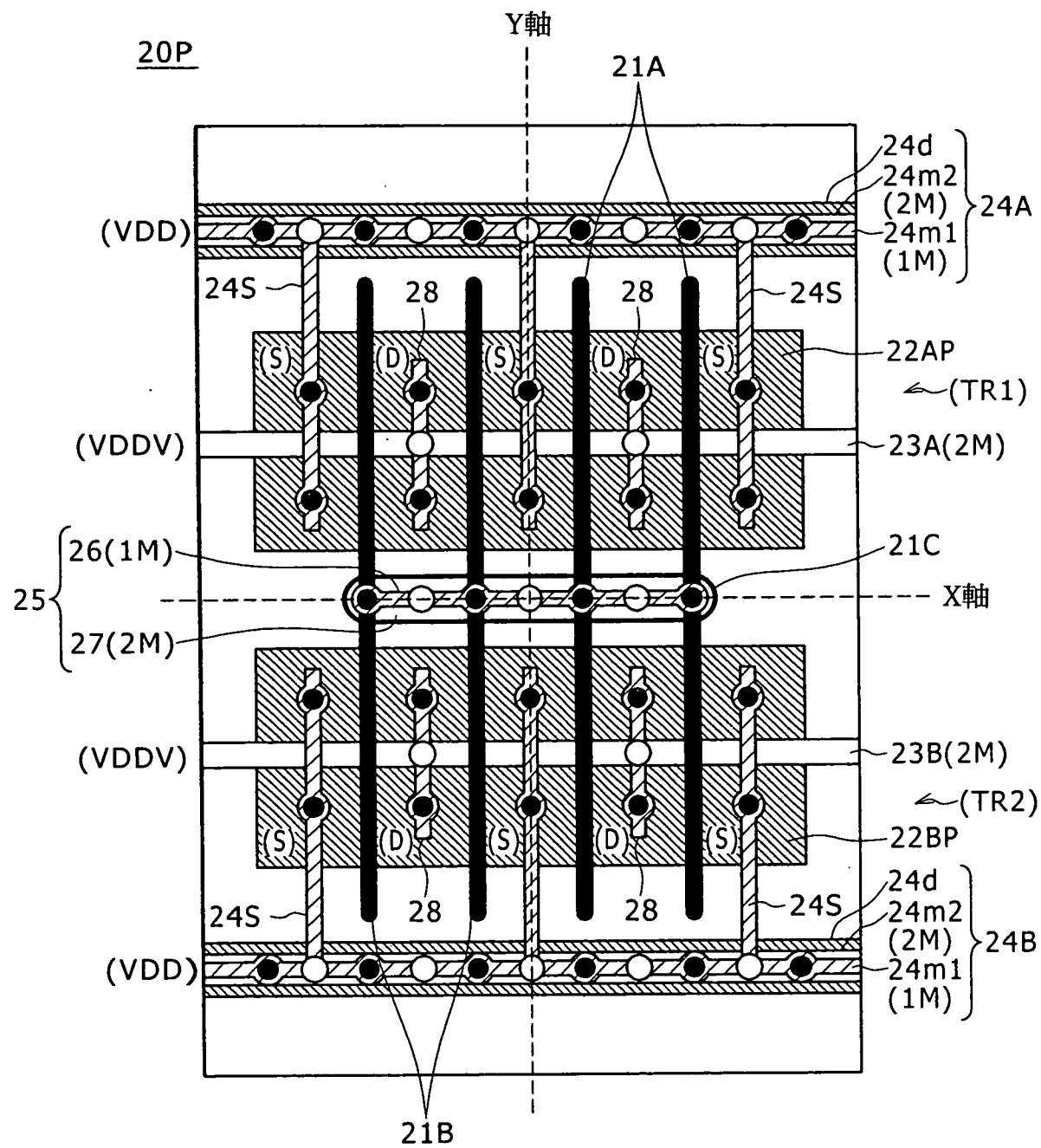
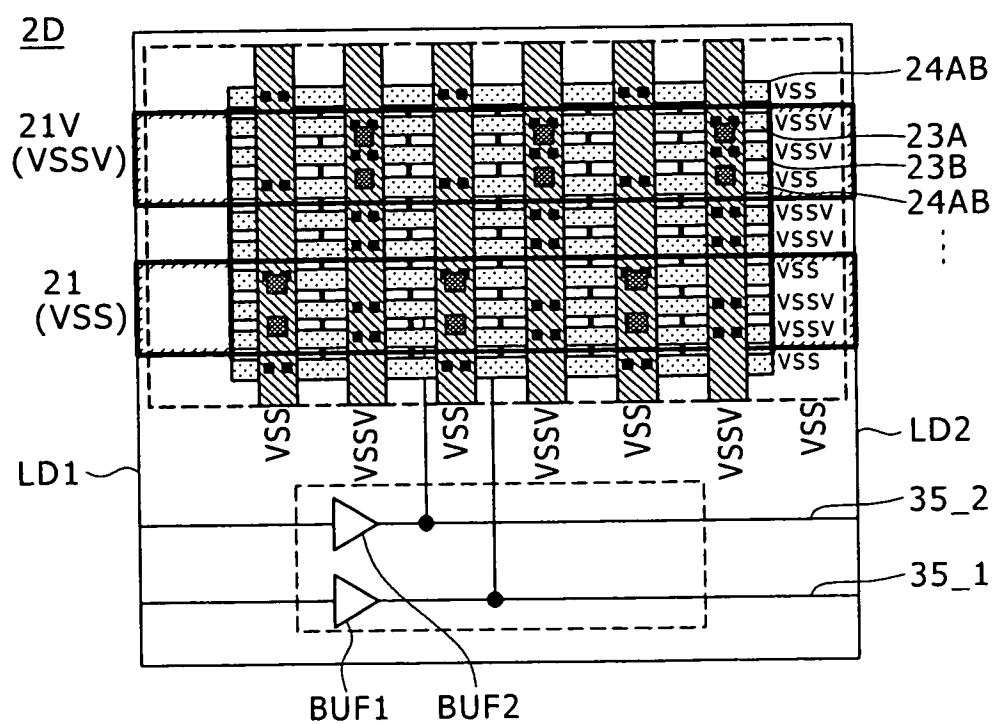


圖12





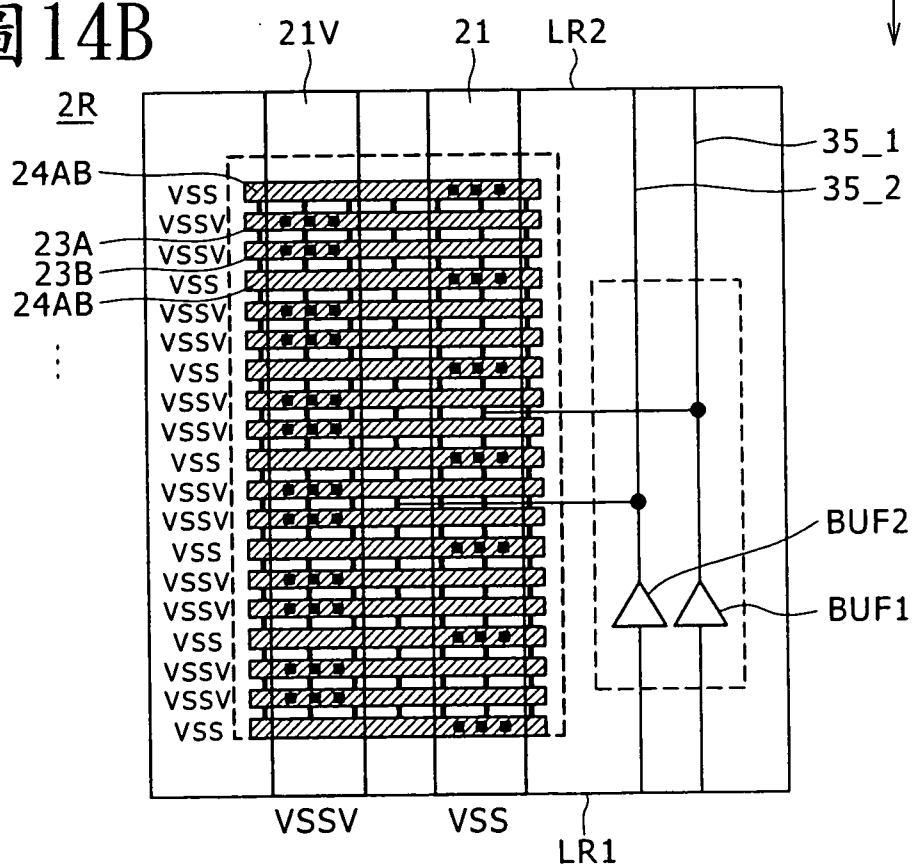
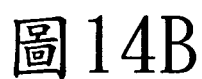
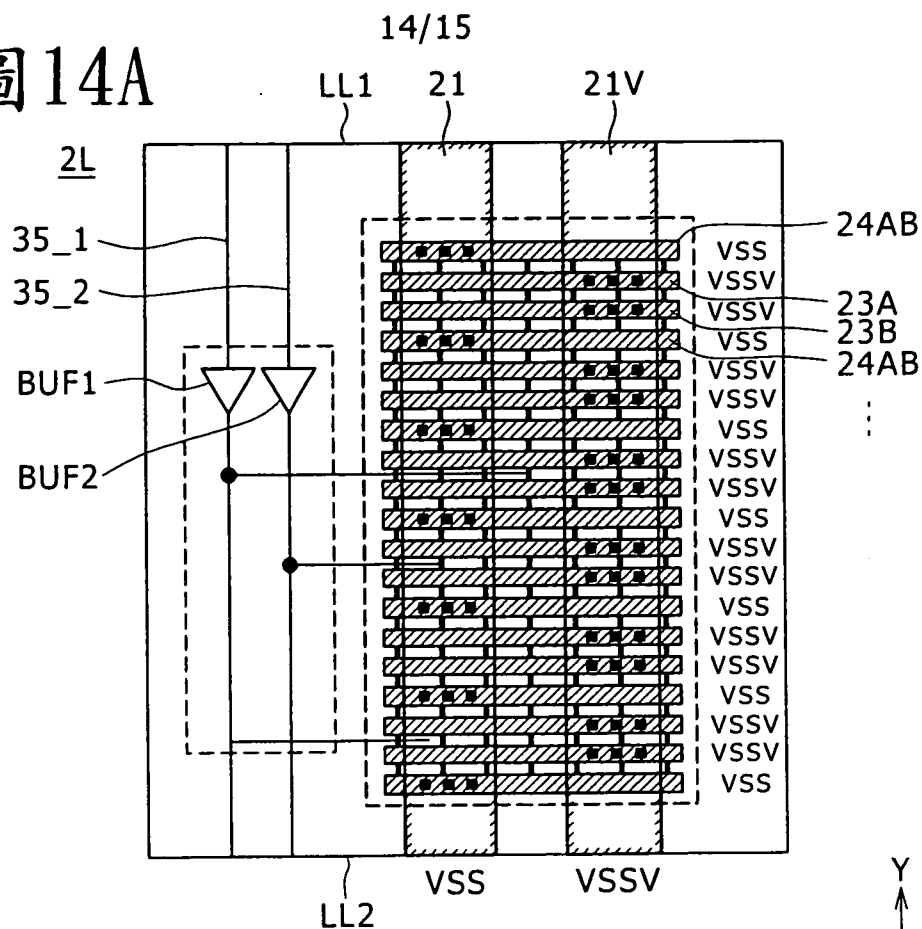


圖 15

