

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成30年9月27日 (2018.9.27)

【公開番号】特開2017-174394(P2017-174394A)
 【公開日】平成29年9月28日 (2017.9.28)
 【年通号数】公開・登録公報2017-037
 【出願番号】特願2016-241633(P2016-241633)
 【国際特許分類】

G 0 6 F 1/10 (2006.01)
 H 0 1 L 21/822 (2006.01)
 H 0 1 L 27/04 (2006.01)
 H 0 1 L 21/82 (2006.01)
 H 0 3 K 5/15 (2006.01)

【F I】

G 0 6 F 1/10 5 1 0
 H 0 1 L 27/04 D
 H 0 1 L 21/82 W
 H 0 3 K 5/15 P

【手続補正書】
 【提出日】平成30年8月16日 (2018.8.16)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

1 対の長辺と 1 対の短辺とを備えた長方形形状の半導体基板上に形成された半導体集積回路であって、

取得する制御基準クロック信号に基づいて複数の制御クロック信号を生成する同一機能の複数のタイミング生成回路と、

前記複数のタイミング生成回路と同数に、互いに面積が略等しい回路ブロックに分割される並列処理回路部と、を備えており、

各回路ブロックには、対応する各タイミング生成回路から、複数の制御クロック信号が入力され、

前記各回路ブロックでは、入力された複数の制御クロック信号に夫々対応する、前記複数の制御クロック信号と同数の、複数のクロック分配網が形成され、

前記並列処理回路部は各クロック分配網毎に並列に処理可能であり、

前記各クロック分配網は、

各制御クロック信号が入力される、入力バッファ回路と、

前記入力バッファ回路と直列に接続され、前記回路ブロックの半導体基板の長手方向に対して中央付近に配置されるクロックバッファ回路と、

分岐しているクロック配線によって前記クロックバッファ回路と接続され、前記クロックバッファ回路から出力される制御出力クロック信号が分配されて供給される複数の末端素子と、を備えていることを特徴とする

半導体集積回路。

【請求項 2】

前記クロックバッファ回路は、並列接続された複数のインバータ又は複数のトランスフ

アーゲートによって構成された段が、２段以上直列接続された構成であり、

後段を構成する複数のインバータ又はトランスファークエートの並列接続される個数は、前段を構成する複数のインバータ又はトランスファークエートの並列接続される個数よりも多いことを特徴とする

請求項１に記載の半導体集積回路。

【請求項３】

前記クロックバッファ回路を構成する複数のインバータ又は複数のトランスファークエートの、各インバータ又は各トランスファークエートにはPchトランジスタ及びNchトランジスタが含まれており、

前記複数のインバータ又は前記複数のトランスファークエートにおいて含まれている夫々のPchトランジスタはサイズが共通であり、夫々Nchトランジスタはサイズが共通であることを特徴とする

請求項１又は２に記載の半導体集積回路。

【請求項４】

前記クロックバッファ回路を構成する、前記複数のインバータの各インバータの間隔、又は前記複数のトランスファークエートの各トランスファークエートの間隔を半導体基板の長手方向に広くとることで、前記クロックバッファ回路が前記半導体基板の長手方向に空間的に広がっていることを特徴とする

請求項２又は３に記載の半導体集積回路。

【請求項５】

前記複数のタイミング生成回路は、それぞれ、前記制御基準クロック信号の位相を任意に調整可能な位相調整回路を備え、位相調整された制御基準クロック信号に基づいて複数の制御クロック信号を生成することを特徴とする

請求項１乃至４のいずれか一項に記載の半導体集積回路。

【請求項６】

前記位相調整回路は、前記制御基準クロック信号と、前記位相調整回路から出力される前記位相調整された制御基準クロック信号との位相差が１８０度になるように設定されることを特徴とする

請求項５に記載の半導体集積回路。

【請求項７】

前記並列処理回路部を構成する前記同一機能を有する前記回路ブロックは、アナログ信号処理、A/D変換、およびデジタル信号処理のうち少なくとも１つを実行することを特徴とする

請求項１乃至６のいずれか一項に記載の半導体集積回路。

【請求項８】

前記制御基準クロック信号を生成するクロック生成回路を備えており、

前記クロック生成回路は、任意の周波数の制御基準クロック信号を前記複数のタイミング生成回路にそれぞれ出力可能であることを特徴とする

請求項１乃至７のいずれか一項に記載の半導体集積回路。

【請求項９】

半導体集積回路のクロック供給方法であって、１対の長辺と１対の短辺とを備えた長方形形状の半導体基板上に形成される当該半導体集積回路は、複数のタイミング生成回路と、前記複数のタイミング生成回路と同数の各回路ブロックを含み、該回路ブロックには複数のクロック分配網が形成されている並列処理回路部とを備え、

各回路ブロックには、対応する各タイミング生成回路から、複数の制御クロック信号が入力され、前記各回路ブロックでは、入力された複数の制御クロック信号に夫々対応する、前記複数の制御クロック信号と同数の、複数のクロック分配網が形成されており、

クロック供給方法は、

前記複数のタイミング生成回路で、取得する制御基準クロック信号に基づいて複数の制御クロック信号を生成するステップと、

前記並列処理回路部の各クロック分配網において、各制御クロック信号は、各入力バッファから各クロックバッファ回路へ伝達され、制御出力クロック信号として分配されて複数の末端素子へ供給されるステップと、を有しており、

前記各クロックバッファ回路は、前記回路ブロックの半導体基板の長手方向に対して中央付近に配置されていることを特徴とする

半導体集積回路のクロック供給方法。