



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0085164
(43) 공개일자 2018년07월26일

(51) 국제특허분류(Int. Cl.)
H03L 7/187 (2006.01) H03L 7/083 (2006.01)
H03L 7/099 (2006.01) H03L 7/24 (2006.01)
(52) CPC특허분류
H03L 7/187 (2013.01)
H03L 7/083 (2013.01)
(21) 출원번호 10-2017-0008449
(22) 출원일자 2017년01월18일
심사청구일자 2017년01월18일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
최재혁
울산광역시 울주군 언양읍 유니스트길 50
이용선
울산광역시 울주군 언양읍 유니스트길 50
윤희인
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인 무한

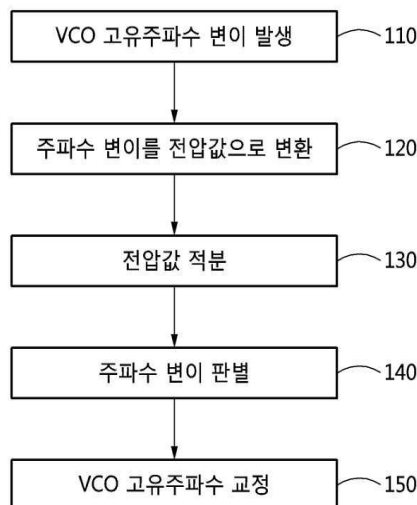
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 인젝션 락킹 기반 클락 체배 장치 및 방법

(57) 요약

인젝션 락킹 기반 클락 체배기에 연관된다. 보다 구체적으로 주파수 변이를 전압 값으로 변환하고, 전압 도메인에서 누적 적분하여 주파수 변이를 판별하고 VCO(Voltage Controlled Oscillator)의 고유 주파수를 교정한다. 전압 도메인에서의 누적 적분에 있어서 전류 불일치에 의한 문제를 해결하고 주파수 변이의 판별 정확도를 높이기 위해 디퍼렌셜 구조를 이용한다.

대표도 - 도1



(52) CPC특허분류

H03L 7/0995 (2013.01)

H03L 7/24 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2015R1A1A1A05027276

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 신진연구사업

연구과제명 차세대 5G 통신을 위한 저전력, 초소형 셀룰러 송수신 IC 연구

기 여 율 1/1

주관기관 울산과학기술원

연구기간 2016.09.01 ~ 2017.08.31

명세서

청구범위

청구항 1

인젝션 신호에 따라 출력 신호를 출력하는 링VCO(ring - Voltage Controlled Oscillator);

상기 인젝션 신호 및 상기 출력 신호에 따라 제1 출력 전압 및 제2 출력 전압을 출력하는 전압영역 주기 감지기;

상기 제1 출력 전압 및 상기 제2 출력 전압을 비교하여 주파수 교정을 결정하는 비교기;

상기 비교기의 비교 결과에 따라 상기 링VCO를 제어하는 컨트롤 전압을 출력하는 주파수 교정기; 및

기준 신호를 상기 인젝션 신호로 변환하여 상기 링VCO에 주입하는 펄스 제너레이터

를 포함하는 클락 체배기.

청구항 2

제1항에 있어서,

상기 전압영역 주기 감지기는,

상기 출력 신호 및 상기 인젝션 신호의 주기를 비교하여 펄스 신호를 출력하는 주기 감지기; 및

상기 펄스 신호를 상기 제1 출력 전압 및 상기 제2 출력 전압으로 변환하여 상기 비교기로 전달하는 전하 펌프를 포함하는 클락 체배기.

청구항 3

제2항에 있어서,

상기 전하 펌프는,

제1 캐패시터 및 제2 캐패시터로 구성되고,

상기 제1 캐패시터는 제1 시간 동안 전하가 충전되고, 제2 시간 동안 전하가 방전되며,

상기 제2 캐패시터는 제1 시간 동안 전하가 방전되고, 제2 시간 동안 전하가 충전되는 디퍼렌셜 구조를 포함하는 클락 체배기.

청구항 4

제3항에 있어서,

상기 주파수 교정기는,

상기 비교기의 결정에 따라 신호를 누적 신호를 출력하는 누적기;

상기 누적 신호를 아날로그 신호로 변환하는 디지털-아날로그 컨버터; 및

상기 아날로그 신호의 노이즈를 제거하여 링VCO를 제어하는 컨트롤 전압을 출력하는 RC필터(Resistor-Capacitor Filter)

를 포함하는 클락 체배기.

청구항 5

제4항에 있어서,

상기 주파수 교정기는 상기 누적기의 신호를 델타-시그마 변조하여 상기 디지털-아날로그 컨버터로 출력하는 델

타-시그마 변조기를 더 포함하는 클락 체배기.

청구항 6

링VCO(ring - Voltage Controlled Oscillator)가 인젝션 신호에 따라 출력 신호를 출력하는 단계;
전압영역 주기 감지기가 상기 인젝션 신호 및 상기 출력 신호에 따라 제1 출력 전압 및 제2 출력 전압을 출력하는 단계;
비교기가 상기 제1 출력 전압 및 상기 제2 출력 전압을 비교하여 주파수 교정을 결정하는 단계;
주파수 교정기가 상기 비교기의 비교 결과에 따라 상기 링VCO를 제어하는 컨트롤 전압을 출력하는 단계; 및
펄스 제너레이터가 기준 신호를 상기 인젝션 신호로 변환하여 상기 링VCO에 주입하는 단계
를 포함하는 클락 체배 방법.

청구항 7

제6항에 있어서,
상기 제1 출력 전압 및 제2 출력 전압을 출력하는 단계는,
주기 감지기가 상기 출력 신호 및 상기 인젝션 신호의 주기를 비교하여 펄스 신호를 출력하는 단계; 및
전하 펌프가 상기 펄스 신호를 상기 제1 출력 전압 및 상기 제2 출력 전압으로 변환하여 상기 비교기로 출력하는 단계
를 포함하는 클락 체배 방법.

청구항 8

제7항에 있어서,
상기 전하 펌프는 제1 캐패시터 및 제2 캐패시터로 구성되고,
상기 제1 캐패시터가 제1 시간 동안 전하가 충전되고, 제2 시간 동안 전하가 방전되는 단계; 및
상기 제2 캐패시터가 제1 시간 동안 전하가 방전되고, 제2 시간 동안 전하가 충전되는 단계
를 더 포함하는 클락 체배 방법

청구항 9

제8항에 있어서,
상기 컨트롤 전압을 출력하는 단계는,
누적기가 상기 비교기의 결정에 따라 신호를 누적 신호를 출력하는 단계;
디지털-아날로그 컨버터가 상기 누적 신호를 아날로그 신호로 변환하는 단계; 및
RC필터(Resistor-Capacitor Filter)가 상기 아날로그 신호의 노이즈를 제거하여 링VCO를 제어하는 컨트롤전압을 출력하는 단계
를 더 포함하는 클락 체배 방법.

청구항 10

제9항에 있어서,
델타-시그마 변조기가 상기 누적기의 신호를 델타-시그마 변조하여 상기 디지털-아날로그 컨버터로 출력하는 단계를 더 포함하는 클락 체배 방법.

발명의 설명

기술 분야

[0001] 전압 도메인 위상 교정 루프(Voltage Domain Period Calibrating Loop)를 사용하는 인젝션 락킹 기반의 클락 체배 장치 및 방법에 연관되며, 보다 특정하게는 오실레이터의 주파수 변이를 전압 도메인으로 변환하여 주파수 변이를 보상하는 클락 체배 장치 및 방법에 연관된다.

배경 기술

[0002] 통신 소자의 경우 기준 주파수로부터 원하는 목표 주파수를 생성할 수 있는 주파수 합성 장치가 필요하다. 주파수 합성 장치에는 위상 고정 루프(Phase Locked Loop) 방식과 인젝션 락킹(Injection Locking) 방식이 존재한다.

[0003] 인젝션 락킹을 기반으로 하는 주파수 체배기의 경우에는 기준 신호를 인젝션 시켜주는 방식으로 오실레이터의 순간적인 위상 변화를 교정할 수 있다. 그러나 PVT(Process Voltage Temperature) 변화에 따른 위상 잡음 성능이 문제되며, 오실레이터의 고유주파수와 목표 주파수가 락킹 범위만큼 충분히 가까워야 위상 잡음의 성능을 개선하는 것이 가능하다. 고유주파수가 목표 주파수에서 멀어질수록 스푸리어스가 많이 발생한다.

[0004] 따라서 인젝션 락킹 주파수 체배기의 위상 잡음 뿐만 아니라 스푸리어스를 낮추기 위한 고정확도를 갖는 주파수 교정 루프가 요구된다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0005] 고정확도를 갖는 전압 도메인 주기 교정 루프가 제시된다. 일실시예에 따르면 인젝션 신호에 따라 출력 신호를 출력하는 링VCO(ring - Voltage Controlled Oscillator), 상기 인젝션 신호 및 상기 출력 신호에 따라 제1 출력 전압 및 제2 출력 전압을 출력하는 전압영역 주기 감지기, 상기 제1 출력 전압 및 상기 제2 출력 전압을 비교하여 주파수 교정을 결정하는 비교기, 상기 비교기의 비교 결과에 따라 상기 링VCO를 제어하는 컨트롤 전압을 출력하는 주파수 교정기 및 기준 신호를 상기 인젝션 신호로 변환하여 상기 링VCO에 주입하는 펄스 제너레이터를 포함하는 클락 체배기가 개시된다.

[0006] 다른 일실시예에 따르면 상기 전압영역 주기 감지기는, 상기 출력 신호 및 상기 인젝션 신호의 주기를 비교하여 펄스 신호를 출력하는 주기 감지기 및 상기 펄스 신호를 상기 제1 출력 전압 및 상기 제2 출력 전압으로 변환하여 상기 비교기로 전달하는 전하 펌프를 포함하는 클락 체배기일 수 있다.

[0007] 또 다른 일실시예에 따르면 상기 전하 펌프는, 제1 캐패시터 및 제2 캐패시터로 구성되고, 상기 제1 캐패시터는 제1 시간 동안 전하가 충전되고, 제2 시간 동안 전하가 방전되며, 상기 제2 캐패시터는 제1 시간 동안 전하가 방전되고, 제2 시간 동안 전하가 충전되는 디퍼렌셜 구조를 포함하는 클락 체배기가 개시된다.

[0008] 다른 일실시예에 따르면 상기 주파수 교정기는, 상기 비교기의 결정에 따라 신호를 누적 신호를 출력하는 누적기, 상기 누적 신호를 아날로그 신호로 변환하는 디지털-아날로그 컨버터 및 상기 아날로그 신호의 노이즈를 제거하여 링VCO를 제어하는 컨트롤전압을 출력하는 RC필터(Resistor-Capacitor Filter)를 포함하도록 구성될 수 있다.

[0009] 일실시예에 따르면 상기 주파수 교정기는 상기 누적기의 신호를 델타-시그마 변조하여 상기 디지털-아날로그 컨버터로 출력하는 델타-시그마 변조기를 더 포함하는 것도 가능하다.

[0010] 일실시예에 따르면 링VCO(ring - Voltage Controlled Oscillator)가 인젝션 신호에 따라 출력 신호를 출력하는 단계, 전압영역 주기 감지기가 상기 인젝션 신호 및 상기 출력 신호에 따라 제1 출력 전압 및 제2 출력 전압을 출력하는 단계, 비교기가 상기 제1 출력 전압 및 상기 제2 출력 전압을 비교하여 주파수 교정을 결정하는 단계, 주파수 교정기가 상기 비교기의 비교 결과에 따라 상기 링VCO를 제어하는 컨트롤 전압을 출력하는 단계 및 펄스 제너레이터가 기준 신호를 상기 인젝션 신호로 변환하여 상기 링VCO에 주입하는 단계를 포함하는 클락 체배 방법이 개시된다.

- [0011] 또 다른 일실시예에 따르면 상기 제1 출력 전압 및 제2 출력 전압을 출력하는 단계는, 주기 감지기가 상기 출력 신호 및 상기 인젝션 신호의 주기를 비교하여 펄스 신호를 출력하는 단계 및 전하 펌프가 상기 펄스 신호를 상기 제1 출력 전압 및 상기 제2 출력 전압으로 변환하여 상기 비교기로 출력하는 단계를 포함할 수 있다.
- [0012] 또한 상기 전하 펌프는 제1 캐패시터 및 제2 캐패시터로 구성되고, 상기 제1 캐패시터가 제1 시간 동안 전하가 충전되고, 제2 시간 동안 전하가 방전되는 단계 및 상기 제2 캐패시터가 제1 시간 동안 전하가 방전되고, 제2 시간 동안 전하가 충전되는 단계를 더 포함하도록 구성될 수 있다.
- [0013] 일실시예에 따르면 상기 컨트롤 전압을 출력하는 단계는, 누적기가 상기 비교기의 결정에 따라 신호를 누적 신호를 출력하는 단계, 디지털-아날로그 컨버터가 상기 누적 신호를 아날로그 신호로 변환하는 단계 및 RC필터(Resistor-Capacitor Filter)가 상기 아날로그 신호의 노이즈를 제거하여 링VCO를 제어하는 컨트롤전압을 출력하는 단계를 더 포함하는 클락 체배 방법이 개시된다.
- [0014] 또 다른 일실시예에 따르면 델타-시그마 변조기가 상기 누적기의 신호를 델타-시그마 변조하여 상기 디지털-아날로그 컨버터로 출력하는 단계를 더 포함할 수 있다.

도면의 간단한 설명

- [0015] 도 1은 일실시예에 따른 전압 도메인 주기 교정 장치의 주파수 교정 흐름도이다.
- 도 2는 일실시예에 따른 전압 도메인 주기 교정 장치의 구조도이다.
- 도 3은 일실시예에 따른 전압 도메인 주기 교정 장치를 사용한 경우의 각 신호별 그래프이다.
- 도 4는 일실시예에 따른 전체 클락 체배기의 구조도이다.
- 도 5는 일실시예에 따른 차지 펌프의 회로도이다.
- 도 6은 일실시예에 따른 전체 클락 체배기를 사용한 경우의 각 신호별 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하에서, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 권리범위는 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0017] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.
- [0018] 또한 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.
- [0019] 도 1은 일실시예에 따른 전압 도메인 주기 교정 장치의 주파수 교정 흐름도이다. VCO(Voltage Controlled Oscillator)의 고유주파수에서 변이가 발생하면(110), 상기 주파수 변이를 전압 값으로 변환한다(120). 변환된 상기 전압 값을 누적하여 적분하고(130), 상기 전압 값을 이용하여 주파수 변이를 판별한다(140). 판별되는 주파수 변이에 따라 상기 VCO의 고유주파수를 교정한다(150).
- [0020] 보다 구체적으로 각 단계를 살펴보면, 인젝션 락킹(Injection Locking)되는 링 VCO(Ring-Voltage Controlled Oscillator)의 고유주파수에 변이가 발생한다(110). 상기 변이는 VCO의 고유주파수(f_{VCO})와 기준입력의 N체배되는 목표주파수($N \cdot f_{REF}$) 사이의 차이를 의미한다. 일측에 따르면 상기 VCO의 고유주파수는 상기 목표주파수보다 클 수 있고($f_{VCO} > N \cdot f_{REF}$), 경우에 따라서는 작을 수도 있다($f_{VCO} < N \cdot f_{REF}$).
- [0021] 주파수 변이를 전압 값으로 변환하는 단계(120)는 전압 도메인 주기 교정기(Voltage Domain Period Calibrator)가 수행하는 단계로서, 상기 VCO의 고유주파수를 전압 영역으로 변환하여 주파수 변이를 교정하는 단계의 일부이다. 상기 전압 도메인 주기 교정기는 전압 영역 주기 감지기(Voltage Domain Period Detector), 비교기(Comparator) 및 주파수 교정기(Frequency Corrector)로 구성될 수 있다. 보다 구체적으로 상기 전압 영역 주기 감지기(Voltage Domain Period Detector)는 주기 감지기(Period Detector) 및 차지 펌프(Charge

Pump)로 구성된다. 상기 주기 감지기는 입력되는 주기 신호를 감지하여 펄스를 상기 차지 펌프로 제공하고, 차지 펌프는 상기 펄스에 따라 전압 신호로 변환한다.

[0022] 상기 주파수 교정기는 누적기(Accumulator, ACC), 디지털-아날로그 컨버터(Digital-Analog Converter, DAC) 및 RC필터(Resistance Capacitor Filter)로 구성될 수 있다. 상기 누적기(ACC)는 변환되는 전압 신호를 누적하여 적분한다(130). 한 주기에서 상기 전압 신호의 크기 차이($V_C(t_2) - V_C(t_1)$)가 크지 않더라도, 복수의 주기 동안 누적하여 적분하는 경우에 주파수 변이의 판별(140)이 용이하다. 주파수 변이를 판별하는 단계(140)는 이하에서 설명할 디퍼렌셜 구조에 의해 정확도를 높일 수 있다.

[0023] 마지막으로 VCO의 고유주파수를 수정하는 단계(150)는 상기 비교기 및 누적기에 의해 VCO의 전압을 증가 또는 감소 시키도록 컨트롤 전압(V_{CONT})을 출력하여 조절한다. 이러한 일련의 단계를 통하여 인젝션 락킹 클락 체배기의 기준주파수가 목표주파수에 가깝게 유지되어 위상 잡음 및 스퓨리어스를 제거할 수 있다.

[0024] 도 2는 일실시예에 따른 전압 도메인 주기 교정 장치의 구조도이다. 전압 도메인 주기 교정 장치는 주기 감지기(Period Detector, 210), 차지 펌프(Charge Pump, 220) 및 비교기(Comparator, 230)로 구성될 수 있다.

[0025] 주기 감지기(210)는 인젝션 신호(S_{INJ})와 VCO의 신호(S_{VCO})에 따라 펄스 신호(SW_R , SW_V)를 차지 펌프(220)로 출력한다. 상기 주기 감지기(210)는 먼저 제1 펄스 신호(SW_R)를 출력한다. 차지 펌프에는 스위치의 연결에 따라 상승 전류(I_{UP}) 및 하강 전류(I_{DN})가 흐르고, 제1 펄스 신호가 입력되는 경우에 상승 전류(I_{UP})가, 제2 펄스 신호가 입력되는 경우에 하강 전류(I_{DN})가 흐른다. 각 펄스 신호에 따라 루프 캐패시터(C_L)가 충전 또는 방전된다. 상기 루프 캐패시터의 충전 또는 방전되는 전압은 $V_C(t) = T_{REF} - N \cdot T_{VCO}$ 로 나타낼 수 있다. 이 과정을 반복함으로써 특정 주파수 f_0 에 대응하는 전압 차이 $V_C(t_1) - V_C(t_2)$ 가 확장된다. 상기 확장되는 전압 차이 $V_C(t_1) - V_C(t_2)$ 를 이용하여 상기 비교기(Comparator, 230)는 T_{REF} 와 $N \cdot T_{VCO}$ 의 관계를 결정한다.

[0026] 예시적으로 그러나 한정되지 않게 상기 비교기(230)는 $V_C(t_2)$ 보다 $V_C(t_1)$ 이 크면 f_{VCO} 가 $N \cdot f_{REF}$ 보다 큰 것을 의미하며 1을 출력하고, $V_C(t_2)$ 보다 $V_C(t_1)$ 이 작으면 f_{VCO} 가 $N \cdot f_{REF}$ 보다 작은 것을 의미하며 0을 출력할 수 있다.

[0027] 도 3은 일실시예에 따른 전압 도메인 주기 교정 장치를 사용한 경우의 각 신호별 그래프이다. 예시적으로 $N=4$ 로써 4 체배 되는 경우의 그래프이다. 인젝션 신호(S_{INJ})는 한 기준 주기(T_{REF}) 동안 한번 진동하지만, VCO의 신호(S_{VCO})는 4 체배 되어 4번 진동한다. 제1 펄스 신호(SW_R)에 의해 루프 캐패시터에 충전되는 전압($V_C(t)$)은 한 기준 주기(T_{REF}) 동안 상승한다. 제2 펄스 신호(SW_V)에 의해 루프 캐패시터에 방전되는 전압은 N 체배 되는 VCO의 반 주기($N \cdot T_{VCO} / 2$) 동안 하강하며, 2회 반복한다. N 체배 되는 VCO의 반 주기($N \cdot T_{VCO} / 2$) 동안 제2 펄스 신호(SW_V)가 출력되고 다음 주기에 나머지 절반이 출력된다. 이 경우 기준 주기(T_{REF})와 N 체배 되는 VCO의 주기($N \cdot T_{VCO}$)가 같다면 루프 캐패시터의 최종 전압($V_C(t_2)$)는 상기 루프 캐패시터의 최초 전압($V_C(t_1)$)과 같게 된다. 그러나 $V_C(t_2)$ 와 $V_C(t_1)$ 의 값에 차이가 존재하는 경우, 기준 주기와 N 체배 되는 VCO의 주기 또는 주파수 사이의 변이가 존재하는 것이다. $V_C(t_2)$ 보다 $V_C(t_1)$ 이 크면 f_{VCO} 가 $N \cdot f_{REF}$ 보다 큰 것을 의미하고, $V_C(t_2)$ 보다 $V_C(t_1)$ 이 작으면 f_{VCO} 가 $N \cdot f_{REF}$ 보다 작은 것을 의미할 수 있다.

[0028] 그러나 이러한 주파수 교정 방법에 있어서, 높은 정확도를 보장하기 위해서는 상승 전류(I_{UP})와 하강 전류(I_{DN})의 크기가 동일해야 한다. 이상적으로는 VCO의 고유주파수(f_{VCO})가 N 체배 되는 기준주파수($N \cdot f_{REF}$)보다 큰 경우에 $V_C(t_2)$ 는 $V_C(t_1)$ 보다 커야한다. 그러나 채널 길이 변조(Channel Length Modulation, CLM) 등에 의해 전류의 불일치(Current Mismatch)가 발생하고, 상기 상승 전류 및 상기 하강 전류의 크기가 동일하다는 것을 보장하기 어렵다. 따라서 디퍼렌셜 구조를 이용하여 주파수 교정 방법의 정확도를 높이는 방법이 제시된다.

[0029] 도 4는 일실시예에 따라 디퍼렌셜 구조를 이용하는 전체 클락 체배기의 구조도이다. 클락 체배기는 주기 감지기(410), 차지 펌프(420), 비교기(430), 주파수 교정기(440), 링VCO(Ring VCO) 및 펄스 발생기(PG)로 구성될 수 있다.

[0030] 펄스 발생기(VCO)는 기준 신호(S_{REF})를 입력 받아 인젝션 신호(S_{INJ})를 출력한다. 상기 인젝션 신호(S_{INJ})는 링

VCO와 주기 감지기(410)의 입력으로 들어간다. 링VCO는 상기 인젝션 신호에 따라 VCO 출력 신호(S_{-VCO})를 출력한다.

[0031] 상기 VCO 출력 신호(S_{VCO})와 상기 인젝션 신호는 전압 도메인 주기 감지기로 입력되고, 보다 구체적으로 상기 전압 도메인 주기 감지기에 존재하는 주기 감지기(Period Detector, 410)로 입력된다. 상기 주기 감지기(410)는 3개의 펄스 신호(SW_{R1} , SW_V , SW_{R2})를 출력한다. 각각 제1 펄스 신호(SW_{R1}) 제2 펄스 신호(SW_V) 제3 펄스 신호(SW_{R2})라 하며, 상기 제1 펄스 신호와 상기 제3 펄스 신호는 동일한 신호이며, 동시에 작동한다. 디퍼렌셜 구조로 비교기의 결정의 정확도를 높이기 위해서 2 개의 차지 펌프(420)가 동작한다. 제1 차지 펌프는 제1 펄스 신호에 의해 상승 전류(I_{UP})가 흐르고, 제2 펄스 신호에 의해 하강 전류(I_{DN})이 흐른다. 반면에 제2 차지 펌프는 제2 펄스 신호에 의해 상승 전류(I_{UP})가 흐르고, 제3 펄스 신호에 의해 하강 전류(I_{DN})가 흐른다.

[0032] 상기 상승 전류 및 상기 하강 전류에 의해 제1 캐패시터(C_1) 및 제2 캐패시터(C_2)가 충전 및 방전된다. 상기 제1 캐패시터(C_1)는 제1 펄스 신호(SW_{R1})에 의한 상승 전류(I_{UP})기준 주기(T_{REF})동안 충전되고, 상기 제2 펄스 신호(SW_V)에 의한 하강 전류(I_{DN})에 의해 N 체배 되는 VCO의 주기($N \cdot T_{VCO}$) 동안 방전된다. 이와 반대로 상기 제2 캐패시터(C_2)는 제2 펄스 신호(SW_V)에 의한 상승 전류(I_{UP})에 의해 N 체배 되는 VCO의 주기($N \cdot T_{VCO}$) 동안 충전되고, 상기 제3 펄스 신호(SW_{R2})에 의한 하강 전류(I_{DN})에 의해 기준 주기(T_{REF}) 동안 방전된다. 상기 제1 캐패시터에서 출력되는 전압을 제1 전압(V_{C1}), 상기 제2 캐패시터에서 출력되는 전압을 제2 전압(V_{C2})이라 하고, 각 전압은 비교기(430)의 입력으로 들어간다.

[0033] 상기 비교기(430)는 마찬가지로 디퍼렌셜 구조로 동작하기 위하여 2 개의 증폭기를 포함하고 있으며, 각 증폭기의 단자로 상기 제1 전압 및 제2 전압이 입력된다. 제1 증폭기의 (+) 단자에 상기 제1 전압이, (-) 단자에 상기 제2 전압이 입력되는 경우, 제2 증폭기의 (+) 단자에는 상기 제2 전압이, (-) 단자에는 상기 제1 전압이 입력된다. 각 증폭기는 상기 제1 전압 및 제2 전압을 비교하여, 누적기(ACC)의 상승 또는 하강을 결정하는 데이터($CM<0>$, $CM<1>$)를 출력한다. 결정 로직(Decision Logic)은 각 증폭기의 출력 데이터에 의해 상기 누적기의 상승 또는 하강에 대한 최종적인 결정을 한다. 출력되는 상기 데이터($CM<1:0>$)의 값이 01인 경우에는 VCO의 고유주파수(f_{VCO})가 N 체배 되는 기준 주파수($N \cdot f_{REF}$)보다 크기 때문에 누적기(ACC)를 상승시키는 방향으로 결정한다. 반대로 출력되는 상기 데이터($CM<1:0>$)의 값이 10인 경우에는 VCO의 고유주파수(f_{VCO})가 N 체배 되는 기준 주파수($N \cdot f_{REF}$)보다 작기 때문에 누적기(ACC)를 하강시키는 방향으로 결정한다. 마지막으로 출력되는 상기 데이터의 값이 00 또는 11인 경우에는 채널 길이 변조(CLM) 등에 의해 상승 전류 또는 하강 전류의 차이가 발생하고, VCO의 고유주파수(f_{VCO})와 N 체배 되는 기준 주파수($N \cdot f_{REF}$)간의 비교를 정확하게 확정할 수 없는 것이므로 최종 결정을 보류하게 된다. 이러한 방식으로 비교기(430)가 최종 결정을 내리는 경우 차지 펌프(420)의 전류 불일치(Current Mismatch)에도 불구하고 적절한 결정을 내릴 수 있기 때문에 디퍼렌셜 구조를 이용한다.

[0034] 주파수 교정기(440)는 누적기(ACC), 디지털-아날로그 컨버터(DAC) 및 RC필터(RC Filter)로 구성될 수 있다. 상기 누적기는 비교기(430)의 최종 결정에 따르는 값을 계속하여 누적 적분한다. 상기 디지털-아날로그 컨버터는 누적기의 디지털 신호를 아날로그 신호로 변환하는 역할을 수행한다. 마지막으로 상기 RC필터는 상기 디지털-아날로그 컨버터가 출력하는 아날로그 신호의 노이즈를 억제하여 링VCO를 제어하는 컨트롤 전압(V_{CONT})을 출력한다. 추가적으로 델타-시그마 변조기($\Sigma \Delta$)를 더 포함할 수 있다. 델타-시그마 변조기는 상기 누적기(ACC)의 신호를 입력 받아 델타-시그마 변조를 수행한 후 상기 디지털-아날로그 컨버터(DAC)로 신호를 출력하며, 상기 디지털-아날로그 컨버터(DAC)의 분해능을 증가시키기 위해 사용될 수 있다.

[0035] 도 5는 일실시예에 따른 차지 펌프(420)의 회로도이다. 도 5를 살펴보면, 중앙에 제1 캐패시터(C_1)와 제2 캐패시터(C_2)가 존재하며, 중단의 각 트랜지스터는 상기 제1 펄스 신호(SW_{R1}), 제2 펄스 신호(SW_V) 및 제3 펄스 신호(SW_{R2})에 의해 제어되며 스위치와 같은 역할을 한다. 추가적으로 초기의 이니셜 전압(V_{INT})을 제공하기 위한 별도의 캐패시터가 존재할 수 있다.

[0036] 도 6은 일실시예에 따른 전체 클락 체배기를 사용한 경우의 각 신호별 그래프이다. 상기 클락 체배기의 인젝션 신호(S_{INJ})의 한 기준 주기(T_{REF})동안 제1 펄스 신호(SW_{R1})가 발생하고, 제1 전압(V_{C1})이 상승하는 것이 도시되어

있다. 이어서 VCO의 N 체배 되는 반 주기($N \cdot T_{VCO} / 2$)동안 하강을 2 회 반복한다. 따라서 N=4로 4 체배 되는 경우에 VCO의 4 주기($4 \cdot T_{VCO}$) 동안 하강한다. 상기 제1 전압을 지속적으로 적분하고, 이니셜 전압과 차이를 측정할 수 있을 정도까지 동안 반복한다. 지속 적분한 결과 최초 이니셜 전압(V_{INT})보다 제1 전압(V_{C1})이 상승하였음을 확인할 수 있다. 동일한 방식으로 제2 전압을 살펴보면, 제2 전압(V_{C2})이 최초 이니셜 전압(V_{INT})보다 하강하였음을 확인할 수 있다.

[0037] 여기서 상기 제1 전압이 상기 제2 전압보다 크기 때문에, VCO의 고유주파수(f_{VCO})는 N 체배 되는 기준 주파수($N \cdot f_{REF}$)보다 크고, 각 증폭기의 출력 데이터(CM<1:0>)는 01이 된다. 따라서 결정 로직(Decision)은 누적기(ACC)를 상승시키는 방향으로 최종 결정을 한다. 이러한 과정에 의해 VCO의 출력 신호(S_{VCO})를 교정하게 된다.

[0038] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0039] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

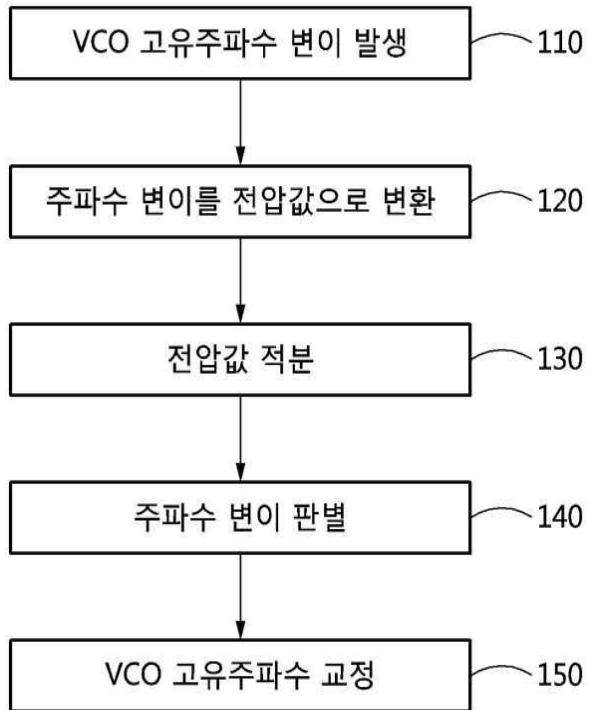
[0040] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0041] 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

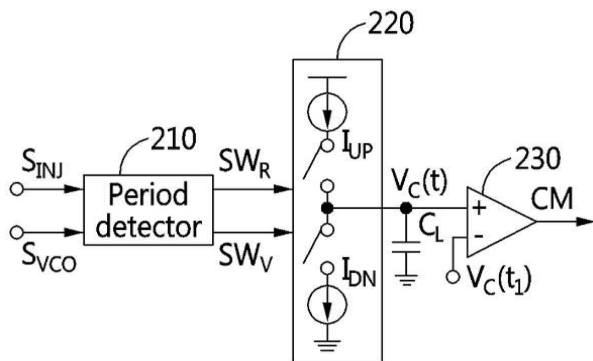
[0042] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

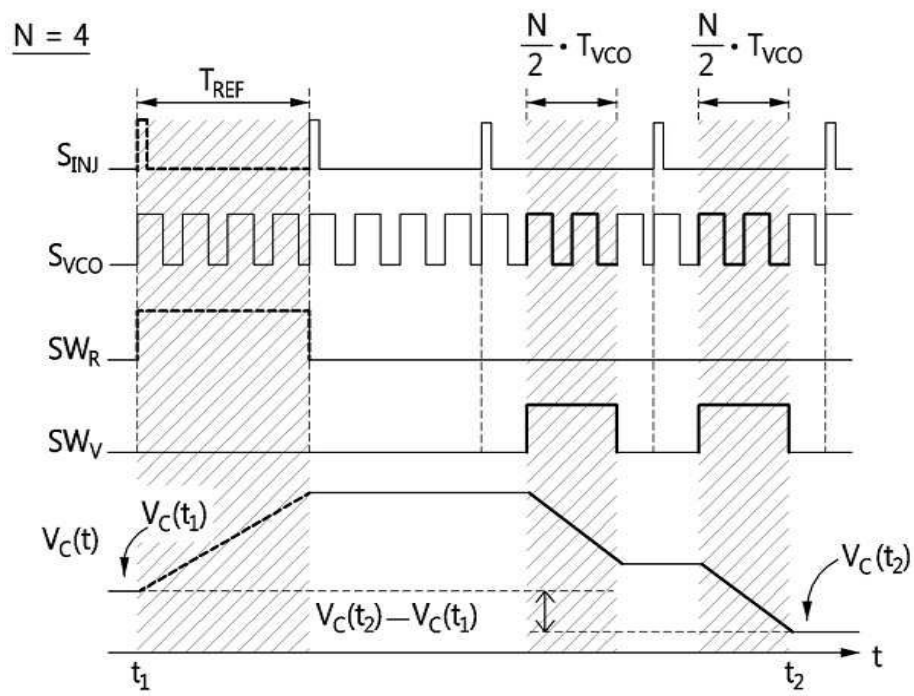
도면1



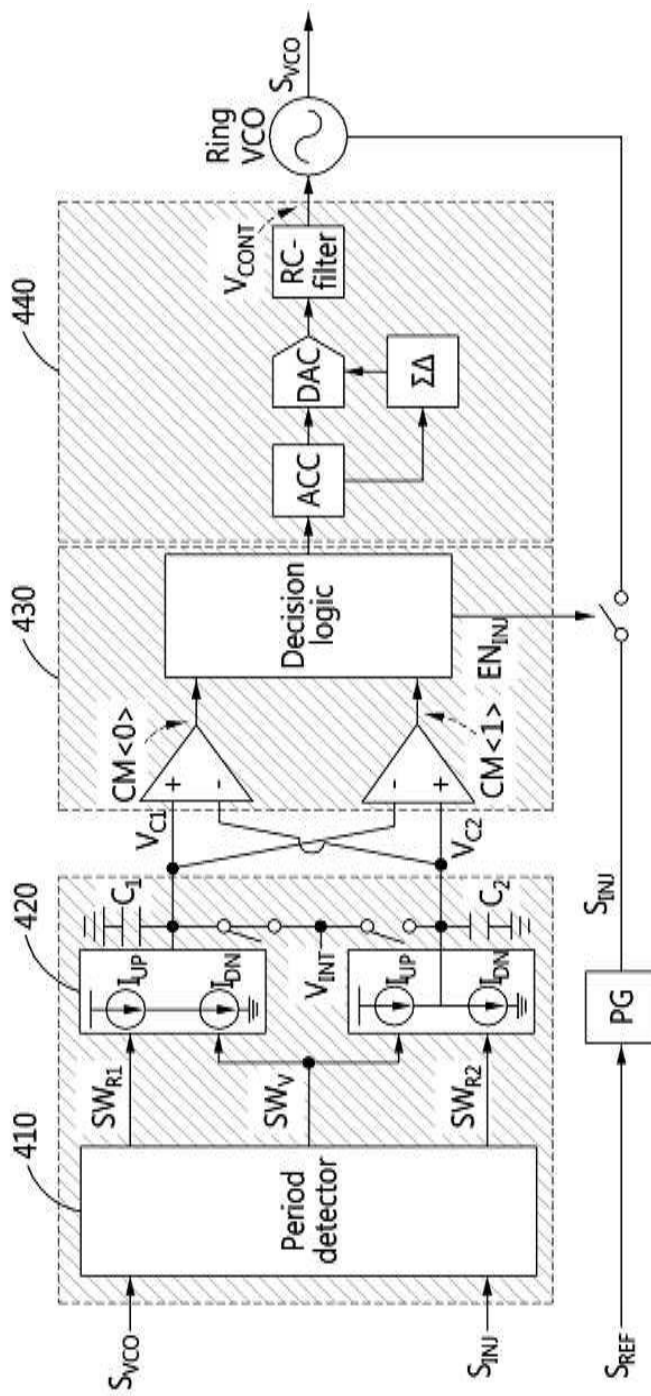
도면2



도면3



도면4



도면6

