(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0022164
(43) 공개일자 2024년02월20일

(51) 국제특허분류(Int. Cl.)
G05F 1/59 (2006.01) *G05F 1/565* (2006.01)
H03K 17/041 (2006.01) *H03K 17/06* (2006.01)
(52) CPC특허분류
G05F 1/59 (2013.01)
G05F 1/565 (2013.01)
(21) 출원번호 10-2022-0100499
(22) 출원일자 2022년08월11일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
이형민
서울특별시 성북구 길음로 74
박현준
서울특별시 성북구 안암로9가길 71
정우중
서울특별시 성북구 낙산길 255
(74) 대리인
특허법인주연케이알피

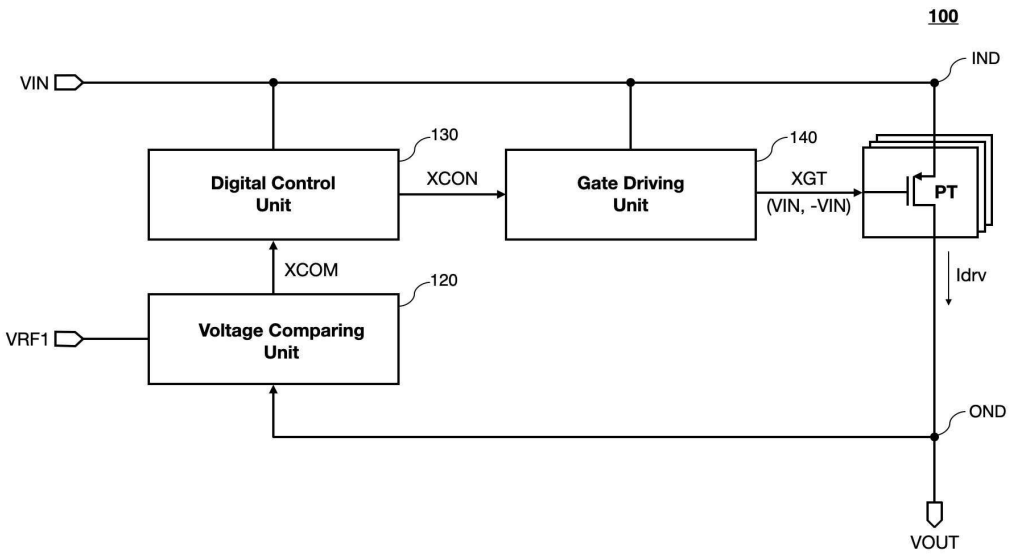
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **저전압 동작이 가능한 LDO 레귤레이터 및 이를 포함하는 반도체 장치**

(57) 요 약

저전압 동작이 가능한 LDO 레귤레이터 및 이를 포함하는 반도체 장치가 개시된다. 본 발명의 실시예에 따른 LDO 레귤레이터(Low Dropout regulator)는, 각각, 입력 전압이 인가되는 입력 노드 및 출력 전압이 출력되는 출력 노드 사이에 연결되는 다수의 파워 트랜지스터; 상기 출력 전압과 제1 기준 전압의 차이에 대응되는 비교 신호를 생성하는 전압 비교부; 상기 비교 신호에 응답하여, 상기 다수의 파워 트랜지스터의 게이팅(gating)을 제어하는 제어 신호를 생성하는 디지털 제어부; 상기 제어 신호에 응답하여, 상기 입력 전압 및 상기 네거티브 입력 전압 중 하나를 상기 다수의 파워 트랜지스터 중 대응되는 파워 트랜지스터의 게이팅 신호로 출력하는 게이트 구동부;를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H03K 17/04106 (2013.01)
H03K 17/063 (2013.01)

명 세 서

청구범위

청구항 1

각각, 입력 전압이 인가되는 입력 노드 및 출력 전압이 출력되는 출력 노드 사이에 연결되는 다수의 파워 트랜지스터;

상기 출력 전압과 제1 기준 전압의 차이에 대응되는 비교 신호를 생성하는 전압 비교부;

상기 비교 신호에 응답하여, 상기 다수의 파워 트랜지스터의 게이팅을 제어하는 제어 신호를 생성하는 디지털 제어부;

상기 제어 신호에 응답하여, 상기 입력 전압 및 네거티브 입력 전압 중 하나를 상기 다수의 파워 트랜지스터 중 대응되는 파워 트랜지스터의 게이팅 신호로 출력하는 게이트 구동부;를 포함하는 LDO 레귤레이터(Low Dropout regulator).

청구항 2

제1 항에 있어서,

상기 게이트 구동부는,

상기 다수의 파워 트랜지스터에 대응되는 개수의 게이트 드라이버(gate driver)를 포함하는 LDO 레귤레이터.

청구항 3

제1 항에 있어서,

상기 게이트 구동부는,

상기 제어 신호가 제1 모드를 나타내는 경우, 상기 입력 전압을 상기 게이팅 신호로 출력하고 충전 전압으로 충전하는 제1 구동 패스; 및

상기 제어 신호가 제2 모드를 나타내는 경우, 상기 충전 전압을 상기 네거티브 입력 전압으로 반전시켜 상기 게이팅 신호로 출력하는 제2 구동 패스;를 포함하는 LDO 레귤레이터.

청구항 4

제1 항에 있어서,

상기 게이트 구동부는,

상기 제어 신호에 응답하여, 상기 입력 전압 및 접지 전압 중 하나를 제1 노드로 인가하는 전압 인가부;

상기 제1 노드로부터 인가되는 상기 입력 전압을 반전시켜 상기 네거티브 입력 전압으로 출력하는 전압 반전부; 및

상기 제어 신호에 응답하여, 상기 제1 노드의 상기 입력 전압 및 상기 전압 반전부의 상기 네거티브 입력 전압 중 하나를 제2 노드로 출력하는 전압 스위칭부;를 포함하는 LDO 레귤레이터.

청구항 5

제4 항에 있어서,

상기 전압 반전부는,

상기 제1 노드로부터 상기 입력 전압이 인가되면 상기 입력 전압을 충전 전압으로 충전하고, 상기 제1 노드로부터 상기 접지 전압이 인가되면 상기 충전 전압을 반전하여 상기 네거티브 입력 전압으로 제3 노드로 출력하는 충전 및 반전 수단; 및

상기 제3 노드에서의 네거티브 입력 전압의 전압 레벨을 고정시키는 전압 레벨 고정 수단;을 포함하는 LDO 레귤레이터.

청구항 6

제1 항에 있어서,

상기 게이트 구동부는,

입력단으로 상기 제어 신호가 인가되고 상기 입력 전압 및 접지 전압 중 하나를 제1 노드의 출력단으로 출력하는 제1 인버터;

일단이 상기 제1 노드에 연결되고 타단이 제2 노드에 연결되며, 상기 제어 신호에 응답하여 스위칭되는 제1 스위치;

일단이 상기 제1 노드에 연결되고 타단이 제3 노드에 연결되는 제1 커패시터;

일단이 상기 제3 노드에 연결되고 타단이 상기 제2 노드에 연결되며, 상기 제어 신호에 응답하여 게이팅 되는 제2 스위치;

일단이 상기 제3 노드에 연결되고 타단이 상기 접지 전압과 연결되는 제1 트랜지스터;

일단이 상기 입력 전압과 연결되고 타단이 상기 제1 트랜지스터의 게이트에 연결되며, 상기 제어 신호에 응답하여 게이팅 되는 제2 트랜지스터; 및

일단이 상기 제3 노드에 연결되고 타단이 상기 제1 트랜지스터의 게이트에 연결되며, 상기 제어 신호에 응답하여 게이팅 되는 제3 트랜지스터;를 포함하는 LDO 레귤레이터.

청구항 7

제1 항에 있어서,

상기 다수의 파워 트랜지스터는,

제1 전압 범위로 상기 출력 전압을 조절하는 코스 루프(coarse loop)에 포함되는 코스 파워 트랜지스터; 및

상기 제1 전압 범위보다 작은 제2 전압 범위로 상기 출력 전압을 조절하는 파인 루프(fine loop)에 포함되는 파인 파워 트랜지스터;를 포함하는 LDO 레귤레이터.

청구항 8

제7 항에 있어서,

상기 게이트 구동부는,

상기 입력 전압 및 상기 네거티브 입력 전압 중 하나를 상기 코스 파워 트랜지스터의 게이팅 신호로 출력하는 코스 게이트 구동부; 및

상기 입력 전압 및 접지 전압 중 하나를 상기 파인 파워 트랜지스터의 게이팅 신호로 출력하는 파인 게이트 구동부;를 포함하는 LDO 레귤레이터.

청구항 9

제1 항에 있어서,

상기 출력 노드와 연결되어, 상기 출력 전압이 제1 변동 범위 이상으로 변동되는 경우, 상기 출력 전압의 변동폭을 상기 제1 변동 범위보다 작은 제2 변동 범위로 조절하는 전압 회복부;를 더 포함하는 LDO 레귤레이터.

청구항 10

제9 항에 있어서,

상기 전압 회복부는,

각각, 적어도 하나 이상의 제2 기준 전압 중 대응되는 제2 기준 전압과 상기 출력 전압을 비교하여, 상기 입력

전압 및 상기 네거티브 입력 전압 중 하나를 보조 비교 신호로 출력하는 적어도 하나 이상의 보조 비교기; 및

각각, 상기 적어도 하나 이상의 보조 비교기 중 대응되는 보조 비교기의 상기 보조 비교 신호에 응답하여 상기 출력 노드로 회복 전류를 공급하는 적어도 하나 이상의 보조 파워 트랜지스터;를 포함하는 LDO 레귤레이터.

청구항 11

제10 항에 있어서,

상기 적어도 하나 이상의 보조 비교기는,

상기 적어도 하나 이상의 제2 기준 전압 중 대응되는 제2 기준 전압과 상기 네거티브 입력 전압 사이에 구비되고, 제21 노드에서 입력단과 출력단이 연결되는 제1 보조 인버터;

상기 출력 전압과 상기 네거티브 입력 전압 사이에 구비되고, 입력단이 상기 제1 보조 인버터의 출력단과 연결되는 제2 보조 인버터;

상기 출력 전압과 상기 네거티브 입력 전압 사이에 구비되고, 입력단이 제22 노드에서 상기 제2 보조 인버터의 출력단과 연결되는 제3 보조 인버터; 및

상기 입력 전압과 상기 네거티브 입력 전압 사이에 구비되고, 입력단이 제23 노드에서 상기 제3 보조 인버터의 출력단과 연결되고, 제24 노드에 연결되는 출력단으로 상기 보조 비교 신호를 출력하는 제4 보조 인버터;를 포함하는 LDO 레귤레이터.

청구항 12

제9 항에 있어서,

상기 전압 회복부는,

상기 출력 노드와 연결되고, 상기 출력 전압의 변동폭에 대응되는 필터링 전압을 상기 게이트 구동부로 인가하는 하이 패스 필터(High Pass Filter);를 더 포함하는 LDO 레귤레이터.

청구항 13

제9 항에 있어서,

상기 전압 회복부로 상기 네거티브 입력 전압을 공급하는 네거티브 전압 공급부;를 더 포함하는 LDO 레귤레이터.

청구항 14

제1 항에 있어서,

제1 클럭 신호에 응답하여, 상기 게이트 구동부의 상기 네거티브 입력 전압에 대한 누설 전류를 보상하는 누설 전류 보상부;를 더 포함하는 LDO 레귤레이터.

청구항 15

제14 항에 있어서,

상기 누설 전류 보상부는,

입력단에 상기 제1 클럭 신호가 인가되고 상기 입력 전압과 접지 전압 사이에 구비되며 출력단이 제31 노드에 연결되는 제1 보상 인버터;

입력단에 상기 제1 클럭 신호가 인가되고 상기 입력 전압과 제32 노드 사이에 구비되는 제2 보상 인버터;

상기 제31 노드 및 제33 노드 사이에 연결되는 제2 커패시터;

게이트가 상기 제32 노드에 연결되고 상기 제 33 노드와 상기 접지 전압 사이에 연결되는 제31 트랜지스터;

입력단이 상기 제32 노드와 연결되고 상기 입력 전압과 보상 노드 사이에 구비되며 출력단이 제34 노드에 연결되는 제3 보상 인버터;

상기 제33노드 및 제35 노드에 연결되는 제1 저항; 및

게이트가 상기 제34 노드에 연결되고 상기 제35 노드 및 상기 보상 노드 사이에 구비되는 제32 트랜지스터;를 포함하는 LDO 레귤레이터.

청구항 16

다수의 코스 파워 트랜지스터의 게이팅을 제어하여 제1 전압 범위로 출력 노드의 출력 전압을 조절하는 코스 루프; 및

다수의 파인 파워 트랜지스터의 게이팅을 제어하여 상기 제1 전압 범위보다 작은 제2 전압 범위로 상기 출력 전압을 조절하는 파인 루프;를 포함하고,

상기 다수의 코스 파워 트랜지스터 또는 상기 다수의 파인 파워 트랜지스터는,

입력 전압 및 네거티브 입력 전압 중 하나의 전압으로 게이팅 되는 LDO 레귤레이터(Low Dropout regulator).

청구항 17

제16 항에 있어서,

상기 출력 노드에서의 상기 출력 전압이 제1 변동 범위 이상으로 변동되는 경우, 상기 출력 노드에 추가로 회복 전류를 공급하여, 상기 출력 전압의 변동폭을 상기 제1 변동 범위보다 작은 제2 변동 범위로 조절하는 전압 회복 루프;를 더 포함하는 LDO 레귤레이터.

청구항 18

제16 항에 있어서,

상기 코스 루프 또는 상기 파인 루프에서 상기 네거티브 입력 전압에 대한 누설 전류를 보상하거나, 상기 전압 회복 루프에 상기 네거티브 입력 전압을 공급하는 듀얼 네거티브 전압 탱크(Dual Negative Voltage Tank, DNVT);를 더 포함하는 LDO 레귤레이터.

청구항 19

제18 항에 있어서,

상기 코스 루프 및 상기 파인 루프는 각각,

상기 코스 파워 트랜지스터 및 상기 파인 파워 트랜지스터 중 대응되는 파워 트랜지스터에 상기 네거티브 입력 전압을 인가하는 다수의 네거티브 전압 게이트 드라이버(Negative Voltage Gate Driver)를 포함하고,

상기 네거티브 전압 게이트 중 상기 네거티브 입력 전압에 대한 누설 전류의 보상 동작이 요구되는 네거티브 게이트 드라이버와 상기 듀얼 네거티브 전압 탱크를 전기적으로 연결하는 보상 스위칭부;를 더 포함하는 LDO 레귤레이터.

청구항 20

제1 항의 LDO 레귤레이터(Low Dropout regulator);를 포함하는 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 LDO 레귤레이터 및 이를 포함하는 반도체 장치에 관한 것으로, 저전압 동작이 가능한 LDO 레귤레이터 및 이를 포함하는 반도체 장치에 관한 것이다.

배 경 기 술

[0002] LDO 레귤레이터(Low Dropout regulator)는 일정한 전원 전압을 집적회로에 공급하는 전압 레귤레이터의 하나로, 특히 입출력 전압의 전위차가 작을 때에 높은 전력 효율을 실현할 수 있는 선형 레귤레이터이다. 반도체 장치가 고집적화 되거나 모바일화 되고 있는 상황에서 전력 소모를 줄이기 위한 저전압 구동이 요구된다.

[0003] 이에, 보다 낮은 입력 전압에서도 안정적으로 동작하거나, 보다 낮은 출력 전압을 안정적으로 출력할 수 있는 LDO 레귤레이터에 대해, 요구가 높아지고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 저전압 동작이 가능한 LDO 레귤레이터 및 이를 포함하는 반도체 장치를 제공하고자 한다.

과제의 해결 수단

[0005] 상기 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 LDO 레귤레이터(Low Dropout regulator)는, 각각, 입력 전압이 인가되는 입력 노드 및 출력 전압이 출력되는 출력 노드 사이에 연결되는 다수의 파워 트랜지스터; 상기 출력 전압과 제1 기준 전압의 차이에 대응되는 비교 신호를 생성하는 전압 비교부; 상기 비교 신호에 응답하여, 상기 다수의 파워 트랜지스터의 게이팅(gating)을 제어하는 제어 신호를 생성하는 디지털 제어부; 상기 제어 신호에 응답하여, 상기 입력 전압 및 네거티브 입력 전압 중 하나를 상기 다수의 파워 트랜지스터 중 대응되는 파워 트랜지스터의 게이팅 신호로 출력하는 게이트 구동부;를 포함한다.

[0006] 상기 게이트 구동부는, 상기 다수의 파워 트랜지스터에 대응되는 개수의 게이트 드라이버(gate driver)를 포함될 수 있다.

[0007] 상기 게이트 구동부는, 상기 제어 신호가 제1 모드를 나타내는 경우, 상기 입력 전압을 상기 게이팅 신호로 출력하고 충전 전압으로 충전하는 제1 구동 패스; 및 상기 제어 신호가 제2 모드를 나타내는 경우, 상기 충전 전압을 상기 네거티브 입력 전압으로 반전시켜 상기 게이팅 신호로 출력하는 제2 구동 패스;를 포함할 수 있다.

[0008] 상기 게이트 구동부는, 상기 제어 신호에 응답하여, 상기 입력 전압 및 접지 전압 중 하나를 제1 노드로 인가하는 전압 인가부; 상기 제1 노드로부터 인가되는 상기 입력 전압을 반전시켜 상기 네거티브 입력 전압으로 출력하는 전압 반전부; 및 상기 제어 신호에 응답하여, 상기 제1 노드의 상기 입력 전압 및 상기 전압 반전부의 상기 네거티브 입력 전압 중 하나를 제2 노드로 출력하는 전압 스위칭부;를 포함할 수 있다.

[0009] 상기 전압 반전부는, 상기 제1 노드로부터 상기 입력 전압이 인가되면 상기 입력 전압을 충전 전압으로 충전하고, 상기 제1 노드로부터 상기 접지 전압이 인가되면 상기 충전 전압을 반전하여 상기 네거티브 입력 전압으로 제3 노드로 출력하는 충전 및 반전 수단; 및 상기 제3 노드의 전압 레벨을 상기 충전 전압 및 상기 네거티브 입력 전압 중 하나로 고정시키는 전압 레벨 고정 수단;을 포함할 수 있다.

[0010] 상기 게이트 구동부는, 입력단으로 상기 제어 신호가 인가되고 상기 입력 전압 및 접지 전압 중 하나를 제1 노드의 출력단으로 출력하는 제1 인버터; 일단이 상기 제1 노드에 연결되는 제1 커패시터; 일단이 상기 제1 노드에 연결되고 타단이 제2 노드에 연결되며, 상기 제어 신호에 응답하여 스위칭되는 제1 스위치; 일단이 상기 제1 커패시터의 타단에 연결되고 타단이 상기 제2 노드에 연결되며, 상기 제어 신호에 응답하여 게이팅 되는 제2 스위치; 일단이 상기 제1 커패시터의 타단에 연결되고 타단이 상기 접지 전압과 연결되는 제1 트랜지스터; 일단이 상기 입력 전압과 연결되고 타단이 상기 제1 트랜지스터의 게이트에 연결되며, 상기 제어 신호에 응답하여 게이팅 되는 제2 트랜지스터; 및 일단이 상기 제1 커패시터의 타단에 연결되고 타단이 상기 제1 트랜지스터의 게이트에 연결되며, 상기 제어 신호에 응답하여 게이팅 되는 제3 트랜지스터;를 포함할 수 있다.

[0011] 상기 다수의 파워 트랜지스터는, 제1 전압 범위로 상기 출력 전압을 조절하는 코스 루프(coarse loop)에 포함되는 코스 파워 트랜지스터; 및 상기 제1 전압 범위보다 작은 제2 전압 범위로 상기 출력 전압을 조절하는 파인 루프(fine loop)에 포함되는 파인 파워 트랜지스터;를 포함할 수 있다.

[0012] 상기 게이트 구동부는, 상기 입력 전압 및 상기 네거티브 입력 전압 중 하나를 상기 코스 파워 트랜지스터의 게이팅 신호로 출력하는 코스 게이트 구동부; 및 상기 입력 전압 및 접지 전압 중 하나를 상기 파인 파워 트랜지스터의 게이팅 신호로 출력하는 파인 게이트 구동부;를 포함할 수 있다.

[0013] 상기 출력 노드와 연결되어, 상기 출력 전압이 제1 변동 범위 이상으로 변동되는 경우, 상기 출력 전압의 변동폭을 상기 제1 변동 범위보다 작은 제2 변동 범위로 조절하는 전압 회복부;가 더 포함될 수 있다.

[0014] 상기 전압 회복부는, 각각, 적어도 하나 이상의 제2 기준 전압 중 대응되는 제2 기준 전압과 상기 출력 전압을 비교하여, 상기 입력 전압 및 상기 네거티브 입력 전압 중 하나를 보조 비교 신호로 출력하는 적어도 하나 이상

의 보조 비교기; 및 각각, 상기 적어도 하나 이상의 보조 비교기 중 대응되는 보조 비교기의 상기 보조 비교 신호에 응답하여 상기 출력 노드로 회복 전류를 공급하는 적어도 하나 이상의 보조 파워 트랜지스터;를 포함할 수 있다.

[0015] 상기 적어도 하나 이상의 보조 비교기는, 상기 적어도 하나 이상의 제2 기준 전압 중 대응되는 제2 기준 전압과 상기 네거티브 입력 전압 사이에 구비되고, 제21 노드에서 입력단과 출력단이 연결되는 제1 보조 인버터; 상기 출력 전압과 상기 네거티브 입력 전압 사이에 구비되고, 입력단이 상기 제1 보조 인버터의 출력단과 연결되는 제2 보조 인버터; 상기 출력 전압과 상기 네거티브 입력 전압 사이에 구비되고, 입력단이 제22 노드에서 상기 제2 보조 인버터의 출력단과 연결되는 제3 보조 인버터; 및 상기 입력 전압과 상기 네거티브 입력 전압 사이에 구비되고, 입력단이 제23 노드에서 상기 제3 보조 인버터의 출력단과 연결되고, 제24 노드에 연결되는 출력단으로 상기 보조 비교 신호를 출력하는 제4 보조 인버터;를 포함할 수 있다.

[0016] 상기 전압 회복부는, 입력단이 상기 출력 노드와 연결되고, 출력단이 상기 네거티브 입력 전압이 인가되는 상기 게이트 구동부의 임의의 노드에 연결되는 하이 패스 필터(High Pass Filter);를 더 포함할 수 있다.

[0017] 상기 전압 회복부로 상기 네거티브 입력 전압을 공급하는 네거티브 전압 공급부;가 더 포함될 수 있다.

[0018] 제1 클럭 신호에 응답하여, 상기 게이트 구동부의 상기 네거티브 입력 전압에 대한 누설 전류를 보상하는 누설 전류 보상부;가 더 포함될 수 있다.

[0019] 상기 누설 전류 보상부는, 입력단에 상기 제1 클럭 신호가 인가되고 상기 입력 전압과 접지 전압 사이에 구비되며 출력단이 제31 노드에 연결되는 제1 보상 인버터; 입력단에 상기 제1 클럭 신호가 인가되고 상기 입력 전압과 제32 노드 사이에 구비되는 제2 보상 인버터; 상기 제31 노드 및 제33 노드 사이에 연결되는 제2 커패시터; 게이트가 상기 제32 노드에 연결되고 상기 제 33 노드와 상기 접지 전압 사이에 연결되는 제31 트랜지스터; 입력단이 상기 제32 노드와 연결되고 상기 입력 전압과 보상 노드 사이에 구비되며 출력단이 제34 노드에 연결되는 제3 보상 인버터; 상기 제33노드 및 제35 노드에 연결되는 제1 저항; 및 게이트가 상기 제34 노드에 연결되고 상기 제35 노드와 상기 보상 노드 사이에 구비되는 제32 트랜지스터;를 포함할 수 있다.

[0020] 상기 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 LDO 레귤레이터(Low Dropout regulator)는, 다수의 코스 파워 트랜지스터의 게이팅을 제어하여 제1 전압 범위로 출력 노드의 출력 전압을 조절하는 코스 루프; 및 다수의 파인 파워 트랜지스터의 게이팅을 제어하여 상기 제1 전압 범위보다 작은 제2 전압 범위로 상기 출력 전압을 조절하는 파인 루프;를 포함하고, 상기 다수의 코스 파워 트랜지스터 또는 상기 다수의 파인 파워 트랜지스터는, 입력 전압 및 네거티브 입력 전압 중 하나의 전압으로 게이팅 될 수 있다.

[0021] 상기 출력 노드에서의 상기 출력 전압이 제1 변동 범위 이상으로 변동되는 경우, 상기 출력 노드에 추가로 회복 전류를 공급하여, 상기 출력 전압의 변동폭을 상기 제1 변동 범위보다 작은 제2 변동 범위로 조절하는 전압 회복 루프;가 더 포함될 수 있다.

[0022] 상기 코스 루프 또는 상기 파인 루프에서 상기 네거티브 입력 전압에 대한 누설 전류를 보상하거나, 상기 전압 회복 루프에 상기 네거티브 입력 전압을 공급하는 듀얼 네거티브 전압 탱크(Dual Negative Voltage Tank, DNVT);가 더 포함될 수 있다.

[0023] 상기 코스 루프 및 상기 파인 루프는 각각, 상기 코스 파워 트랜지스터 및 상기 파인 파워 트랜지스터 중 대응되는 파워 트랜지스터에 상기 네거티브 입력 전압을 인가하는 다수의 네거티브 전압 게이트 드라이버(Negative Voltage Gate Driver)를 포함하고, 상기 네거티브 전압 게이트 중 상기 네거티브 입력 전압에 대한 누설 전류의 보상 동작이 요구되는 네거티브 게이트 드라이버와 상기 듀얼 네거티브 전압 탱크를 전기적으로 연결하는 보상 스위칭부;가 더 포함될 수 있다.

[0024] 상기 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 반도체 장치는, 상기 LDO 레귤레이터(Low Dropout regulator);를 포함한다.

발명의 효과

[0025] 본 발명의 LDO 레귤레이터 및 이를 포함하는 반도체 장치에 의하면, 네거티브 입력 전압을 파워 트랜지스터의 게이팅에 사용함으로써, 낮은 입력 전압으로 동작해야 하는 환경에서도 파워 트랜지스터를 정상적으로 턴-온 시키거나 파워 트랜지스터의 전류 구동 능력을 높여 안정적인 동작이 수행될 수 있다.

[0026] 또는, 본 발명의 LDO 레귤레이터 및 이를 포함하는 반도체 장치에 의하면, 간단한 회로 로직으로 파워 트랜지스

터에 인가하는 네거티브 입력 전압을 생성하고 유지함으로써, 낮은 입력 전압에서 안정적인 동작을 수행하면서도 저면적 또는 저전력 동작이 수행될 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 실시예에 따른 LDO 레귤레이터를 나타내는 도면이다.

도 2 및 도 3은 각각, 본 발명의 실시예에 따른 게이트 구동부 및 파워 트랜지스터의 관계를 나타내는 도면이다.

도 4 내지 도 7은 각각, 본 발명의 실시예에 따른 게이트 구동부를 나타내는 도면이다.

도 8 및 도 9는 각각, 도 7의 게이트 구동부의 동작을 설명하기 위한 도면이다.

도 10 및 도 11은 각각, 본 발명의 실시예에 따른 LDO 레귤레이터를 나타내는 도면이다.

도 12는 본 발명의 실시예에 따른 전압 회복부를 나타내는 도면이다.

도 13은 본 발명의 실시예에 따른 보조 비교기를 나타내는 도면이다.

도 14는 본 발명의 실시예에 따른 전압 회복부를 나타내는 도면이다.

도 15는 본 발명의 실시예에 따른 전압 회복부의 기능을 설명하기 위한 도면이다.

도 16 및 도 17은 각각, 본 발명의 실시예에 따른 LDO 레귤레이터를 나타내는 도면이다.

도 18은 본 발명의 실시예에 따른 누설 전류 보상부를 나타내는 도면이다.

도 19 및 도 20은 각각, 본 발명의 실시예에 따른 누설 전류 보상부의 동작을 설명하기 위한 도면이다.

도 21 내지 도 23은 각각, 본 발명의 실시예에 따른 LDO 레귤레이터를 나타내는 도면이다.

도 24는 본 발명의 실시예에 따른 반도체 장치를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0029] 도 1은 본 발명의 실시예에 따른 LDO 레귤레이터를 나타내는 도면이다.

[0030] 도 1을 참조하면, 본 발명의 실시예에 따른 LDO 레귤레이터(Low Dropout regulator, 100)는 다수의 파워 트랜지스터(PT), 전압 비교부(120), 디지털 제어부(130), 및 게이트 구동부(140)를 포함한다.

[0031] 다수의 파워 트랜지스터(PT)는 각각, 입력 전압(VIN)이 인가되는 입력 노드(IND) 및 출력 전압(VOUT)이 출력되는 출력 노드(OND) 사이에 연결될 수 있다. 다수의 파워 트랜지스터(PT)는 PMOS 트랜지스터일 수 있다.

[0032] 다수의 파워 트랜지스터(PT) 중 턴-온 되는 트랜지스터의 개수에 따라 출력 노드(OND)에 공급되는 구동 전류(Idrv)의 크기가 달라질 수 있다. 예를 들어, 다수의 파워 트랜지스터(PT)의 구동 능력이 동일하고 제1 크기의 구동 전류(Idrv)가 요구되는 때에 n개의 파워 트랜지스터(PT)가 턴-온 되어야 한다면, 제1 크기의 2배인 제2 크기의 구동 전류(Idrv)가 요구되는 때에는 2n개의 파워 트랜지스터(PT)가 턴-온 되어야 할 수 있다.

[0033] 전압 비교부(120)는 출력 전압(VOUT)과 제1 기준 전압(VRF1)의 차이에 대응되는 비교 신호(XCOM)를 생성할 수 있다.

[0034] 출력 노드(OND)는 기능 블록 등의 로드(load, 미도시)와 연결되어, 기능 블록 등에서의 동작에 요구되는 전원으로 출력 전압(VOUT)을 인가할 수 있다. 예를 들어, 본 발명의 실시예에 따른 LDO 레귤레이터(100)가 응용 프로세서(미도시)에 포함되는 경우, 출력 노드(OND)에 연결되는 기능 블록은 중앙 처리 장치, 디스플레이 컨트롤러 및 메모리 컨트롤러 등일 수 있다. 이때, 출력 노드(OND)에서의 출력 전압(VOUT)은 기능 블록에서 전류의 양이 변동되더라도 일정한 전압 레벨, 예를 들어 제1 기준 전압(VRF1)에 대응되는 전압 레벨으로 유지되어야, 출력 노드(OND)에 연결되는 기능 블록이 안정적으로 동작할 수 있다.

[0035] 전압 비교부(120)는 예를 들어, 두 입력 단자로 각각 출력 전압(VOUT) 및 제1 기준 전압(VRF1)이 인가되고, 출력 단자로 비교 신호(XCOM)가 출력되는 OP 앰프(미도시), SR 래치(미도시) 등을 포함할 수 있다. 예를 들어, 비

교 신호(XCOM)는 출력 전압(VOUT)이 제1 기준 전압(VRF1)보다 같거나 크면 논리 하이("H")로 출력되고, 출력 전압(VOUT)이 제1 기준 전압(VRF1)보다 작으면 논리 로우("L")로 출력될 수 있다.

[0036] 디지털 제어부(130)는 비교 신호(XCOM)에 응답하여, 다수의 파워 트랜지스터(PT)의 게이팅을 제어하는 제어 신호(XCON)를 생성할 수 있다.

[0037] 전술된 바와 같이, 출력 전압(VOUT)에 대해 요구되는 구동 전류(Idrv)의 크기에 따라 턴-온 되어야 하는 파워 트랜지스터(PT)의 개수가 달라질 수 있다. 제어 신호(XCON)는 다수의 파워 트랜지스터(PT) 중 비교 신호(XCOM)에 대응되는 파워 트랜지스터(PT)의 개수에 대한 정보를 포함하여 생성될 수 있다.

[0038] 이때, 제어 신호(XCON)는 다수의 파워 트랜지스터(PT) 전체 개수에 대응되는 비트수로 생성될 수 있다. 예를 들어, 다수의 파워 트랜지스터(PT)가 64개로 구비되는 경우, 제어 신호(XCON)는 [63:0]의 64 비트(bit)로 생성되어, 턴-오프 시키고자 하는 파워 트랜지스터(PT)에 대응되는 비트는 "0"(논리 로우)의 값으로, 턴-온 시키고자 하는 파워 트랜지스터(PT)에 대응되는 비트는 "1"(논리 하이)의 값으로 설정할 수 있다.

[0039] 게이트 구동부(140)는 제어 신호(XCON)에 응답하여, 입력 전압(VIN) 및 네거티브 입력 전압(-VIN) 중 하나를 다수의 파워 트랜지스터(PT) 중 대응되는 파워 트랜지스터의 게이팅 신호(XGT)로 출력할 수 있다.

[0040] 도 2 및 도 3은 각각, 본 발명의 실시예에 따른 게이트 구동부 및 파워 트랜지스터의 관계를 나타내는 도면이다.

[0041] 도 2 및 도 3을 참조하면, 본 발명의 실시예에 따른 게이트 구동부(140)는 파워 트랜지스터(PT)의 개수에 대응되는 개수의 게이트 드라이버(gate driver, GD)를 포함할 수 있다. 예를 들어, 본 발명의 실시예에 따른 게이트 구동부(140)는 파워 트랜지스터(PT)의 개수와 동일한 n개의 게이트 드라이버(GD)를 포함할 수 있다(도 2). 또는, 본 발명의 실시예에 따른 게이트 구동부(140)는 파워 트랜지스터(PT)의 개수(b개)보다 작은 개수(a개)의 게이트 드라이버(GD)를 포함할 수 있다(도 3).

[0042] 후자의 경우, 하나의 게이트 드라이버(GD)가 둘 이상의 파워 트랜지스터(PT)에 대한 게이팅 신호(XGT)를 생성할 수 있다. 이때, 본 발명의 실시예에 따른 게이트 구동부(140)의 각 게이트 드라이버(GD)는 서로 동일한 개수의 파워 트랜지스터(PT)에 대한 게이팅을 수행하거나, 서로 다른 개수의 파워 트랜지스터(PT)에 대한 게이팅을 수행할 수 있다. 도 3은 제1 게이트 드라이버(GD#1)가 제1 파워 트랜지스터(PT#1) 및 제2 파워 트랜지스터(PT#2)에 의해 공유되는 반면, 제a 게이트 드라이버(GD#a)는 제b 파워 트랜지스터(PT#1) 하나에 대한 게이팅을 수행하는 예를 도시하고 있다.

[0043] 이하의 설명에서, 게이트 구동부(140)의 구조 및 동작에 대한 것은, 게이트 구동부(140)에 포함되는 각 게이트 드라이브(GD)의 구조 및 동작에 대한 것일 수 있다.

[0044] 다시 도 1을 참조하면, 전술된 바와 같이, 파워 트랜지스터(PT)가 PMOS 트랜지스터로 구비되는 경우, 게이트 구동부(140)는 제어 신호(XCON)에 응답하여, 턴-오프 시키고자 하는 파워 트랜지스터에 대한 게이팅 신호(XGT)를 입력 전압(VIN)으로 생성하고, 턴-온 시키고자 하는 파워 트랜지스터에 대한 게이팅 신호(XGT)를 네거티브 입력 전압(-VIN)으로 생성할 수 있다.

[0045] CMOS공정은 점차 스케일 다운되고, 많은 회로들이 전력 소모를 줄이기 위해 저전압 구동을 요구되고 있다. 특히, 반도체 장치 또는 전자 장치 등의 모바일화에 따라, 장치의 저전력 동작은 반드시 해결하여야 하는 기술 문제로 인식되고 있다. 따라서, 사용되는 입력 전압(VIN)의 크기도 점점 낮아지고 있다. 심지어 파워 트랜지스터(PT)의 문턱 전압보다 더 낮은 전압 레벨의 입력 전압(VIN)에서의 동작이 요구될 수 있다.

[0046] 예를 들어, 파워 트랜지스터(PT)의 문턱 전압은 0.5 V이고, 입력 전압(VIN)이 0.3V일 수 있다. 이 경우, 파워 트랜지스터(PT)를 턴-온 시키기 위해 0V의 전압으로 게이팅 신호(XGT)가 인가되면, 파워 트랜지스터(PT)의 소스-게이트 전압의 절대값이 파워 트랜지스터(PT)의 문턱 전압인 0.5 V보다 낮게 된다. 따라서, 파워 트랜지스터(PT)가 정상적으로 턴-온 되지 아니하거나 턴-온 되더라도 요구되는 구동 전류(Idrv)를 공급하지 못할 수 있다. 파워 트랜지스터(PT)의 문턱 전압보다 입력 전압(VIN)이 조금 더 높더라도 동일한 문제가 발생될 수 있다.

[0047] 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 게이트 구동부(140)에서 생성되는 네거티브 입력 전압(-VIN)을 파워 트랜지스터(PT)의 게이팅에 사용함으로써, 낮은 입력 전압(VIN)으로 동작해야 하는 환경에서도 파워 트랜지스터(PT)를 정상적으로 턴-온 시키거나 파워 트랜지스터(PT)의 전류 구동 능력을 높일 수 있다. 따라서, 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 낮은 입력 전압(VIN)으로 동작해야 하는 환경에서도 안정적인 동

작을 수행할 수 있다. 이하에서는, 이에 대하여 더 자세히 설명한다.

[0048] 도 4 내지 도 7은 각각, 본 발명의 실시예에 따른 게이트 구동부를 나타내는 도면이다.

[0049] 먼저 도 4를 참조하면, 본 발명의 실시예에 따른 게이트 구동부(140)는 제1 구동 패스(DP1) 및 제2 구동 패스(DP2)를 포함할 수 있다.

[0050] 제1 구동 패스(DP1)는 제어 신호(XCON)가 제1 모드를 나타내는 경우, 예를 들어 제어 신호(XCON)가 논리 로우("L")를 나타내는 경우, 입력 전압(VIN)을 게이팅 신호(XGT)로 출력할 수 있다. 이와 함께, 제1 구동 패스(DP1)에서는 입력 전압(VIN)이 충전 전압(VCG)으로 충전될 수 있다.

[0051] 제2 구동 패스(DP2)는 제어 신호(XCON)가 제2 모드를 나타내는 경우, 예를 들어 제어 신호(XCON)가 논리 하이("H")를 나타내는 경우, 제1 구동 패스(DP1)에서 충전된 충전 전압(VCG)을 네거티브 입력 전압(-VIN)으로 반전시켜 게이팅 신호(XGT)로 출력할 수 있다.

[0052] 다음으로, 도 5를 참조하면, 본 발명의 실시예에 따른 게이트 구동부(140)는 전압 인가부(142), 전압 반전부(144) 및 전압 스위칭부(146)를 포함할 수 있다.

[0053] 전압 인가부(142)는 제어 신호(XCON)에 응답하여, 입력 전압(VIN) 및 접지 전압(VSS) 중 하나를 제1 노드(ND1)로 인가할 수 있다. 전압 반전부(144)는 제1 노드(ND1)로부터 인가되는 입력 전압(VIN)을 반전시켜 네거티브 입력 전압(-VIN)으로 출력할 수 있다. 전압 스위칭부(146)는 제어 신호(XCON)에 응답하여, 제1 노드(ND1)의 입력 전압(VIN) 및 전압 반전부(144)의 네거티브 입력 전압(-VIN) 중 하나를 제2 노드(ND2)로 출력할 수 있다.

[0054] 다음으로, 도 6을 참조하면, 본 발명의 실시예에 따른 전압 반전부(144)는 충전 및 반전 수단(144-2), 및 전압 레벨 고정 수단(144-4)을 포함할 수 있다. 충전 및 반전 수단(144-2)은 제1 노드(ND1)로부터 입력 전압(VIN)이 인가되면 입력 전압(VIN)을 충전 전압(VCG)으로 충전할 수 있다. 충전 및 반전 수단(144-2)은 제1 노드(ND1)로부터 접지 전압(VSS)이 인가되면 충전 전압(VCG)을 반전하여 네거티브 입력 전압(-VIN)으로 생성할 수 있다. 네거티브 입력 전압(-VIN)은 제3 노드(ND3)로 출력될 수 있다.

[0055] 이때, 제3 노드(ND3)와 전기적으로 연결되는 전선 또는 전기 소자 등에 의한 누설 전류 등으로 인하여, 전압 스위칭부(146)로 인가되는 네거티브 입력 전압(-VIN)의 전압 레벨이 변동될 수 있다. 예를 들어, 네거티브 입력 전압(-VIN)이 요구되는 전압 레벨의 절대값보다 낮은 값으로 전압 스위칭부(146)에 인가되면, 전술된 바와 같이 입력 전압(VIN)의 전압 레벨이 낮아 도 1의 파워 트랜지스터(PT)가 턴-온 되지 않거나, 그 구동 능력이 충분하지 못한 문제가 해결되지 아니할 수 있다.

[0056] 이에, 본 발명의 실시예에 따른 전압 반전부(144)는 전압 레벨 고정 수단(144-4)를 통해 제3 노드(ND3)에서의 네거티브 입력 전압(-VIN)의 전압 레벨을 고정시킬 수 있다. 예를 들어, 전압 레벨 고정 수단(144-4)은 제3 노드(ND3)의 전압 레벨이 일정 값 이상으로 변동되는 경우, 그 변동되는 값에 대응되는 전류를 제3 노드(ND3)에 공급할 수 있다.

[0057] 이상에서 설명된 전압 인가부(142), 전압 반전부(144) 및 전압 스위칭부(146)는 예시적으로 도 7과 같은 구조로 구비될 수 있다.

[0058] 도 7을 참조하면, 본 발명의 실시예에 따른 게이트 구동부(140)는, 제1 인버터(IVT1), 제1 스위치(SW1), 제1 커패시터(C1), 제2 스위치(SW2), 제1 트랜지스터(TR1) 내지 제3 트랜지스터(TR3)를 포함할 수 있다.

[0059] 제1 인버터(IVT1)는 입력 전압(VIN)과 접지 전압(VSS) 사이에 연결되는 제1 PMOS 트랜지스터(PT1) 및 제1 NMOS 트랜지스터(NT1)를 포함하고, 입력단으로 제어 신호(XCON)가 인가되고 입력 전압(VIN) 및 접지 전압(VSS) 중 하나를 제1 노드(ND1)의 출력단으로 출력할 수 있다.

[0060] 제1 스위치(SW1)는 일단이 제1 노드(ND1)에 연결되고 타단이 제2 노드(ND2)에 연결되며, 제어 신호(XCON)에 응답하여 스위칭될 수 있다. 제1 커패시터(C1)는 일단이 제1 노드(ND1)에 연결되고 타단이 제3 노드(ND3)에 연결될 수 있다. 제2 스위치(SW2)는 일단이 제3 노드(ND3)에 연결되고 타단이 제2 노드(ND2)에 연결되며, 제어 신호(XCON)에 응답하여 게이팅 될 수 있다. 제1 트랜지스터(TR1)는 일단이 제3 노드(ND3)에 연결되고 타단이 접지 전압(VSS)과 연결될 수 있다. 제2 트랜지스터(TR2)는 일단이 입력 전압(VIN)과 연결되고 타단이 제1 트랜지스터(TR1)의 게이트에 연결되며, 제어 신호(XCON)에 응답하여 게이팅 될 수 있다. 제3 트랜지스터(TR3)는 일단이 제3 노드(ND3)에 연결되고 타단이 제1 트랜지스터(TR1)의 게이트에 연결되며, 제어 신호(XCON)에 응답하여 게이팅 될 수 있다.

[0061] 제1 인버터(IVT1)는 도 5의 전압 인가부(142)일 수 있고, 제1 커패시터(C1) 및 제1 트랜지스터(TR1) 내지 제3 트랜지스터(TR3)는 도 5의 전압 반전부(144)이며, 제1 스위치(SW1) 및 제2 스위치(SW2)는 도 5의 전압 스위칭부(146)일 수 있다. 예를 들어, 제1 커패시터(C1)는 도 6의 충전 및 반전 수단(144-2)이고, 제1 트랜지스터(TR1) 내지 제3 트랜지스터(TR3)는 도 6의 전압 레벨 고정 수단(144-4)일 수 있다.

[0062] 도 7은 제1 트랜지스터(TR1) 및 제3 트랜지스터(TR3)가 NMOS 트랜지스터로, 제2 트랜지스터(TR2)가 PMOS 트랜지스터로 구비되는 예를 도시하고 있다. 다만, 이에 한정되는 것은 아니다. 이하에서 설명되는 본 발명의 실시예에 따른 게이트 구동부(140)의 동작과 효과를 구현할 수 있는 전제 하에, 제1 트랜지스터(TR1) 내지 제3 트랜지스터(TR3)는 다른 유형의 트랜지스터로 구비될 수 있다. PMOS 트랜지스터로 도시되는 제1 스위치(SW1) 및 NMOS 트랜지스터로 도시되는 제2 스위치(SW2)에 대하여도 마찬가지이다. 다만, 이하에서는 설명의 편의를 위해, 본 발명의 실시예에 따른 게이트 구동부(140)의 제1 스위치(SW1), 제2 스위치(SW2) 및 제1 트랜지스터(TR1) 내지 제3 트랜지스터(TR3)가 도 7에 도시되는 유형의 트랜지스터로 구비되는 것을 전제하여 기술된다.

[0063] 도 8 및 도 9는 각각, 도 7의 게이트 구동부의 동작을 설명하기 위한 도면이다.

[0064] 먼저 도 7 및 도 8을 참조하면, 본 발명의 실시예에 따른 게이트 구동부(140)는 제어 신호(XCON)가 논리 로우("L")로 인가되면, 제1 인버터(IVT1)의 제1 PMOS 트랜지스터(PT1)가 턴-온 되어 제1 노드(ND1)로 입력 전압(VIN)이 인가된다. 마찬가지로, PMOS 트랜지스터로 구비되는 제1 스위치(SW1) 및 제2 트랜지스터(TR2) 또한 턴-온 된다. 따라서, 제1 노드(ND1)의 입력 전압(VIN)은 제1 스위치(SW1)를 통해 제2 노드(ND2)로 인가될 수 있다. 제2 노드(ND2)의 전압, 즉 입력 전압(VIN)은 게이팅 신호(XGT)로 출력될 수 있다.

[0065] 이때, 제2 트랜지스터(TR2)가 턴-온 됨에 따라 입력 전압(VIN)이 제1 트랜지스터(TR1)의 게이트에 인가된다. 제1 트랜지스터(TR1)는 NMOS 트랜지스터이므로 턴-온 되어, 제3 노드(ND3)로 0V의 접지 전압이 인가된다.

[0066] 따라서, 제어 신호(XCON)가 논리 로우("L")로 인가되는 동안, 일단이 입력 전압(VIN)인 제1 노드(ND1)에 연결되고 타단이 0V인 제3 노드(ND3)에 연결되는 제1 커패시터(C1)는 입력 전압(VIN)으로 충전될 수 있다.

[0067] 다음으로 도 7 및 도 9를 참조하면, 본 발명의 실시예에 따른 게이트 구동부(140)는 제어 신호(XCON)가 논리 하이("H")로 인가되면, 제1 인버터(IVT1)의 제1 NMOS 트랜지스터(NT1)가 턴-온 되어 제1 노드(ND1)의 전압이 0V의 접지 전압으로 변경된다. 따라서, 제1 커패시터(C1)에 충전된 입력 전압(VIN)은 네거티브 입력 전압(-VIN)으로 반전될 수 있다. 따라서, 제3 노드(ND3)에 네거티브 입력 전압(-VIN)이 인가될 수 있다.

[0068] 마찬가지로, NMOS 트랜지스터로 구비되는 제2 스위치(SW2) 및 제3 트랜지스터(TR3) 또한 턴-온 된다. 따라서, 제3 노드(ND3)에 인가된 네거티브 입력 전압(-VIN)은 제2 스위치(SW2)를 통해 제2 노드(ND2)로 인가될 수 있다. 제2 노드(ND2)의 전압, 즉 네거티브 입력 전압(-VIN)은 게이팅 신호(XGT)로 출력될 수 있다.

[0069] 이때, 제2 트랜지스터(TR2)가 턴-오프 되고 제3 트랜지스터(TR3)가 턴-온 됨에 따라, 제1 트랜지스터(TR1)의 게이트에는 제3 노드(ND3)의 전압, 즉 네거티브 입력 전압(-VIN)이 인가될 수 있다. 따라서, 제1 트랜지스터(TR1)가 충분히 턴-오프 된 상태를 유지할 수 있게 되어, 제3 노드(ND3)의 네거티브 입력 전압(-VIN)이 누설 전류 등으로 인해 그 전압 레벨이 변경되는 것이 방지될 수 있다.

[0070] 상기와 같은 게이트 구동부(140)의 동작에 의해, 제어 신호(XCON)가 논리 하이("H")로 인가되는 동안, 충분한 전압 레벨을 유지한 상태로, 네거티브 입력 전압(-VIN)이 도 1의 파워 트랜지스터(PT)의 게이트에 인가될 수 있다. 결과적으로, 파워 트랜지스터(PT)의 소스-게이트 전압의 절대값은 입력 전압(VIN)의 2배가 되어, 낮은 전압 레벨의 입력 전압(VIN)에 대해서도 충분한 구동 전류(Idrv)가 출력 노드(OND)로 공급될 수 있다.

[0071] 도 10 및 도 11은 각각, 본 발명의 실시예에 따른 LDO 레귤레이터를 나타내는 도면이다.

[0072] 먼저, 도 10을 참조하면, 본 발명의 실시예에 따른 LDO 레귤레이터(100)의 다수의 파워 트랜지스터는 코스 파워 트랜지스터(PTc) 및 파인 파워 트랜지스터(PTf)를 포함할 수 있다. 코스 파워 트랜지스터(PTc)는 제1 전압 범위로 출력 전압(VOUT)을 조절하는 코스 루프(coarse loop)에 포함될 수 있다. 파인 파워 트랜지스터(PTf)는 제1 전압 범위보다 작은 제2 전압 범위로 출력 전압(VOUT)을 조절하는 파인 루프(fine loop)에 포함될 수 있다.

[0073] 예를 들어, 본 발명의 실시예에 따른 LDO 레귤레이터(100)의 디지털 제어부(130)는 출력 노드(OND)의 전압 변동이 임의의 기준 범위 이상인 경우, 코스 루프가 활성화되도록 제어 신호(XCON)를 생성할 수 있다. 이 경우, 코스 파워 트랜지스터(PTc)에 의해 제1 구동 전류(Idrv1)를 출력 노드(OND)에 인가할 수 있다. 또는, 디지털 제어부(130)는 출력 노드(OND)의 전압 변동이 임의의 기준 범위보다 작은 경우, 파인 루프가 활성화되도록 제어 신호(XCON)를 생성할 수 있다. 이 경우, 파인 파워 트랜지스터(PTf)에 의해 제2 구동 전류(Idrv2)를 출력 노드

(OND)에 인가할 수 있다.

[0074] 전술된 예의 경우, 제어 신호(XCON)는 64 비트에 추가적으로 코스 루프 및 파인 루프 중 활성화시키고자 하는 하나의 루프를 나타내는 비트를 포함할 수 있다.

[0075] 이때, 각각의 코스 파워 트랜지스터(PTc)의 구동 능력이 각각의 파인 파워 트랜지스터(PTf)보다 크게 구비될 수 있다. 또는, 코스 파워 트랜지스터(PTc)의 개수가 파인 파워 트랜지스터(PTf)의 개수보다 많을 수 있다. 또는, 각각의 코스 파워 트랜지스터(PTc)의 구동 능력이 각각의 파인 파워 트랜지스터(PTf)보다 크고, 코스 파워 트랜지스터(PTc)의 개수가 파인 파워 트랜지스터(PTf)의 개수보다 많을 수 있다.

[0076] 따라서, 동일한 기준 시간 내에서, 제1 구동 전류(Idrv1)가 제2 구동 전류(Idrv2)보다 클 수 있다. 즉, 코스 루프가 활성화되는 경우 상대적으로 큰 폭인 제1 전압 범위로 출력 전압(VOUT)이 조절되고, 파인 루프가 활성화되는 경우 상대적으로 작은 폭인 제2 전압 범위로 출력 전압(VOUT)이 조절될 수 있다.

[0077] 본 발명의 실시예에 따른 게이트 구동부(140)는 코스 게이트 구동부(142) 및 파인 게이트 구동부(144)를 포함할 수 있다. 코스 게이트 구동부(142)는 코스 파워 트랜지스터(PTc)의 게이팅 신호인 코스 게이팅 신호(XGTc)를 출력할 수 있다. 파인 게이트 구동부(144)는 파인 파워 트랜지스터(PTf)의 게이팅 신호인 파인 게이팅 신호(XGTf)를 출력할 수 있다.

[0078] 이때, 코스 게이트 구동부(142)는 입력 전압(VIN) 및 네거티브 입력 전압(-VIN) 중 하나를 코스 게이팅 신호(XGTc)로 출력할 수 있다. 반면, 코스 게이트 구동부(142)에 비해 상대적으로 구동 능력이 작은 파인 파워 트랜지스터(PTf)를 포함하는 파인 게이트 구동부(144)는 입력 전압(VIN) 및 접지 전압(VSS) 중 하나를 파인 게이팅 신호(XGTf)로 출력할 수 있다.

[0079] 다만, 이에 한정되는 것은 아니다. 파인 게이트 구동부(144) 또한 낮은 입력 전압에 의한 파인 파워 트랜지스터(PTf)의 구동 능력이 문제되거나, 파인 게이트 구동부(144)에 대해 파인 파워 트랜지스터(PTf)에 네거티브 입력 전압(-VIN)을 인가하기 위한 추가적인 회로 로직에 의한 면적 증가가 허용될 수 있는 경우, 입력 전압(VIN) 및 네거티브 입력 전압(-VIN) 중 하나를 파인 게이팅 신호(XGTf)로 출력하는 구조로 구비될 수 있다.

[0080] 다음으로 도 11을 참조하면, 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 전압 회복부(150)를 더 포함할 수 있다.

[0081] 전압 회복부(150)는 출력 노드(OND)와 연결되어, 출력 전압(VOUT)이 제1 변동 범위 이상으로 변동되는 경우, 예를 들어, 제1 기준 전압(VRF1) 정도의 전압 레벨을 유지하던 출력 전압(VOUT)이 제2 기준 전압(VRF2) 이하로 전압 레벨이 강하되는 경우, 출력 전압(VOUT)의 변동폭을 제1 변동 범위보다 작은 제2 변동 범위로 조절할 수 있다.

[0082] 전술된 바와 같이, 다수의 파워 트랜지스터(PT)에 의해 출력 노드(OND)로 공급되는 구동 전류(Idrv)의 크기를 달리하여 출력 전압(VOUT)의 전압 레벨에 대한 변동을 최소화할 수 있다. 다만, 출력 노드(OND)에서의 전압 레벨 변동의 검출하고(전압 비교부(120)), 검출 결과(비교 신호(XCOM))에 대응되는 제어를 수행하여(디지털 제어부(130)), 대응되는 파워 트랜지스터(PT)에 대한 게이팅을 통해 구동 전류(Idrv)를 조절하는 것은, 본 발명의 실시예에 따른 LDO 레귤레이터(100)의 동작에 대한 클럭 신호에 동기되어 진행될 수 있다.

[0083] 따라서, 상기의 각 단계를 수행하여, 전압 강하가 발생된 출력 노드(OND)의 출력 전압(VOUT)을 요구되는 전압 레벨(예를 들어, 제1 기준 전압(VRF1))으로 회복시키기 위해 수 클럭의 시간이 소요될 수 있다. 반면, 출력 전압(VOUT)의 급격한 전압 강하는 출력 노드(OND)에 연결되는 로드에서의 오동작을 야기할 수 있다. 이에, 보다 빠른 출력 전압(VOUT)의 회복이 요구될 수 있다.

[0084] 본 발명의 실시예에 따른 LDO 레귤레이터(100)의 동작의 동기화를 제어하는 클럭 신호의 주파수를 높여 출력 전압(VOUT)의 회복에 소요되는 시간을 줄일 수 있다. 다만, 클럭 신호의 주파수를 높이는 경우, 소요되는 전력 또한 증가될 수 있다.

[0085] 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 클럭 신호의 주파수를 증가시키지 아니하면서도, 출력 전압(VOUT)의 회복 속도를 향상시킬 수 있는 전압 회복부(150)를 더 포함할 수 있다. 본 발명의 실시예에 따른 전압 회복부(150)는 파워 트랜지스터(pt)를 통해 구동 전류(Idrv)를 출력 노드(OND)에 공급하는 구조 및 동작보다 간단한 구조로 빠르게 회복 전류(Irec)를 추가로 출력 노드(OND)에 공급할 수 있다.

[0086] 나아가, 본 발명의 실시예에 따른 전압 회복부(150)는 낮은 입력 전압(VIN)으로도 출력 전압(VOUT)의 회복 동작

을 수행할 수 있어, 출력 노드(OND)에서의 과도응답 성능을 현저히 향상시킬 수 있다. 이하에서는 전압 회복부(150)의 구조 및 동작에 대하여 더 자세히 설명한다.

[0087] 도 12는 본 발명의 실시예에 따른 전압 회복부를 나타내는 도면이다.

[0088] 도 11 및 도 12를 참조하면, 본 발명의 실시예에 따른 전압 회복부(150)는 적어도 하나 이상의 보조 비교기(ACP) 및 적어도 하나 이상의 보조 파워 트랜지스터(PTa)를 포함할 수 있다.

[0089] 보조 비교기(ACP)는 각각, 적어도 하나 이상의 제2 기준 전압(VRF2) 중 대응되는 제2 기준 전압과 출력 전압(VOUT)을 비교하여, 입력 전압(VIN) 및 네거티브 입력 전압(-VIN) 중 하나를 보조 비교 신호(XCM)로 출력할 수 있다. 예를 들어, 출력 전압(VOUT)이 대응되는 제2 기준 전압보다 낮은 경우, 네거티브 입력 전압(-VIN)을 보조 비교 신호(XCM)로 출력할 수 있다.

[0090] 적어도 하나 이상의 보조 파워 트랜지스터(PTa)는 각각, 적어도 하나 이상의 보조 비교기(ACP) 중 대응되는 보조 비교기의 보조 비교 신호(XCM)에 응답하여, 출력 노드(OND)로 회복 전류(Irec)를 공급할 수 있다.

[0091] 도 12는 본 발명의 실시예에 따른 전압 회복부(150)가 3개의 보조 비교기(ACP) 및 3개의 보조 파워 트랜지스터(PTa)가 구비되는 예를 도시하고 있다.

[0092] 예를 들어, 제1 보조 비교기(ACP1)는 출력 전압(VOUT) 및 제21 기준 전압(VRF21)의 크기를 비교하여 제1 보조 비교 신호(XCM1)로 출력하고, 제2 보조 비교기(ACP2)는 출력 전압(VOUT) 및 제22 기준 전압(VRF22)의 크기를 비교하여 제2 보조 비교 신호(XCM2)로 출력하며, 제3 보조 비교기(ACP3)는 출력 전압(VOUT) 및 제23 기준 전압(VRF23)의 크기를 비교하여 제3 보조 비교 신호(XCM3)로 출력할 수 있다.

[0093] 제1 보조 파워 트랜지스터(PTa1)는 제1 보조 비교 신호(XCM1)에 응답하여 제1 회복 전류(Irec1)를 출력 노드(OND)에 공급하고, 제2 보조 파워 트랜지스터(PTa2)는 제2 보조 비교 신호(XCM2)에 응답하여 제2 회복 전류(Irec2)를 출력 노드(OND)에 공급하며, 제3 보조 파워 트랜지스터(PTa3)는 제3 보조 비교 신호(XCM3)에 응답하여 제3 회복 전류(Irec3)를 출력 노드(OND)에 공급할 수 있다.

[0094] 다만, 이에 한정되는 것은 아니다. 본 발명의 실시예에 따른 전압 회복부(150)는 요구되는 과도응답 성능에 대응되어 다양한 개수의 보조 비교기(ACP) 및 보조 파워 트랜지스터(PTa)를 포함할 수 있다.

[0095] 이때, 제21 기준 전압(VRF21) 내지 제23 기준 전압(VRF23)은 서로 상이할 수 있다. 예를 들어, 제1 기준 전압(VRF1)과 제21 기준 전압(VRF21)의 전압 차가 가장 작고, 제1 기준 전압(VRF1)과 제23 기준 전압(VRF23)의 전압 차가 가장 클 수 있다. 또는, 제1 보조 파워 트랜지스터(PTa1) 내지 제3 보조 파워 트랜지스터(PTa3)의 크기 또는 구동 능력이 서로 상이할 수 있다. 상기 예의 경우, 제1 보조 파워 트랜지스터(PTa1)의 크기가 가장 작고, 제3 보조 파워 트랜지스터(PTa3)의 크기가 가장 클 수 있다.

[0096] 이 경우, 출력 전압(VOUT)이 시간 순으로 제21 기준 전압(VRF21), 제22 기준 전압(VRF22) 및 제23 기준 전압(VRF23) 미만으로 전압 강하되면, 제1 보조 파워 트랜지스터(PTa1), 제2 보조 파워 트랜지스터(PTa2) 및 제3 보조 파워 트랜지스터(PTa3)가 순차적으로 턴-온 될 수 있다. 그후, 출력 전압(VOUT)의 전압 레벨이 시간 순으로 제23 기준 전압(VRF23), 제22 기준 전압(VRF22) 및 제21 기준 전압(VRF21) 이상으로 회복되면, 제3 보조 파워 트랜지스터(PTa3), 제2 보조 파워 트랜지스터(PTa2) 및 제1 보조 파워 트랜지스터(PTa1)가 순차적으로 턴-오프 될 수 있다.

[0097] 전술한 바와 같이, 제3 보조 파워 트랜지스터(PTa3)의 구동 능력이 상대적으로 커서, 출력 전압(VOUT)이 제23 기준 전압(VRF23)보다 낮아지는 급격한 전압 강하 상황에서 보다 큰 회복 전류(Irec3)를 출력 노드(OND)에 공급함으로써, 보다 빠르게 출력 전압(VOUT)을 회복시킬 수 있다. 이와 함께, 출력 전압(VOUT)의 전압 레벨이 회복되는 단계에서, 상대적으로 큰 회복 전류(Irec3)가 출력 노드(OND)로 공급되는 것을 차단하고, 그보다 작은 회복 전류(Irec1 또는 Irec2)를 통해 출력 전압(VOUT)을 회복시킬 수 있다.

[0098] 따라서, 본 발명의 실시예에 따른 전압 회복부(150)는 구동 전류(Idrv)의 공급보다 빠르게 회복 전류(Irec)를 출력 노드(OND)에 추가적인 공급함으로써, 출력 전압(VOUT)의 급격한 전압 강하에 따른 문제를 해결할 수 있다. 이와 함께, 본 발명의 실시예에 따른 전압 회복부(150)는 출력 전압(VOUT)의 전압 강하의 정도에 따라 최적의 회복 동작을 수행하면서도 출력 전압(VOUT)이 과도하게 높아지는 현상을 방지할 수 있다.

[0099] 도 13은 본 발명의 실시예에 따른 보조 비교기를 나타내는 도면이다.

[0100] 도 13을 참조하면, 본 발명의 실시예에 따른 보조 비교기(ACP)는 아날로그 비교기로써, 주파수 증가에 의한 전

력 손실이 야기되지 아니하면서도 낮은 입력 전압(VIN)에서도 빠른 속도로 비교 동작을 수행할 수 있다. 이를 위해, 본 발명의 실시예에 따른 각각의 보조 비교기(ACP)는 제1 보조 인버터(IV21) 내지 제4 보조 인버터(IV24)를 포함할 수 있다.

[0101] 제1 보조 인버터(IV21)는 제2 기준 전압(VRF2)과 네거티브 입력 전압(-VIN) 사이에 구비되는 제21 PMOS 트랜지스터(PT21) 및 제21 NMOS 트랜지스터(NT21)를 포함하고, 제21 노드(ND21)에서 입력단과 출력단이 연결될 수 있다. 따라서, 제21 노드(ND21)에 제2 기준 전압(VRF2)에 대응되는 전압이 인가될 수 있다. 제21 노드(ND21)에서의 전압 레벨을 일정하게 유지하기 위해 제2 기준 전압(VRF2)과 제21 노드(ND21) 사이에 디커플링 커패시터(Cd)가 더 구비될 수 있다.

[0102] 제2 보조 인버터(IV22)는 출력 전압(VOUT)과 네거티브 입력 전압(-VIN) 사이에 구비되는 제22 PMOS 트랜지스터(PT22) 및 제21 NMOS 트랜지스터(NT22)를 포함하고, 입력단이 제1 보조 인버터(IV21)의 출력단, 즉 제21 노드(ND21)에 연결될 수 있다. 제3 보조 인버터(IV23)는 출력 전압(VOUT)과 네거티브 입력 전압(-VIN) 사이에 구비되는 제23 PMOS 트랜지스터(PT23) 및 제23 NMOS 트랜지스터(NT23)를 포함하고, 입력단이 제22 노드(ND22)에서 제2 보조 인버터(IV22)의 출력단과 연결될 수 있다. 제4 보조 인버터(IV24)는 입력 전압(VIN)과 네거티브 입력 전압(-VIN) 사이에 구비되는 제24 PMOS 트랜지스터(PT24) 및 제24 NMOS 트랜지스터(NT24)를 포함하고, 입력단이 제23 노드(ND23)에서 제3 보조 인버터(IV23)의 출력단과 연결되고, 제24 노드(ND24)에 연결되는 출력단으로 보조 비교 신호(XCM)를 출력할 수 있다.

[0103] 도 12 및 도 13을 참조하면, 본 발명의 실시예에 따른 보조 비교기(ACP)는 상기 구조를 통해, 출력 전압(VOUT)이 제2 기준 전압(VRF2) 이하로 떨어지는 경우, 보조 비교 신호(XCM)로 네거티브 입력 전압(-VIN)으로 생성될 수 있다. 이 경우, 제22 NMOS 트랜지스터(NT22)에 의해 제22 노드(ND22)에 네거티브 입력 전압(-VIN)이 인가되고, 제23 PMOS 트랜지스터(PT23)에 의해 제23 노드(ND23)에 출력 전압(VOUT)이 인가되며, 제24 NMOS 트랜지스터(NT24)에 의해 제24 노드(ND24)에 네거티브 입력 전압(-VIN)이 인가될 수 있다.

[0104] 제24 노드(ND24)에서 네거티브 입력 전압(-VIN)이 보조 비교 신호(XCM)로 보조 파워 트랜지스터(PTa)에 전달될 수 있다. 보조 비교 신호(XCM), 즉 네거티브 입력 전압(-VIN)으로 게이팅 되는 보조 파워 트랜지스터(PTa)는 그 소스-게이트 전압의 절대값이 입력 전압(VIN)의 2배, 즉 2*VIN이 되어 그 구동 능력이 향상될 수 있다. 따라서, 보조 파워 트랜지스터(PTa)는 보다 빠르게 회복 전류(Irec)를 출력 노드(OND)로 공급할 수 있다.

[0105] 전술된 바와 같이, 제21 기준 전압(VRF21) 내지 제23 기준 전압(VRF23)이 서로 상이한 경우, 각 보조 비교기(ACP)의 제1 보조 인버터(IV21)에 인가되는 제2 기준 전압(VRF2)은 제21 기준 전압(VRF21) 내지 제23 기준 전압(VRF23) 중 대응되는 기준 전압일 수 있다. 예를 들어, 제1 보조 비교기(ACP1)의 제1 보조 인버터(IV21)에는 제21 기준 전압(VRF21)이 인가되고, 제2 보조 비교기(ACP2)의 제1 보조 인버터(IV21)에는 제22 기준 전압(VRF22)이 인가되며, 제3 보조 비교기(ACP3)의 제1 보조 인버터(IV21)에는 제23 기준 전압(VRF23)이 인가될 수 있다.

[0106] 도 14는 본 발명의 실시예에 따른 전압 회복부를 나타내는 도면이다.

[0107] 도 14를 참조하면, 도 14의 전압 회복부(150)는 도 12에서 설명된 보조 비교기(ACP) 및 보조 파워 트랜지스터(PTa)를 포함할 수 있다. 나아가, 도 14의 전압 회복부(150)는 하이 패스 필터(High Pass Filter, HPF)를 더 포함할 수 있다.

[0108] 하이 패스 필터(HPF)의 입력단은 출력 노드(OND)와 연결될 수 있다. 하이 패스 필터(HPF)의 출력단은 네거티브 입력 전압(-VIN)이 인가되는 게이트 구동부(140)의 임의의 노드, 예를 들어 제3 노드(도 7의 ND3)에 연결될 수 있다.

[0109] 하이 패스 필터(HPF)의 출력단은 게이트 구동부(140)의 제3 노드(도 7의 ND3)에 연결되어, 파워 트랜지스터(PT)로 인가되는 게이팅 신호(XGT)의 전압 레벨을 조절할 수 있다. 따라서, 하이 패스 필터(HPF)에 의해 AC 커플링(AC coupling) 됨에 따라, 게이팅 신호(XGT)의 전압 레벨을 일정 시간 동안 일정 정도 더 낮아지게 할 수 있다. 이때, 하이 패스 필터(HPF)는 RC 하이 패스 필터로, 출력 전압(VOUT)의 변동에 따른 고주파수 영역을 필터링할 수 있다.

[0110] 다시 말해, 파워 트랜지스터(PT)의 소스-게이트 전압의 절대값이 출력 전압(VOUT)의 전압 강하가 일어나는 시점으로부터 일정 시간 동안, 네거티브 입력 전압(-VIN)보다 일정 정도 더 커질 수 있다. 따라서, 보다 큰 구동 전류(Idrv)가 출력 노드(OND)에 공급될 수 있다.

[0111] 이때, 하이 패스 필터(HPF)의 동작은, 파워 트랜지스터(PT)의 구동을 위한 전압 비교부(120) 및 디지털 제어부

(130)의 동작이 요구되지 아니하므로, 보다 빠르게 출력 전압(VOUT)의 회복이 이루어질 수 있다.

[0112] 본 발명의 실시예에 따른 LDO 레귤레이터(100)에 의하면, 도 14와 달리, 전압 회복부(150)는 요구되는 과도응답, 전력 또는 면적 등에 근거하여, 보조 비교기(ACP) 및 보조 파워 트랜지스터(PTa)를 구비하지 아니하고, 하이 패스 필터(HPF)만을 구비할 수도 있다.

[0113] 도 15는 본 발명의 실시예에 따른 전압 회복부의 기능을 설명하기 위한 도면이다.

[0114] 도 12 내지 도 15를 참조하면, 출력 노드(OND)에 연결되는 로드의 로드 전압이 급격히 커지면, 로드 커패시터(미도시)에 충전된 전하가 먼저 로드로 제공되기에 출력 전압(Vout)도 급격히 떨어질 수 있다. 출력 전압(VOUT)의 전압 강하가 제1 변동 범위 이상으로 변동되는 경우, 예를 들어 출력 전압(VOUT)이 제1 기준 전압(VRF1)의 전압 레벨에서 제2 기준 전압(VRF2) 이하로 강하되는 때에, 파워 트랜지스터(PT)만이 동작하는 경우가 그래프 ①로 도시된다.

[0115] 파워 트랜지스터(PT)의 구동과 함께 전압 회복부(150)의 보조 비교기(ACP), 보조 파워 트랜지스터(PTa) 및 하이 패스 필터(HPF)가 동작하는 경우(그래프 ②), 파워 트랜지스터(PT)만이 동작하는 경우(그래프 ①)보다 빠르게 전압 레벨이 회복될 수 있다. 나아가, 보조 비교기(ACP) 및 보조 파워 트랜지스터(PTa)의 동작이 없는 경우, 즉 파워 트랜지스터(PT)의 구동과 함께 하이 패스 필터(HPF)가 동작하는 경우(그래프 ③), 파워 트랜지스터(PT)만이 동작하는 경우(그래프 ①)보다는 빠르고, 파워 트랜지스터(PT), 보조 비교기(ACP), 보조 파워 트랜지스터(PTa) 및 하이 패스 필터(HPF)가 모두 동작하는 경우(그래프 ②)보다는 느리게 전압 레벨이 회복될 수 있다.

[0116] 각 그래프에 대해 더 자세히 설명한다. 이때, 도 14의 LDO 레귤레이터(100)가 클럭 신호(CKL)에 동기되어 동작하고, 도 10과 같이 코스 루프 및 파인 루프를 모두 포함하는 것이 전제된다.

[0117] 먼저 그래프 ①의 실시예에서, 출력 전압(VOUT)의 전압 강하가 시작되어 제1 기준 전압(VRF1) 이하가 되는 시점 t1으로부터, 전압 비교부(120)의 비교 신호(XCOM)에 근거하여 파인 루프에서 코스 루프로 변경하는 선택 신호(XSEL)가 활성화되는데까지 지연이 발생할 수 있다. 도 15는 클럭 신호(CKL)의 시점 t1 이후의 첫 번째 클럭이 논리 하이로 천이되는 시점 t2에서 선택 신호(XSEL)가 활성화되는 예를 도시하고 있다. 이때, 출력 전압(VOUT)과 제11 기준 전압(VRF11)의 차이에 근거하여 파인 루프가 활성화되고, 출력 전압(VOUT)이 제12 기준 전압(VRF12)보다 낮으면 코스 루프가 활성화될 수 있다.

[0118] 선택 신호(XSEL)가 활성화되고 대응되는 파워 트랜지스터(PT)가 게이팅 신호(XGT)에 의해 게이팅 되기까지, 추가적인 지연이 발생할 수 있다. 선택 신호(XSEL)에 의해 코스 로프가 활성화되면, 전술된 바와 같이, 제어 신호(XCON)는 턴-온 시키고자 하는 파워 트랜지스터(PT)에 대한 식별 정보를 포함하여 게이트 구동부(140)에 인가될 수 있다.

[0119] 도 15는 시점 t1 이전에 24개의 파워 트랜지스터(PT)가 턴-온 된 상태에서, 시점 t2으로부터 한 클럭 지연된 시점 t4에 25번째 파워 트랜지스터가 턴-온 되는 예를 도시하고 있다. 시점 t4 이후에도 출력 전압(VOUT)이 제12 기준 전압(VRF12)보다 낮으므로 클럭 신호(CLK)의 연속하는 다음 클럭인 시점 t4-1에서 추가적으로 26번째 파워 트랜지스터가 턴-온 될 수 있다.

[0120] 참고로, 도 15에서 그래프 ①과 관련하여 게이팅 신호(XGT)는 논리 로우("L")로 천이되는 시점만이 고려된 것이고, 게이팅 신호(XGT)의 전압 레벨은 그래프 ② 또는 ③의 ac 커플링이 반영된 상태를 도시하고 있다. 게이팅 신호(XGT)의 ac 커플링의 영향에 대한 설명은 후술된다.

[0121] 두 개의 파워 트랜지스터(PT)가 추가로 턴-온 되어 출력 노드(OND)로 공급되는 구동 전류(Idrv)가 증가함에 따라, 시점 t6에서 출력 전압(VOUT)의 전압 레벨이 상승하기 시작하여, 시점 t12에 이르러 제11 기준 전압(VRF11)과 제12 기준 전압(VRF12) 사이의 전압 레벨로 복귀될 수 있다.

[0122] 다음으로 그래프 ②의 실시예에서, 보조 비교기(ACP) 및 보조 파워 트랜지스터(PTa)에 의해, 시점 t4에 25번째 파워 트랜지스터가 턴-온 되기 전에 회복 전류(Irec)가 출력 노드(OND)에 공급될 수 있다. 예를 들어, 출력 전압(VOUT)이 제21 기준 전압(VRF21)으로 떨어지는 시점 t3에서 논리 로우("L")로 천이되는 제1 보조 비교 신호(XCM1)에 의해 제1 보조 파워 트랜지스터(PTa1)가 턴-온 되어, 제1 회복 전류(Irec1)가 출력 노드(OND)에 공급될 수 있다.

[0123] 이때, 출력 전압(VOUT)의 전압 강하에 따라, 시점 t1 전후에서 하이 패스 필터(HPF)에서 전술된 ac 커플링이 수행되어 게이팅 신호(XGT)가 네거티브 입력 전압(-VIN)보다 일정 정도 더 낮게 설정될 수 있다. 즉, 25번째 파워 트랜지스터가 턴-온 되는 시점 t4 이전에도 ac 커플링의 영향으로 이미 턴-온 상태인 24개의 파워 트랜지스터에

대한 게이팅 신호(XGT)의 전압 레벨이 낮아지게 된다. 따라서, 파워 트랜지스터(PT)의 소스-게이트 전압의 절대값이 커져 더 큰 구동 전류(Idrv)가 출력 노드(OND)에 공급될 수 있다. 시점 t4 이후 턴-온 되는 25번째 및 26번째 파워 트랜지스터의 경우도 마찬가지이다.

[0124] 시점 t1에서 시점 t6 구간에서, 그래프 ①의 실시예와 대비하여, 제1 회복 전류(Irec1)에 의해 출력 전압(VOUT)의 전압 변동폭이 줄어드는 것을 확인할 수 있다.

[0125] 출력 전압(VOUT)이 제22 기준 전압(VRF22)으로 떨어지는 시점 t5에서 논리 로우("L")로 천이되는 제2 보조 비교 신호(XCM2)에 의해 제2 보조 파워 트랜지스터(PTa2)도 턴-온 되어, 제2 회복 전류(Irec2)가 출력 노드(OND)에 공급할 수 있다. 이때, 제1 보조 파워 트랜지스터(PTa1)는 턴-온 상태를 유지한다. 시점 t1에서 시점 t8까지, 제1 회복 전류(Irec1) 및 제2 회복 전류(Irec2)에 의해 출력 전압(VOUT)의 전압 변동폭이 줄어드는 것을 확인할 수 있다.

[0126] 마찬가지로, 출력 전압(VOUT)이 제23 기준 전압(VRF23)으로 떨어지는 시점 t8에서 논리 로우("L")로 천이되는 제3 보조 비교 신호(XCM3)에 의해 제3 보조 파워 트랜지스터(PTa2)도 턴-온 되어, 제3 회복 전류(Irec3)가 출력 노드(OND)에 공급할 수 있다. 이때, 제1 보조 파워 트랜지스터(PTa1) 및 제2 보조 파워 트랜지스터(PTa2)는 턴-온 상태를 유지한다.

[0127] 제1 회복 전류(Irec1) 내지 제3 회복 전류(Irec3)에 의해, 출력 전압(VOUT)은 시점 t8부터 상승하기 시작한다. 출력 전압(VOUT)의 상승에 따라 순차적으로 시점 t9, t10 및 t11에서 각각, 제3 보조 비교 신호(XCM1), 제2 보조 비교 신호(XCM2) 및 제1 보조 비교 신호(XCM3)가 논리 하이("H")로 천이될 수 있다. 이에, 순차적으로 시점 t9, t10 및 t11에서 각각, 제3 회복 전류(Irec3), 제2 회복 전류(Irec2) 및 제1 회복 전류(Irec1)의 출력 노드(OND)로의 공급이 중단될 수 있다. 시점 t12에서 출력 전압(VOUT)이 제11 기준 전압(VRF11)과 제12 기준 전압(VRF12) 사이의 전압 레벨로 복귀되면, 파워 트랜지스터(PT), 및 제1 보조 파워 트랜지스터(PTa1) 내지 제3 보조 파워 트랜지스터(PTa3)가 모두 턴-오프 될 수 있다.

[0128] 도 15는 그래프 ②의 실시예가 제1 보조 파워 트랜지스터(PTa1) 내지 제3 보조 파워 트랜지스터(PTa3)의 스위칭 시점에서 약간의 리플(ripple) 현상이 발생하는 것으로 도시하였으나, 회로 설계 또는 동작 제어의 최적화 등을 통해 해당 리플을 줄이거나 제거할 수도 있다.

[0129] 다음으로, 전압 회복부(150)가 하이 패스 필터(HPF)만으로 동작하는 그래프 ③의 실시예에서, 출력 전압(VOUT)이 제1 기준 전압(VRF1) 이하로 떨어지는 시점 t1에서부터 ac 커플링을 통해 게이팅 신호(XGT)가 네거티브 입력 전압(-VIN)보다 일정 정도 낮게 설정됨으로써, 파워 트랜지스터(PT)의 구동 능력을 향상시킬 수 있다. 이 경우, 회복 전류(Irec)에 의한 변동폭 완화의 효과는 없더라도, 그래프 ①과 대비하여 출력 전압(VOUT)의 변동폭이 줄어드는 것을 확인할 수 있다.

[0130] 이렇듯, 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 출력 전압(VOUT)이 급격히 변동되는 때에 파워 트랜지스터(PT)에 의한 구동 전류(Idrv) 이외에 회복 전류(Irec)를 추가로 출력 노드(OND)에 공급함으로써, 빠르게 출력 전압(VOUT)을 요구되는 전압 레벨로 회복될 수 있다.

[0131] 도 16 은 본 발명의 실시예에 따른 LDO 레귤레이터를 나타내는 도면이다.

[0132] 도 16을 참조하면, 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 전압 회복부(150)로 네거티브 입력 전압(-VIN)을 공급하는 네거티브 전압 공급부(160)를 더 포함할 수 있다.

[0133] 네거티브 전압 공급부(160)의 구조는 이하의 누설 전류 보상부(170)와 동일하거나 유사할 수 있다. 이하에서 누설 전류 보상부(170)를 먼저 설명한 후, 네거티브 전압 공급부(160)에 대해 더 자세히 기술한다.

[0134] 도 17 은 본 발명의 실시예에 따른 LDO 레귤레이터를 나타내는 도면이고, 도 18은 본 발명의 실시예에 따른 누설 전류 보상부를 나타내는 도면이다.

[0135] 도 17 및 도 18을 참조하면, 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 누설 전류 보상부(170)를 더 포함할 수 있다. 누설 전류 보상부(170)는 제1 클럭 신호(CLK1)에 응답하여, 게이트 구동부(140)에 보상 전압(VA)을 인가할 수 있다. 예를 들어, 누설 전류 보상부(170)은 도 7의 제3 노드(ND3)로 네거티브 입력 전압(-VIN)에 대한 누설 전류를 보상하는 보상 전압(VA)을 인가할 수 있다.

[0136] 누설 전류 보상부(170)는 제1 보상 인버터(IV31) 내지 제3 보상 인버터(IV33), 제2 커패시터(C2) 및 제3 커패시터(C3), 제31 트랜지스터(TR31) 및 제32 트랜지스터(TR32), 및 제1 저항(R1)을 포함할 수 있다.

[0137] 제1 보상 인버터(IV31)는 입력단에 제1 클럭 신호(CLK1)가 인가되고 입력 전압(VIN)과 접지 전압 사이에 구비되며 출력단이 제31 노드(ND31)에 연결될 수 있다. 제2 보상 인버터(IV32)는 입력단에 제1 클럭 신호(CLK1)가 인가되고 입력 전압(VIN)과 제32 노드(ND32) 사이에 구비될 수 있다. 제3 보상 인버터(IV33)는 입력단이 제32 노드(ND32)와 연결되고 입력 전압(VIN)과 보상 노드(CND) 사이에 구비되며 출력단이 제34 노드(ND34)에 연결될 수 있다.

[0138] 제1 클럭 신호(CLK1)는 도 10의 파인 파워 트랜지스터(PTf)가 포함되는 파인 루프의 동작 클럭일 수 있다. 또는 제1 클럭 신호(CLK1)는 도 10의 코스 파워 트랜지스터(PTc)가 포함되는 코스 루프의 동작 클럭보다 낮은 주파수의 클럭 신호일 수 있다.

[0139] 제2 커패시터(C2)는 제31 노드(ND31) 및 제33 노드(ND33) 사이에 연결될 수 있다. 제3 커패시터(C3)는 보상 노드(CND) 및 접지 전압 사이에 연결될 수 있다.

[0140] 제31 트랜지스터(TR31)는 게이트가 제32 노드(ND32)에 연결되고 제33 노드(ND33)와 접지 전압 사이에 연결될 수 있다. 제32 트랜지스터(TR32)는 게이트가 제34 노드(ND34)에 연결되고 입력 전압(VIN)과 보상 노드(CND) 사이에 구비될 수 있다. 제31 트랜지스터(TR31) 및 제32 트랜지스터(TR32)는 NMOS 트랜지스터로 구비될 수 있다.

[0141] 제1 저항(R1)은 제33 노드(ND33) 및 제35 노드(ND35) 사이에 구비될 수 있다. 제1 저항(R1)은 누설 전류 보상부(170)가 제1 클럭 신호(CLK1)에 따라 다음의 도 19 및 도 20의 동작을 반복하는 중에 페이즈(phase)의 스위칭에 따른 영향을 줄이기 위해 선택적으로 구비될 수 있다. 예를 들어, 누설 전류 보상부(170)의 다음의 도 19의 페이즈(이하 "페이즈 1"이라 함)에서 도 20의 페이즈(이하 "페이즈 1"이라 함)로 스위칭되거나, 페이즈 2에서 페이즈 1로 스위칭 되는 때에 야기될 수 있는 일시적인 급격한 전류 변화를 완화하기 위해 제1 저항(R1)이 구비될 수 있다. 이때, 제1 저항(R1)은 제1 저항(R1)에 의한 전압 강하의 영향을 최소화할 수 있는 작은 크기로 구비될 수 있다.

[0142] 도 19 및 도 20은 각각, 본 발명의 실시예에 따른 누설 전류 보상부의 동작을 설명하기 위한 도면이다.

[0143] 먼저 도 19를 참조하면, 본 발명의 실시예에 따른 누설 전류 보상부(170)는 제1 클럭 신호(CLK1)가 논리 로우("L")인 구간, 즉 페이즈 1에서, 네거티브 입력 전압(-VIN)을 생성할 수 있다.

[0144] 예를 들어, 제1 클럭 신호(CLK1)가 입력단으로 인가되는 제1 보상 인버터(IV31) 및 제2 보상 인버터(IV32)의 제31 PMOS 트랜지스터(PT31) 및 제32 PMOS 트랜지스터(PT32)는 턴-온 되고, 제31 NMOS 트랜지스터(NT31) 및 제32 NMOS 트랜지스터(NT32)는 턴-오프 된다. 따라서, 제31 노드(ND31) 및 제32 노드(ND32)에는 입력 전압(VIN)이 인가된다.

[0145] 제32 노드(ND32)의 입력 전압(VIN)에 의해 NMOS 트랜지스터인 제31 트랜지스터(TR31)는 턴-온 되어, 제33 노드(ND33)에는 접지 전압이 인가된다. 따라서, 제31 노드(ND31) 및 제33 노드(ND33) 사이에 연결되는 제2 커패시터(C2)는 입력 전압(VIN)으로 충전된다.

[0146] 제32 노드(ND32)의 입력 전압(VIN)에 의해 제3 보상 인버터(IV33)의 제33 PMOS 트랜지스터(PT33)는 턴-오프 되고 제33 NMOS 트랜지스터(NT33)는 턴-온 된다. 따라서, 제34 노드(ND34)의 전압에 의해 게이팅 되는 NMOS 트랜지스터인 제32 트랜지스터(TR32)는 턴-오프 된다.

[0147] 누설 전류 보상부(170)가 안정화된 상태에서, 제1 클럭 신호(CLK1)가 논리 로우("L")인 구간에서, 제1 클럭 신호(CLK1)의 논리 하이("H") 구간에서 제3 커패시터(C3)에 충전된 네거티브 입력 전압(-VIN)이 보상 전압(VA)으로 출력될 수 있다.

[0148] 다음으로 도 20을 참조하면, 본 발명의 실시예에 따른 누설 전류 보상부(170)는 제1 클럭 신호(CLK1)가 논리 하이("H")인 구간에서, 즉 페이즈 2에서, 제1 클럭 신호(CLK1)가 논리 로우("L")인 구간에서 생성되는 네거티브 입력 전압(-VIN)으로, 보상 노드(CND)에서의 전압 레벨, 즉 보상 전압(VA)의 전압 레벨을 유지할 수 있다,

[0149] 예를 들어, 제1 클럭 신호(CLK1)가 입력단으로 인가되는 제1 보상 인버터(IV31) 및 제2 보상 인버터(IV32)의 제31 PMOS 트랜지스터(PT31) 및 제32 PMOS 트랜지스터(PT32)는 턴-오프 되고, 제31 NMOS 트랜지스터(NT31) 및 제32 NMOS 트랜지스터(NT32)는 턴-온 된다. 그리고, 제32 노드(ND32)의 전압에 의해 게이팅 되는 NMOS 트랜지스터인 제31 트랜지스터(TR31) 및 제3 보상 인버터(IV33)의 제31 NMOS 트랜지스터(NT31)는 턴-온 된다. 제34 노드(ND34)의 전압에 의해 게이팅 되는 NMOS 트랜지스터인 제32 트랜지스터(TR32) 또한 턴-온 된다.

[0150] 따라서, 네거티브 입력 전압(-VIN)은 제3 커패시터(C3)에 충전된다. 전술된 바와 같이, 제1 저항(R1)에 의한 전

압 강하는 미비할 수 있다.

[0151] 다시 도 17 및 도 18을 참조하면, 임의의 주파수를 갖는 제1 클럭 신호(CKL1)에 동기되어 페이즈 1 및 페이즈 2의 동작이 반복됨으로써, 보상 전압(VA)은 페이즈 1 및 페이즈 2의 스위칭에 따란 약간의 리플을 갖는 네거티브 입력 전압(-VIN)으로 게이트 구동부(140)에 인가될 수 있다. 전술된 바와 같이, 보상 전압(VA)은 도 7의 게이트 구동부(140)의 제3 노드(ND3)로 인가되어, 시간이 지남에 따라 야기되는 누설 전류로 인한 네거티브 입력 전압(-VIN)의 전압 변동이 보상될 수 있다.

[0152] 따라서, 본 발명의 실시예에 따른 LDO 레귤레이터(100)에 의하면, 충분한 네거티브 입력 전압(-VIN)에 의해 파워 트랜지스터(PT)가 요구되는 수준의 충분한 전류 구동 능력으로 동작할 수 있다.

[0153] 도 16 및 도 18을 참조하면, 전술된 바와 같이, 도 16의 네거티브 전압 공급부(160)는 상기의 누설 전류 보상부(170)와 동일한 구조로 동일한 동작을 수행할 수 있다. 네거티브 전압 공급부(160)의 출력 노드(누설 전류 보상부(170)의 보상 노드(CND)에 대응)는 도 13의 보상 비교기(ACP)에 연결될 수 있다.

[0154] 이때, 도 16의 네거티브 전압 공급부(160)는 제1 클럭 신호(CLK1)보다 빠른 클럭 신호로 동작하고, 제2 커패시터(C2) 및 제3 커패시터(C3)보다 큰 커패시터를 구비할 수 있다. 예를 들어, 누설 전류 보상부(170)의 제1 클럭 신호(CLK1)가 1MHz라면, 네거티브 전압 공급부(160)의 경우 10MHz일 수 있다. 또한, 누설 전류 보상부(170)의 제2 커패시터(C2) 및 제3 커패시터(C3)가 각각 20pF라면, 네거티브 전압 공급부(160)의 경우 각각 20pF일 수 있다.

[0155] 이는 누설 전류 보상부(170)의 경우 게이트 구동부에서 누설 전류에 대한 보상인 관계로 상대적으로 전류의 변동폭이 크지 않은 반면, 네거티브 전압 공급부(160)의 경우 도 13과 같이 보상 비교기(ACP)의 동작에 사용되는 전류의 폭가 상대적으로 큰 폭으로 변동되기 때문일 수 있다.

[0156] 도 21 내지 도 23은 각각, 본 발명의 실시예에 따른 LDO 레귤레이터를 나타내는 도면이다.

[0157] 먼저 도 21을 참조하면, 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 다수의 코스 파워 트랜지스터(PTc), 다수의 파인 파워 트랜지스터(PTf) 및 LDO 제어기(LCT)를 포함할 수 있다.

[0158] 코스 파워 트랜지스터(PTc) 및 파인 파워 트랜지스터(PTf)는 각각, 입력 노드(IND) 및 출력 노드(OND) 사이에 연결될 수 있다. 코스 파워 트랜지스터(PTc)에 의해 제1 전압 범위로 출력 노드(OND)의 출력 전압(VOUT)이 조절될 수 있다. 파인 파워 트랜지스터(PTf)에 의해 제1 전압 범위보다 작은 제2 전압 범위로 출력 전압(VOUT)이 조절될 수 있다. 코스 파워 트랜지스터(PTc) 및 파인 파워 트랜지스터(PTf)는 각각 제1 구동 전류(Idrv1) 및 제2 구동 전류(Idrv2)를 출력 노드(OND)로 공급할 수 있다.

[0159] LDO 제어기(LCT)는 코스 파워 트랜지스터(PTc) 또는 다수의 파인 파워 트랜지스터(PTf)에 입력 전압(VIN) 및 네거티브 입력 전압(-VIN) 중 하나의 전압을 인가할 수 있다. 코스 파워 트랜지스터(PTc) 또는 다수의 파인 파워 트랜지스터(PTf)는 입력 전압(VIN) 및 네거티브 입력 전압(-VIN) 중 하나의 전압에 의해 게이팅 될 수 있다.

[0160] LDO 제어기(LCT)는 도 10의 전압 비교부(120), 디지털 제어부(130) 및 게이트 구동부(140)와 같거나 상이할 수 있다. 예를 들어, LDO 제어기(LCT)는 도 10 등의 게이트 구동부(140)와 달리, 네거티브 입력 전압(-VIN)을 직접 생성하지 아니하고, 외부 또는 내부의 다른 로직으로부터 생성하여 코스 파워 트랜지스터(PTc) 또는 파인 파워 트랜지스터(PTf)에 인가할 수 있다.

[0161] 다음으로 도 22를 참조하면, 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 코스 루프(CLP), 파인 루프(FLP) 및 루프 선택부(180)를 포함할 수 있다. 이때, 루프(loop)의 의미 상, 루프 선택부(180)의 전부 또는 일부가 코스 루프(CLP) 또는 파인 루프(FLP)에 포함되어야 하는 것으로 이해될 수 있을 것이다. 다만, 설명의 편의를 위해, 코스 루프(CLP) 및 파인 루프(FLP)에 공통되는 루프 선택부(180)는 코스 루프(CLP) 및 파인 루프(FLP)와 별개의 구성으로 기술된다.

[0162] 코스 루프(CLP)는 입력 노드(IND) 및 출력 노드(OND) 사이에 연결되는 다수의 코스 파워 트랜지스터(PTc)와 함께, 비교 신호(XCOM)에 응답하여 제1 제어 신호(XCON1)를 생성하는 제1 쉬프트 레지스터(SR1), 및 제1 제어 신호(XCON1)에 응답하여 코스 파워 트랜지스터(PTc)의 게이팅 전압을 인가하는 제1 네거티브 전압 게이트 드라이버(Negative Voltage Gate Driver, NVGD1)를 포함할 수 있다. 파인 루프(FLP)는 입력 노드(IND) 및 출력 노드(OND) 사이에 연결되는 다수의 파인 파워 트랜지스터(PTf)와 함께, 비교 신호(XCOM)에 응답하여 제2 제어 신호(XCON2)를 생성하는 제2 쉬프트 레지스터(SR2), 및 제2 제어 신호(XCON2)에 응답하여 파인 파워 트랜지스터

(PTf)의 게이팅 전압을 인가하는 제2 네거티브 전압 게이트 드라이버(NVGD2)를 포함할 수 있다.

[0163] 제1 네거티브 전압 게이트 드라이버(NVGD1) 및 제2 네거티브 전압 게이트 드라이버(NVGD2)는 각각, 도 7의 코스 게이트 구동부(142) 및 파인 게이트 구동부(144)와 같을 수 있다.

[0164] 루프 선택부(180)는 비교기(CMP), 로드 디텍터(LD) 및 모드 선택부(MS)를 포함하여, 코스 루프(CLP) 및 파인 루프(FLP) 중 하나를 선택 또는 활성화할 수 있다.

[0165] 비교기(CMP)는 도 1 등의 전압 비교부(120)에 대응될 수 있다. 비교기(CMP)는 코스 루프(CLP)의 동작 클럭인 코스 클럭 신호(CKLc)에 동기되어 동작할 수 있다.

[0166] 로드 디텍터(LD)는 출력 노드(OND)의 전압 레벨을 제11 기준 전압(VRF11) 및 제12 기준 전압(VRF12)에 근거하여 선택 신호(XSEL)를 출력할 수 있다. 제11 기준 전압(VRF11) 및 제12 기준 전압(VRF12)는 도 15의 제11 기준 전압(VRF11) 및 제12 기준 전압(VRF12)과 같을 수 있다.

[0167] 모드 선택부(MS)는 선택 신호(XSEL)에 대응하여 코스 루프(CLP) 및 파인 루프(FLP) 중 하나의 활성화를 지시하는 모드 신호(XMOD)를 생성할 수 있다. 모드 선택부(MS)는 코스 클럭 신호(CKLc)에 동기되어 제1 쉬프트 레지스터(SR1)로 모드 신호(XMOD)를 전달하거나, 파인 루프(FLP)의 동작 클럭인 파인 클럭 신호(CKLf)에 동기되어 제1 쉬프트 레지스터(SR1)로 모드 신호(XMOD)를 전달할 수 있다. 코스 클럭 신호(CKLc)의 주기가 파인 클럭 신호(CKLf)보다 빠를 수 있다. 예를 들어, 코스 클럭 신호(CKLc)가 10MHz라면, 파인 클럭 신호(CKLf)가 1MHz일 수 있다.

[0168] 제1 네거티브 전압 게이트 드라이버(NVGD1) 및 제2 네거티브 전압 게이트 드라이버(NVGD2), 그리고 루프 선택부(180)는 도 21의 LDO 제어기(LCT)에 포함될 수 있다.

[0169] 다음으로 도 23을 참조하면, 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 전압 회복 루프(VLP)를 더 포함할 수 있다. 전압 회복 루프(VLP)는 적응형 일시적 복구 패스(Adaptive Transient Recovery Path, ATRP) 및/또는 하이 패스 필터(HPF)를 포함할 수 있다.

[0170] 적응형 일시적 복구 패스(ATRP)는 출력 노드(OND)에서의 출력 전압(VOUT)이 제1 변동 범위 이상으로 변동되는 경우 출력 노드(OND)에 회복 전류를 공급하여 출력 전압(VOUT)의 변동폭을 제1 변동 범위보다 작은 제2 변동 범위로 조절할 수 있다. 도 23의 적응형 일시적 복구 패스(ATRP)의 구조 및 동작은 도 12의 전압 회복부(150)와 같거나 유사할 수 있다.

[0171] 하이 패스 필터(HPF)는 입력단이 출력 노드(OND)와 연결되고, 출력단이 제1 네거티브 전압 게이트 드라이버(NVGD1) 및/또는 제2 네거티브 전압 게이트 드라이버(NVGD2)의 제3 노드(도 7의 ND3)와 연결되어, 대응되는 파워 트랜지스터로 인가되는 네거티브 입력 전압(-VIN)의 전압 레벨을 더 낮출 수 있다. 도 23의 하이 패스 필터(HPF)의 구조 및 동작은 도 14의 하이 패스 필터(HPF)와 같거나 유사할 수 있다.

[0172] 나아가, 본 발명의 실시예에 따른 LDO 레귤레이터(100)는 적응형 일시적 복구 패스(ATRP)에 네거티브 입력 전압(-VIN)을 공급하거나 코스 루프(CLP) 또는 파인 루프(FLP)에서 코스 파워 트랜지스터(PTc) 또는 파인 파워 트랜지스터(PTf)의 게이트로 인가되는 네거티브 입력 전압(-VIN)의 전압 레벨을 유지시키는 듀얼 네거티브 전압 탱크(Dual Negative Voltage Tank, DNVT)를 더 포함할 수 있다. 듀얼 네거티브 전압 탱크(DNVT)의 구조 및 동작은 도 16의 네거티브 전압 공급부(160) 및 도 17의 누설 전류 보상부(170)를 포함하는 구조 및 동작과 동일하거나 유사할 수 있다.

[0173] 전술한 바와 같이, 제1 네거티브 전압 게이트 드라이버(NVGD1) 및 제2 네거티브 전압 게이트 드라이버(NVGD2)는 각각 코스 파워 트랜지스터(PTc) 및 파인 파워 트랜지스터의 개수에 대응되는 개수로 구비될 수 있다. 이때, 제1 네거티브 전압 게이트 드라이버(NVGD1) 및 제2 네거티브 전압 게이트 드라이버(NVGD2) 중, 네거티브 입력 전압(-VIN)에 대한 누설 전류의 보상 동작이 요구되는 네거티브 게이트 드라이버와 듀얼 네거티브 전압 탱크(DNVT)를 전기적으로 보상 스위칭부(CSU)를 더 포함할 수 있다.

[0174] 보상 스위칭부(CSU)는 제1 네거티브 전압 게이트 드라이버(NVGD1) 및 제2 네거티브 전압 게이트 드라이버(NVGD2)의 개수에 대응되는 개수의 스위치(미도시)를 포함할 수 있다. 각각 스위치는 대응되는 네거티브 전압 게이트 드라이버의 제3 노드(도 7의 ND3)와 듀얼 네거티브 전압 탱크(DNVT)의 보상 노드(도 18의 CND)를 전기적으로 연결시키거나 전기적으로 개방시킬 수 있다. 따라서, 불필요한 전력 낭비가 방지될 수 있다. 각각의 스위치는 대응되는 네거티브 전압 게이트 드라이버의 전압 레벨에 의해 스위칭 될 수 있다.

[0175] 보상 스위칭부(CSU)가 구비되는 경우, 하이 패스 필터(HPF)의 출력단은 제1 네거티브 전압 게이트 드라이버(NVGD1) 및 제2 네거티브 전압 게이트 드라이버(NVGD2)의 제3 노드(도 7의 ND3)가 아닌, 듀얼 네거티브 전압 탱크(DNVT)의 보상 노드(도 18의 CND)와 연결되는 보상 스위칭부(CSU)의 임의의 노드(미도시)에 연결될 수 있다. 따라서, 하이 패스 필터(HPF)의 출력단이 다수의 네거티브 전압 게이트 드라이버에 연결되는 경우와 대비하여, 배선 복잡도가 줄어들 수 있다.

[0176] 도 24는 본 발명의 실시예에 따른 반도체 장치를 나타내는 도면이다.

[0177] 도 24를 참조하면, 본 발명의 실시예에 따른 반도체 장치(1000)는 전술된 LDO 레귤레이터(100)를 포함한다. 반도체 장치(1000)는 LDO 레귤레이터(100)에 의해 일정한 전압으로 동작하는 장치일 수 있고, 이때 LDO 레귤레이터(100)에 전술된 입력 전압(VIN)을 인가하는 PMIC(전원관리 집적회로)가 더 포함될 수 있다. 또는, 본 발명의 실시예에 따른 반도체 장치(1000)는 LDO 레귤레이터(100) 자체에 대한 집적회로일 수 있다.

[0178] 이상에서 본 발명의 대표적인 실시예들을 상세하게 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리범위는 설명된 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

[0179] 100: LDO 레귤레이터

PT: 파워 트랜지스터

120: 전압 비교부

130: 디지털 제어부

140: 게이트 구동부

XCOM: 비교 신호

XCON: 제어 신호

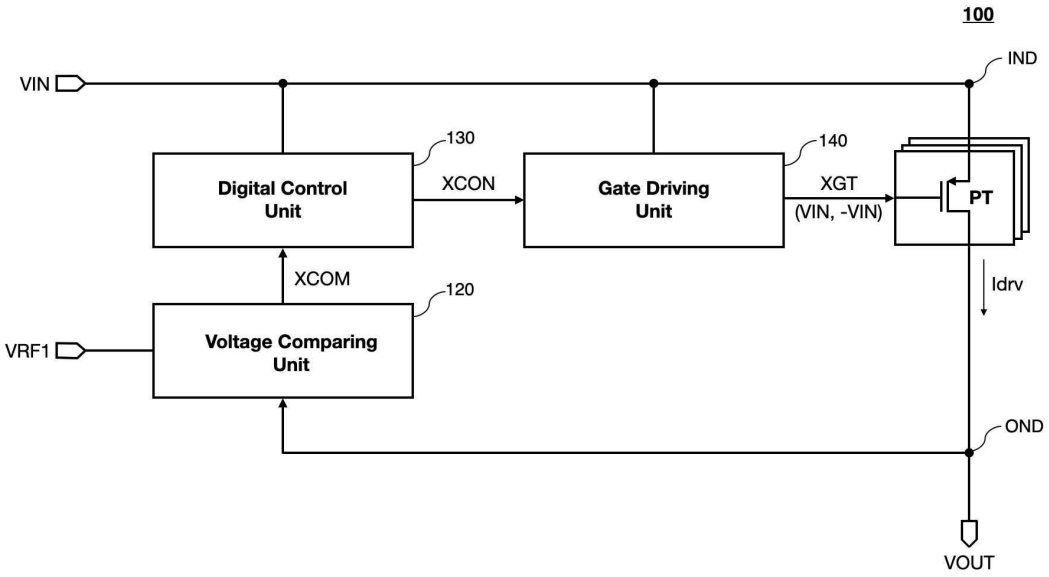
XGT: 게이팅 신호

VIN: 입력 전압

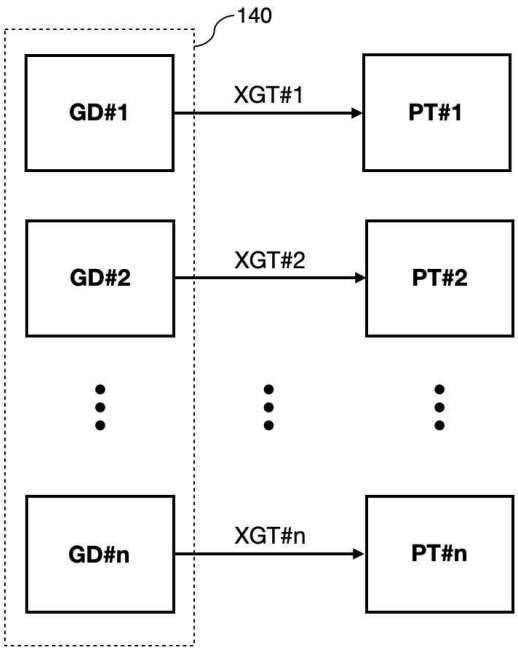
-VIN: 네거티브 입력 전압

도면

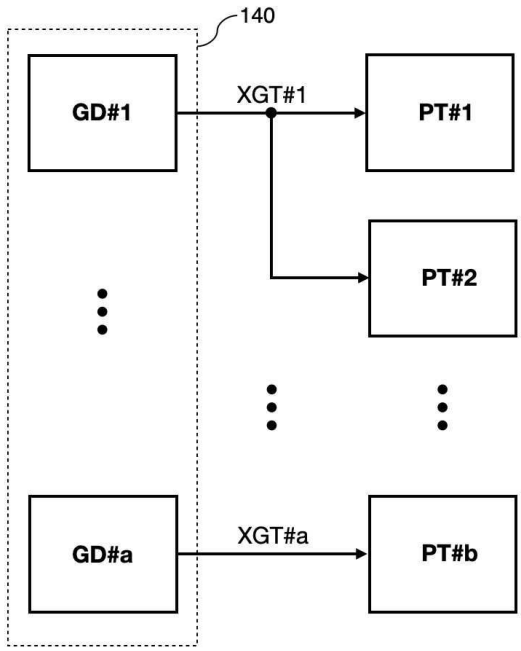
도면1


100
IND
VIN
130
Digital Control Unit
XCON
140
Gate Driving Unit
XGT
(VIN, -VIN)
PT
Idrv
XCOM
120
VRF1
Voltage Comparing Unit
OND
VOUT

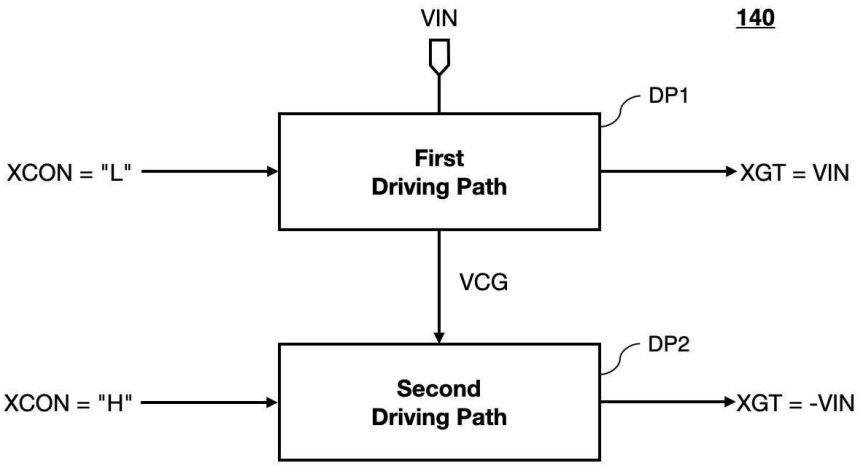
도면2


140
GD#1
XGT#1
PT#1
GD#2
XGT#2
PT#2
GD#n
XGT#n
PT#n

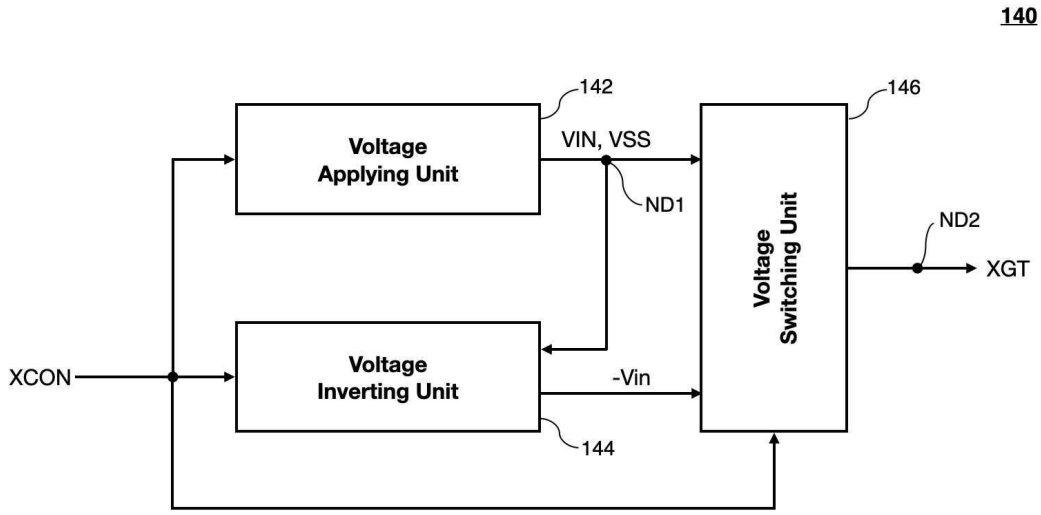
도면3


140
GD#1
XGT#1
PT#1
PT#2
GD#a
XGT#a
PT#b

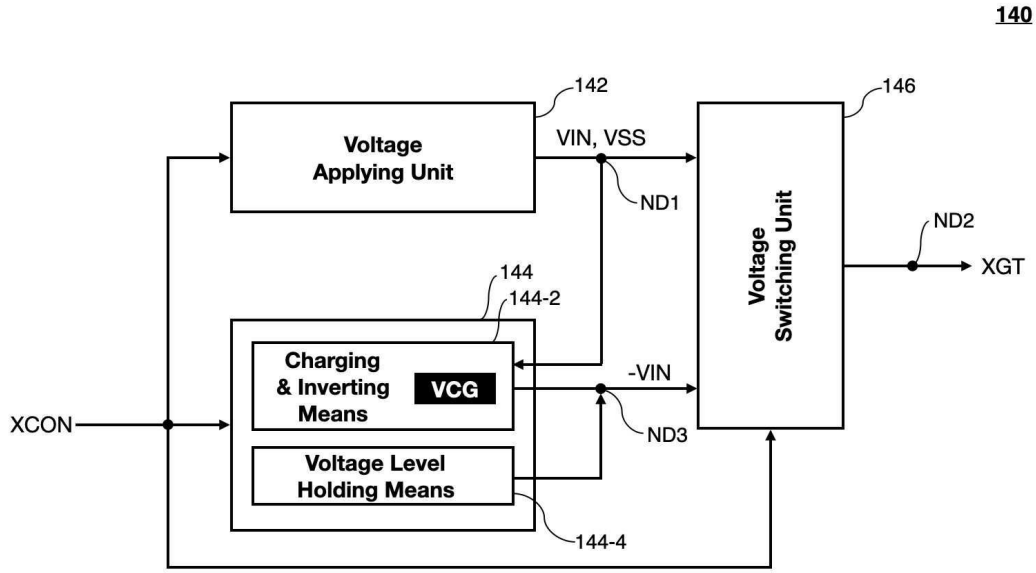
도면4


VIN
140
DP1
XCON = "L"
First
Driving Path
XGT = VIN
VCG
DP2
XCON = "H"
Second
Driving Path
XGT = -VIN

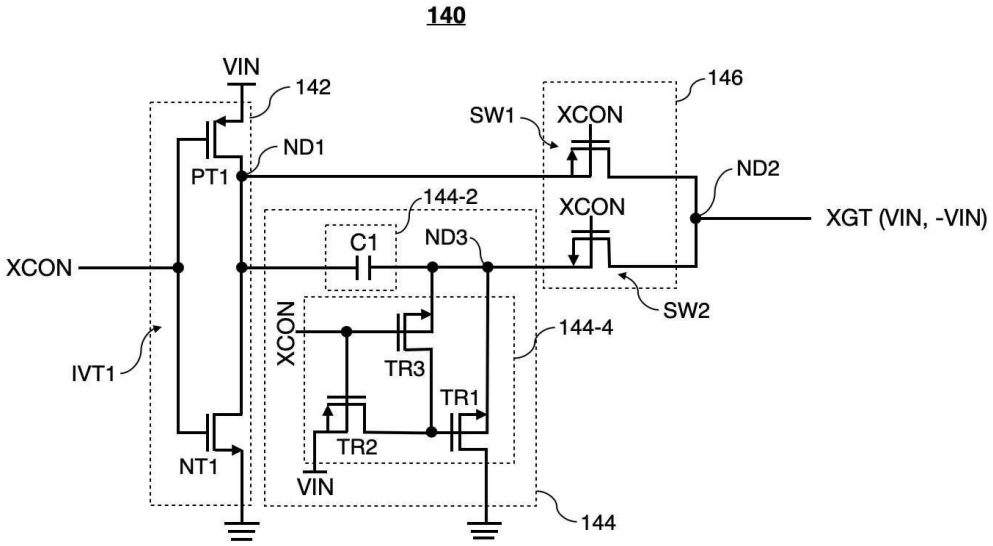
도면5


140
142
146
Voltage
Applying Unit
VIN, VSS
ND1
Voltage
Switching Unit
ND2
XGT
XCON
Voltage
Inverting Unit
-Vin
144

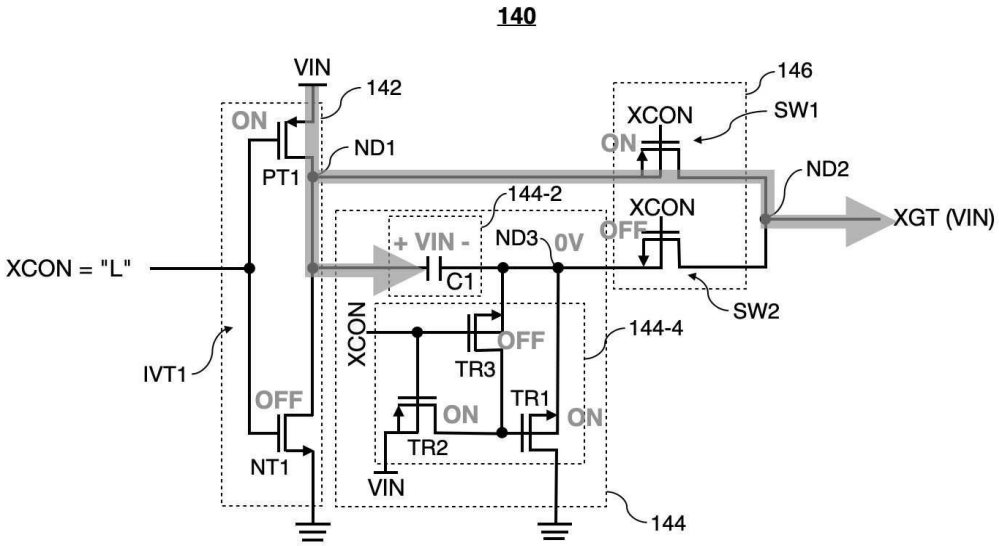
도면6


140
142
146
Voltage
Applying Unit
VIN, VSS
ND1
Voltage
Switching Unit
ND2
XGT
144
144-2
Charging
& Inverting
Means
VCG
-VIN
XCON
ND3
Voltage Level
Holding Means
144-4

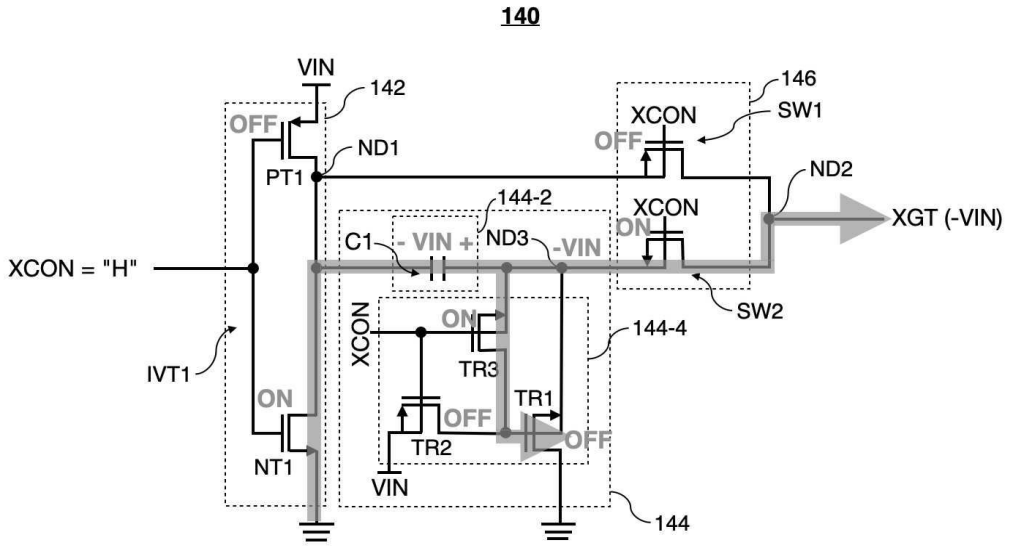
도면7


140
VIN
142
146
SW1
XCON
ND1
PT1
ND2
144-2
XCON
XGT (VIN, -VIN)
C1
ND3
XCON
SW2
144-4
IVT1
TR3
TR1
TR2
NT1
VIN
144

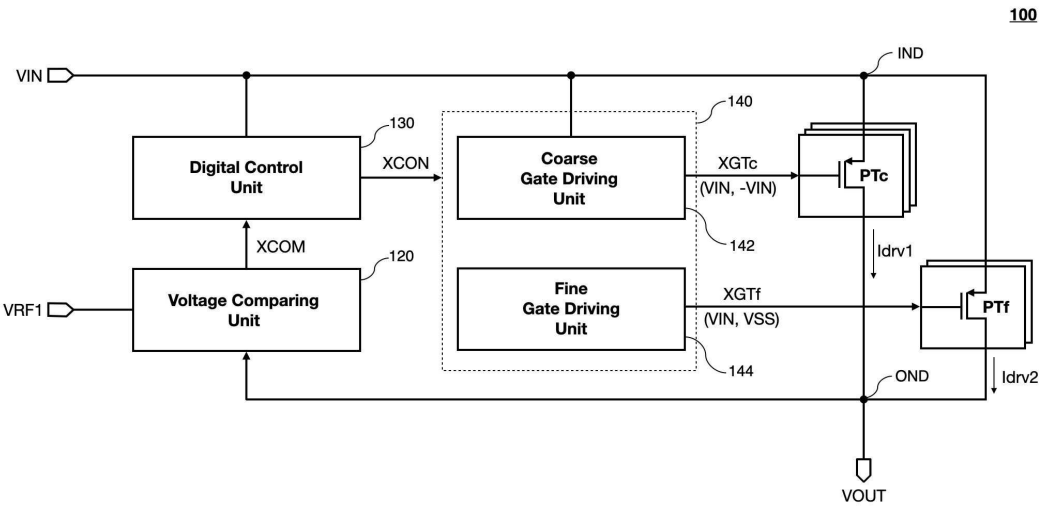
도면8


140
VIN
142
146
ON
XCON
SW1
ND1
ON
PT1
ND2
144-2
XCON
XGT (VIN)
+ VIN -
ND3
0V
OFF
XCON = "L"
C1
SW2
XCON
OFF
144-4
IVT1
TR3
OFF
TR1
ON
ON
TR2
NT1
VIN
144

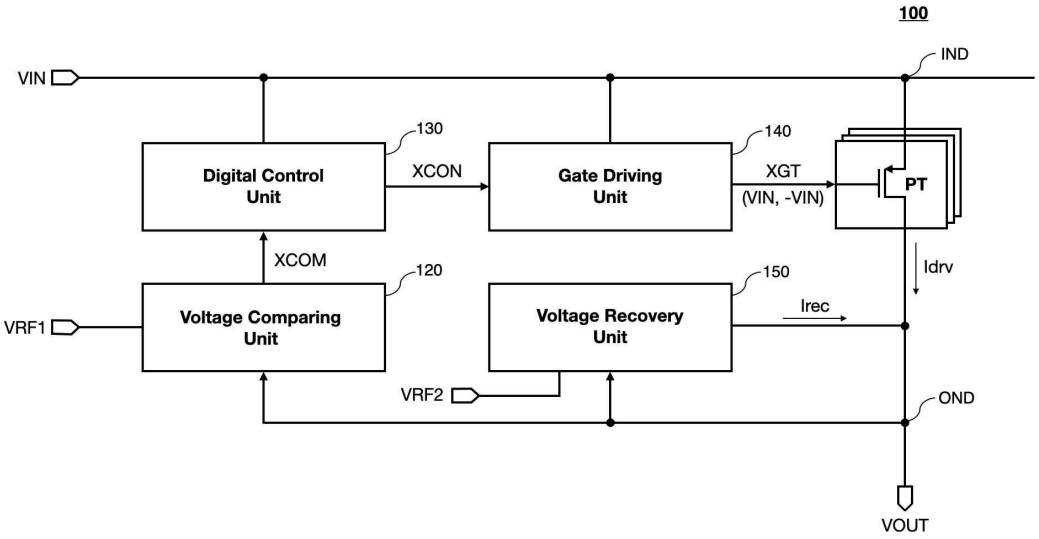
도면9


140
VIN
142
OFF
ND1
PT1
XCON = "H"
IVT1
ON
NT1
144-2
C1
- VIN +
ND3
-VIN
XCON
ON
TR3
OFF
TR2
VIN
TR1
OFF
144-4
144
146
XCON
SW1
OFF
ND2
XCON
ON
XGT (-VIN)
SW2

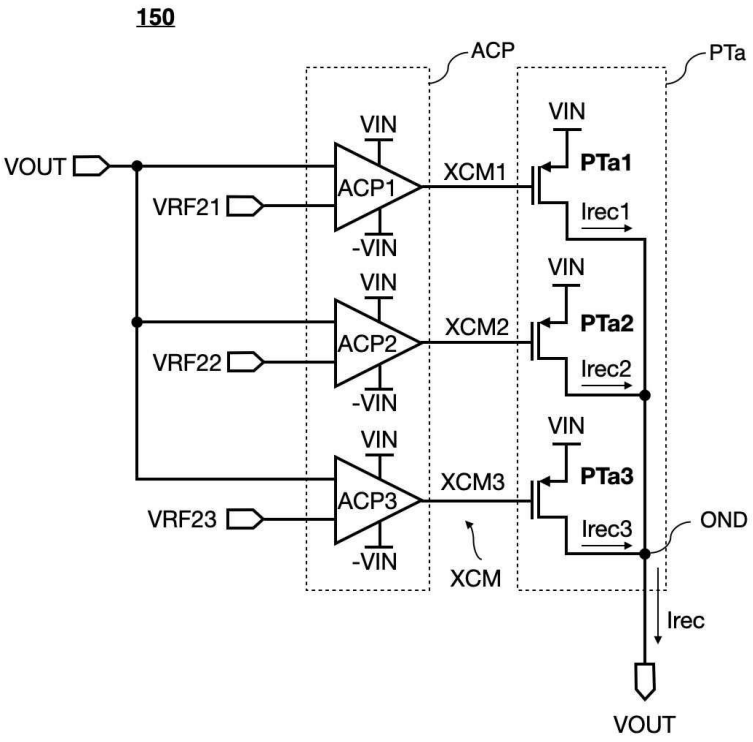
도면10


100
VIN
IND
130
Digital Control Unit
XCON
XCOM
120
Voltage Comparing Unit
VRF1
140
Coarse Gate Driving Unit
XGTc
(VIN, -VIN)
142
Fine Gate Driving Unit
XGTf
(VIN, VSS)
144
PTc
Idrv1
PTf
Idrv2
OND
VOUT

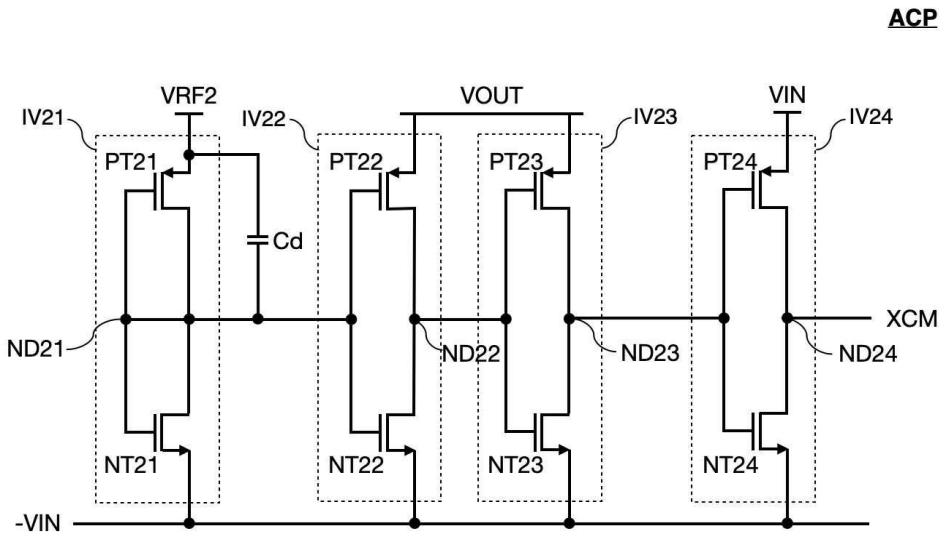
도면11


100
IND
VIN
130
Digital Control Unit
XCON
140
Gate Driving Unit
XGT
(VIN, -VIN)
PT
XCOM
120
Voltage Comparing Unit
VRF1
150
Voltage Recovery Unit
Irec
Idrv
VRF2
OND
VOUT

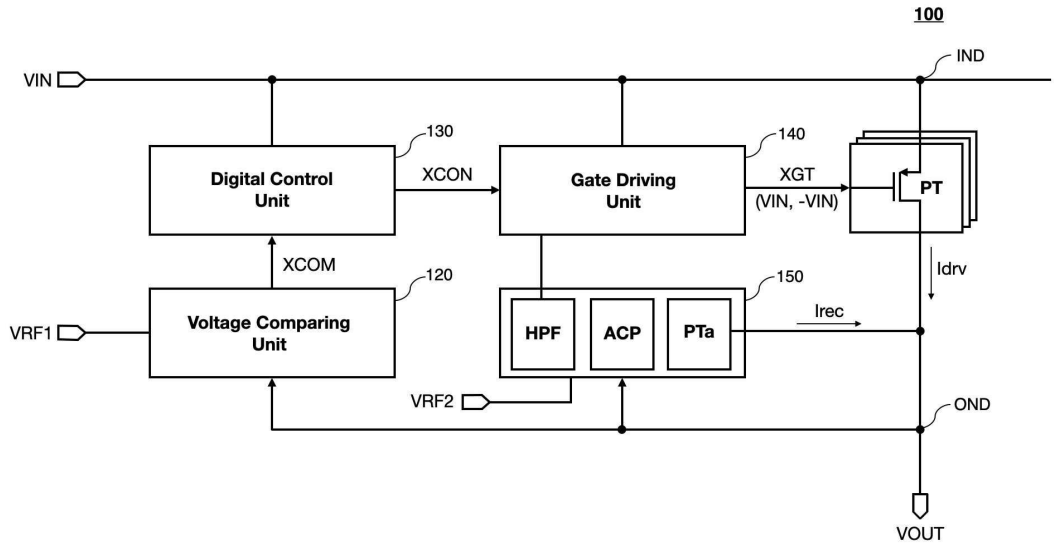
도면12


150
ACP
PTa
VOUT
VIN
ACP1
-VIN
VRF21
XCM1
PTa1
Irec1
VIN
ACP2
-VIN
VRF22
XCM2
PTa2
Irec2
VIN
ACP3
-VIN
VRF23
XCM3
PTa3
Irec3
OND
XCM
Irec
VOUT

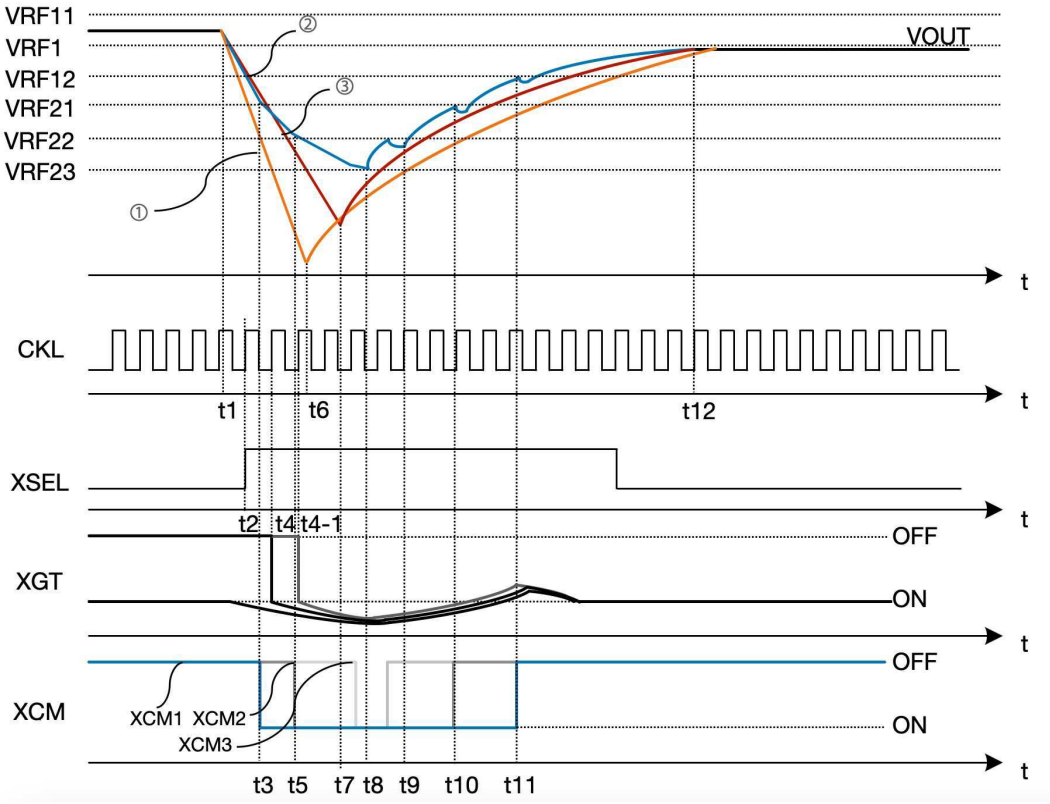
도면13


ACP
VRF2
VOUT
VIN
IV21
IV22
IV23
IV24
PT21
PT22
PT23
PT24
Cd
XCM
ND21
ND22
ND23
ND24
NT21
NT22
NT23
NT24
-VIN

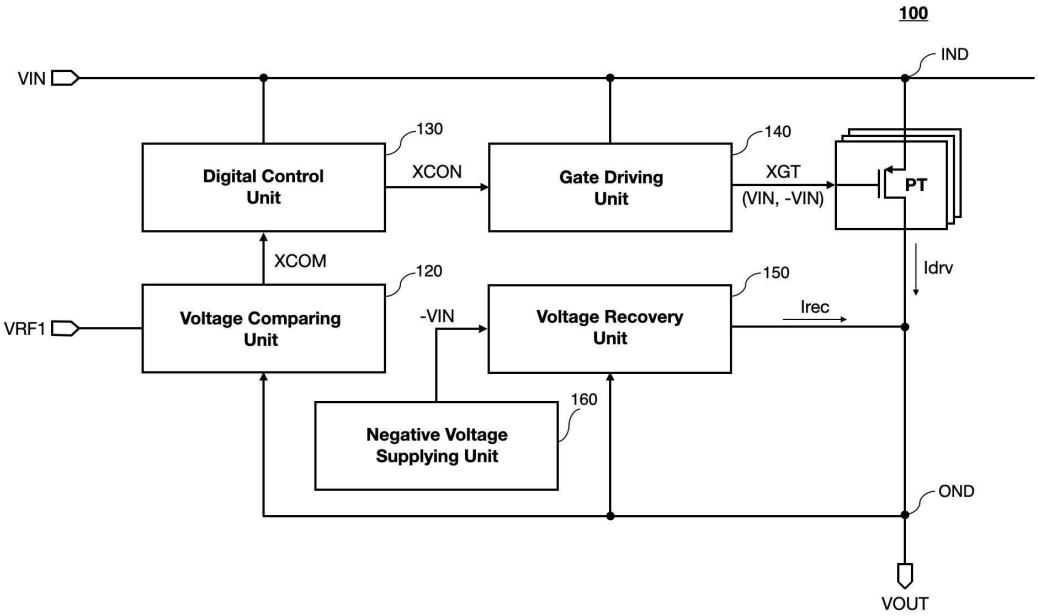
도면14


100
IND
VIN
130
Digital Control Unit
XCON
140
Gate Driving Unit
XGT
(VIN, -VIN)
PT
XCOM
120
Voltage Comparing Unit
VRF1
150
HPF
ACP
PTa
Irec
Idrv
VRF2
OND
VOUT

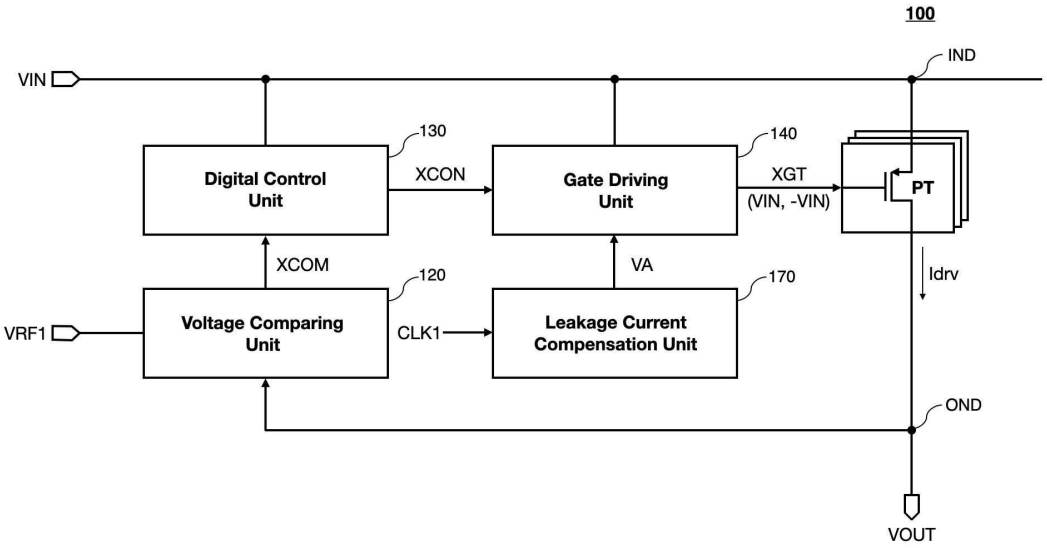
도면15


VRF11
VRF1
VRF12
VRF21
VRF22
VRF23
①
②
③
VOUT
t
CKL
t1
t6
t12
XSEL
t2
t4
t4-1
OFF
ON
XGT
XCM
XCM1
XCM2
XCM3
t3
t5
t7
t8
t9
t10
t11

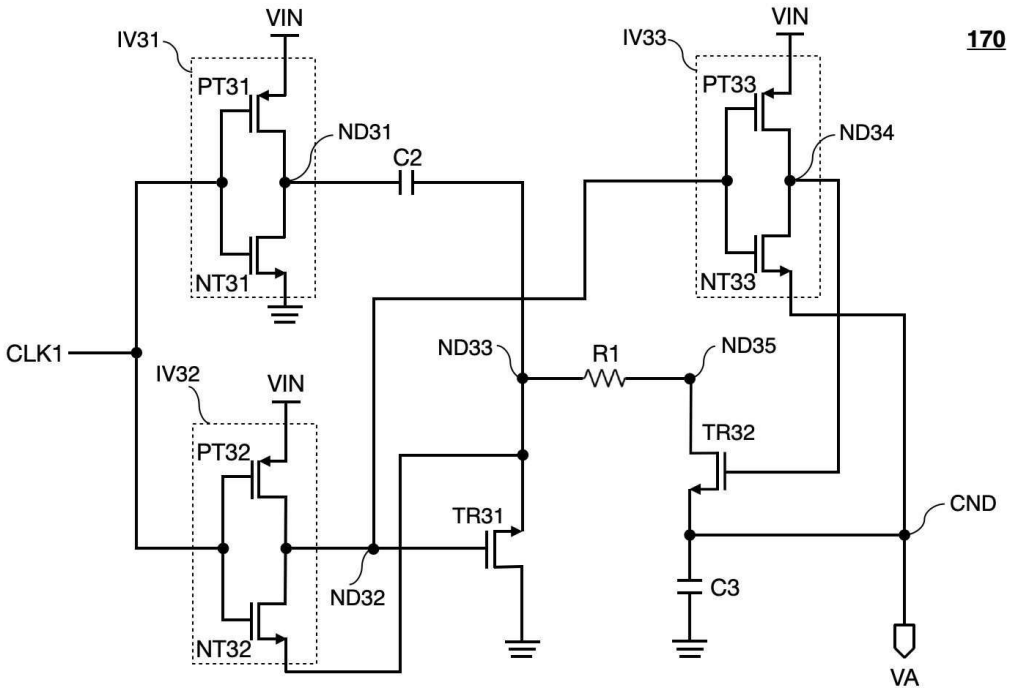
도면16


100
IND
VIN
Digital Control Unit
130
XCON
Gate Driving Unit
140
XGT
(VIN, -VIN)
PT
XCOM
120
Idrv
150
VRF1
Voltage Comparing Unit
-VIN
Voltage Recovery Unit
Irec
160
Negative Voltage Supplying Unit
OND
VOUT

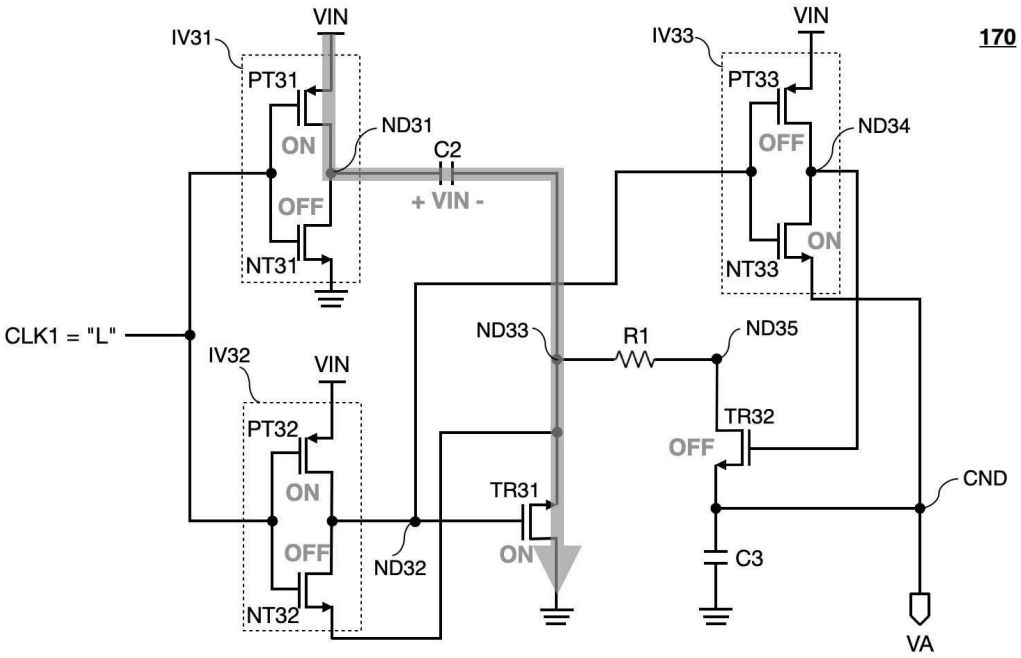
도면17


100
IND
VIN
130
Digital Control Unit
XCON
140
Gate Driving Unit
XGT
(VIN, -VIN)
PT
XCOM
VA
Idrv
120
VRF1
Voltage Comparing Unit
CLK1
170
Leakage Current Compensation Unit
OND
VOUT

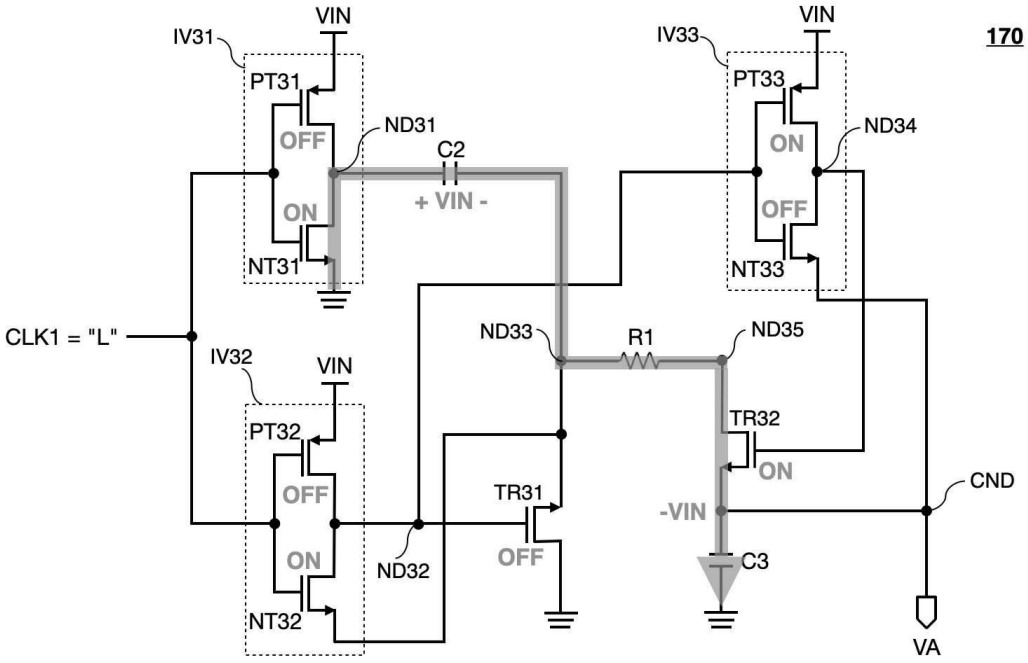
도면18


170
IV31
VIN
PT31
ND31
C2
NT31
IV33
VIN
PT33
ND34
NT33
CLK1
ND33
R1
ND35
IV32
VIN
PT32
TR32
TR31
CND
ND32
C3
NT32
VA

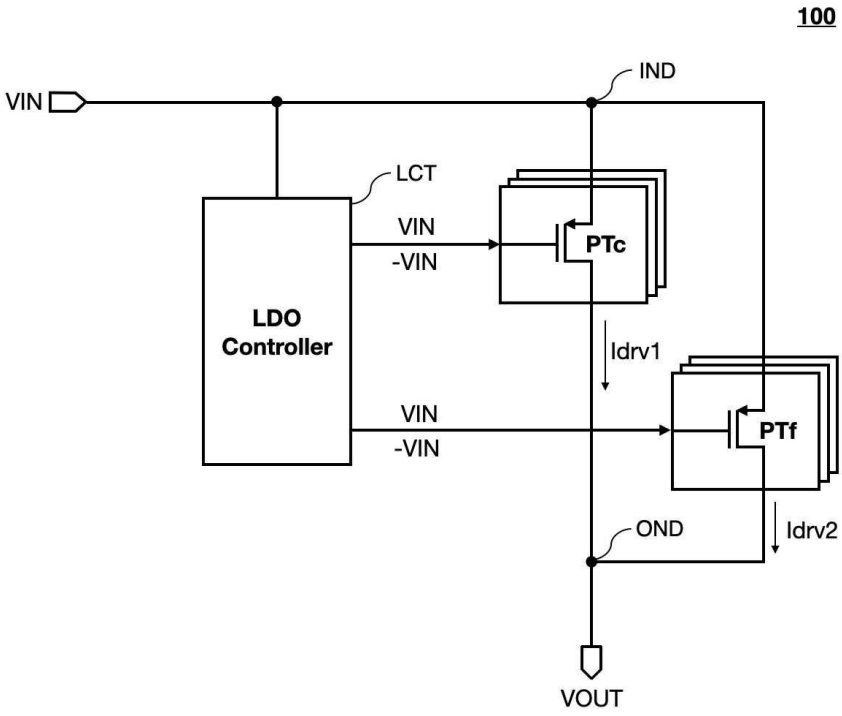
도면19


170
IV31
VIN
PT31
ON
OFF
NT31
ND31
C2
+ VIN -
IV33
PT33
OFF
ON
NT33
ND34
CLK1 = "L"
IV32
PT32
ON
OFF
NT32
ND32
ND33
R1
ND35
TR31
ON
TR32
OFF
C3
CND
VA

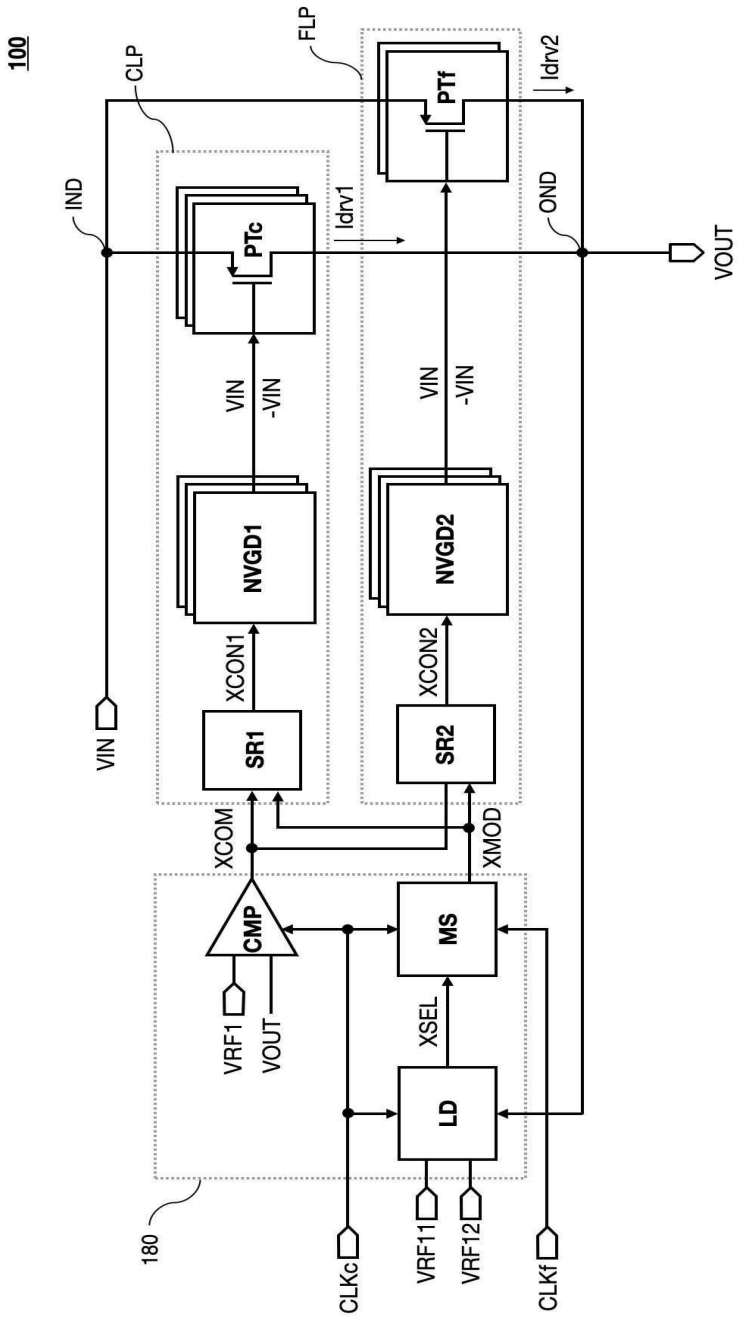
도면20


170
IV31
VIN
PT31
OFF
ON
NT31
ND31
C2
+ VIN -
IV33
PT33
ON
OFF
NT33
ND34
CLK1 = "L"
IV32
PT32
OFF
ON
NT32
ND32
ND33
R1
ND35
TR31
OFF
TR32
ON
-VIN
C3
CND
VA

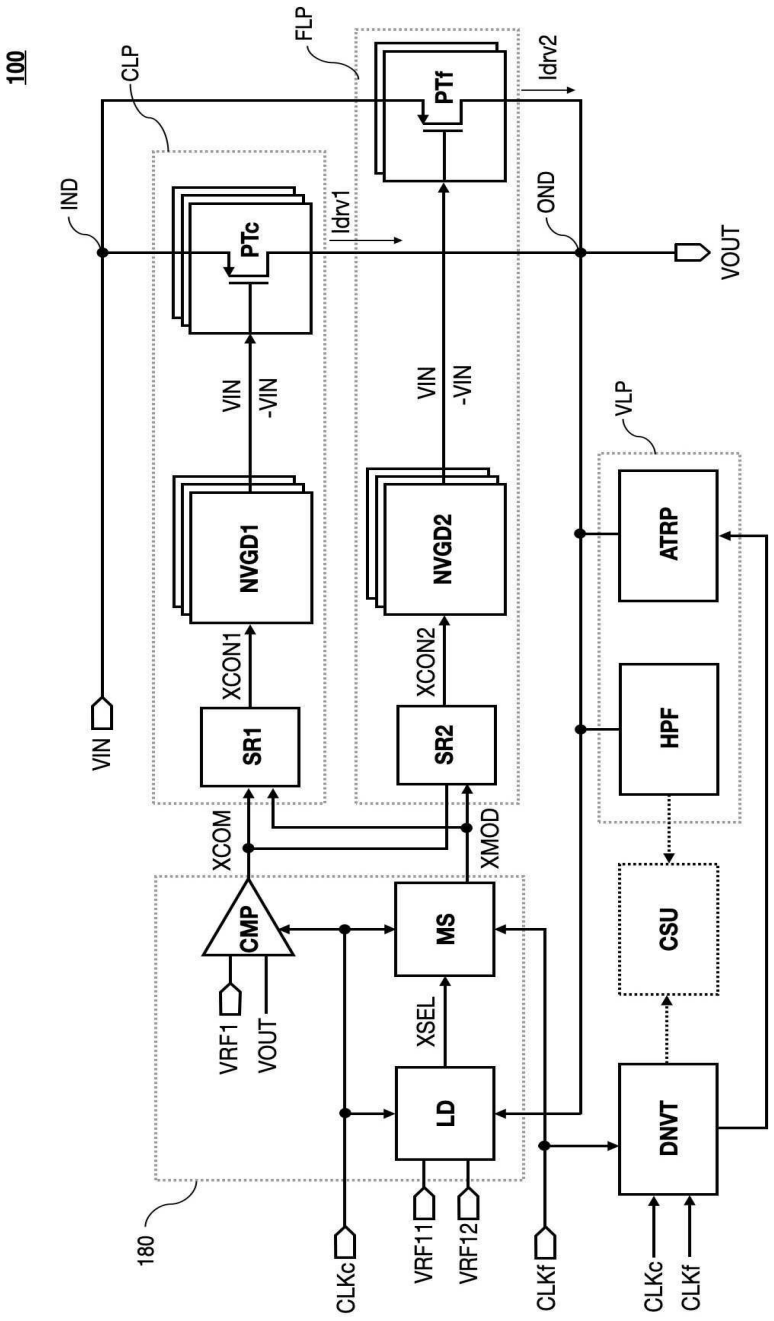
도면21


100
IND
VIN
LCT
VIN
-VIN
PTc
LDO
Controller
Idrv1
VIN
-VIN
PTf
OND
Idrv2
VOUT

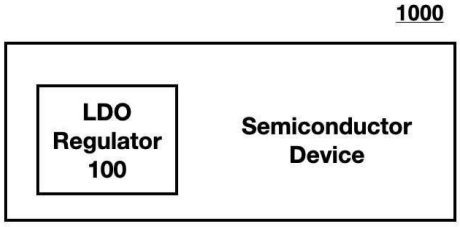
도면22


100
CLP
FLP
PTf
Idrv2
IND
PTc
Idrv1
OND
VOUT
VIN
-VIN
VIN
-VIN
NVGD1
NVGD2
XCON1
XCON2
VIN
SR1
SR2
XCOM
XMOD
CMP
MS
VRF1
VOUT
XSEL
LD
180
CLKc
VRF11
VRF12
CLKf

도면23


100
CLP
FLP
PTf
Idrv2
IND
PTc
Idrv1
OND
VOUT
VIN
-VIN
VIN
-VIN
VLP
NVGD1
NVGD2
ATRP
XCON1
XCON2
SR1
SR2
HPF
VIN
XCOM
XMOD
CMP
MS
CSU
VRF1
VOUT
XSEL
LD
DNVT
180
CLKc
VRF11
VRF12
CLKf
CLKc
CLKf

도면24


1000
LDO Regulator 100
Semiconductor Device