

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年1月11日(11.01.2024)



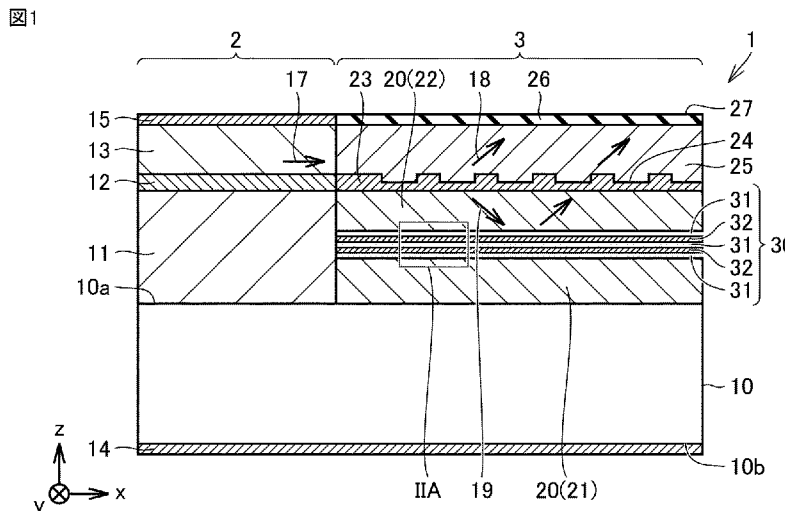
(10) 国際公開番号

WO 2024/009502 A1

- (51) 国際特許分類:
G02B 6/124 (2006.01) G02B 6/42 (2006.01)
- (21) 国際出願番号: PCT/JP2022/027114
- (22) 国際出願日: 2022年7月8日(08.07.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:篠原 弘介 (SHINOHARA, Kosuke); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 西川 智志 (NISHIKAWA, Satoshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 弁理士法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,

(54) Title: SEMICONDUCTOR OPTICAL GAIN ELEMENT AND OPTICAL SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体光利得素子及び光半導体装置



(57) Abstract: This semiconductor optical gain element (1) comprises a substrate (10), an active part (2), and a passive part (3). The active part (2) includes an active layer (12). The passive part (3) includes a first core layer (23), a reflecting part (30), and a top surface (27). A first grating coupler (24) is formed in the first core layer (23). The first grating coupler (24) diffracts light (17) output from the active layer (12) and generates first diffraction light (18) and second diffraction light (19). The reflecting part (30) is disposed between the first grating coupler (24) and the substrate (10), reflects the second diffraction light (19) toward the top surface (27) of the passive layer (3), and includes at least one air layer (31).



WO 2024/009502 A1

ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：半導体光利得素子 (1) は、基板 (10) と、活性部 (2) と、受動部 (3) とを備える。活性部 (2) は、活性層 (12) を含む。受動部 (3) は、第1コア層 (23) と、反射部 (30) と、頂面 (27) とを含む。第1コア層 (23) に、第1グレーティングカップラ (24) が形成されている。第1グレーティングカップラ (24) は、活性層 (12) から出力された光 (17) を回折して、第1回折光 (18) と、第2回折光 (19) とを生成する。反射部 (30) は、第1グレーティングカップラ (24) と基板 (10) との間に配置されており、第2回折光 (19) を受動部 (3) の頂面 (27) に向けて反射し、かつ、少なくとも一つの空気層 (31) を含む。

明 細 書

発明の名称：半導体光利得素子及び光半導体装置

技術分野

[0001] 本開示は、半導体光利得素子及び光半導体装置に関する。

背景技術

[0002] 米国特許出願公開第2021/0181427号明細書（特許文献1）は、集積グレーティングカプラシステムを開示している。集積グレーティングカプラシステムは、第1光学チップと、第2光学チップとを備える。第1光学チップは、InP基板と、InP基板上に形成されたInGaAsP導波路層と、InGaAsP導波路層上に形成されたInPクラッド層とを含む。InGaAsP導波路層に、第1グレーティングカプラが形成されている。第2光学チップは、Si基板と、Si基板上に形成された埋め込みSiO₂層と、埋め込みSiO₂層上に形成されたSi導波路層と、Si導波路層上に形成されたSiO₂クラッド層とを含む。Si導波路層に、第2グレーティングカプラが形成されている。

[0003] 第1光学チップは、第2光学チップに実装されている。第1光学チップのInP基板は第2光学チップに面している。第1グレーティングカプラは、長周期グレーティングであり、第1光学チップのInGaAsP導波路層を伝搬する光を、InP基板側にのみ回折する。第2グレーティングカプラは、第1グレーティングカプラに光学的に結合している。第1グレーティングカプラで回折された光は、第2グレーティングカプラに結合されて、Si導波路を伝搬する。

先行技術文献

特許文献

[0004] 特許文献1：米国特許出願公開第2021/0181427号明細書

発明の概要

発明が解決しようとする課題

[0005] しかしながら、InP基板は、第1光学チップのうち最も厚い部材であり、第1光学チップのうち最も厚さのばらつきが大きい部材である。InP基板の厚さがばらつくと、第1光学チップからの光の出射位置がばらつく。そのため、特許文献1に開示された集積グレーティングカプラシステムでは、第2光学チップに対する第1光学チップの実装精度を向上させる必要がある。

[0006] 本開示は、上記の課題を鑑みてなされたものであり、その目的は、光導波路チップに対する実装精度の緩和と光導波路チップへの光結合効率の向上とを可能にする半導体光利得素子及び光半導体装置を提供することである。

課題を解決するための手段

[0007] 本開示の半導体光利得素子は、基板と、基板上に形成されている活性部と、基板上に形成されている受動部とを備える。活性部は、活性層を含む。受動部は、活性層に光学的に結合されている第1コア層と、反射部と、第1コア層に対して基板とは反対側にある頂面とを含む。第1コア層に、第1グレーティングカプラが形成されている。第1グレーティングカプラは、活性層から出力された光を回折して、第1グレーティングカプラから頂面に向かう第1回折光と、第1グレーティングカプラから基板に向かう第2回折光とを生成する。反射部は、第1グレーティングカプラと基板との間に配置されており、第2回折光を受動部の頂面に向けて反射し、かつ、少なくとも一つの空気層を含む。

[0008] 本開示の光半導体装置は、本開示の半導体光利得素子と、受動部の頂面に面して配置される光導波路チップとを備える。光導波路チップは、第2コア層を含む。第2コア層に、第1グレーティングカプラに光学的に結合する第2グレーティングカプラが形成されている。

発明の効果

[0009] 半導体光利得素子からの第1回折光及び第2回折光の出射位置のばらつきが小さくなる。光導波路チップに対する半導体光利得素子の実装精度が緩和され得る。また、半導体光利得素子から光導波路チップへの光結合効率が向

上し得る。

図面の簡単な説明

- [0010] [図1]実施の形態1の半導体光利得素子の概略断面図である。
- [図2A]実施の形態1の半導体光利得素子の、図1に示される領域IIAの概略部分拡大断面図である。
- [図2B]実施の形態1の半導体光利得素子の反射部の第1変形例を示す概略部分拡大断面図である。
- [図2C]実施の形態1の半導体光利得素子の反射部の第2変形例を示す概略部分拡大断面図である。
- [図3]実施の形態1の半導体光利得素子の受動部の製造方法の一工程を示す概略部分拡大断面図である。
- [図4]実施の形態1の半導体光利得素子の受動部の製造方法の一工程を示す概略部分拡大断面図である。
- [図5]実施の形態1の半導体光利得素子の受動部の製造方法における、図3及び図4に示される工程の次工程を示す概略部分拡大断面図である。
- [図6]実施の形態1の半導体光利得素子の受動部の製造方法における、図3及び図4に示される工程の次工程を示す概略部分拡大断面図である。
- [図7]実施の形態1の半導体光利得素子の受動部の製造方法における、図5及び図6に示される工程の次工程を示す概略部分拡大断面図である。
- [図8]実施の形態1の半導体光利得素子の受動部の製造方法における、図5及び図6に示される工程の次工程を示す概略部分拡大断面図である。
- [図9]実施の形態1の半導体光利得素子の受動部の製造方法における、図7及び図8に示される工程の次工程を示す概略部分拡大断面図である。
- [図10]実施の形態1の半導体光利得素子の受動部の製造方法における、図7及び図8に示される工程の次工程を示す概略部分拡大断面図である。
- [図11]比較例の半導体光利得素子の反射部の反射率を表すグラフを示す図である。
- [図12]第1実施例、第2実施例及び第3実施例の半導体光利得素子の反射部

の反射率を表すグラフを示す図である。

[図13]実施の形態2の半導体光利得素子の概略断面図である。

[図14]実施の形態2の半導体光利得素子の、図13に示される領域X-Vの概略部分拡大断面図である。

[図15]実施の形態2の半導体光利得素子の反射部の概略部分拡大平面図である。

[図16]実施の形態2の半導体光利得素子の受動部の製造方法の一工程を示す概略部分拡大断面図である。

[図17]実施の形態2の半導体光利得素子の受動部の製造方法の一工程を示す概略部分拡大断面図である。

[図18]実施の形態2の半導体光利得素子の受動部の製造方法における、図16及び図17に示される工程の次工程を示す概略部分拡大断面図である。

[図19]実施の形態2の半導体光利得素子の受動部の製造方法における、図16及び図17に示される工程の次工程を示す概略部分拡大断面図である。

[図20]実施の形態2の半導体光利得素子の受動部の製造方法における、図18及び図19に示される工程の次工程を示す概略部分拡大断面図である。

[図21]実施の形態2の半導体光利得素子の受動部の製造方法における、図18及び図19に示される工程の次工程を示す概略部分拡大断面図である。

[図22]実施の形態2の半導体光利得素子の受動部の製造方法における、図20及び図21に示される工程の次工程を示す概略部分拡大断面図である。

[図23]実施の形態2の半導体光利得素子の受動部の製造方法における、図20及び図21に示される工程の次工程を示す概略部分拡大断面図である。

[図24]実施の形態2の半導体光利得素子の受動部の製造方法における、図22及び図23に示される工程の次工程を示す概略部分拡大断面図である。

[図25]実施の形態2の半導体光利得素子の受動部の製造方法における、図22及び図23に示される工程の次工程を示す概略部分拡大断面図である。

[図26]実施の形態3の半導体光利得素子の概略断面図である。

[図27]実施の形態3の半導体光利得素子の、図26に示される断面線X-X'の

Ⅰ－XXVⅠにおける概略部分拡大断面図である。

[図28]実施の形態3の半導体光利得素子の、図27に示される断面線XXVⅠⅠⅠ－XXVⅠⅠⅠにおける概略部分拡大断面図である。

[図29]実施の形態3の半導体光利得素子の、図27に示される断面線XXⅠX－XXⅠXにおける概略部分拡大断面図である。

[図30]実施の形態3の半導体光利得素子の、図27に示される断面線XXX－XXXにおける概略部分拡大断面図である。

[図31]実施の形態3の半導体光利得素子の受動部の製造方法の一工程を示す概略部分拡大断面図である。

[図32]実施の形態3の半導体光利得素子の受動部の製造方法の一工程を示す概略部分拡大断面図である。

[図33]実施の形態3の半導体光利得素子の受動部の製造方法の一工程を示す概略部分拡大断面図である。

[図34]実施の形態3の半導体光利得素子の受動部の製造方法における、図31から図33に示される工程の次工程を示す概略部分拡大断面図である。

[図35]実施の形態3の半導体光利得素子の受動部の製造方法における、図31から図33に示される工程の次工程を示す概略部分拡大断面図である。

[図36]実施の形態3の半導体光利得素子の受動部の製造方法における、図31から図33に示される工程の次工程を示す概略部分拡大断面図である。

[図37]実施の形態3の半導体光利得素子の受動部の製造方法における、図34から図36に示される工程の次工程を示す概略部分拡大断面図である。

[図38]実施の形態3の半導体光利得素子の受動部の製造方法における、図34から図36に示される工程の次工程を示す概略部分拡大断面図である。

[図39]実施の形態3の半導体光利得素子の受動部の製造方法における、図34から図36に示される工程の次工程を示す概略部分拡大断面図である。

[図40]実施の形態3の半導体光利得素子の受動部の製造方法における、図37から図39に示される工程の次工程を示す概略部分拡大断面図である。

[図41]実施の形態3の半導体光利得素子の受動部の製造方法における、図3

7から図39に示される工程の次工程を示す概略部分拡大断面図である。

[図42]実施の形態3の半導体光利得素子の受動部の製造方法における、図37から図39に示される工程の次工程を示す概略部分拡大断面図である。

[図43]実施の形態3の半導体光利得素子の受動部の製造方法における、図40から図42に示される工程の次工程を示す概略部分拡大断面図である。

[図44]実施の形態3の半導体光利得素子の受動部の製造方法における、図40から図42に示される工程の次工程を示す概略部分拡大断面図である。

[図45]実施の形態3の半導体光利得素子の受動部の製造方法における、図40から図42に示される工程の次工程を示す概略部分拡大断面図である。

[図46]実施の形態4の光半導体装置の概略断面図である。

発明を実施するための形態

[0011] 以下、本開示の実施の形態を説明する。なお、同一の構成には同一の参照番号を付し、その説明は繰り返さない。

[0012] 実施の形態1.

図1及び図2Aを参照して、実施の形態1の半導体光利得素子1を説明する。半導体光利得素子1は、基板10と、活性部2と、受動部3とを備える。

[0013] 図1を参照して、基板10は、例えば、InPまたはGaAsなどのような化合物半導体で形成されている半導体基板である。基板10は、主面10aと、主面10aとは反対側の主面10bとを含む。主面10a及び主面10bは、各々、x方向と、x方向に垂直なy方向とに延在している。主面10aの法線方向及び主面10bの法線方向は、各々、x方向及びy方向に垂直なz方向である。

[0014] 図1を参照して、活性部2は、基板10上に形成されている。活性部2は、光17を出力する。活性部2からの光17の出射方向はx方向であり、活性部2の幅方向はy方向である。活性部2は、下部クラッド層11と、活性層12と、上部クラッド層13と、電極14、15とを含む。下部クラッド層11は、例えばエピタキシャル成長によって、基板10の主面10a上に

形成される。活性層 12 は、例えばエピタキシャル成長によって、下部クラッド層 11 上に形成される。上部クラッド層 13 は、例えばエピタキシャル成長によって、活性層 12 上に形成される。電極 14 は、例えば蒸着によって、基板 10 の主面 10b 上に形成される。電極 15 は、例えば蒸着によって、上部クラッド層 13 上に形成される。

[0015] 活性層 12 は、下部クラッド層 11 及び上部クラッド層 13 よりも、高い屈折率と小さなバンドギャップエネルギーとを有している。活性層 12 は、例えば、 AlGaInAs または InGaAsP などのような化合物半導体で形成されている。下部クラッド層 11 及び上部クラッド層 13 は、例えば、 InP または GaAs などのような化合物半導体で形成されている。電極 14, 15 から電流を注入すると、活性層 12 において誘導放出現象が生じる。活性層 12 から光 17 が出力される。活性部 2 は、レーザダイオードまたは半導体光増幅器 (SOA) である。

[0016] 図 1 及び図 2A を参照して、受動部 3 は、基板 10 の主面 10a 上に形成されている。受動部 3 における光伝搬方向は x 方向であり、受動部 3 の幅方向は y 方向である。受動部 3 は、下部クラッド層 20 と、第 1 コア層 23 と、上部クラッド層 25 と、絶縁層 26 と、反射部 30 とを含む。

[0017] 下部クラッド層 20 は、例えばエピタキシャル成長によって、基板 10 の主面 10a 上に形成される。下部クラッド層 20 は、第 1 コア層 23 と基板 10 との間に配置されている。下部クラッド層 20 は、第 1 下部クラッド部分層 21 と、第 2 下部クラッド部分層 22 とを含む。第 1 下部クラッド部分層 21 は、反射部 30 と基板 10 との間に配置されている。第 2 下部クラッド部分層 22 は、反射部 30 と第 1 コア層 23 との間に配置されている。

[0018] 第 1 コア層 23 は、例えばエピタキシャル成長によって、下部クラッド層 20 上 (より具体的には、第 2 下部クラッド部分層 22 上) に形成される。第 1 コア層 23 の長手方向は x 方向であり、第 1 コア層 23 の幅方向は y 方向である。第 1 コア層 23 は、活性層 12 に光学的に結合されている。活性層 12 から出力された光 17 は、第 1 コア層 23 に結合して、第 1 コア層 2

3を伝搬する。受動部3は、受動導波路を含む。

[0019] 上部クラッド層25は、例えばエピタキシャル成長によって、第1コア層23上に形成される。絶縁層26は、例えば化学気相成長(CVD)またはスパッタなどによって、上部クラッド層25上に形成される。絶縁層26は、酸化シリコン層(SiO₂層)である。絶縁層26は、受動部3の頂面27を含む。受動部3の頂面27は、受動部3の表面のうち、第1コア層23に対して基板10とは反対側にある表面である。受動部3の頂面27は、x方向とy方向とに延在している。受動部3の頂面27の法線方向は、z方向である。

[0020] 第1コア層23は、下部クラッド層20(より具体的には、第2下部クラッド部分層22)及び上部クラッド層25よりも高い屈折率を有している。第1コア層23は、活性層12よりも大きなバンドギャップエネルギーを有している。第1コア層23は、活性層12から出力される光17のエネルギーよりも大きなバンドギャップエネルギーを有している。第1コア層23は、例えば、AlGaInAsまたはInGaAsPなどのような化合物半導体で形成されている。下部クラッド層20及び上部クラッド層25は、例えば、InPまたはGaAsなどのような化合物半導体で形成されている。下部クラッド層20は、下部クラッド層11と同じ材料で形成されてもよい。上部クラッド層25は、上部クラッド層13と同じ材料で形成されてもよい。

[0021] 第1コア層23に、第1グレーティングカップラ24が形成されている。第1グレーティングカップラ24は、活性層12から出力された光17を回折して、第1グレーティングカップラ24から受動部3の頂面27に向かう第1回折光18と、第1グレーティングカップラ24から基板10(または反射部30)に向かう第2回折光19とを生成する。

[0022] 第1グレーティングカップラ24のグレーティングピッチは、反射部30で反射された第2回折光19が受動部3の頂面27から半導体光利得素子1の外部に出射されるように、すなわち、反射部30で反射された第2回折光1

9が受動部3の頂面27で全反射されないように、設定される。第1グレーティングカプラ24のグレーティングピッチは光17の波長よりも短く、第1グレーティングカプラ24は短周期グレーティングである。例えば、反射部30への第2回折光19の入射角は 18° 未満であり、第1グレーティングカプラ24のグレーティングピッチは $0.58\mu\text{m}$ 未満である。本明細書において、反射部30への第2回折光19の入射角は、反射部30への第2回折光19の入射方向と反射部30の法線(z方向)とのなす角度として定義される。

[0023] 反射部30は、第1グレーティングカプラ24と基板10との間に配置されている。反射部30は、下部クラッド層20中に配置されている。具体的には、反射部30は、第1下部クラッド部分層21上に形成されており、第1下部クラッド部分層21と第2下部クラッド部分層22との間に配置されている。反射部30は、第1グレーティングカプラ24によって生成された第2回折光19を、受動部3の頂面27に向けて反射する。そのため、活性層12から出力された光17のうち第1グレーティングカプラ24によって回折された光(第1回折光18及び第2回折光19)は、受動部3の頂面27から半導体光利得素子1の外部に出射される。

[0024] 図1及び図2Aに示されるように、反射部30は、例えば、低屈折率層としての空気層31と高屈折率層としての半導体層32とが交互に積層された多層反射膜である。反射部30は、例えば、分布ブラッグ反射器(DBR)である。反射部30に含まれる空気層31の数は、二つ以上に限られず、図2B及び図2Cに示されるように一つであってもよい。すなわち、反射部30は、少なくとも一つの空気層31を含んでいればよい。反射部30に含まれる空気層31の数が一つである場合、図2Bに示されるように一つの空気層31は二つの半導体層32の間に配置されてもよいし、図2Cに示されるように反射部30に半導体層32が含まれておらず、一つの空気層31は第1下部クラッド部分層21と第2下部クラッド部分層22との間に配置されてもよい。反射部30に含まれる空気層31の数が二つである場合、反射部

30に含まれる半導体層32の数は一つ以上である。反射部30に含まれる空気層31の数が三つ以上である場合、反射部30は複数の半導体層32を含む。

[0025] 半導体層32は、下部クラッド層20と同じ材料で形成されてもよい。半導体層32は、第1下部クラッド部分層21と同じ材料で形成されてもよいし、第2下部クラッド部分層22と同じ材料で形成されてもよい。半導体層32は、例えば、InPまたはGaAsなどのような化合物半導体で形成されている。半導体層32は、例えば、下部クラッド層11によって支持されている。

[0026] 空気層31の厚さと半導体層32の厚さとは、例えば、第2回折光19に対する反射部30の反射率が最大となるように設定される。半導体層32の厚さは、第2回折光19に対する反射部30の反射率が最大となる半導体層32の厚さである基準厚さより大きくてもよい。そのため、反射部30の機械的強度が向上して、半導体光利得素子1の機械的強度が向上する。

[0027] 半導体光利得素子1の活性部2は、公知の方法によって製造される。図3から図10を参照して、本実施の形態の半導体光利得素子1の受動部3の製造方法の一例を説明する。

[0028] 図3及び図4を参照して、エピタキシャル成長によって、基板10の主面10a上に第1下部クラッド部分層21を形成する。第1下部クラッド部分層21は、例えば、InPまたはGaAsなどのような化合物半導体で形成されている。

[0029] 図3及び図4を参照して、エピタキシャル成長によって、基板10の主面10a上に多層膜33を形成する。多層膜33は、半導体層32と犠牲層34とを交互に積層することによって形成される。犠牲層34は、図9及び図10に示されるエッチング工程に使用されるエッチャントに対して、半導体層32よりも高いエッチングレートを有する材料で形成されている。例えば、半導体層32は、例えば、InPまたはGaAsなどのような化合物半導体で形成されている。犠牲層34は、例えば、InGaAsP、AlGaI

nAs、InGaAsまたはAlInAsなどのような化合物半導体で形成されている。

[0030] 図5及び図6を参照して、エピタキシャル成長によって、多層膜33上に第2下部クラッド部分層22を形成する。第2下部クラッド部分層22は、例えば、第1下部クラッド部分層21と同じ材料で形成されている。第2下部クラッド部分層22は、例えば、InPまたはGaAsなどのような化合物半導体で形成されている。エピタキシャル成長によって、下部クラッド層20上に第1コア層23を形成する。第2下部クラッド部分層22及び第1コア層23をエッチングすることによって、第2下部クラッド部分層22及び第1コア層23にメサ構造を形成する。第1コア層23をエッチングすることによって、第1コア層23に第1グレーティングカップラ24を形成する。エピタキシャル成長によって、第2下部クラッド部分層22及び第1コア層23上に、上部クラッド層25を形成する。メサ構造は、上部クラッド層25で埋め込まれる。

[0031] 図7及び図8を参照して、上部クラッド層25、第2下部クラッド部分層22、多層膜33及び第1下部クラッド部分層21をエッチングすることによって、第1コア層23の両側に溝40を形成する。溝40において、多層膜33の一部が露出する。溝40に代えて孔が形成されてもよい。

[0032] 図9及び図10を参照して、溝40にエッチャント（例えば、エッチング液）を流入させて、エッチャントによって多層膜33のうち犠牲層34を選択的にエッチングする。半導体層32は、犠牲層34よりもエッチャントに対して低いエッチングレートを有しているため、エッチャントによってほとんどエッチングされない。犠牲層34は空気層31になり、多層膜33は反射部30になる。化学気相成長（CVD）またはスパッタなどによって、上部クラッド層25上に絶縁層26を形成する。こうして、半導体光利得素子1の受動部3が得られる。

[0033] 半導体光利得素子1の動作を説明する。電極14、15から活性層12に電流を注入すると、活性層12において誘導放出現象が生じる。活性層12

から光 17 が出力される。光 17 は、第 1 コア層 23 に結合して、第 1 コア層 23 を伝搬する。第 1 グレーティングカップラ 24 は、光 17 を回折して、第 1 回折光 18 と、第 2 回折光 19 とを生成する。反射部 30 は、第 2 回折光 19 を、受動部 3 の頂面 27 に向けて反射する。第 1 回折光 18 及び第 2 回折光 19 は、受動部 3 の頂面 27 から出射される。

[0034] 半導体光利得素子 1 の作用を説明する。

第 1 回折光 18 は、上部クラッド層 25 を通って、半導体光利得素子 1 から出射される。第 2 回折光 19 は、第 2 下部クラッド部分層 22、第 1 コア層 23 及び上部クラッド層 25 を通って、半導体光利得素子 1 から出射される。上部クラッド層 25 の厚さ、第 1 コア層 23 の厚さ、及び、第 2 下部クラッド部分層 22 の厚さは、各々、基板 10 の厚さよりも十分に小さい。そのため、上部クラッド層 25 の厚さのばらつき、第 1 コア層 23 の厚さのばらつき、及び、第 2 下部クラッド部分層 22 の厚さのばらつきは、各々、基板 10 の厚さのばらつきよりも十分に小さい。第 1 回折光 18 及び第 2 回折光 19 は、半導体光利得素子 1 のうち最も厚さのばらつきが大きい基板 10 を通らずに、半導体光利得素子 1 から出射される。半導体光利得素子 1 からの第 1 回折光 18 及び第 2 回折光 19 の出射位置のばらつきが小さくなる。光導波路チップ 6 (図 46 を参照) に対する半導体光利得素子 1 の実装精度が緩和され得る。

[0035] また、反射部 30 は少なくとも一つの空気層 31 を含むため、第 2 回折光 19 に対する反射部 30 の反射率が増加する。そのため、半導体光利得素子 1 から光導波路チップ 6 への光結合効率が向上し得る。

[0036] 図 11 及び図 12 を参照して、比較例の半導体光利得素子と本実施の形態の半導体光利得素子 1 の例である第 1 実施例から第 3 実施例の半導体光利得素子 1 とを対比しながら、本実施の形態における半導体光利得素子 1 から光導波路チップ 6 への光結合効率の向上について説明する。

[0037] 比較例の半導体光利得素子は、本実施の形態の半導体光利得素子 1 と同様に構成されているが、反射部 30 の構成が異なっている。比較例の半導体光

利得素子では、反射部30は、高屈折率層としてのInGaAsP層と低屈折率層としてのInP層とが交互に積層された多層反射膜である。比較例の反射部30は、低屈折率層として、空気層31を含んでいない。比較例の反射部30は、三十層構造である。第2回折光19の波長を1300nmとし、InGaAsP層の屈折率を3.41とし、InP層の屈折率を3.21とし、反射部30への第2回折光19の入射角を12.7°とする。第2回折光19に対する反射部30の反射率が最大となるように、InGaAsP層の厚さ及びInP層の厚さを設定する。図11に示されるように、第2回折光19に対する比較例の反射部30の反射率は、約55%である。

[0038] これに対し、第1実施例の半導体光利得素子1では、反射部30は、高屈折率層（半導体層32）としてのInP層と低屈折率層としての空気層31と高屈折率層（半導体層32）としてのInP層とが積層された多層反射膜である。すなわち、第1実施例の反射部30に含まれる空気層31は一層であり、第1実施例の反射部30に含まれるInP層（半導体層32）は二層であり、第1実施例の反射部30は三層構造である。

[0039] 第2実施例の半導体光利得素子1及び第3実施例の半導体光利得素子1では、反射部30は、高屈折率層（半導体層32）としてのInP層と低屈折率層としての空気層31とが交互に積層された多層反射膜である。第2実施例の反射部30に含まれる空気層31は二層であり、第2実施例の反射部30に含まれるInP層（半導体層32）は三層であり、第2実施例の反射部30は五層構造である。第3実施例の反射部30に含まれる空気層31は三層であり、第3実施例の反射部30に含まれるInP層（半導体層32）は四層であり、第3実施例の反射部30は七層構造である。

[0040] 第1実施例から第3実施例の各々において、第2回折光19の波長を1300nmとし、空気層31の屈折率を1.00とし、InP層の屈折率を3.21とし、反射部30への第2回折光19の入射角を12.7°とする。第2回折光19に対する反射部30の反射率が最大となるように、空気層31の厚さ及びInP層（半導体層32）の厚さを設定する。図12に示され

るように、第2回折光19に対する第1実施例の反射部30の反射率は、約81.5%であり、第2回折光19に対する第2実施例の反射部30の反射率は、約98.9%であり、第2回折光19に対する第3実施例の反射部30の反射率は、約99.9%である。

[0041] 第1実施例から第3実施例と比較例とから、反射部30が少なくとも一つの空気層31を含むことによって、第2回折光19に対する反射部30の反射率が大きく向上することが分かる。その理由は、第1実施例から第3実施例の各々における、反射部30の低屈折率層（空気層31）と低屈折率層に隣り合う層（例えば、反射部30の高屈折率層（半導体層32）である反射部30のInP層）との間の屈折率差が、比較例における反射部30の低屈折率層（例えば、InP層）と低屈折率層に隣り合う層（反射部30の高屈折率層である反射部30のInGaAsP層）との間の屈折率差よりも大きいためである。そのため、半導体光利得素子1から光導波路チップ6（図46を参照）への光結合効率は向上する。

[0042] また、第1実施例から第3実施例と比較例とから、反射部30が複数の空気層31を含むことによって、第2回折光19に対する反射部30の反射率がさらに向上することが分かる。そのため、半導体光利得素子1から光導波路チップ6（図46を参照）への光結合効率はさらに向上する。

[0043] 本実施の形態の半導体光利得素子1の効果を説明する。

本実施の形態の半導体光利得素子1は、基板10と、基板10上に形成されている活性部2と、基板10上に形成されている受動部3とを備える。活性部2は、活性層12を含む。受動部3は、活性層12に光学的に結合されている第1コア層23と、反射部30と、第1コア層23に対して基板10とは反対側にある頂面27とを含む。第1コア層23に、第1グレーティングカプラ24が形成されている。第1グレーティングカプラ24は、活性層12から出力された光17を回折して、第1グレーティングカプラ24から頂面27に向かう第1回折光18と、第1グレーティングカプラ24から基板10に向かう第2回折光19とを生成する。反射部30は、第1グレーテ

ィングカプラ 24 と基板 10 との間に配置されており、第 2 回折光 19 を受動部 3 の頂面 27 に向けて反射し、かつ、少なくとも一つの空気層 31 を含む。

[0044] 半導体光利得素子 1 は反射部 30 を含むため、第 1 回折光 18 だけでなく第 2 回折光 19 も受動部 3 の頂面 27 から出射される。第 1 回折光 18 及び第 2 回折光 19 は、半導体光利得素子 1 のうち最も厚さのばらつきが大きい基板 10 を通らずに、半導体光利得素子 1 から出射される。そのため、半導体光利得素子 1 からの第 1 回折光 18 及び第 2 回折光 19 の出射位置のばらつきが小さくなる。光導波路チップ 6 に対する半導体光利得素子 1 の実装精度が緩和され得る。また、反射部 30 は少なくとも一つの空気層 31 を含むため、第 2 回折光 19 に対する反射部 30 の反射率が増加する。そのため、半導体光利得素子 1 から光導波路チップ 6 への光結合効率が向上し得る。

[0045] 本実施の形態の半導体光利得素子 1 では、少なくとも一つの空気層 31 は、複数の空気層 31 である。反射部 30 は、複数の空気層 31 と少なくとも一つの半導体層 32 とを含む多層反射膜である。

[0046] 反射部 30 は複数の空気層 31 を含むため、第 2 回折光 19 に対する反射部 30 の反射率がさらに増加する。そのため、半導体光利得素子 1 から光導波路チップ 6 への光結合効率がさらに向上し得る。

[0047] 本実施の形態の半導体光利得素子 1 では、反射部 30 は、分布ブラッグ反射器である。

そのため、光導波路チップ 6 に対する半導体光利得素子 1 の実装精度が緩和され得るとともに、半導体光利得素子 1 から光導波路チップ 6 への光結合効率が向上し得る。

[0048] 本実施の形態の半導体光利得素子 1 では、第 1 グレーティングカプラ 24 は、 $0.58\ \mu\text{m}$ 未満のグレーティングピッチを有する。

[0049] そのため、第 2 回折光 19 は受動部 3 の頂面 27 で全反射されることなく、半導体光利得素子 1 の外部へ出射される。半導体光利得素子 1 から光導波路チップ 6 への光結合効率が向上し得る。

[0050] 実施の形態 2.

図 1 3 及び図 1 4 を参照して、実施の形態 2 の半導体光利得素子 1 b を説明する。本実施の形態の半導体光利得素子 1 b は、実施の形態 1 の半導体光利得素子 1 と同様の構成を備えるが、主に以下の点で異なる。

[0051] 半導体光利得素子 1 b では、受動部 3 は、支持部材 3 6 をさらに含む。支持部材 3 6 は、空気層 3 1 を貫通して第 1 下部クラッド部分層 2 1 から第 2 下部クラッド部分層 2 2 まで延在している。支持部材 3 6 は、第 2 下部クラッド部分層 2 2 と半導体層 3 2 とを支持している。図 1 5 に示されるように、受動部 3 の頂面 2 7 の平面視において、支持部材 3 6 は、反射部 3 0 の中に配置されている。具体的には、反射部 3 0 に孔 3 7 が形成されている。支持部材 3 6 が孔 3 7 内に形成されている。孔 3 7 に代えて溝が多層膜 3 3 に形成されてもよく、支持部材 3 6 が溝内に形成されてもよい。支持部材 3 6 は、例えば、支持柱または支持壁である。

[0052] 支持部材 3 6 は、例えば、半導体で形成されている。支持部材 3 6 は、半導体層 3 2 と同じ材料で形成されてもよい。支持部材 3 6 は、下部クラッド層 2 0 と同じ材料で形成されてもよい。支持部材 3 6 は、例えば、第 1 下部クラッド部分層 2 1 と同じ材料で形成されてもよいし、第 2 下部クラッド部分層 2 2 と同じ材料で形成されてもよい。支持部材 3 6 は、例えば、InP または GaAs などのような化合物半導体で形成されている。

[0053] 反射部 3 0 に含まれる空気層 3 1 の数は、二つ以上に限られず、一つであってもよい。すなわち、反射部 3 0 は、少なくとも一つの空気層 3 1 を含んでいればよい。反射部 3 0 に含まれる空気層 3 1 の数が一つである場合、反射部 3 0 に半導体層 3 2 が含まれていなくてもよく、支持部材 3 6 は第 2 下部クラッド部分層 2 2 を支持してもよい。

[0054] 図 1 6 から図 2 5 を参照して、本実施の形態の半導体光利得素子 1 b の受動部 3 の製造方法の一例を説明する。本実施の形態の半導体光利得素子 1 b の受動部 3 の製造方法は、実施の形態 1 の半導体光利得素子 1 の受動部 3 の製造方法と同様の工程を備えるが、以下の点で実施の形態 1 の半導体光利得

素子 1 の受動部 3 の製造方法と異なっている。

- [0055] 図 1 6 及び図 1 7 を参照して、実施の形態 1 の半導体光利得素子 1 の受動部 3 の製造方法のうち図 3 及び図 4 に示される工程と同様の工程によって、基板 1 0 の主面 1 0 a 上に第 1 下部クラッド部分層 2 1 と多層膜 3 3 とを形成する。
- [0056] 図 1 8 及び図 1 9 を参照して、多層膜 3 3 をエッチングして、多層膜 3 3 に孔 3 7 を形成する。孔 3 7 内に、例えばエピタキシャル成長によって、支持部材 3 6 を形成する。孔 3 7 に代えて溝を多層膜 3 3 に形成してもよく、支持部材 3 6 を溝内に形成してもよい。支持部材 3 6 は、多層膜 3 3 の中に形成される。支持部材 3 6 は、図 2 4 及び図 2 5 に示されるエッチング工程に使用されるエッチャントに対して、犠牲層 3 4 よりも低いエッチングレートをもつ材料で形成されている。支持部材 3 6 は、例えば、InP または GaAs などのような化合物半導体で形成されている。
- [0057] 図 2 0 及び図 2 1 を参照して、実施の形態 1 の半導体光利得素子 1 の受動部 3 の製造方法のうち図 5 及び図 6 に示される工程と同様の工程によって、多層膜 3 3 及び支持部材 3 6 上に、第 2 下部クラッド部分層 2 2 と、第 1 コア層 2 3 と、上部クラッド層 2 5 とを形成する。第 1 コア層 2 3 に、第 1 グレーティングカプラ 2 4 が形成される。
- [0058] 図 2 2 及び図 2 3 を参照して、実施の形態 1 の半導体光利得素子 1 の受動部 3 の製造方法のうち図 7 及び図 8 に示される工程と同様の工程によって、第 1 コア層 2 3 の両側に溝 4 0 を形成する。溝 4 0 に代えて、孔が形成されてもよい。溝 4 0 において、多層膜 3 3 の一部が露出する。
- [0059] 図 2 4 及び図 2 5 を参照して、実施の形態 1 の半導体光利得素子 1 の受動部 3 の製造方法のうち図 9 及び図 1 0 に示される工程と同様の工程によって、溝 4 0 にエッチャント（例えば、エッチング液）を流入させて、エッチャントによって多層膜 3 3 のうち犠牲層 3 4 を選択的にエッチングする。半導体層 3 2 及び支持部材 3 6 は、犠牲層 3 4 よりも、エッチャントに対して低いエッチングレートを有しているため、エッチャントによってほとんどエッ

チングされない。犠牲層 34 は空気層 31 になり、多層膜 33 は反射部 30 になる。化学気相成長 (CVD) またはスパッタなどによって、上部クラッド層 25 上に絶縁層 26 を形成する。こうして、半導体光利得素子 1b の受動部 3 が得られる。

[0060] 本実施の形態の半導体光利得素子 1b の効果は、実施の形態 1 の半導体光利得素子 1 の効果に加えて、以下の効果を奏する。

[0061] 本実施の形態の半導体光利得素子 1b では、受動部 3 は、第 1 コア層 23 と基板 10 との間に配置されている下部クラッド層 20 と、支持部材 36 とを含む。下部クラッド層 20 は、反射部 30 と基板 10 との間に配置されている第 1 下部クラッド部分層 21 と、反射部 30 と第 1 コア層 23 との間に配置されている第 2 下部クラッド部分層 22 とを含む。支持部材 36 は、第 1 下部クラッド部分層 21 から第 2 下部クラッド部分層 22 まで延在し、第 2 下部クラッド部分層 22 を支持し、かつ、受動部 3 の頂面 27 の平面視において反射部 30 の中に配置されている。

[0062] 支持部材 36 によって、反射部 30 の機械的強度が向上する。そのため、半導体光利得素子 1b の製造時に半導体光利得素子 1b が破損することが防止され得る。半導体光利得素子 1b の製造歩留まりが向上する。また、半導体光利得素子 1b を長期間使用している間に、半導体光利得素子 1b に印加される熱応力によって半導体光利得素子 1b が破損することが防止され得る。半導体光利得素子 1b の寿命が伸びる。

[0063] 本実施の形態の半導体光利得素子 1b では、受動部 3 は、第 1 コア層 23 と基板 10 との間に配置されている下部クラッド層 20 と、支持部材 36 とを含む。下部クラッド層 20 は、反射部 30 と基板 10 との間に配置されている第 1 下部クラッド部分層 21 と、反射部 30 と第 1 コア層 23 との間に配置されている第 2 下部クラッド部分層 22 とを含む。支持部材 36 は、第 1 下部クラッド部分層 21 から第 2 下部クラッド部分層 22 まで延在し、第 2 下部クラッド部分層 22 と少なくとも一つの半導体層 32 とを支持し、かつ、受動部 3 の頂面 27 の平面視において反射部 30 の中に配置されている

- 。
- [0064] 支持部材 36 によって、反射部 30 の機械的強度が向上する。そのため、半導体光利得素子 1b の製造時に半導体光利得素子 1b が破損することが防止され得る。半導体光利得素子 1b の製造歩留まりが向上する。また、半導体光利得素子 1b を長期間使用している間に、半導体光利得素子 1b に印加される熱応力によって半導体光利得素子 1b が破損することが防止され得る。半導体光利得素子 1b の寿命が伸びる。
- [0065] 実施の形態 3.
- 図 26 から図 30 を参照して、実施の形態 3 の半導体光利得素子 1c を説明する。本実施の形態の半導体光利得素子 1c は、実施の形態 1 の半導体光利得素子 1 と同様の構成を備えるが、主に以下の点で異なる。
- [0066] 半導体光利得素子 1c では、受動部 3 の頂面 27 の平面視において、反射部 30 は、受動部 3 の頂面 27 よりも小さい。受動部 3 の頂面 27 の平面視において、反射部 30 は、上部クラッド層 25 よりも小さい。例えば、反射部 30 は、受動部 3 の頂面 27 の平面視において、第 2 回折光 19 が分布する領域に選択的に形成されている。
- [0067] 受動部 3 は、支持部材 36 をさらに含む。支持部材 36 は、第 1 下部クラッド部分層 21 から第 2 下部クラッド部分層 22 まで延在している。支持部材 36 は、第 2 下部クラッド部分層 22 と半導体層 32 とを支持している。図 27 に示されるように、支持部材 36 は、受動部 3 の頂面 27 の平面視において、反射部 30 の周りに配置されている。支持部材 36 に、反射部 30 の空気層 31 に連通する穴 38 が設けられている。例えば、支持部材 36 は、例えば、壁であり、穴 38 は壁に設けられている。反射部 30 を構成する空気層 31 及び半導体層 32 は、穴 38 内にもある。
- [0068] 支持部材 36 は、例えば、半導体で形成されてもよい。支持部材 36 は、例えば、半導体層 32 と同じ材料で形成されてもよい。支持部材 36 は、例えば、下部クラッド層 20 と同じ材料で形成されてもよい。支持部材 36 は、例えば、第 1 下部クラッド部分層 21 と同じ材料で形成されてもよいし、

第2下部クラッド部分層22と同じ材料で形成されてもよい。支持部材36は、例えば、InPまたはGaAsなどのような化合物半導体で形成されている。

[0069] 反射部30に含まれる空気層31の数は、二つ以上に限られず、一つであってもよい。すなわち、反射部30は、少なくとも一つの空気層31を含んでいればよい。反射部30に含まれる空気層31の数が一つである場合、反射部30に半導体層32が含まれていなくてもよく、支持部材36は第2下部クラッド部分層22を支持してもよい。

[0070] 図31から図45を参照して、本実施の形態の半導体光利得素子1cの受動部3の製造方法の一例を説明する。図32、図35、図38、図41及び図44は、受動部3のうち、図29に対応する部分の概略部分拡大断面図である。図33、図36、図39、図42及び図45は、受動部3のうち、図30に対応する部分の概略部分拡大断面図である。本実施の形態の半導体光利得素子1cの受動部3の製造方法は、実施の形態1の半導体光利得素子1の受動部3の製造方法と同様の工程を備えるが、以下の点で実施の形態1の半導体光利得素子1の受動部3の製造方法と異なっている。

[0071] 図31から図33を参照して、実施の形態1の半導体光利得素子1の受動部3の製造方法のうち図3及び図4に示される工程と同様の工程によって、基板10の主面10a上に第1下部クラッド部分層21と多層膜33とを形成する。

[0072] 図34から図36を参照して、多層膜33をエッチングする。多層膜33の周りに、例えばエピタキシャル成長によって、支持部材36を形成する。支持部材36は、多層膜33の周りに形成される。支持部材36に穴38（図27を参照）が設けられており、多層膜33は穴38内にもある。支持部材36は、図43から図45に示されるエッチング工程に使用されるエッチャントに対して、犠牲層34よりも低いエッチングレートを有する材料で形成されている。支持部材36は、例えば、InPまたはGaAsなどのような化合物半導体で形成されている。

- [0073] 図37から図39を参照して、実施の形態1の半導体光利得素子1の受動部3の製造方法のうち図5及び図6に示される工程と同様の工程によって、多層膜33及び支持部材36上に、第2下部クラッド部分層22と、第1コア層23と、上部クラッド層25とを形成する。第1コア層23に、第1グレーティングカプラ24が形成される。
- [0074] 図40から図42を参照して、実施の形態1の半導体光利得素子1の受動部3の製造方法のうち図7及び図8に示される工程と同様に、上部クラッド層25、第2下部クラッド部分層22、多層膜33、支持部材36及び第1下部クラッド部分層21をエッチングすることによって、第1コア層23の両側に溝40を形成する。第1コア層23の両側に形成された溝40は、支持部材36の穴38につながっている。溝40において、多層膜33の一部が露出する。溝40に代えて、孔が形成されてもよい。
- [0075] 図43から図45を参照して、実施の形態1の半導体光利得素子1の受動部3の製造方法のうち図9及び図10に示される工程と同様の工程によって、溝40にエッチャント（例えば、エッチング液）を流入させて、エッチャントによって多層膜33のうち犠牲層34を選択的にエッチングする。エッチャントは、犠牲層34をエッチングしながら、支持部材36の穴38から支持部材36の内側に流入する。半導体層32及び支持部材36は、犠牲層34よりもエッチャントに対して低いエッチングレートを有しているため、エッチャントによってほとんどエッチングされない。犠牲層34は空気層31になり、多層膜33は反射部30になる。空気層31は、穴38及び溝40に連通する。化学気相成長（CVD）またはスパッタなどによって、上部クラッド層25上に絶縁層26を形成する。こうして、半導体光利得素子1cの受動部3が得られる。
- [0076] 本実施の形態の半導体光利得素子1cの効果は、実施の形態1の半導体光利得素子1の効果に加えて、以下の効果を奏する。
- [0077] 本実施の形態の半導体光利得素子1cでは、受動部3は、第1コア層23と基板10との間に配置されている下部クラッド層20と、支持部材36と

を含む。下部クラッド層 20 は、反射部 30 と基板 10 との間に配置されている第 1 下部クラッド部分層 21 と、反射部 30 と第 1 コア層 23 との間に配置されている第 2 下部クラッド部分層 22 とを含む。支持部材 36 は、第 1 下部クラッド部分層 21 から第 2 下部クラッド部分層 22 まで延在し、第 2 下部クラッド部分層 22 を支持し、かつ、受動部 3 の頂面 27 の平面視において反射部 30 の周りに配置されている。

[0078] 支持部材 36 によって、反射部 30 の機械的強度が向上する。そのため、半導体光利得素子 1c の製造時に半導体光利得素子 1c が破損することが防止され得る。半導体光利得素子 1c の製造歩留まりが向上する。また、半導体光利得素子 1c を長期間使用している間に、半導体光利得素子 1c に印加される熱応力によって半導体光利得素子 1c が破損することが防止され得る。半導体光利得素子 1c の寿命が伸びる。

[0079] 本実施の形態の半導体光利得素子 1c では、受動部 3 は、第 1 コア層 23 と基板 10 との間に配置されている下部クラッド層 20 と、支持部材 36 とを含む。下部クラッド層 20 は、反射部 30 と基板 10 との間に配置されている第 1 下部クラッド部分層 21 と、反射部 30 と第 1 コア層 23 との間に配置されている第 2 下部クラッド部分層 22 とを含む。支持部材 36 は、第 1 下部クラッド部分層 21 から第 2 下部クラッド部分層 22 まで延在し、第 2 下部クラッド部分層 22 と少なくとも一つの半導体層 32 とを支持し、かつ、受動部 3 の頂面 27 の平面視において反射部 30 の周りに配置されている。

[0080] 支持部材 36 によって、反射部 30 の機械的強度が向上する。そのため、半導体光利得素子 1c の製造時に半導体光利得素子 1c が破損することが防止され得る。半導体光利得素子 1c の製造歩留まりが向上する。また、半導体光利得素子 1c を長期間使用している間に、半導体光利得素子 1c に印加される熱応力によって半導体光利得素子 1c が破損することが防止され得る。半導体光利得素子 1c の寿命が伸びる。

[0081] 本実施の形態の半導体光利得素子 1c では、支持部材 36 に、少なくとも

一つの空気層 31 に連通する穴 38 が設けられている。

[0082] そのため、受動部 3 の頂面 27 の平面視において支持部材 36 が反射部 30 の周りに配置されていても、エッチャントは、犠牲層 34 をエッチングしながら、支持部材 36 の穴 38 から支持部材 36 の内側に流入する。空気層 31 を含む反射部 30 の製造が容易になる。

[0083] 実施の形態 4.

図 46 を参照して、実施の形態 4 に係る光半導体装置 5 を説明する。光半導体装置 5 は、実施の形態 1 の半導体光利得素子 1 と、光導波路チップ 6 と、接合部材 50 とを備える。

[0084] 光導波路チップ 6 は、基板 43 と、下部クラッド層 44 と、第 2 コア層 45 と、上部クラッド層 47 と、頂面 48 とを含む。

[0085] 基板 43 は、例えば、Si 基板のような半導体基板である。基板 43 は、基板 10 と異なる材料で形成されてもよい。

[0086] 下部クラッド層 44 は、例えば化学気相成長 (CVD) またはスパッタなどによって、基板 43 上に形成される。下部クラッド層 44 は、第 2 コア層 45 と基板 43 との間に配置されている。下部クラッド層 44 は、例えば、酸化シリコン層 (SiO₂ 層) である。

[0087] 第 2 コア層 45 は、例えば化学気相成長 (CVD) またはスパッタなどによって、下部クラッド層 44 上に形成される。第 2 コア層 45 は、下部クラッド層 44 及び上部クラッド層 47 よりも、高い屈折率を有している。第 2 コア層 45 は、例えば、第 1 コア層 23 と異なる材料で形成されている。第 2 コア層 45 は、例えば、シリコン (Si) または窒化シリコン (Si₃N₄) で形成されている。例えば、第 2 コア層 45 と上部クラッド層 47 との間の屈折率差、及び、第 2 コア層 45 と下部クラッド層 44 との間の屈折率差は、各々、第 1 コア層 23 と上部クラッド層 25 との間の屈折率差よりも大きく、かつ、第 1 コア層 23 と下部クラッド層 20 との間の屈折率差よりも大きい。光導波路チップ 6 における第 2 コア層 45 への光の閉じ込めは、受動部 3 チップにおける第 1 コア層 23 への光の閉じ込めより強くてよい。

- [0088] 上部クラッド層47は、例えば化学気相成長（CVD）またはスパッタなどによって、第2コア層45上に形成される。上部クラッド層47は、例えば、酸化シリコン層（SiO₂層）である。光導波路チップ6の頂面48は、光導波路チップ6の表面のうち基板43とは反対側の表面である。上部クラッド層47は、頂面48を含む。
- [0089] 第2コア層45に、第1グレーティングカップラ24に光学的に結合する第2グレーティングカップラ46が形成されている。第2グレーティングカップラ46は、例えば、第2コア層45をエッチングすることによって形成される。第1回折光18及び第2回折光19は、第2グレーティングカップラ46に結合して、第2コア層45を伝搬する。
- [0090] 半導体光利得素子1cは、接合部材50を用いて、光導波路チップ6に対してフリップチップ実装されている。具体的には、受動部3の頂面27は、光導波路チップ6（より具体的には、頂面48）に面して配置される。接合部材50は、例えば、Auバンプまたははんだである。
- [0091] 光半導体装置5の動作を説明する。電極14、15から活性層12に電流を注入すると、活性層12において誘導放出現象が生じる。活性層12から光17が出力される。光17は、第1コア層23に結合して、第1コア層23を伝搬する。第1グレーティングカップラ24は、光17を回折して、第1回折光18と、第2回折光19とを生成する。反射部30は、第2回折光19を、受動部3の頂面27に向けて反射する。第1回折光18及び第2回折光19は、受動部3の頂面27から出射される。第1回折光18及び第2回折光19は、第2グレーティングカップラ46に結合して、第2コア層45を伝搬する。
- [0092] 本実施の形態の変形例では、光半導体装置5は、実施の形態1の半導体光利得素子1に代えて、実施の形態2の半導体光利得素子1bまたは実施の形態3の半導体光利得素子1cを備えてもよい。
- [0093] 本実施の形態の光半導体装置5の効果を説明する。
本実施の形態の光半導体装置5は、半導体光利得素子1、1b、1cと、

受動部3の頂面27に面して配置される光導波路チップ6とを備える。光導波路チップ6は、第2コア層45を含む。第2コア層45に、第1グレーティングカプラ24に光学的に結合する第2グレーティングカプラ46が形成されている。

[0094] そのため、光導波路チップ6に対する半導体光利得素子1, 1b, 1cの実装精度が緩和され得るとともに、半導体光利得素子1, 1b, 1cから光導波路チップ6への光結合効率が向上し得る。

[0095] 本実施の形態の光半導体装置5では、第1コア層23は、化合物半導体で形成されている。第2コア層45は、シリコン(Si)または窒化シリコン(Si₃N₄)で形成されている。

[0096] そのため、第2コア層45が第1コア層23とは別の材料で形成されていても、光導波路チップ6に対する半導体光利得素子1, 1b, 1cの実装精度が緩和され得るとともに、半導体光利得素子1, 1b, 1cから光導波路チップ6への光結合効率が向上し得る。

[0097] 今回開示された実施の形態1-4はすべての点で例示であって制限的なものではないと考えられるべきである。矛盾のない限り、今回開示された実施の形態1-4の少なくとも2つを組み合わせてもよい。本開示の範囲は、上記した説明ではなく請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

符号の説明

[0098] 1, 1b, 1c 半導体光利得素子、2 活性部、3 受動部、5 光半導体装置、6 光導波路チップ、10 基板、10a, 10b 主面、11 下部クラッド層、12 活性層、13 上部クラッド層、14, 15 電極、17 光、18 第1回折光、19 第2回折光、20 下部クラッド層、21 第1下部クラッド部分層、22 第2下部クラッド部分層、23 第1コア層、24 第1グレーティングカプラ、25 上部クラッド層、26 絶縁層、27 頂面、30 反射部、31 空気層、32 半導体層、33 多層膜、34 犠牲層、36 支持部材、37 孔、38 穴、4

0 溝、43 基板、44 下部クラッド層、45 第2コア層、46 第2グレーティングカプラ、47 上部クラッド層、48 頂面、50 接合部材。

請求の範囲

- [請求項1] 基板と、
前記基板上に形成されている活性部と、
前記基板上に形成されている受動部とを備え、
前記活性部は、活性層を含み、
前記受動部は、前記活性層に光学的に結合されている第1コア層と、
反射部と、前記第1コア層に対して前記基板とは反対側にある頂面とを含み、
前記第1コア層に、第1グレーティングカップラが形成されており、
前記第1グレーティングカップラは、前記活性層から出力された光を
回折して、前記第1グレーティングカップラから前記頂面に向かう第1
回折光と、前記第1グレーティングカップラから前記基板に向かう第2
回折光とを生成し、
前記反射部は、前記第1グレーティングカップラと前記基板との間に
配置されており、前記第2回折光を前記頂面に向けて反射し、かつ、
少なくとも一つの空気層を含む、半導体光利得素子。
- [請求項2] 前記少なくとも一つの空気層は、複数の空気層であり、
前記反射部は、前記複数の空気層と少なくとも一つの半導体層とを
含む多層反射膜である、請求項1に記載の半導体光利得素子。
- [請求項3] 前記反射部は、分布ブラッグ反射器である、請求項2に記載の半導
体光利得素子。
- [請求項4] 前記受動部は、前記第1コア層と前記基板との間に配置されている
下部クラッド層と、支持部材とを含み、
前記下部クラッド層は、前記反射部と前記基板との間に配置されて
いる第1下部クラッド部分層と、前記反射部と前記第1コア層との間
に配置されている第2下部クラッド部分層とを含み、
前記支持部材は、前記第1下部クラッド部分層から前記第2下部ク
ラッド部分層まで延在し、前記第2下部クラッド部分層を支持し、か

つ、前記頂面の平面視において前記反射部の中に配置されている、請求項1から請求項3のいずれか一項に記載の半導体光利得素子。

[請求項5] 前記受動部は、前記第1コア層と前記基板との間に配置されている下部クラッド層と、支持部材とを含み、

前記下部クラッド層は、前記反射部と前記基板との間に配置されている第1下部クラッド部分層と、前記反射部と前記第1コア層との間に配置されている第2下部クラッド部分層とを含み、

前記支持部材は、前記第1下部クラッド部分層から前記第2下部クラッド部分層まで延在し、前記第2下部クラッド部分層と前記少なくとも一つの半導体層とを支持し、かつ、前記頂面の平面視において前記反射部の中に配置されている、請求項2または請求項3に記載の半導体光利得素子。

[請求項6] 前記受動部は、前記第1コア層と前記基板との間に配置されている下部クラッド層と、支持部材とを含み、

前記下部クラッド層は、前記反射部と前記基板との間に配置されている第1下部クラッド部分層と、前記反射部と前記第1コア層との間に配置されている第2下部クラッド部分層とを含み、

前記支持部材は、前記第1下部クラッド部分層から前記第2下部クラッド部分層まで延在し、前記第2下部クラッド部分層を支持し、かつ、前記頂面の平面視において前記反射部の周りに配置されている、請求項1から請求項3のいずれか一項に記載の半導体光利得素子。

[請求項7] 前記受動部は、前記第1コア層と前記基板との間に配置されている下部クラッド層と、支持部材とを含み、

前記下部クラッド層は、前記反射部と前記基板との間に配置されている第1下部クラッド部分層と、前記反射部と前記第1コア層との間に配置されている第2下部クラッド部分層とを含み、

前記支持部材は、前記第1下部クラッド部分層から前記第2下部クラッド部分層まで延在し、前記第2下部クラッド部分層と前記少なく

とも一つの半導体層とを支持し、かつ、前記頂面の平面視において前記反射部の周りに配置されている、請求項2または請求項3に記載の半導体光利得素子。

[請求項8] 前記支持部材に、前記少なくとも一つの空気層に連通する穴が設けられている、請求項6または請求項7に記載の半導体光利得素子。

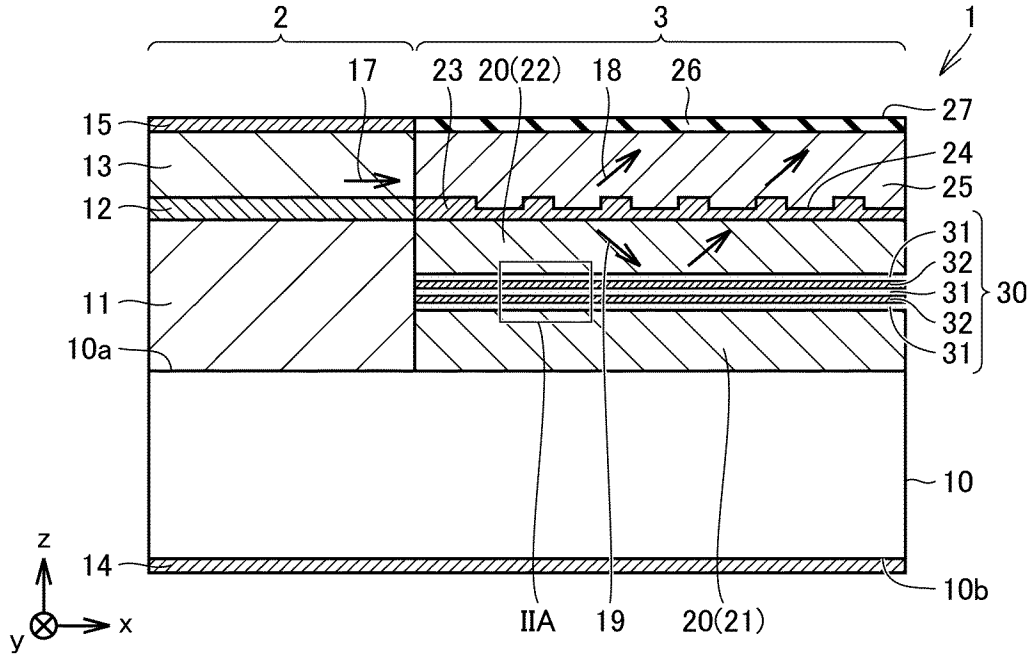
[請求項9] 前記第1グレーティングカプラは、 $0.58\mu\text{m}$ 未満のグレーティングピッチを有する、請求項1から請求項8のいずれかに記載の前記半導体光利得素子。

[請求項10] 請求項1から請求項9のいずれかに記載の前記半導体光利得素子と、
前記頂面に面して配置される光導波路チップとを備え、
前記光導波路チップは、第2コア層を含み、
前記第2コア層に、前記第1グレーティングカプラに光学的に結合する第2グレーティングカプラが形成されている、光半導体装置。

[請求項11] 前記第1コア層は、化合物半導体で形成されており、
前記第2コア層は、シリコンまたは窒化シリコンで形成されている、請求項10に記載の光半導体装置。

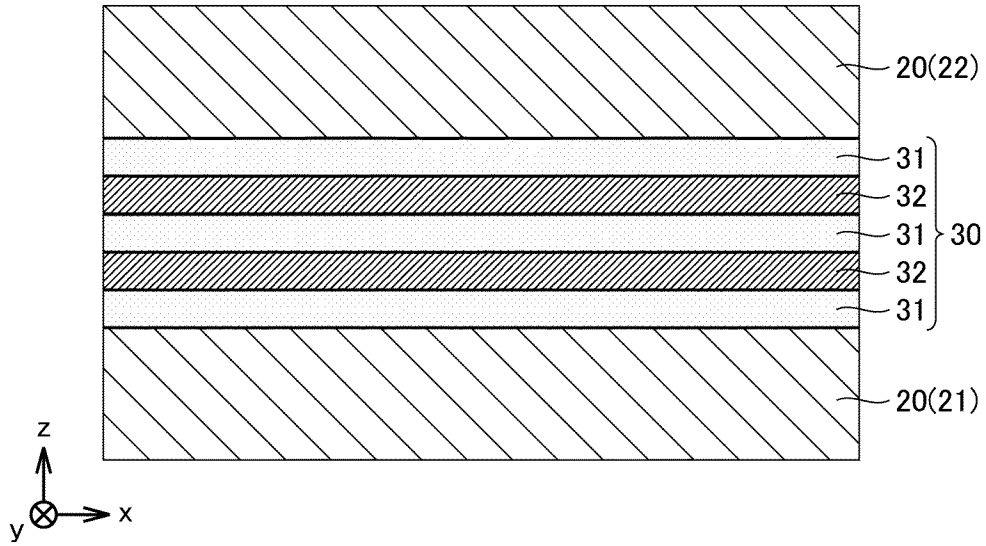
[図1]

図1



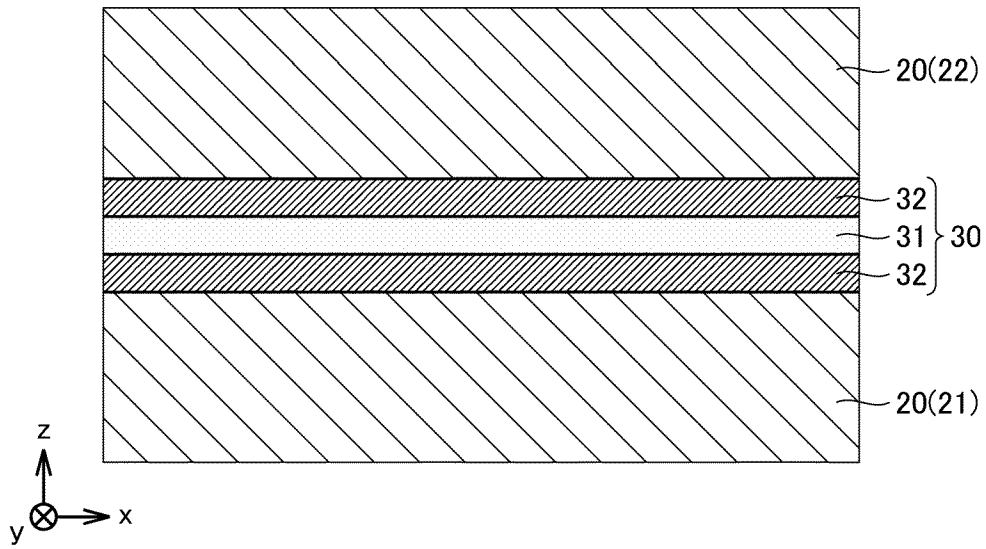
[図2A]

図2A



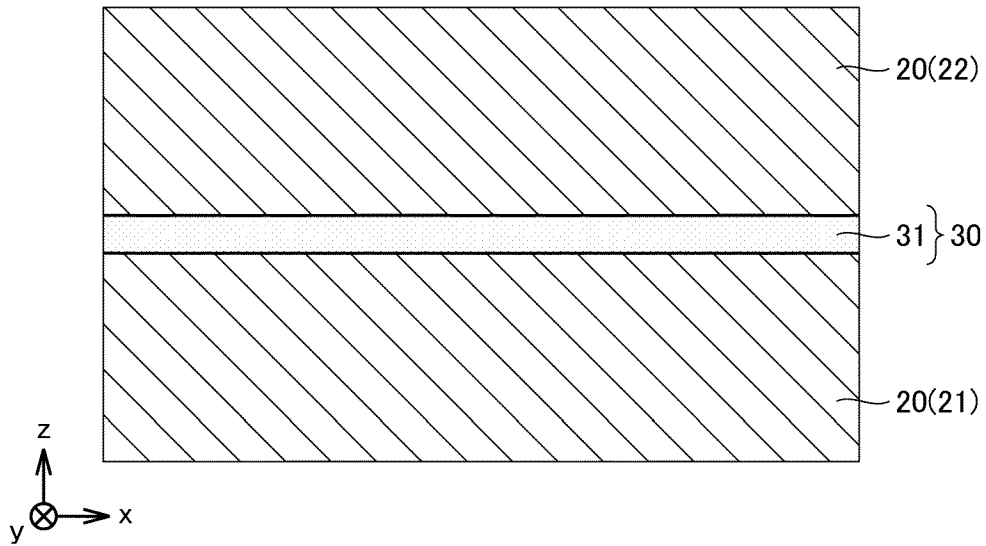
[図2B]

図2B



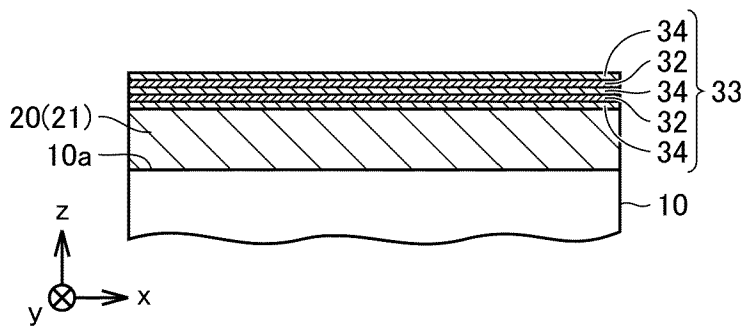
[図2C]

図2C



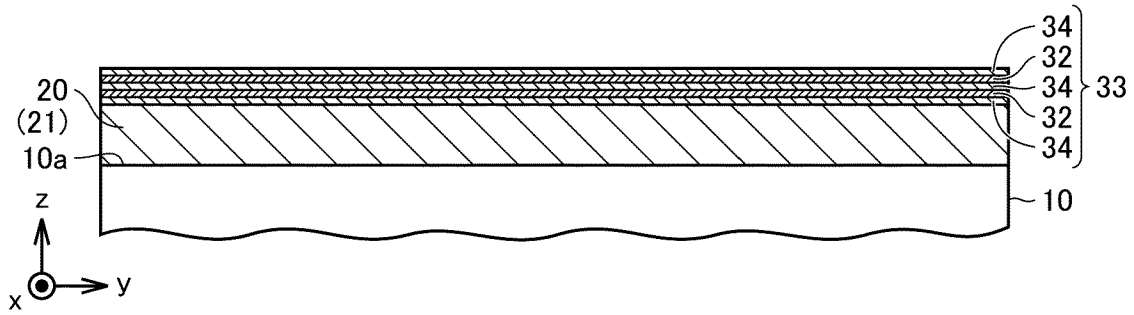
[図3]

図3



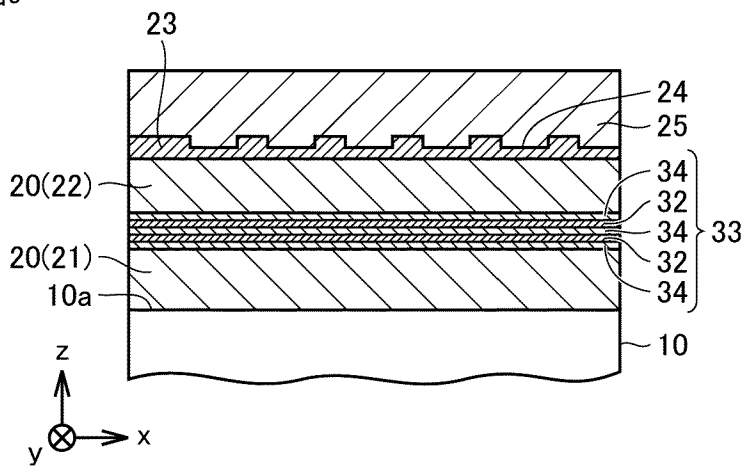
[図4]

図4



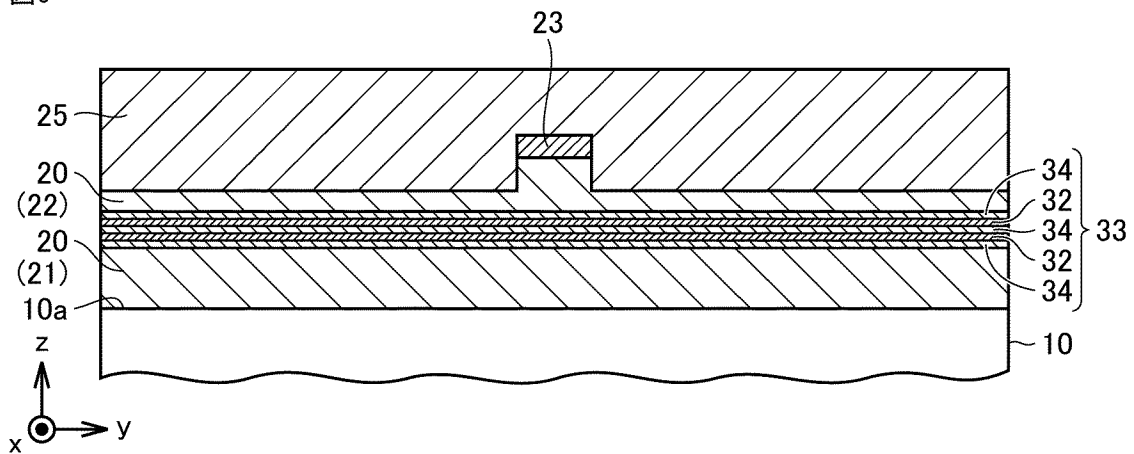
[図5]

図5



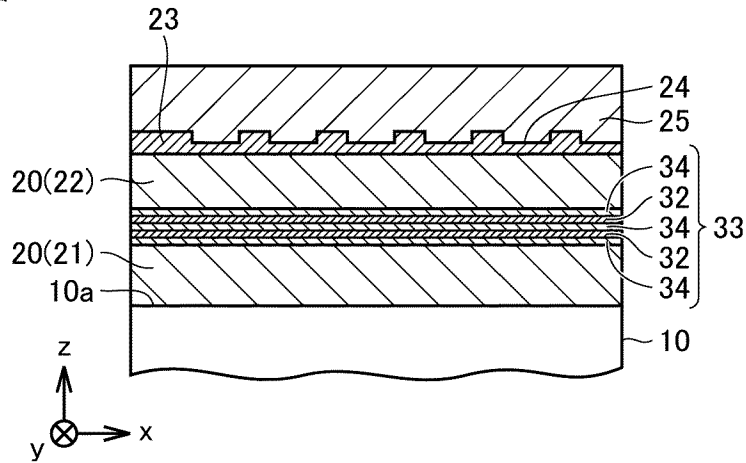
[図6]

図6



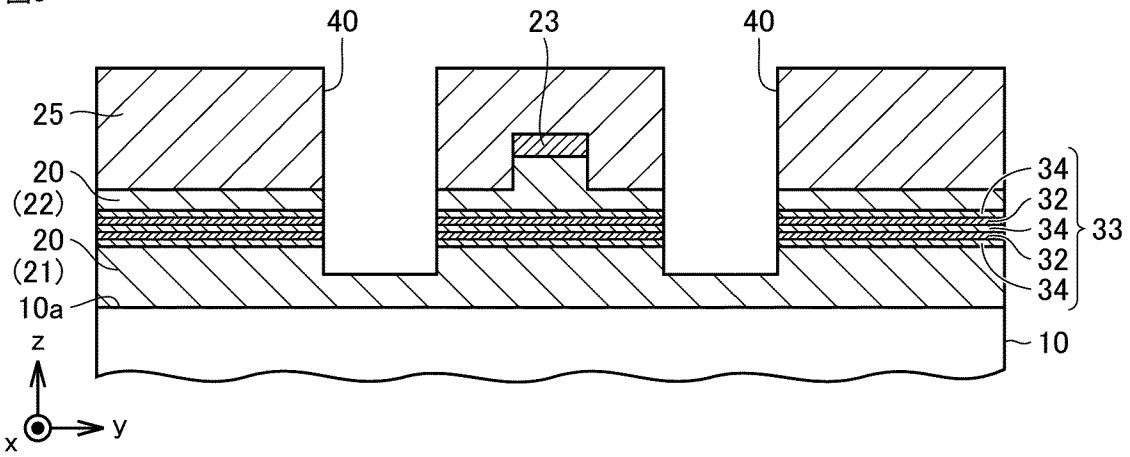
[図7]

図7



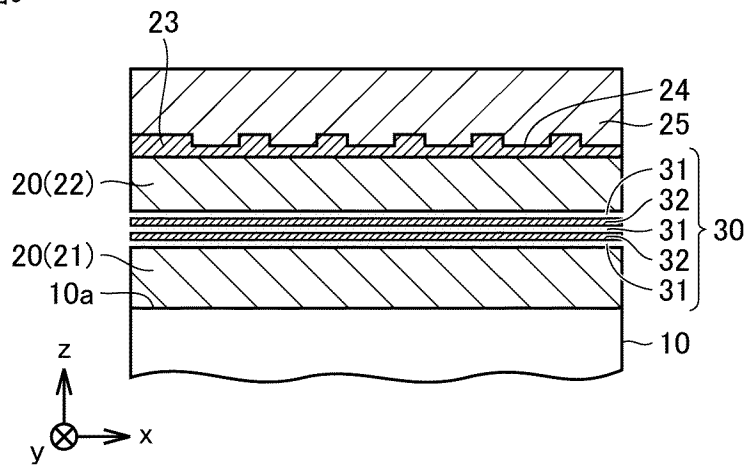
[図8]

図8



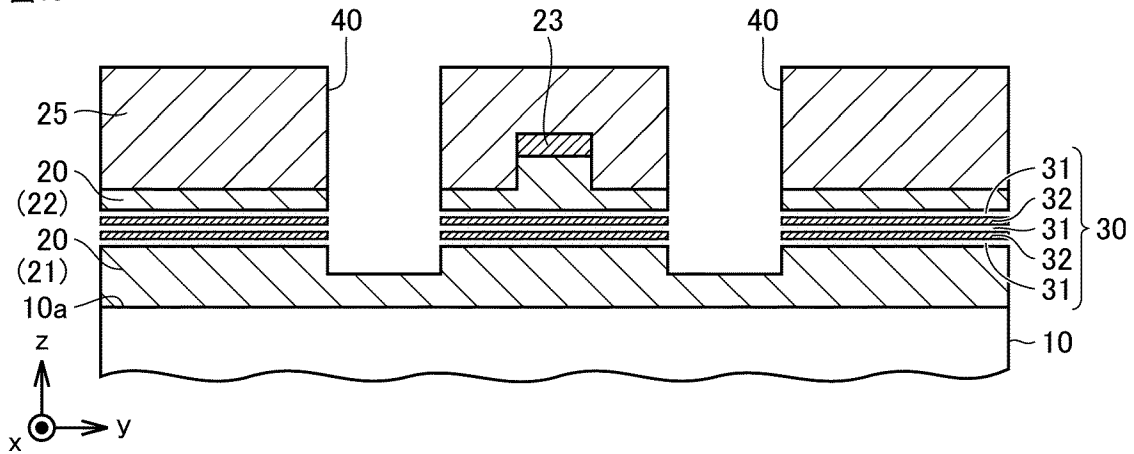
[図9]

図9



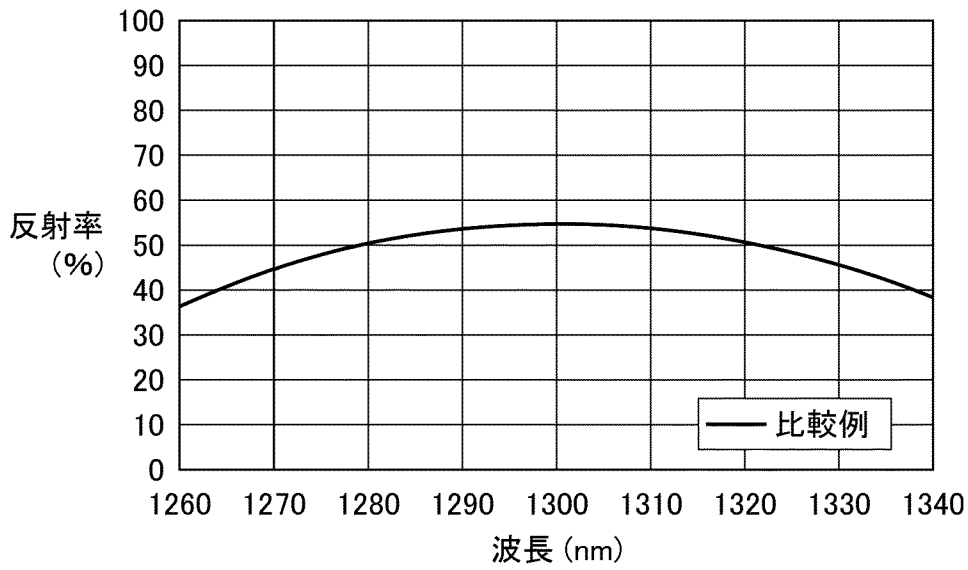
[図10]

図10



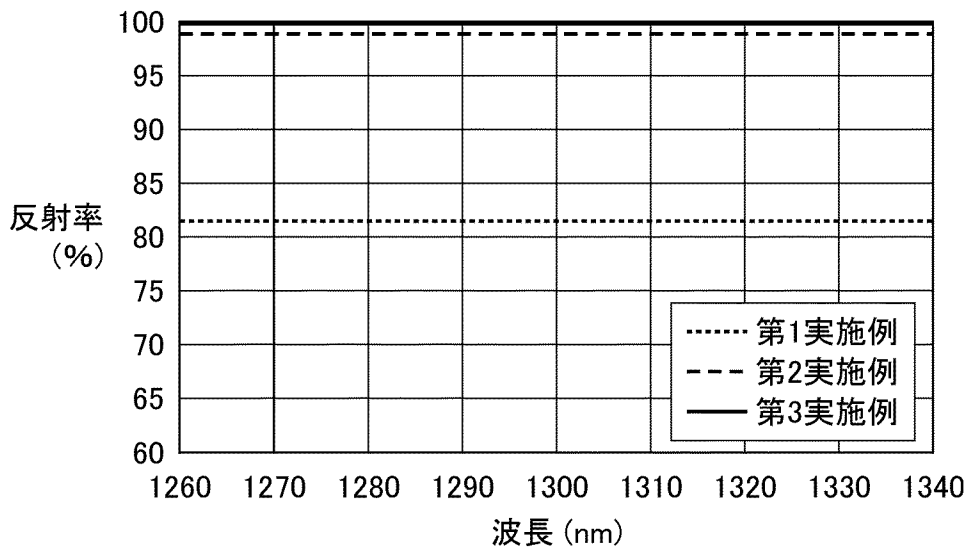
[図11]

図11



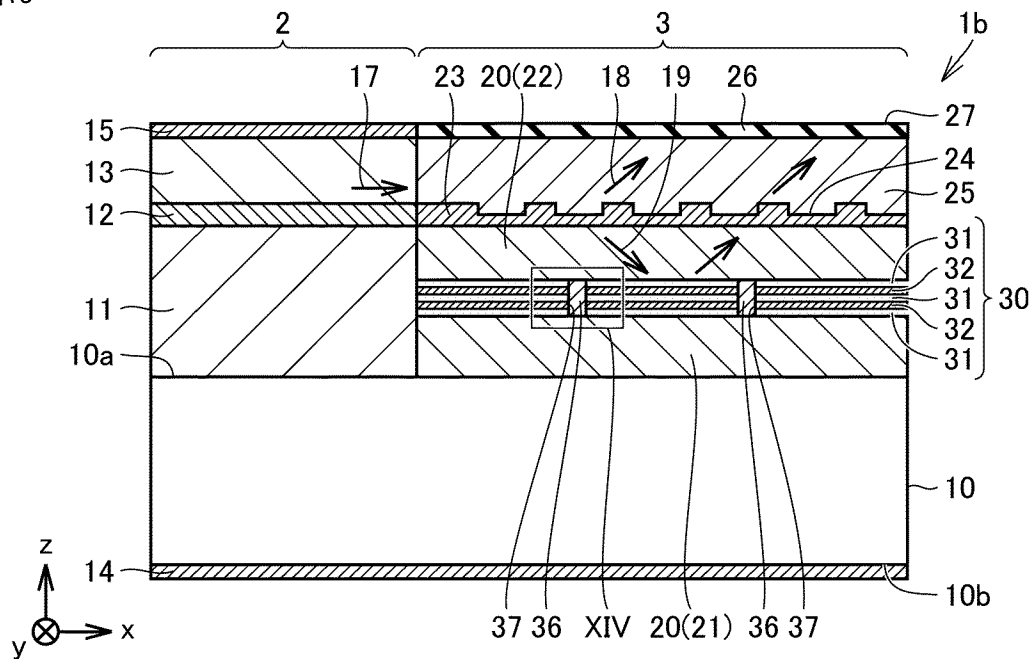
[図12]

図12



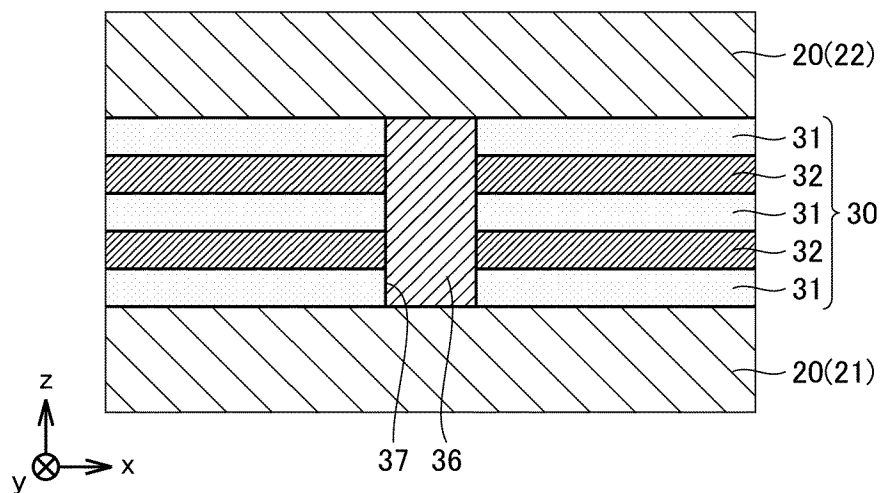
[図13]

図13



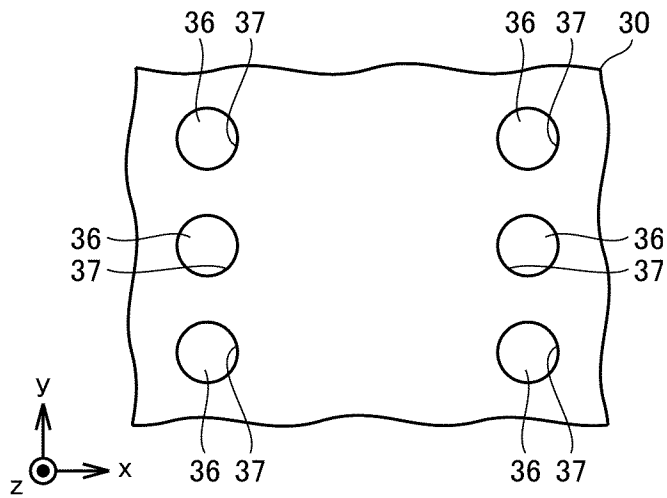
[図14]

図14



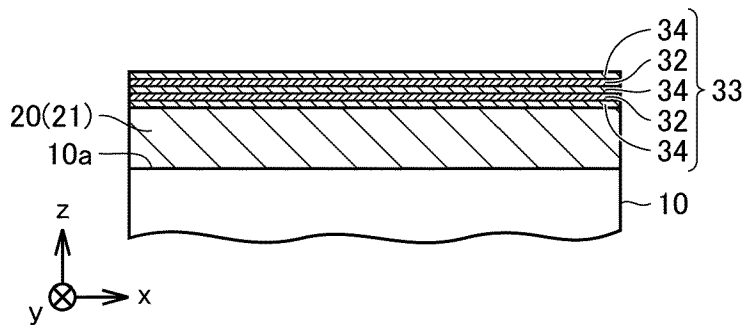
[図15]

図15



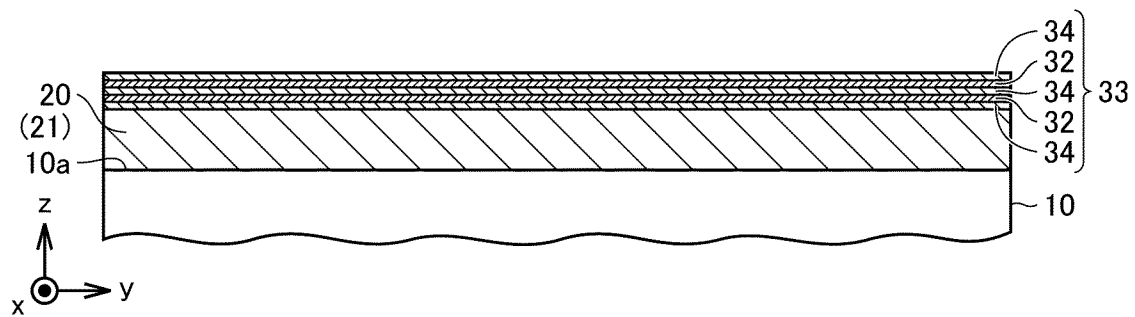
[図16]

図16



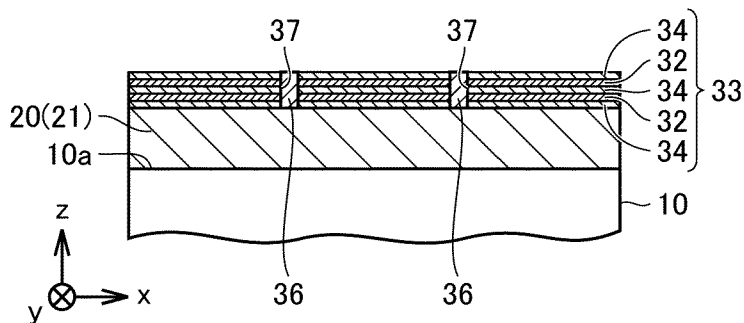
[図17]

図17



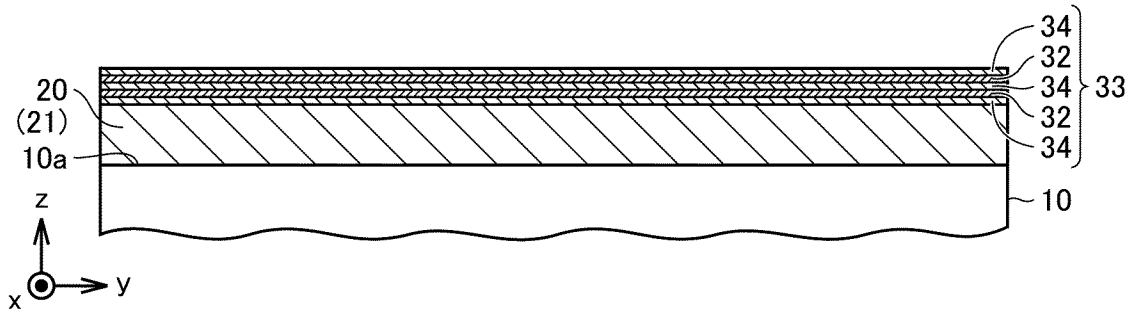
[図18]

図18



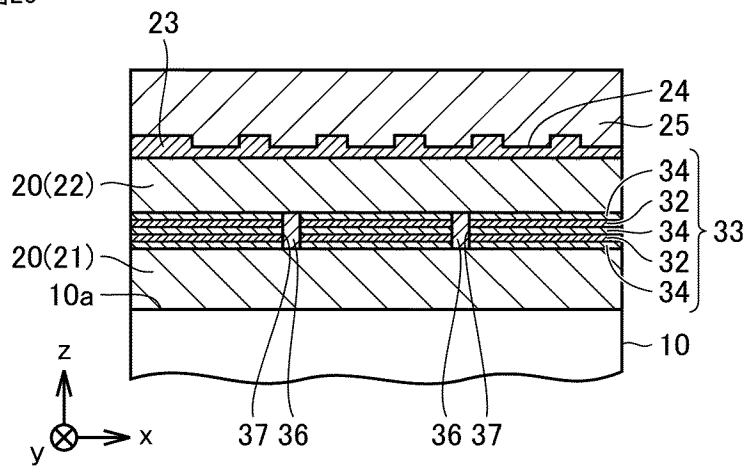
[図19]

図19



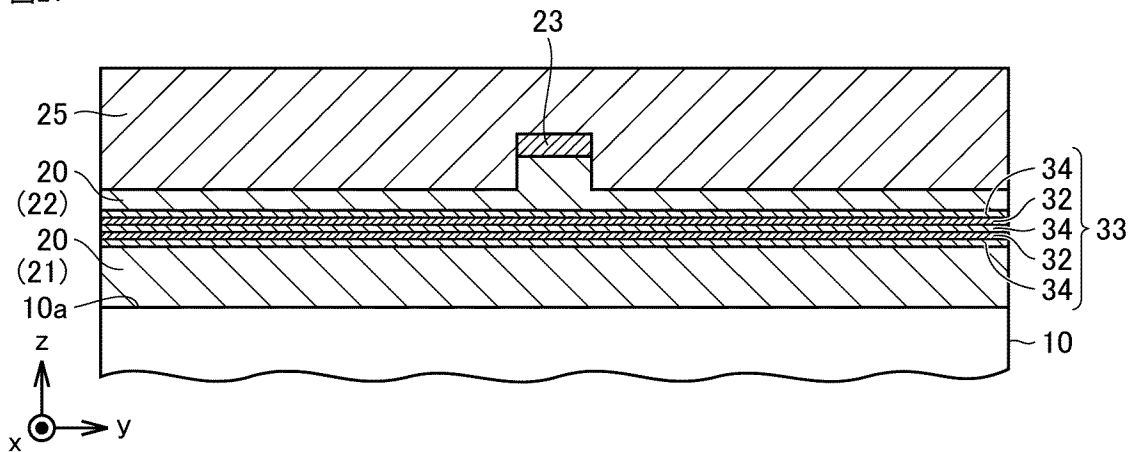
[図20]

図20



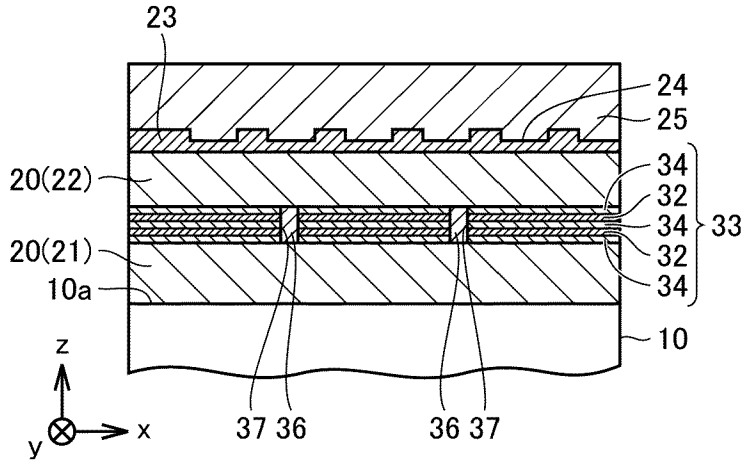
[図21]

図21



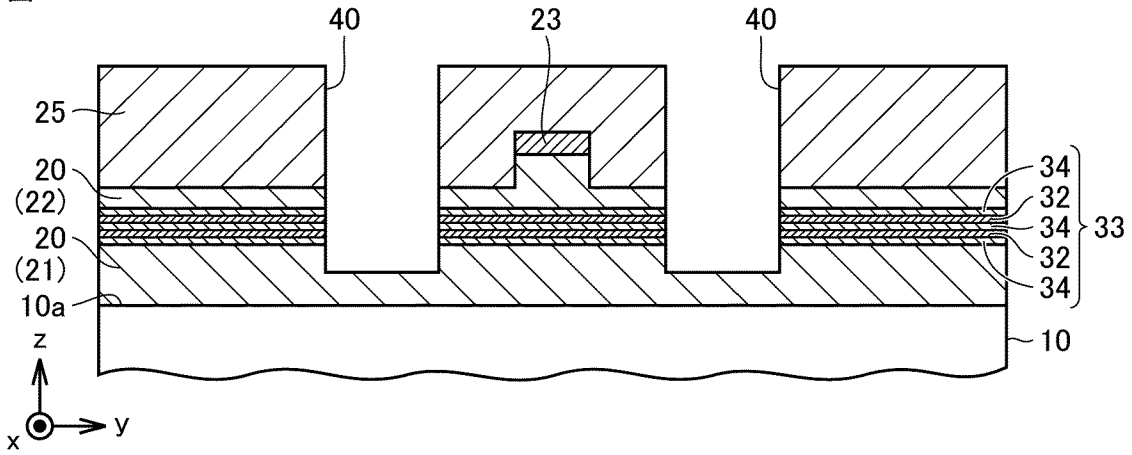
[図22]

図22



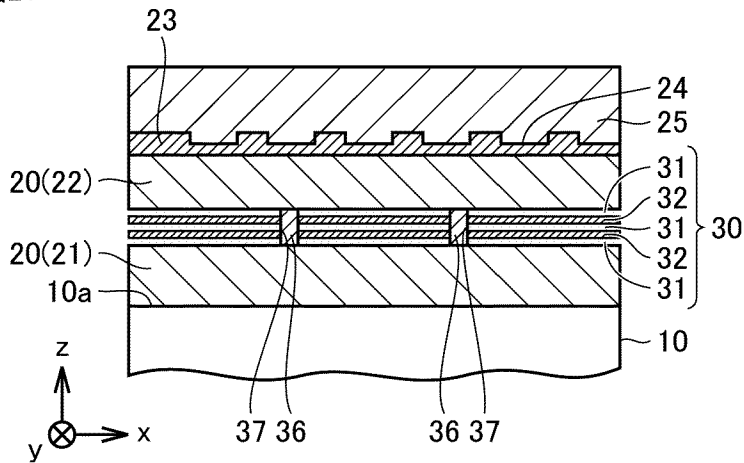
[図23]

図23



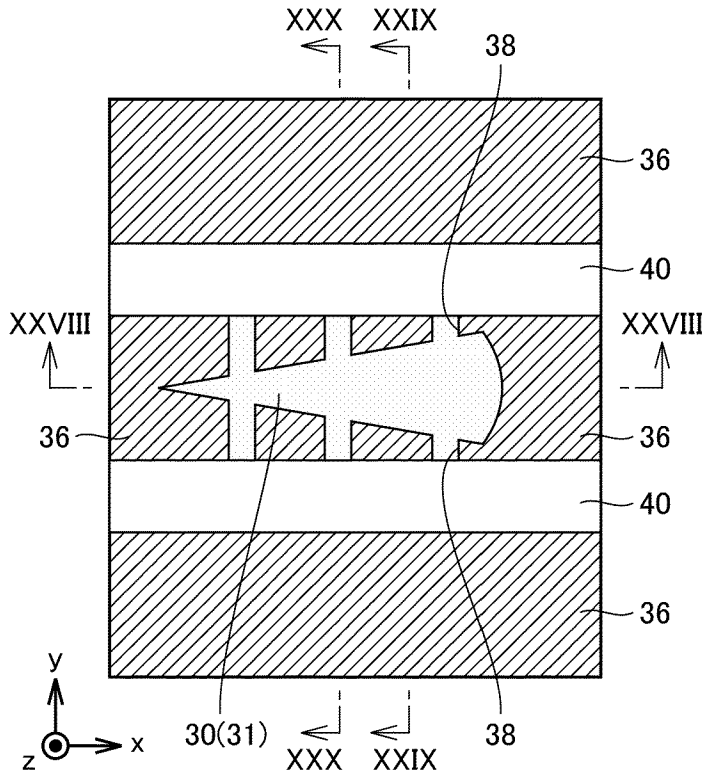
[図24]

図24



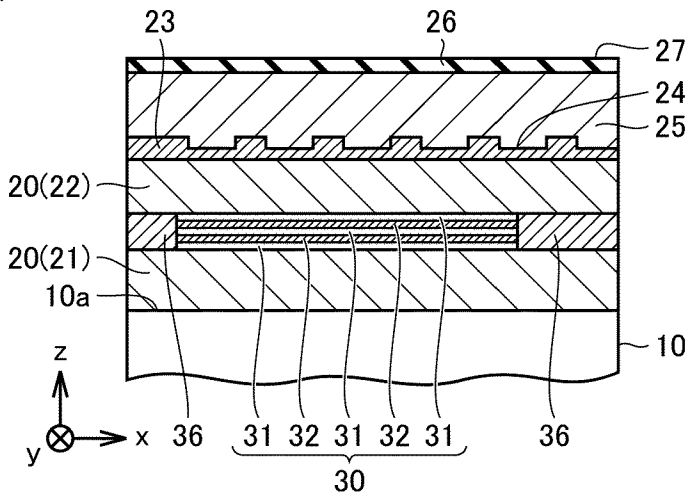
[図27]

図27



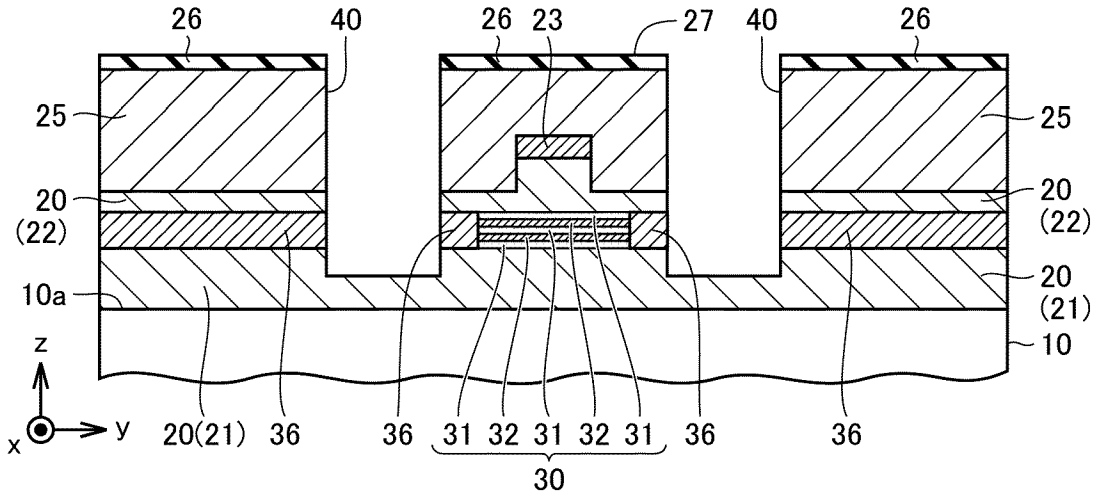
[図28]

図28



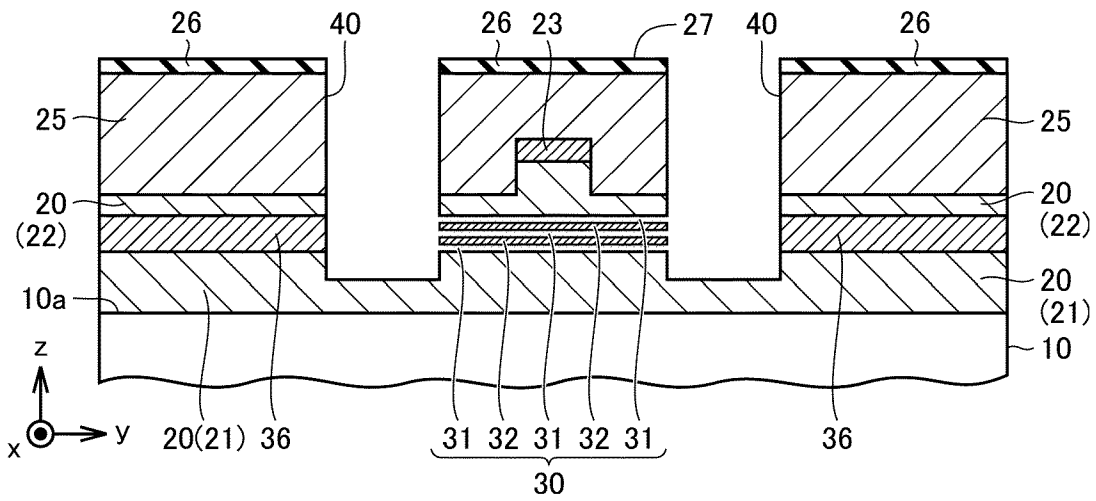
[図29]

図29



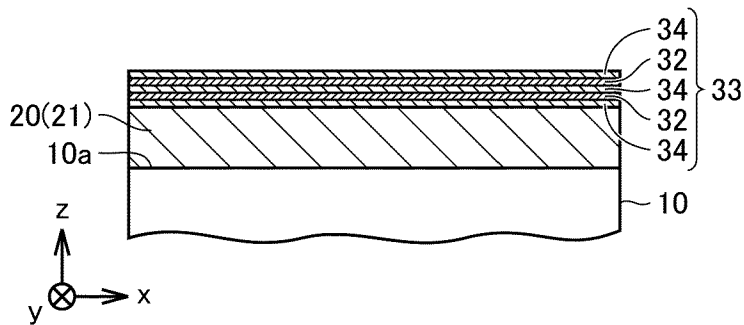
[図30]

図30



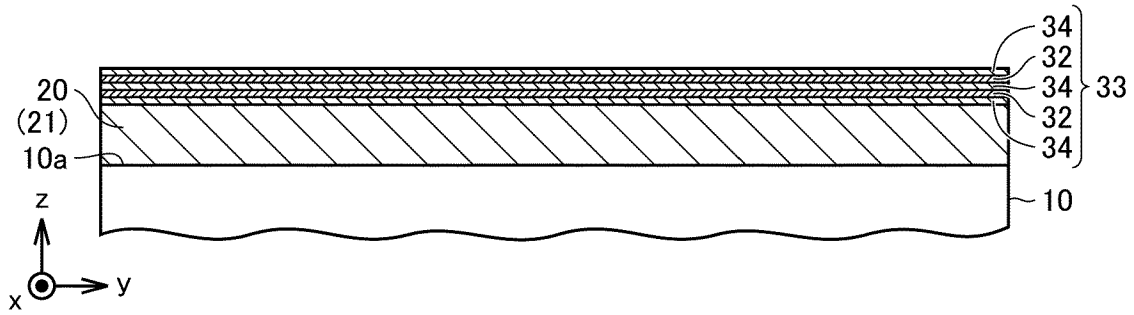
[図31]

図31



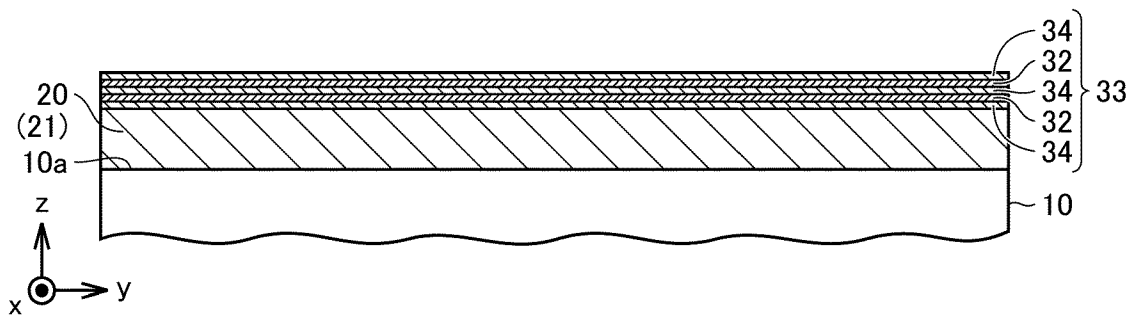
[図32]

図32



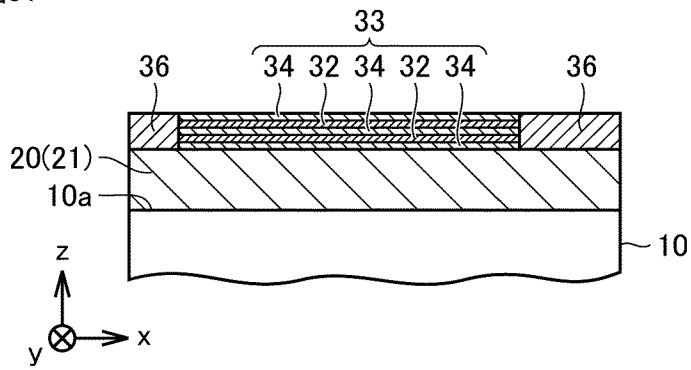
[図33]

図33



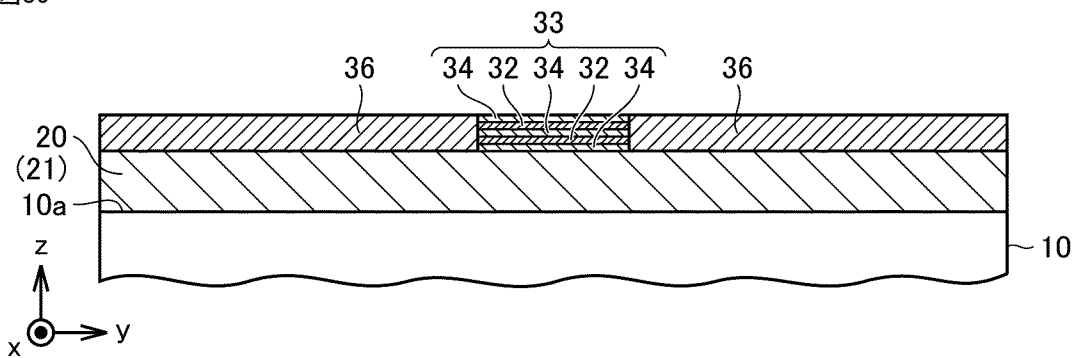
[図34]

図34



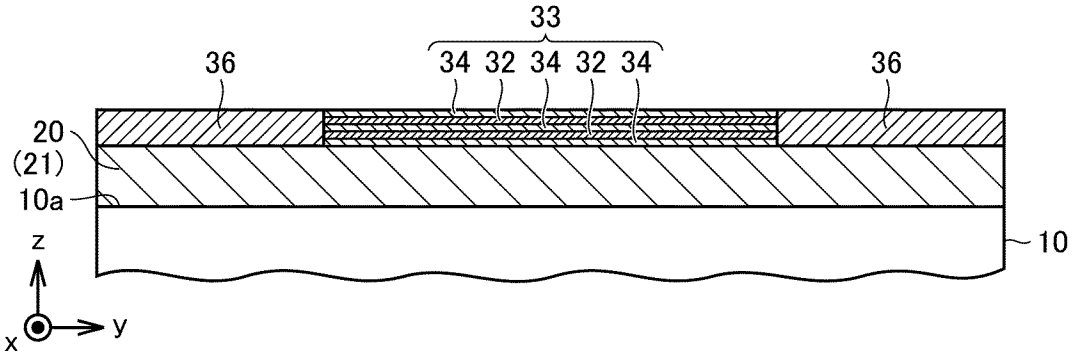
[図35]

図35



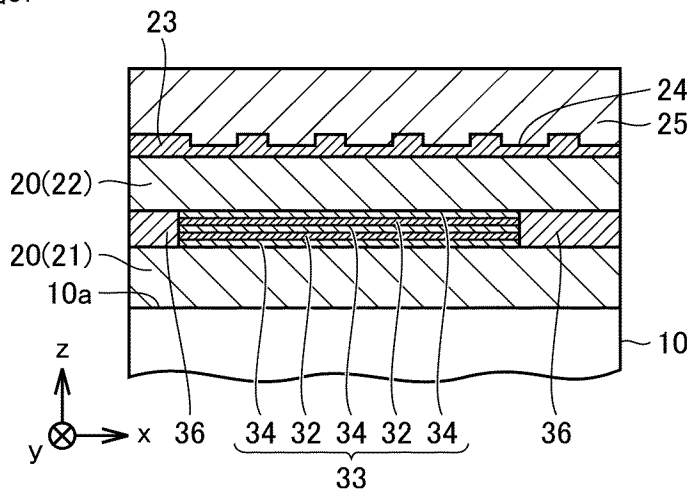
[図36]

図36



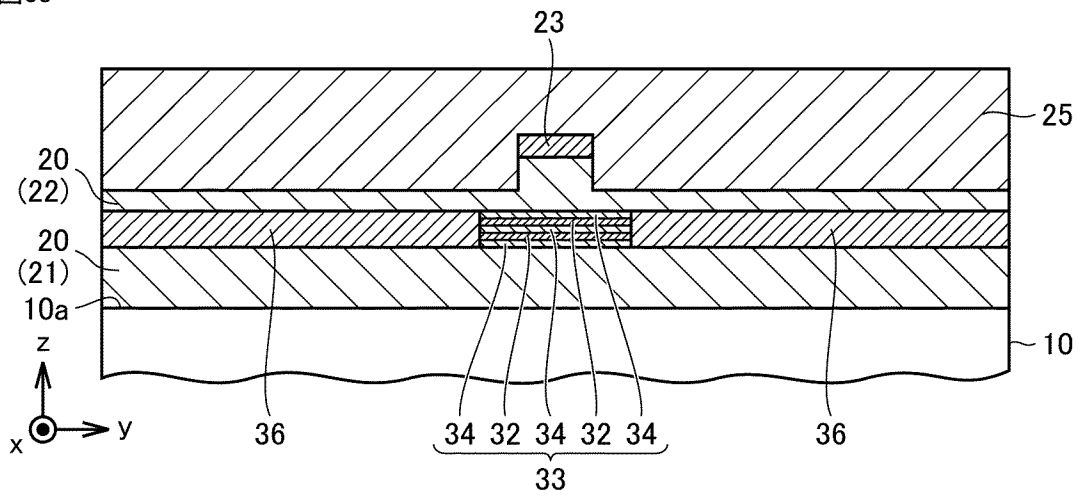
[図37]

図37



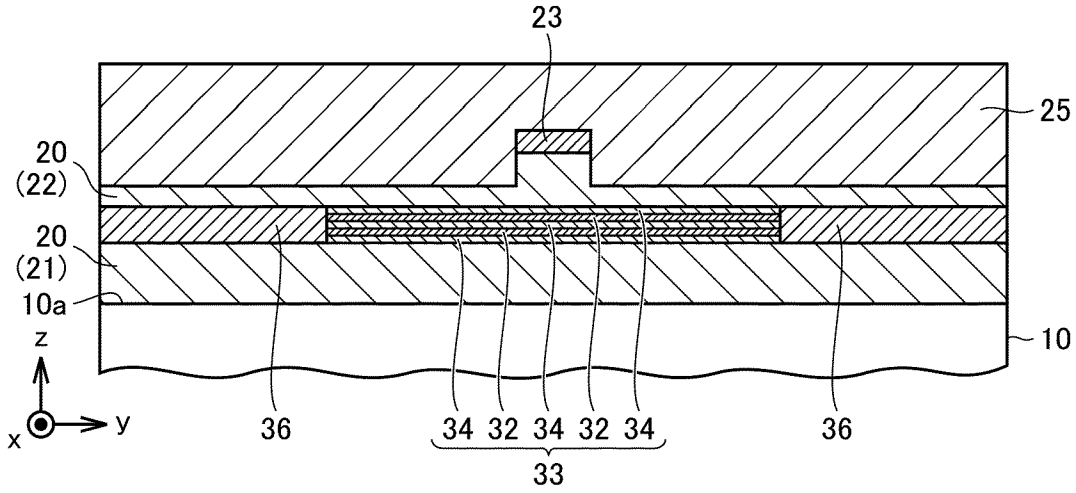
[図38]

図38



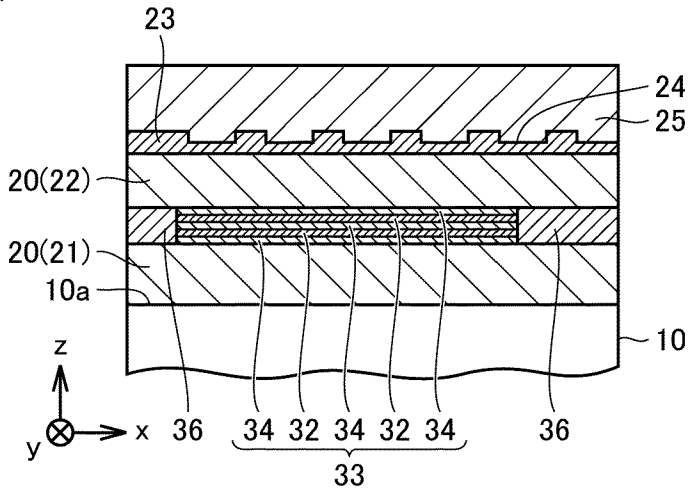
[図39]

図39



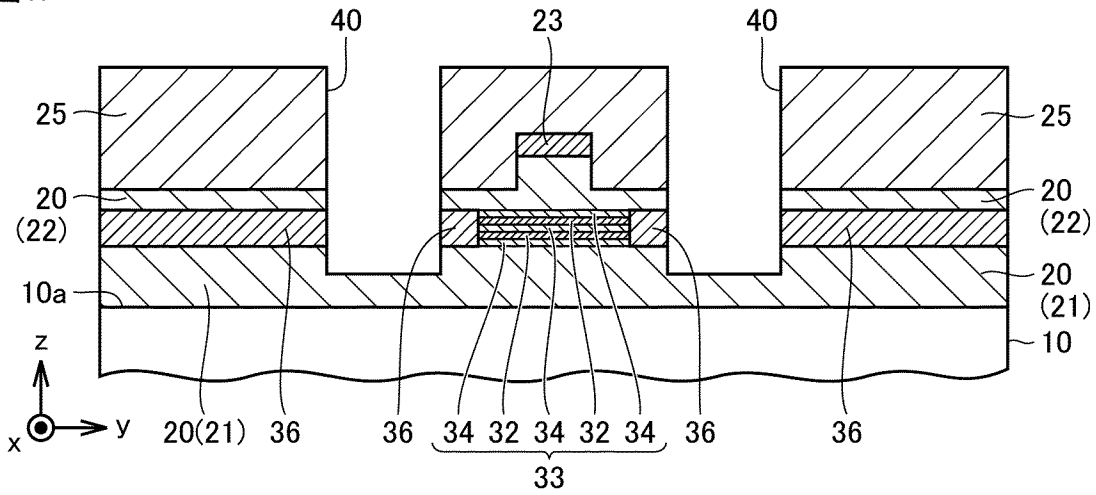
[図40]

図40



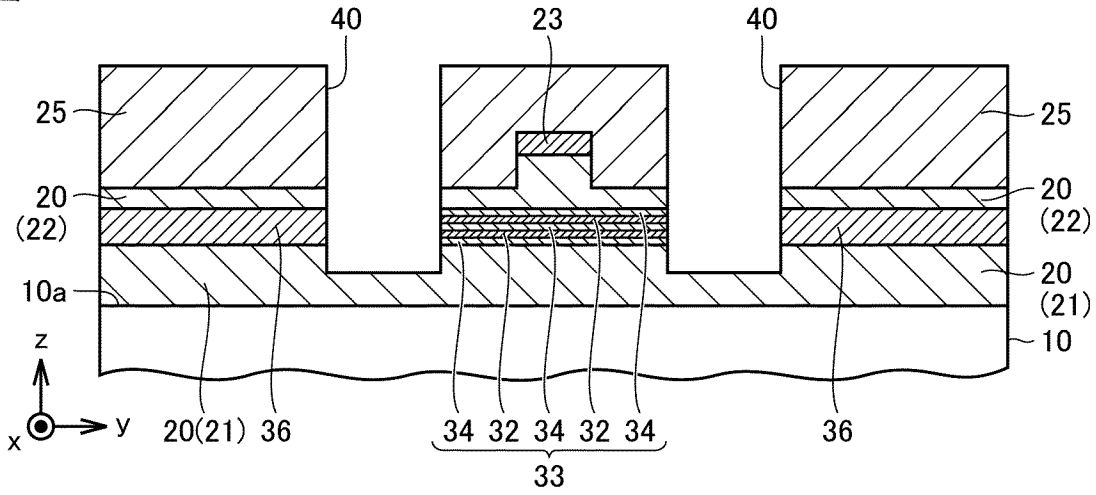
[図41]

図41



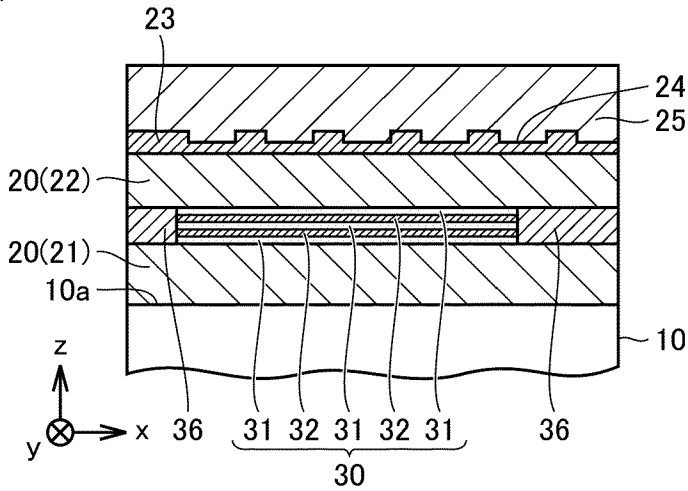
[図42]

図42



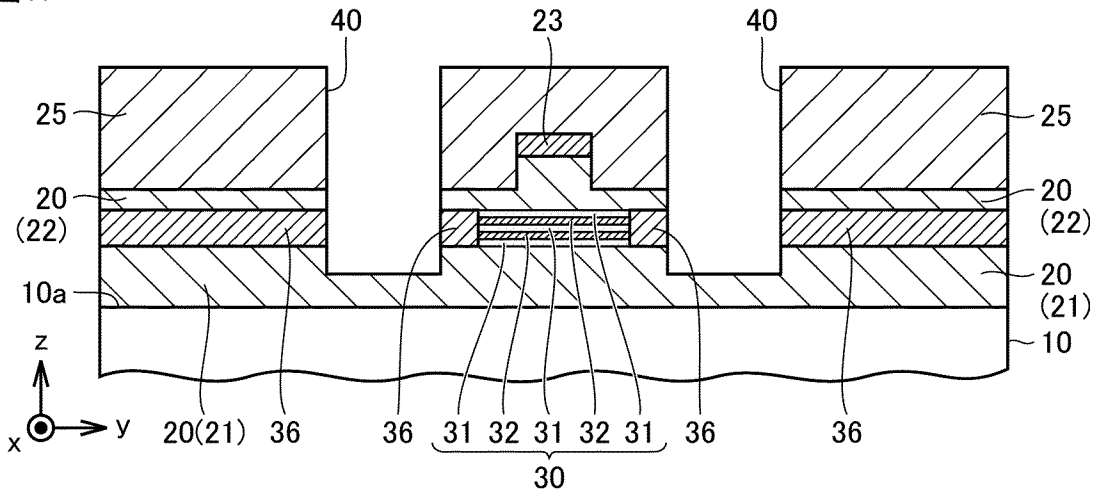
[図43]

図43



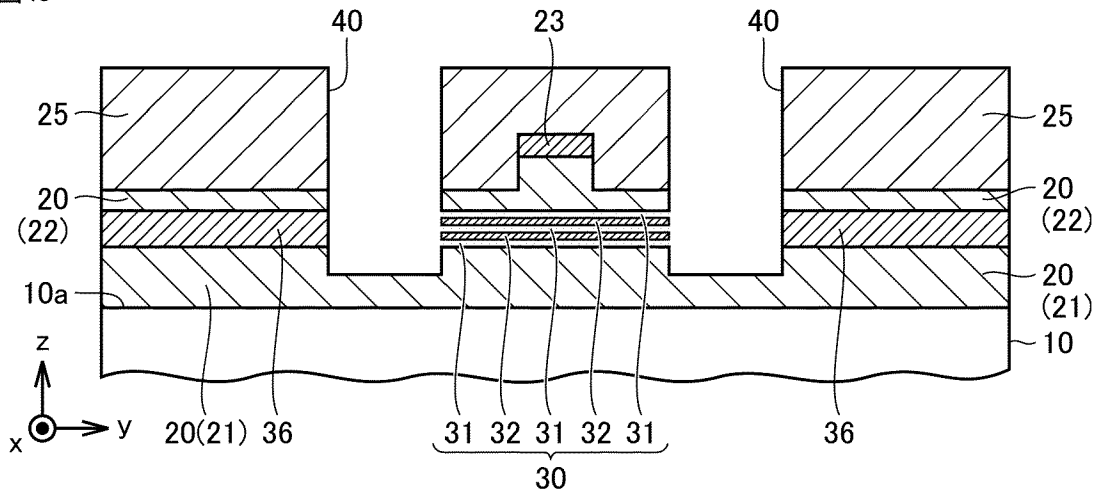
[図44]

図44



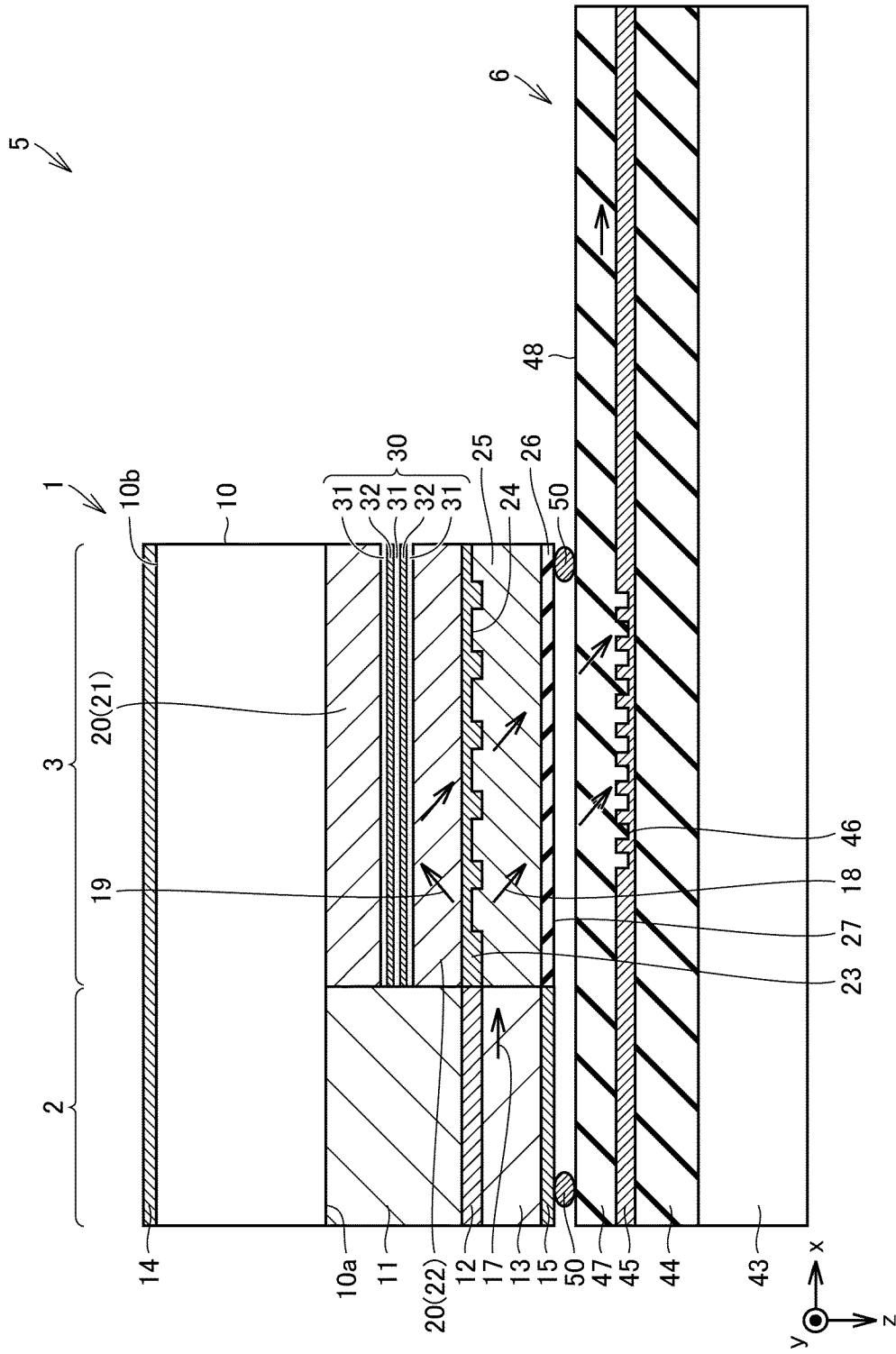
[図45]

図45



[46]

46



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/027114

A. CLASSIFICATION OF SUBJECT MATTER		
<i>G02B 6/124</i> (2006.01)i; <i>G02B 6/42</i> (2006.01)i FI: G02B6/124; G02B6/42		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G02B6/12-6/14; G02B6/42; H01S5/00-5/50		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015/0260913 A1 (ORACLE INTERNATIONAL CORPORATION) 17 September 2015 (2015-09-17) paragraphs [0031]-[0040], fig. 1, 3	1-11
Y	JP 2001-358403 A (NIPPON TELEGR & TELEPH CORP <NTT>) 26 December 2001 (2001-12-26) paragraphs [0002], [0013], [0019], fig. 2	1-11
Y	US 2014/0003458 A1 (YALE UNIVERSITY) 02 January 2014 (2014-01-02) paragraph [0063], fig. 2G	4-5
A	JP 2019-500753 A (FINISAR CORPORATION) 10 January 2019 (2019-01-10) entire text, all drawings	1-11
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 July 2022		Date of mailing of the international search report 09 August 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2022/027114

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2015/0260913 A1	17 September 2015	(Family: none)	
JP 2001-358403 A	26 December 2001	(Family: none)	
US 2014/0003458 A1	02 January 2014	US 2017/0133826 A1 WO 2014/004261 A1	
JP 2019-500753 A	10 January 2019	US 2017/0179680 A1 WO 2017/106880 A1 EP 3391482 A1 CN 108701962 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G02B 6/124(2006.01)i; G02B 6/42(2006.01)i FI: G02B6/124; G02B6/42		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G02B6/12-6/14; G02B6/42; H01S5/00-5/50 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2015/0260913 A1 (ORACLE INTERNATIONAL CORPORATION) 17.09.2015 (2015 - 09 - 17) 段落0031-0040、図1、3	1-11
Y	JP 2001-358403 A (日本電信電話株式会社) 26.12.2001 (2001 - 12 - 26) 段落0002、0013、0019、図2	1-11
Y	US 2014/0003458 A1 (YALE UNIVERSITY) 02.01.2014 (2014 - 01 - 02) 段落0063、図2G	4-5
A	JP 2019-500753 A (フィニサー コーポレイション) 10.01.2019 (2019 - 01 - 10) 全文、全図	1-11
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
27.07.2022	09.08.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 井部 紗代子 2L 1170 電話番号 03-3581-1101 内線 3295	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2022/027114

引用文献	公表日	パテントファミリー文献	公表日
US 2015/0260913 A1	17.09.2015	(ファミリーなし)	
JP 2001-358403 A	26.12.2001	(ファミリーなし)	
US 2014/0003458 A1	02.01.2014	US 2017/0133826 A1 WO 2014/004261 A1	
JP 2019-500753 A	10.01.2019	US 2017/0179680 A1 WO 2017/106880 A1 EP 3391482 A1 CN 108701962 A	