



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2009년04월17일  
 (11) 등록번호 10-0893475  
 (24) 등록일자 2009년04월07일

(51) Int. Cl.

G11C 7/06 (2006.01)

(21) 출원번호 10-2002-0070981  
 (22) 출원일자 2002년11월15일  
 심사청구일자 2007년11월15일  
 (65) 공개번호 10-2003-0041082  
 (43) 공개일자 2003년05월23일

(30) 우선권주장

09/991,571 2001년11월16일 미국(US)

(56) 선행기술조사문헌

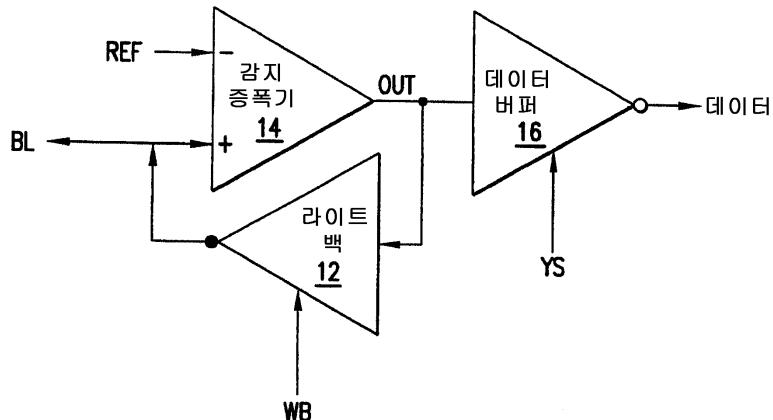
KR100268452 B1  
 KR1019950020718 A  
 KR1020000066269 A  
 KR100206408 B1

전체 청구항 수 : 총 6 항

(54) 감지 회로 및 감지 증폭기

**(57) 요 약**

독립적인 라이트 백(write-back) 기능을 가진 감지 회로는 라이트 백 출력 신호를 가진 라이트 백 기능 블록과, 입력 신호 및 기준 신호를 수신하는 감지 증폭기를 포함한다. 감지 증폭기는 출력 신호를 발생시키고 라이트 백 기능 블록은 이러한 출력 신호를 추가로 수신한다. 선택적인 데이터 버퍼는 출력 신호를 또한 수신한다.

**대 표 도** - 도3

## 특허청구의 범위

### 청구항 1

독립의 라이트 백(write-back) 기능을 가진 감지 회로에 있어서,

입력 신호와 기준 신호를 비교하여 출력 신호를 발생시키는 감지 증폭기로서, 전원에 접속된 소스 및 제 1 드레인을 구비한 p채널 트랜지스터와, 각각이 상기 p채널 트랜지스터의 드레인과 접지에 접속되어 있는 제 1 및 제 2 레그(leg) – 각각의 제 1 레그 및 제 2 레그는 상기 제 1 드레인에 접속된 소스를 구비한 제 1 p채널 트랜지스터와, 제 1 노드에서 상기 제 1 p채널 트랜지스터의 드레인에 접속된 소스를 구비한 제 2 p채널 트랜지스터와, 병렬로 접속되어 있으며, 제 2 노드에서 상기 제 2 p채널 트랜지스터의 드레인에 접속된 드레인 및 접지된 소스를 구비한 2개의 n채널 트랜지스터와, 상기 제 1 p채널 트랜지스터의 게이트에 직렬로 접속된 제 3 n채널 트랜지스터를 더 포함하되, 각각의 레그에 있어서, 상기 제 2 노드는 다른 레그의 상기 제 2 p채널 트랜지스터의 게이트 및, 2개의 n채널 트랜지스터 중 하나의 게이트에 접속되어 있음 – 와, 상기 제 1 및 상기 제 2 레그의 상기 제 1 노드에 양단이 접속된 제 1 n채널 트랜지스터를 포함하는 상기 감지 증폭기와,

상기 감지 증폭기의 출력 신호에 결합되고 인에이블 신호 및 라이트 백 출력 신호를 가진 3상 라이트 백 블록 (tri-statable write-back block)과,

상기 감지 증폭기의 출력 신호를 수신하는 데이터 버퍼를 포함하는

감지 회로.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

독립의 라이트 백(write-back) 기능을 가진 감지 회로에 있어서,

입력과 기준 신호를 비교하여 출력 신호를 발생시키는 감지 증폭기와,

상기 감지 증폭기의 출력 신호에 결합되고 인에이블 신호 및 라이트 백 출력 신호를 가진 3상 라이트 백 블록 (tri-statable write-back block)과,

상기 감지 증폭기의 출력 신호를 수신하는 데이터 버퍼를 포함하며,

상기 데이터 버퍼는

데이터 출력 신호를 생성하는 드레인 및 제어 신호를 수신하는 게이트를 구비한 제 1 n채널 트랜지스터와,

상기 제 1 n채널 트랜지스터의 소스에 접속된 드레인, 접지된 소스, 및 상기 감지 증폭기의 출력 신호를 수신하는 게이트를 구비한 제 2 n채널 트랜지스터를 포함하는 감지 회로.

### 청구항 5

제 4 항의 데이터 버퍼에 있어서,

전원에 접속된 소스, 상기 감지 증폭기의 출력 신호를 수신하는 게이트, 드레인을 구비한 제 1 p채널 트랜지스터와,

상기 제 1 p채널 트랜지스터의 드레인 및 상기 제 1 n채널 트랜지스터의 드레인에 접속되어 있으며, VDD에 접속된 게이트를 구비한 제 2 p채널 트랜지스터를 더 포함하는 데이터 버퍼.

### 청구항 6

제 4 항의 데이터 버퍼에 있어서,

전원에 접속된 소스, 상기 감지 증폭기의 출력 신호를 수신하는 게이트, 및 드레인을 구비한 제 1 p채널 트랜지스터와,

상기 제 1 p채널 트랜지스터의 드레인 및 상기 제 1 n채널 트랜지스터의 드레인에 접속되어 있으며, 상기 제 1 n채널 트랜지스터의 게이트 제어 신호의 상보부(complement)에 접속된 게이트를 구비한 제 2 p채널 트랜지스터를 더 포함하는 데이터 버퍼.

#### 청구항 7

독립의 라이트 백(write-back) 기능을 가진 감지 회로에 있어서,

입력 신호와 기준 신호를 비교하여 출력 신호를 발생시키는 감지 증폭기와,

상기 감지 증폭기의 출력 신호에 결합되고 인에이블 신호 및 라이트 백 출력 신호를 가진 3상 라이트 백 블록(tri-stable write-back block)을 포함하되,

상기 3상 라이트 백 블록은

전원에 접속된 소스를 구비한 제 1 p채널 트랜지스터와,

상기 제 1 p채널 트랜지스터의 드레인에 접속된 소스를 구비한 제 2 p채널 트랜지스터와,

상기 입력 신호에 접속된 라이트 백 출력 신호를 형성하는 상기 제 2 p채널 트랜지스터의 드레인에 접속된 드레인을 구비한 제 1 n채널 트랜지스터와,

상기 제 1 n채널 트랜지스터의 소스에 접속된 드레인 및 접지된 소스를 구비한 제 2 n채널 트랜지스터를 포함하며,

상기 제 1 p채널 트랜지스터와 상기 제 2 n채널 트랜지스터의 게이트는 상보형 출력 신호를 수신하는 감지 회로.

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

전원에 접속된 소스와 제 1 드레인을 구비한 p채널 트랜지스터와,

각각이 상기 p채널 트랜지스터의 드레인 및 접지에 접속된 제 1 및 제 2 레그(leg)–각각의 제 1 레그 및 제 2 레그는 상기 제 1 드레인에 접속된 소스를 구비한 제 1 p채널 트랜지스터와, 제 1 노드에서 상기 제 1 p채널 트랜지스터의 드레인에 접속된 소스를 구비한 제 2 p채널 트랜지스터와, 제 2 노드에서 상기 제 2 p채널 트랜지스터의 드레인에 접속되고 접지에 접속된, 병렬 접속된 2개의 n채널 트랜지스터와, 상기 제 1 p채널 트랜지스터의 게이트에 직렬로 접속된 제 3 n채널 트랜지스터를 더 포함하되, 각각의 레그에 있어서, 상기 제 2 노드는 다른 레그의 상기 제 2 p채널 트랜지스터 및 2개의 n채널 트랜지스터 중 하나에 접속됨–와,

상기 제 1 및 제 2 레그의 제 1 노드에 양단이 접속된 제 1 n채널 트랜지스터를 포함하는

감지 증폭기.

#### 명세서

#### 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

- <11> 도 1에 도시된 디지털 차동 비교기(digital differential comparator)는 동적 랜덤 액세스 메모리(DRAM)와 정적 랜덤 액세스 메모리(SRAM)에 사용되었다. 그러나, 이러한 회로는, 메모리 어레이로부터 수신된 데이터 신호를 증폭하여 출력 버퍼에 전달하는 메모리 어레이 자체의 외부에 있는 데이터 경로에서 일반적으로 적용된다. 이러한 회로는 도 2에 도시된 종래의 래치 감지 증폭기보다 입력 노드상에 라이트 백(write-back)하는 능력이 부족하기 때문에, 또한, 약간 더 복잡하기 때문에, 메모리 어레이 자체에서 일반적으로 사용되지 않고 있다.
- <12> 강유전체 메모리는 기록 액세스 시간 및 전체적인 소비 전력면에서 EEPROM 및 플래쉬 메모리에 비해 우수하다. 강유전체 메모리는 이를 기능을 가진 비휘발 성 메모리가 필요한 애플리케이션, 예를 들어, 디지털 카메라 및 무접점식 스마트 카드(contact less smart card)에 사용된다. 무접점식 스마트 카드는 전자기 결합만을 사용하여 카드 상의 전자 칩에 동력을 공급할 때 저소비 전력을 가진 비휘발성 메모리를 필요로 한다. 디지털 카메라는 0.1초 미만으로 메모리에 전체 이미지를 저장하여 복원하기 위해서 저소비 전력 및 고속 다수회 기록(fast frequent write)을 모두 필요로 한다.
- <13> 강유전체 메모리의 전형적인 판독 액세스는 기록 액세스 및 이에 후속하는 감지로 구성되어 있다. 설명을 위해서, "0"이 강유전체 캐페시터에 기록되어 메모리 셀의 원(original) 데이터 내용을 복원한다. 메모리 셀의 원 내용이 "1"이면, "0"을 기록하여 강유전체 캐페시터내의 분극 방향을 역으로 한다. 이것은 감지 와이어 상에 대전류 스파이크를 유발한다. 한편, 강유전체 캐페시터의 원 내용이 또한 "0"이면 감지 와이어 상에 전류 스파이크는 없다. 따라서, 감지 와이어 상에 전류 스파이크가 있는지를 감지함으로써, 액세스되는 강유전체 캐페시터의 원 데이터가 결정된다.
- <14> 판독을 위해서 액세스되는 임의의 메모리 셀에 "0"이 기록되기 때문에 설명되는 판독 동작은 과괴적이다. 그러나, 원 데이터는 감지 증폭기에 저장되고, 액세스되는 메모리 셀에 복원될 수 있다. 환연하면, 판독 액세스는 원 데이터를 복원하는 제 2 기록 후에 단지 완료된다.

### 발명이 이루고자 하는 기술적 과제

- <15> 독립적인 라이트 백 기능을 가진 감지 회로는 입력 신호 및 기준 신호를 수신하는 감지 증폭기와, 기록 인에이블 신호 및 감지 증폭기의 출력 신호를 수신하는 3상 라이트 백 블록을 포함한다. 선택적인 데이터 버퍼는 감지 증폭기의 출력 신호를 또한 수신한다.

### 발명의 구성 및 작용

- <16> 강유전체 메모리의 비트 라인 당 최적의 셀 수는 DRAM의 경우보다 커지는 경향이 있다. 따라서, 약간 복잡한 감지 증폭기가 보다 쉽게 허용될 수 있는데, 그 이유는 메모리 어레이의 구획들이 더욱 적어지고 셀 효율성이 높아지는 경향이 있기 때문이다. 다수의 비트 수로 인해, FeRAM의 비트 라인 캐페시턴스가 높아지는 것은 종래의 래치 감지 증폭기(도 2에 도시)의 사용으로 액세스 시간이 보다 늦어지게 된다는 것을 의미한다. 비트 라인과 비트 라인 바(bar) 간의 적절한 전압 분배는 출력 데이터 경로에 연결되기 전에 이루어져야 하기 때문에, 과부하의 비트 라인을 충전하거나 방전하는데 시간이 추가로 필요하다.
- <17> 본 발명의 기능 블록도(10)가 도 3에 도시되어 있다. 라이트 백 기능 블록(12)은 입력 신호(WB)에 의해 인에이블된다. 동작 동안에, 감지 증폭기는 비트 라인(BL) 상의 전압을 기준 입력(REF) 상의 전압과 비교한다. 감지 증폭기의 출력 신호(OUT)는 라이트 백 기능 블록(12)에 의해 수신된다. 선택적인 데이터 버퍼(16)는 출력 신호를 또한 수신한다. 따라서, 과부하(heavily loaded)의 비트 라인은 경부하 lightly loaded의 내부 감지 노드로부터 분리된다.
- <18> 도 4는 도 3에 도시된 라이트 백 기능 블록(12)을 도시한다. 제 1 및 제 2 p채널 트랜지스터가 전원과 접지 사이에 직렬로 접속되고, 제 1 및 제 2 n채널 트랜지스터는 그 다음에 접속되어 있다. BL 신호는 제 2 p채널 트랜지스터와 제 1 n채널 트랜지스터 사이의 노드에 접속된다. 제 1 p채널 트랜지스터와 제 2 n채널 트랜지스터의 게이트는 감지 증폭기의 출력 신호(OUT)의 상보(complement)의 노드 OUT 바(Bar)와 서로 결합되어 있다. 제 2 p채널 트랜지스터의 게이트는 제어 신호 라이트 백 바(WBB)를 수신하고 제 1 n채널 트랜지스터의 게이트는 제

어 신호 라이트 백(WB)을 수신한다.

<19> 도 5는 도 3에 도시된 감지 증폭기(14)를 도시하고 있다. 제 3 p채널 트랜지스터(MP1)는 전원에 접속된 소스와, 제 1 및 제 2 레그(1eg)에 접속된 드레인을 가지고 있다. 각각의 레그는 2개의 직렬 접속된 p채널 트랜지스터(MP2, MP4 : MP3, MP5)와, 후속하는 2개의 병렬 접속된 n채널 트랜지스터(MN3, MN1 : MN2, MN4)를 포함한다. 제 1 레그에 있어서, OUT 포트에서 제 2 p채널 트랜지스터 MP4의 드레인과 두개의 병렬 접속된 n채널 트랜지스터(MN3, MN1)의 드레인들 간의 노드는 제 2 레그의 제 2 p채널 트랜지스터 MP5의 게이트와 n채널 트랜지스터 MN2의 게이트에 접속되어 있다. 제 2 레그에 있어서, OUT 포트에서, 제 2 p채널 트랜지스터(MP5)의 드레인과 2개의 병렬 접속된 n채널 트랜지스터(MN2, MN4)의 드레인 사이의 노드는 제 1 레그의 제 2 p채널 트랜지스터(MP4)의 게이트와 제 2 n채널 트랜지스터(MN1)의 게이트에 접속되어 있다.

<20> 도 6은 도 3에 도시된 감지 증폭기에 대한 다른 실시예를 도시하고 있다. 도 5에 설명된 전기 도전성에 추가로, 제 5 n채널 트랜지스터(MN5)는 노드(N1, N2)를 접속하고, 균등화(equalization) 용도로 사용된다. 제 6 n채널 트랜지스터(MN6)는 p채널 트랜지스터(MP2)의 게이트에 직렬로 접속되어 있다. 제 7 n채널 트랜지스터(MN7)는 p채널 트랜지스터(MP3)의 게이트에 직렬로 접속되어 있다. n채널 트랜지스터(MN5, MN6, MN7)의 게이트는 EN 바에 접속되어 있다. n채널 트랜지스터(MN6, MN7)는 절연 장치이다.

<21> 도 7은 도 3에 도시된 선택적인 데이터 버퍼(16)를 도시하고 있다. 제 1 및 제 2 p채널 트랜지스터는 전원과 포트 DATA 사이에 직렬로 접속되어 있다. 제 1 p채널 트랜지스터의 게이트는 신호 OUT를 수신하고, 제 2 p채널 트랜지스터의 게이트는 신호 VDD를 수신한다. 2개의 n채널 트랜지스터는 포트 DATA 및 접지 사이에 직렬로 접속되어 있다. 제 1 n채널 트랜지스터의 게이트는 YS에 접속되어 있으며, 제 2 n채널 트랜지스터의 게이트는 신호 OUT를 수신한다.

### 발명의 효과

<22> 동작중에, 독립형의 감지 증폭기가 가지고 있는 라이트 백 기능의 부족은, 메모리 어레이에서 비트 또는 데이터 라인이 될 수 있는 BL에 접속된 직렬의 p채널과 직렬의 n채널을 부가하여 극복된다. WB 및 WBB는 VSS를 EN에 부가함으로써 감지 증폭기가 활성화된 후에 그리고, VDD를 EN에 부가함으로써 OUT 및 OUT 바가 풀 로직(full logic) 레벨에서 구동된 후에 발생되는 다른 상보형의 제어 신호이다. 동시에 비트 라인 상의 라이트 백 복원으로, 데이터는 라이트 백을 달성하는데 필요한 시간과 무관하게, YS 신호를 통해 액세스될 수 있고, 그들 경로를 통해 침의 데이터 출력 버퍼에서 개시된다.

### 도면의 간단한 설명

- <1> 도 1은 종래 기술의 디지털 차동 비교기를 도시하는 도면,
- <2> 도 2는 종래 기술의 래치 감지 증폭기를 도시하는 도면,
- <3> 도 3은 본 발명의 기능 블록을 도시하는 도면,
- <4> 도 4는 도 3에 도시된 라이트 백 기능 블록을 도시하는 도면,
- <5> 도 5는 도 4에 도시된 감지 증폭기를 도시하는 도면,
- <6> 도 6은 도 5에 도시된 선택적인 감지 증폭기를 도시하는 도면,
- <7> 도 7은 도 3에 도시된 선택적인 데이터 버퍼를 도시하는 도면.

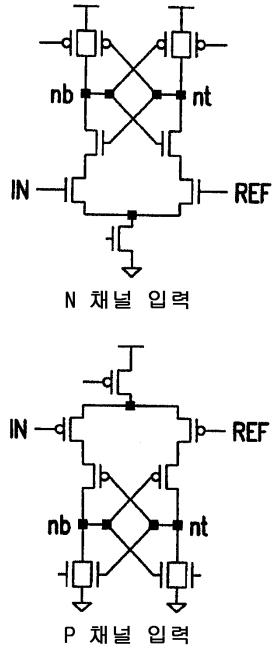
### 도면의 주요 부분에 대한 부호의 설명

- |                       |             |
|-----------------------|-------------|
| <9> 12 : 라이트 백 기능 블록  | 14 : 감지 증폭기 |
| <10> 16 : 선택적인 데이터 버퍼 |             |

도면

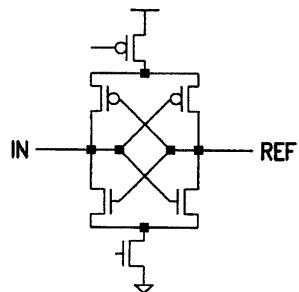
도면1

(종래기술)

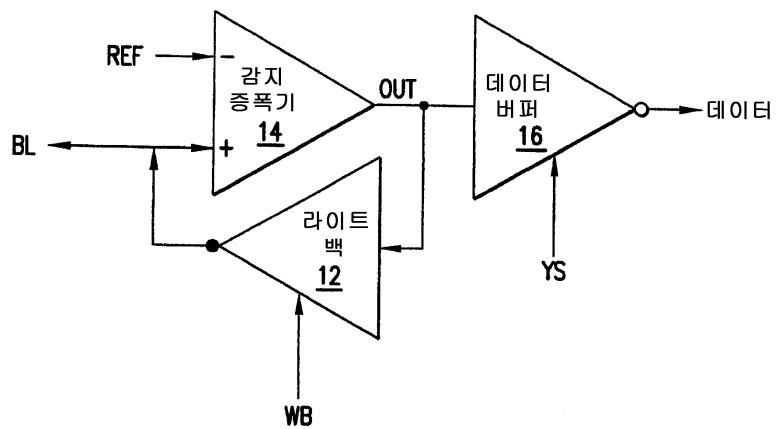


도면2

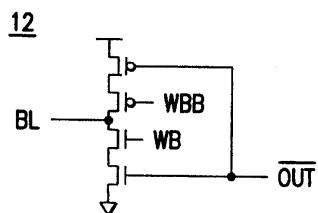
(종래기술)



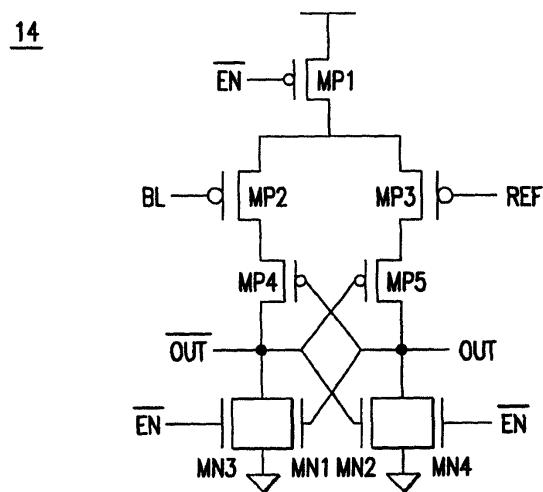
도면3



도면4

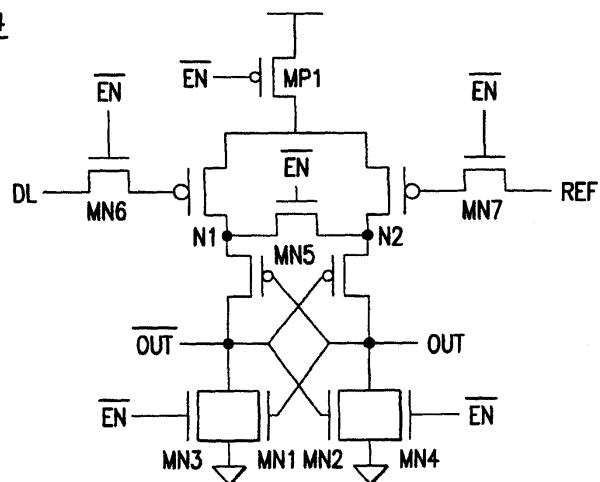


도면5



## 도면6

14



## 도면7

16

