

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年10月27日(2005.10.27)

【公開番号】特開2004-134568(P2004-134568A)

【公開日】平成16年4月30日(2004.4.30)

【年通号数】公開・登録公報2004-017

【出願番号】特願2002-297365(P2002-297365)

【国際特許分類第7版】

H 01 L 21/8234

H 01 L 27/088

H 01 L 29/78

【F I】

H 01 L 27/08 102 C

H 01 L 29/78 301 G

【手続補正書】

【提出日】平成17年7月7日(2005.7.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に第1の絶縁膜を形成する工程と、

前記半導体基板上の低耐圧MOSが形成される第1の領域の第1の絶縁膜および前記半導体基板上の高耐圧MOSが形成される第2の領域のゲート電極となる部分と該ゲート電極となる部分の近傍を除く前記第1の絶縁膜をウェットエッティングで除去する工程と、
前記第1の絶縁膜より薄い第2の絶縁膜を形成する工程と、

前記低耐圧MOSが形成される第1の領域上と前記高耐圧MOSが形成される第2の領域上にゲート電極を同時形成する工程とからなる半導体装置の製造方法において、

前記ゲート電極となる部分の近傍は、ゲート電極の端からの距離が0.3μm以上1.5μm以下の範囲であることを特徴とする半導体装置の製造方法。

【請求項2】

前記第1の絶縁膜形成の前に高耐圧MOSの低濃度ソースおよびドレインとなる拡散層を前記第2の領域中に形成することを特徴とする請求項1記載の半導体装置の製造方法。