



[12] 发明专利申请公开说明书

[21] 申请号 200480018909.4

[43] 公开日 2006年8月9日

[11] 公开号 CN 1816882A

[22] 申请日 2004.6.30

[21] 申请号 200480018909.4

[30] 优先权

[32] 2003.7.1 [33] US [31] 60/484,565

[86] 国际申请 PCT/US2004/021162 2004.6.30

[87] 国际公布 WO2005/006340 英 2005.1.20

[85] 进入国家阶段日期 2005.12.31

[71] 申请人 兹莫斯技术有限公司

地址 美国加利福尼亚

[72] 发明人 松炯 - 都克

[74] 专利代理机构 北京集佳知识产权代理有限公司
代理人 徐谦 杨红梅

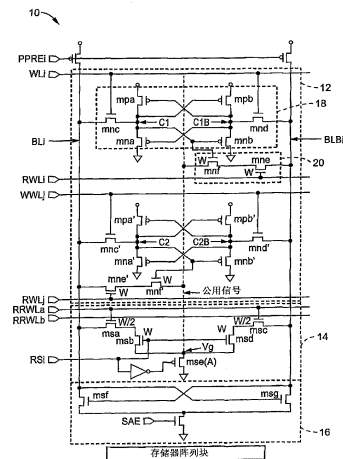
权利要求书 4 页 说明书 16 页 附图 8 页

[54] 发明名称

静态存储器单元结构和电路

[57] 摘要

一种用于减少泄漏电流和/或提高器件的速度的 SRAM 电路结构和方法。可利用如单端口和双端口 RAM 器件的技术来制造各种形式的 SRAM 器件。通过示例的方式, SRAM 结构采用分离的写和读线, 将该电路分为可以受益于具有不同门限电平的部分, 而且可将连接到第一端的读通路晶体管与连接到源晶体管的虚拟节点分开。该结构特别适于以 NMOS 和 PMOS 的组合方式或者仅以 NMOS 方式形成晶体管。根据本发明, 可以许多不同的分布式或者集总式设置, 利用被共享或者专用的基准读通路和感测块来组织存储器阵列。



1. 一种提供静态随机存取的存储器器件，包括：
静态存储器单元结构，具有多个数据锁存器；以及
多个功能块，位于所述单元结构内，所述块包括至少读、写和存储块；
其中所述读块或写块或者二者配置有低于所述存储功能块的门限电压。
2. 根据权利要求 1 所述的存储器，其中所述读功能块的门限电压低于所述写和存储功能块的门限电压。
3. 根据权利要求 1 所述的存储器，其中所述读功能块的门限电压低于所述写功能块，而所述写功能块的门限电压低于所述存储功能块。
4. 根据权利要求 1 所述的存储器，其中所述单元结构对于读和写通路采用相同的字线。
5. 根据权利要求 1 所述的存储器，其中所述单元结构对于读和写通路采用分离的字线。
6. 根据权利要求 5 所述的存储器，其中所述读字线激励耦合到位线的晶体管，以在所述位线上产生信号差，该信号差被差动感测以检测存储器存储单元状态。
7. 根据权利要求 5 所述的存储器，其中一组读通路晶体管与另一组读通路晶体管一起连接到基准读线、虚拟节点，其连接到感测放大器和源晶体管以抑制单元块的泄漏电流。
8. 根据权利要求 7 所述的存储器，其中所述源晶体管包括 NMOS 或者 PMOS 晶体管。
9. 根据权利要求 7 所述的存储器，其中所述基准读通路和所述感测放大器可设置在为分布式或者是集总式的所述存储器器件内的布局配置中。
10. 根据权利要求 7 所述的存储器，其中在所述存储器器件内，可以共享配置方式或者专用配置来使用所述基准读通路和所述感测放大器。

11. 根据权利要求1所述的存储器，其中所述单元结构包括多端口静态RAM单元结构。

12. 一种具有静态随机存取存储器配置的存储器器件，包括：

多个静态存储器单元，由数据锁存器形成；

多个字线，用于控制读通路；

多个字线，用于控制写通路；以及

多个功能块，包括读、写和存储；

其中所述功能块至少之一配置成具有与其他功能块不同的门限条件。

13. 根据权利要求12所述的存储器器件，进一步包括虚拟节点，在不同位线之间，读通路晶体管连接到该虚拟节点。

14. 根据权利要求13所述的存储器器件，进一步包括感测放大器，配置成在位线之间执行差动感测。

15. 根据权利要求13所述的存储器器件，其中到所述虚拟节点的连接抑制单元块的泄漏电流。

16. 一种半导体存储器电路，包括：

多个静态存储器存储功能块，具有形成存储器单元的多个数据锁存器，被配置以便被读和写；

存储器单元读晶体管功能块，具有耦合到每个存储功能块的输入而耦合到至少两个位线之一的输出；以及

感测放大器，耦合在所述至少两个位线之间，用于响应于所述位线之间的差动感测，检测从所述数据锁存器读取的数据。

17. 根据权利要求16所述的存储器，其中根据连接到所述感测放大器和源晶体管的基准读线，执行所述差动感测。

18. 根据权利要求16所述的存储器，进一步包括存储器单元写功能块，配置为将数据写入所述存储功能块之一。

19. 根据权利要求18所述的存储器，其中所述读和/或写功能块设计有低于所述存储功能块的电压门限。

20. 根据权利要求 18 所述的存储器，其中所述单元结构对于所述读和写通路采用分离的字线。

21. 根据权利要求 20 所述的存储器，其中所述读字线激励耦合到所述位线的晶体管，以在所述位线上产生信号差用于所述差动感测。

22. 根据权利要求 21 所述的存储器，其中一组读通路晶体管与另一组读通路晶体管一起连接到被连接到感测放大器及源晶体管的基准读线，以抑制单元块的泄漏电流。

23. 一种对静态存储器的单元进行存取的方法，包括：

保持写入具有第一电压门限电平、形成静态存储器单元的数据锁存器的晶体管的数据；

施加读字信号，以激励具有比第一电压门限低的第二电压门限的读字晶体管；以及

感测耦合到位线的感测放大器中的读字晶体管的输出，以产生数据位输出。

24. 根据权利要求 23 所述的方法，其中所述感测放大器耦合在两个位线之间，而且响应于所述两个位线之间数据输出的差动感测来产生数据输出。

25. 根据权利要求 23 所述的方法，进一步包括响应于激励从位线数据加载所述静态存储器单元的锁存器的分离的写字线驱动的晶体管，对所述静态存储器单元进行写入。

26. 根据权利要求 25 所述的方法，其中通过所述分离的写字线而激励的所述晶体管配置了比所述锁存器的所述晶体管低的第三电压门限。

27. 根据权利要求 26 所述的方法，其中所述第三电压门限高于由所述读字线激励的所述晶体管的电压门限。

28. 一种对静态存储器的单元进行存取的方法，包括：

保持写入形成静态存储器单元的数据锁存器的晶体管的数据；

施加读字信号，以激励读字晶体管；以及

感测耦合在位线之间而且被配置为响应于所述两个位线之间的差动感测来产生数据输出的感测放大器内的读字晶体管的输出。

29. 根据权利要求 28 所述的方法, 进一步包括产生基准读线, 以便参考耦合到所述位线的读字信号。

30. 根据权利要求 28 所述的方法, 进一步包括利用低于所述数据锁存器的所述晶体管的电压门限来配置所述读字晶体管。

31. 根据权利要求 28 所述的方法, 进一步包括施加写字信号, 以激励写字晶体管, 用于将数据写入所述数据锁存器中。

32. 根据权利要求 31 所述的方法, 进一步包括利用低于所述数据锁存器的所述晶体管的电压门限来配置所述写字晶体管。

33. 根据权利要求 32 所述的方法, 进一步包括利用高于所述读字晶体管的所述晶体管的电压门限来配置所述写字晶体管。

静态存储器单元结构和电路

相关专利申请交叉引用

本申请要求 2003 年 7 月 1 日提交的序列号为 60/484,565 的美国临时专利申请的优先权，在此引用其全部内容供参考。

关于联邦资助研究或者开发的声明

不适用

利用压缩光盘提交引用参考材料

不适用

属于版权保护材料的声明

该专利文献中的部分材料受美国和其它国家的版权法的版权保护。由于在美国专利和商标局可以公开得到文件或者记录，版权所有者并不反对任何专利文献或者专利公开物的传真复制品，然而，毫无疑问，却保留所有的版权权利。因此，版权所有者不放弃使其专利文献处于保密状态的权利，包括根据 37 C.F.R. § 1.14 不限制其权利。

技术领域

本发明总体而言涉及半导体存储器，而更具体地说，涉及静态随机存取存储器电路。

背景技术

静态随机存取存储器（SRAM）是一种只要供电就保存数据的电子数据存储器形式。静态 RAM 被广泛利用于所有形式的电子设备中，而且特别适合用于便携式或者手提式应用以及高性能设备应用中。在诸如蜂窝电话

的便携式或者手提式设备的应用中，在没有支持电路的情况下，SRAM 提供稳定数据保存，因此，复杂性低，同时保证鲁棒数据保存。在诸如微处理器高速缓存的高性能应用中，SRAMs 可保证快速存取时间，却不需要动态随机存取存储器（DRAM）所要求的单元数据刷新操作。

图 1 示出由 6 个晶体管构成的典型 SRAM 单元（6T SRAM）和相关外围电路。例如，当以 V_{dd} （数据 H）预充电节点 C_i 时， $mp2_i$ 断开，而 $mn2_i$ 导通。将节点 CB_i 设置到 V_{ss} （数据 L）。因此， $mp1_i$ 导通，而 mnl_i 断开。因此，只要供电，就分别使 C 和 CB 的数据保持高和低。

图 2 示出图 1 所示的传统 6T SRAM 单元的读时序图。在预充电周期， $PPRE_i$ 处于逻辑低，而 $mpp1_i$ 和 $mpp2_i$ 被导通。因此，以 V_{dd} 预充电位线对（ BL_i 和 BLB_i ），是逻辑高。在字线（ WL_i ）被使能时，根据存储数据对位线进行充电。例如，节点 C_i 是高，而 CB_i 是低。根据字线使能， $mn3_i$ 和 $mn4_i$ 导通。由于 CB_i 低，而 $mn2_i$ 导通，所以通过 $mn4_i$ 和 $mn2_i$ ，将 BLB_i 的电压慢慢放电。当在位线对之间出现某个量的电压差时，感测使能信号（ $PSAE_i$ ）能够放大该信号差。位线上的电压差由感测放大器（ i ）进行放大，而在感测放大器的输出产生全 CMOS 输出对（ Di 和 Dbi ）。

由于典型 6T SRAM 单元本身在位线上引起信号差，所以 SRAM 的读取速度比 DRAM 的读取速度快，在该 DRAM 中，需要位线与单元电容之间的充电共享时间，而降低了读取速度。该 6T SRAM 单元具有非常稳定的结构，并在典型 SRAM 设计中广泛使用。然而，在功耗与读取速度之间存在折衷。由于为了工作电压降低时性能保持不变，而降低了最小特征尺寸（即，设计规则）并减少晶体管门限电压，所以泄漏电流（即，待机电流）成为重要因素。在该实例中，由于 C_i 为高电平，而 CB_i 为低电平，所以 $mp2_i$ 和 mnl_i 断开。尽管这两个晶体管处于断开状态，但是仍有电流流过该器件，该电流被称为单元泄漏电流。在 $0.18 \mu m$ 技术，该泄漏电流在 $fA(10e-15)$ 的量级上，并且对于许多应用基本上可以忽略。

然而，根据诸如 $0.13 \mu m$ 技术的更先进技术，由于该电流约为 $nA(10e-9)$

的几十倍的量级上,所以不能再忽略该电流电平。例如,对于 16Mb SRAM,在单元泄漏电流约为 10 nA 时,总电流为 $16*1024*1024*10*1e-9=16\text{ mA}$ 。该泄漏电流电平相当于器件总功率消耗的大部分。还应该明白,该泄漏电流依赖于温度,随温度升高而升高。对于诸如 $0.11\mu\text{m}$ 技术的更先进技术,单元泄漏电流显著升高。因此,单元泄漏电流引起的功耗分量相当大。由于依赖于 SRAM 的系统变得愈加复杂,所以 SRAM 的密度在不断升高,而基于传统 SRAM 架构的单元泄漏电流所消耗的总功率不断升高。

如上所述,在功耗与单元读取速度之间存在折衷。位线节点(例如, CB_i) 通过单元下拉晶体管 ($mn1_i$ 或者 $mn2_i$) 放电速度的快慢决定单元读取速度。因此,为了提高读取速度,需要增大单元存取晶体管($mn3_i$ 或者 $mn4_i$)和单元下拉晶体管 ($mn1_i$ 或者 $mn2_i$) 的尺寸。然而,当这些单元存取晶体管和单元下拉晶体管的尺寸增大时,流过这些晶体管的泄漏电流也增大。在该实例中,当这些晶体管的尺寸增大时,流过一对 $mn4_i$ 和 $mn2_i$ 及 $mn1_i$ 的泄漏电流增大。因此,随着工作电压的降低,在单元泄漏电流与单元读取时间之间的折衷使 SRAM 设计变得复杂而且困难。

通常,根据是否将 SRAM 用于低功率或者高性能应用,实现两种 SRAM 单元。关于诸如低功率手提设备的低功率应用,待机电流(即,当芯片处于待机模式时的功率消耗)通常是最重要因素,因为这些低功率便携式应用通常依靠电池工作,其中待机电流是电池寿命的主要决定因素。这与其中单元数据读取速度至关重要的诸如高速缓冲存储器的高性能应用相反。然而,由于单元泄漏电流急剧增加,所以传统 6T SRAM 单元结构面对满足设计要求的技術障碍。当为了满足所要求的速度而增大器件尺寸并降低晶体管的门限电压时,单元泄漏电流引起的功耗成为问题。当器件尺寸缩小,而晶体管的门限电压升高以抑制泄漏电流时,由于单元存取和下拉晶体管的电流驱动能力的降低而导致单元读取速度下降。

因此,需要在不牺牲读取速度的情况下,减小泄漏电流的先进 SRAM 电路和方法。本发明实现了这种需要和其它需要,同时克服了传统 SRAM

架构中存在的缺点。

发明内容

描述了一种提供降低的泄漏电流和高读取速度的静态随机存取存储器 (SRAM)。所描述的新颖架构被配置以新颖读感测结构, 所述新颖读感测结构结合该器件内的不同功能块的不同电压门限而使用。本发明的这些方面可单独或组合使用, 以提高存储器的速度和/或者降低如泄漏电流所导致的功率耗散。

本发明的一个实施例可描述为提供静态随机存取存储器的存储器器件, 包括: (a) 静态存储器单元结构, 具有多个数据锁存器; (b) 多个功能块, 位于单元结构内, 该功能块包括读、写和存储。通过对诸如读字电路和/或者写字电路的功能块至少之一配置较低的电压门限, 可基本上降低该器件的泄漏电流。在一个实施例中, 读字信号和写字信号是分离的。描述了其中数据通过读线激励的读晶体管来读取的实施例, 该读线的输出利用连续字驱动交替位线。感测放大器提供位线的差动感测, 以驱动输出数据。

本发明的另一个实施例可描述为具有静态随机存取存储器配置的存储器器件, 包括: (a) 多个静态存储器单元, 例如, 由数据锁存器形成; (b) 多个字线, 用于读通路; (c) 多个字线, 用于写通路; 以及 (d) 多个功能块, 包括写、读和存储。优选配置至少一个功能块, 以具有与其他功能块不同的电压门限条件。在一个实施例中, 基准通路电路设置虚拟节点, 在不同位线之间, 读通路晶体管连接到该虚拟节点, 其中该读线通过感测放大器利用差动感测而感测, 例如, 用于抑制单元块的泄漏电流。

本发明的另一个实施例可描述为半导体存储器电路, 包括: (a) 多个静态存储器存储功能块 (单元), 具有多个数据锁存器, 被配置以便进行读和写; (b) 存储器单元读晶体管功能块, 具有耦合到每个存储功能块的输入, 以及耦合到至少两个位线之一的输出; 以及 (c) 感测放大器, 耦

合在位线之间，用于响应于所述位线之间的差动感测来检测从所述数据锁存器读取的数据。读和写功能块可配置以比存储器锁存器晶体管低的电压门限，而在另一种变型中，读晶体管的电压门限设计为具有低于写晶体管的门限。

本发明还可描述为一种对静态存储器的单元进行存取的方法，包括：

(a) 保持写入第一电压门限电平、形成静态存储器单元的数据锁存器的晶体管的数据；(b) 施加读字信号，以激励具有比第一电压门限低的第二电压门限的读字晶体管；以及 (c) 感测耦合到位线的感测放大器内的读字晶体管的输出，以产生数据位输出。

本发明还可描述为一种对静态存储器的单元进行存取的方法，包括：

(a) 保持写入形成静态存储器单元的数据锁存器的晶体管的数据；(b) 施加读字信号，以激励读字晶体管；以及 (c) 感测耦合在位线之间的感测放大器内的读字晶体管的输出，以产生数据位输出。此外，静态存储器内的诸如读块或者读写块的功能块可配置较低的电压门限，其中该电路可展示较快的速度和较低的泄漏电流。

对本发明的许多方面进行了描述，包括但并不局限于下面的各方面。

本发明的一个方面是具有多个功能块的 SRAM 单元结构，该功能块包括读、写和存储，其中每个功能块可具有不同的门限电压。

本发明的另一个方面是其中读通路的门限电压低于存储和写通路的门限电压的 SRAM 单元。

本发明的另一个方面是其中读通路具有最低设计门限，写通路具有中间设计门限，而存储通路具有最高设计门限电压的 SRAM 单元。

本发明的另一个方面是其中读通路晶体管的一端与另一个读通路晶体管的一端连接在一起并连接到虚拟节点的 SRAM 单元结构，该虚拟节点连接到源晶体管，以抑制单元块的泄漏电流。

本发明的另一个方面是对于读通路和写通路具有分离的功能块和单独字线的 SRAM 结构。

本发明的另一个方面是对于读通路和写通路具有分离的功能块和相同字线的 SRAM 结构。

本发明的另一个方面是具有 PMOS 源晶体管的基准读通路解决方案。

本发明的另一个方面是具有 NMOS 源晶体管的基准读通路解决方案。

本发明的另一个方面是以分布式、集总式或者混合式配置的基准读通路 (RRP) 和感测放大器 (SA) 的设置架构。

本发明的另一个方面是采用共享或者专用基准读通路 (RRP) 和感测放大器 (SA) 的架构。

本发明的另一个方面是根据本发明的原理能够实现各种形式的 SRAM 存储器, 例如多端口 SRAM、嵌入式的 SRAM 等。

在本说明书下面的说明中将说明本发明的进一步的方面, 其中详细说明是为了全面公开本发明的优选实施例, 而不是为了进行限制。

附图说明

参考下列附图, 可以更全面理解本发明, 附图仅用于说明的目的:

图 1 是传统 6T SRAM 单元和外围电路的原理图。

图 2 是图 1 所示传统 6T SRAM 单元的时序图。

图 3 是根据本发明的一个方面的 SRAM 单元结构的示意图, 该图示出感测电路和用于控制单元泄漏电流的电路。

图 4A 至图 4D 是图 3 所示 SRAM 单元的时序图。

图 5A 至 5F 是根据本发明实施例的 SRAM 存储器构造的方框图, 该图示出基准和读通路的设置。

图 6 是根据本发明一个方面的双端口 SRAM 单元结构的原理图, 该图示出感测电路和用于控制单元泄漏电流的电路。

具体实施方式

更具体地参考附图, 为了说明的目的, 通常利用图 3 至图 6 所示的设

备实现本发明。显然，在不脱离在此公开的基本原理的情况下，可以改变设备的配置以及各部件的细节，并且可以改变该方法的具体步骤和顺序。

新型 SRAM 单元结构及相关感测解决方案被配置以克服传统 SRAM 架构存在的许多问题。一种改进是在其上对特定功能块设置不同门限电压以控制泄漏的架构。例如，对读电路的晶体管配置低于存储晶体管的电压门限。作为第二个实例，对写电路配置低于存储晶体管的电压门限，而且对读电路的晶体管配置低于写电路晶体管的门限电压。可以理解，制造时的不精确导致器件之间的门限电压存在小的差异，然而，这些小的随机变化不是这里要解决的问题。在本发明中，门限电压差响应于所制造的晶体管的设计，而且门限的差优选地大于约 5% 至 10%。

图 3 示出根据本发明的新型 SRAM 单元结构及相关感测解决方案的示范性实施例 10。在任何大小的存储器块（即，128WL x 256BL）内均可以采用该新型单元结构。该新型结构包括：存储器单元 12（数据锁存器）、基准读通路 14 以及感测放大器 16。与图 1 示出的传统六晶体管 SRAM 单元结构不同，图 3 所示的新型 SRAM 单元包括：8 个晶体管（*mpa*、*mpb*、及 *mna-mnf*）。6 个晶体管（*mpa*、*mpb* 和 *mna-mnd*）用于存储单元数据和一个写通路以改变单元数据，同时 2 个晶体管（*mne*、*mnf*）用于单元读操作。单元读晶体管（*mne*、*mno*）的源极与相邻单元读晶体管的源极连接在一起，而且链接到感测放大器。根据不同的设计目标，可将整个存储器块或者整个存储器块的一部分上的所有晶体管的源节点连接在一起。

在该实施例中，对于给定的工作电压，示出了逻辑门限电压电平，其中存储器单元 18 具有标准或者高电压门限，同时单元读晶体管部分 20 配置了较低电压门限。

在预充电状态，当 *WWLi*（写字线）和 *RWLi*（读字线）为逻辑低时，*mnc*、*mnd* 和 *mne* 断开。当 *C1* 为高电平而 *C1B* 为低时，*mpb* 和 *mna* 断开，而 *mpa* 和 *mnb* 导通。因此，数据 *C1* 和 *C1B* 得以保持。由于 *RWLi* 为低，所以 *mne* 断开，而且尽管与图 1 所示相似以 V_{dd} 预充电该位线，但是没有从

位线(*BLBi*)通过 *mne* 和 *mnf* 的电流通路。

所实现的单元结构与传统单元结构之间的区别之一就是读和写操作使用分离的通路。在传统结构中,为了进行快速读写操作,单元存取晶体管和下拉晶体管需要是大的。然而,在这种情况下,单元泄漏电流成为问题。在本发明的新型单元结构中,由于读(*mne* 和 *mnf*)和写通路(*mnc* 和 *mnd*)优选地分离,而且电路(*mpa*、*mpb*、*mna* 和 *mnb*)的存储部分与读通路隔开,所以实现了快的读速度,而且显著抑制了单元泄漏电流。

在传统单元结构中,由于在泄漏电流与单元读取速度之间的折衷,所以不能轻易地配置单元晶体管,以支持不同的门限电压。当为了抑制单元泄漏电流,单元晶体管具有高门限电压时,因为晶体管特别是单元存取和下拉晶体管的减小的电流驱动能力,而使单元读取速度降低。然而,在本发明的新型单元结构中,可更自适应地控制晶体管的门限电压。例如,存储块晶体管(*mpa*、*mpb*、*mna* 和 *mnb*)和单元存取晶体管(*mnc* 和 *mnd*) 优选地配置为高门限电压元件,以抑制泄漏电流,因为这些部分与单元读操作无关。相反,单元读晶体管(*mne* 和 *mnf*) 配置为具有较低门限电压,从而改善单元读取速度。

在本发明的新型单元结构中,电路的每个部分可配置不同的门限电压,以满足设计要求。通过实例,存储部分(存储功能块)和写通路(写功能块)可配置比单元读通路(读功能块)的门限电平高的门限电平。通过建立不同的门限电平,可显著抑制从位线输出通过存储部分的断开的晶体管和单元存取晶体管的单元泄漏电流,同时可以提高单元读取速度。应该理解,响应于晶体管门限电压的升高,晶体管的泄漏电流按指数规律减小。因此,例如,对存储部分以及读和写存取晶体管,电路可采用不同的门限电压,以达到 SRAM 器件的期望特性范围。图 3 所示的 SRAM 单元结构具有三个分离的功能块:存储、写和读通路。由于该 SRAM 的设计,根据设计要求,这些功能块的每个可设计具有不同门限电压的晶体管。

本发明的另一重要方面是与上述单元结构有关的感测解决方案。在本

发明的单元解决方案中，读通路连接到位线之一。例如，在顶部单元中，读晶体管连接到位线杠(Bit Line Bar, *BLBi*)，而对于下面的下一个单元，读晶体管连接到位线(*BLi*)。因此，检测位线对上的信号差的感测解决方案也很重要。位线感测解决方案可实现两个重要的设计要求，即，抑制通过读晶体管的泄漏电流以及提高感测位线上的信号差的速度。应该注意，公用信号 *BLi* 优选地仅设置在子存储器块中或者连接到整个块。感测放大器 16 可根据位线而设置或者为多个位线所共享。

本发明的主要目的是，通过利用与传统 SRAM 单元结构中所使用的相比具有较高门限电压的较小晶体管，来抑制存储部分和写通路中的泄漏电流。还优选使用其电压门限比存储器单元采用的电压门限低的分离的读通路。在新型单元中，存在与读晶体管有关的另一个电流通路。与图 1 所示的传统单元结构相同，当位线预充电到 V_{dd} 时，即使由于读字线(*RWLi*)低，读晶体管之一被断开，但是仍有泄漏电流流过这些晶体管。例如，将 *Cl* 设置为 V_{dd} ，*mnf* 导通，但是，由于 *RWLi* 低，*mne* 断开。然而，即使该晶体管断开，泄漏电流仍流过晶体管 *mne*。

在本发明的一个实施例中，通过将读晶体管的大小提高到传统尺寸的大约四倍，有助于 SRAM 单元读取速度。根据本发明，读晶体管配置较低门限电压，以提高读取速度，流过读通路的泄漏电流比流过其它部分的泄漏电流大得多。因此，与新型 SRAM 单元结构有关的新感测解决方案可抑制流过读通路的泄漏电流。

一种进一步抑制电流的方法是，在预充电状态下，将位线配置为浮置，这导致消除来自位线的电源。也就是说，在预充电状态期间，位线预充电晶体管 (*mpp1_i* 和 *mpp2_i*) 断开，然后，在读操作之前，与传统电路中相同，通过将位线设置到 V_{dd} ，位线预充电晶体管 (*mpp1_i* 和 *mpp2_i*) 被激励。尽管该结构可以抑制泄漏电流，但是，在写操作期间，单元出现了所谓“位线损伤”的问题。在没有供电时，因为结泄漏电流，导致位线电压虚接地。在使能写字线(*WWLi*)时，晶体管 *mnc* 和 *mmd* 导通，而节点 *Cl*

和 $C1$ 分别连接到位线 BLi 和 $BLBi$ 。由于位线电容基本上比单元晶体管的电容大，约大 20 倍，所以在写晶体管导通时，因为电荷共享效应，节点 $C1$ 和 $C1B$ 放电，直到晶体管 mpb 使节点 $C1$ 恢复。由于节点 $C1$ 为高，而节点 $C1B$ 为低，所以放电程度不同。因此，在理想情况下，尽管因为电荷共享效应，引起节点 $C1$ 和 $C1B$ 放电，但是节点 $C1$ 放电较少，而且由于在节点 $C1$ 和节点 $C1B$ 上存在信号差，所以 $C1$ 和 $C1B$ 的电压最终可恢复到 V_{dd} 和 V_{ss} 。

然而，如果晶体管大小和门限电压不匹配，则可能出现不同的情况。例如，因为由于制造过程偏差而导致晶体管 mpb 的门限电压比晶体管 mpa 的门限电压低，所以节点 $C1$ 放电可或多或少，可改变存储的数据信息。也就是说，节点 $C1$ 和节点 $C1B$ 上的数据可分别从高和低改变到低和高。在本发明的新型单元结构中，有出现这种情况的可能。

当位线被浮置时，要考虑关于感测操作的附加情况。例如，为了消除位线对的电压不匹配，需要执行额外预充电操作，以确保不出现无效感测。该额外操作代表速度代价，因为其延迟了实际感测处理。本发明的新型单元结构不要求采用这种额外的预充电操作。

图（图 3）中所示的实施例提供了新颖的感测解决方案，该解决方案不需要上述预充电操作，而且可以抑制流过读晶体管的泄漏电流。

消除预充电操作并抑制泄漏电流的感测放大器解决方案可利用合并在此被称为基准读通路的新颖电路而实现。基准读通路的主要原理是，提供其电流驱动能力为单元读晶体管的电流驱动能力的大约一半的电流通路。

在制造图 3 所示 SRAM 器件实施例中，每个单元读晶体管的宽度是“W”，如虚线包围的单元读取部分 20 的区域所示。其中其宽度为 W 的两个晶体管堆叠而且两个堆叠晶体管的漏极连接到位线，而两个堆叠晶体管的源极连接到虚地信号，在其它 SRAM 单元中，该虚地信号也连接到两个堆叠晶体管的源极。

在图3所示顶部单元上， mne 和 mnf 是两个宽度为‘W’的堆叠晶体管，其中晶体管 mne 的一端连接到 $BLBi$ ，而晶体管 mnf 的一端连接到以晶体管 $mse(A)$ 互连两个单元读部分的虚线示出的虚拟信号 V_g 。两个晶体管 mne 和 mnf 的另一端互相连接。虚拟信号线连接到源晶体管 mse ，在读操作中，根据输入条件，该晶体管被导通。在基准读通路中，两个晶体管(例如， msa 、 msb 、 msc 和 msd)堆叠。每对晶体管的一端连接到每条位线。例如，晶体管 msa 的漏极连接到 BLi ，而晶体管 msb 的源极连接到位于源晶体管 mse 的漏极的 V_g 。晶体管 msa 和 msb 的另两端连接在一起。晶体管 msa 的栅极连接到基准读字线($RRWL_a$)，而晶体管 msb 栅极连接到读信号(RSi)。所示的晶体管 msb 、 msc 和 msd 的位置与晶体管 msa 类似。晶体管 msc 的漏极连接到位线 $BLBi$ ，而晶体管 msd 的源极连接到虚地信号 V_g 。晶体管 msc 的源极和晶体管 msd 的漏极连接在一起。晶体管 msc 的栅极连接到另一个基准读字线信号($RRWL_b$)，而晶体管 msd 的栅极连接到读信号(RSi)。 $RRWL_a$ 和 $RRWL_b$ 根据地址信息而选择性地使能，或者在使能在另一线的读通路时被使能(即，在选择 $RRWL_a$ 时，选择 RWL_i)。

应该注意， $RRWL_a$ 和 $RRWL_b$ 根据地址信息而选择性地使能，或者在使能在另一线的读通路时被使能(即，在选择 $RRWL_a$ 时，选择 RWL_i)。源晶体管 mse 的源极连接到晶体管 msb 和 msd 的源极，同时其栅极连接到读信号 RSi ，而源晶体管 mse 的漏极连接到电源 V_{ss} 。请注意，在该实例中，源晶体管 mse 是PMOS晶体管，但是可替换采用NMOS晶体管。在不脱离本发明的情况下，可以根据设计实现，改变堆叠晶体管 msa 、 msb 、 msc 和 msd 的次序。

标准单元中的堆叠晶体管的宽度是“W”，而晶体管(即， msa)的宽度是“W/2”。这意味着，基准读通路中的堆叠晶体管的电流驱动能力是标准单元中的堆叠晶体管的一半。实际上，堆叠晶体管的电流驱动能力并非正好是标准单元中的堆叠晶体管的一半，而是要求标准单元中的堆叠晶体管具有较小的电流驱动能力。根据所期望的操作，确定基准读通路中的晶体

管的大小(即, 读通路晶体管的大小的一半)。

图 4A 至图 4D 示出新型感测解决方案的时序方面。图 4A-4B 示出 RWL_i 被使能时的感测时序。图 4A 示出在 $C1$ 为高, 而 $C1B$ 为低时的情况, 图 4B 示出 $C1$ 是低, 而 $C1B$ 是高。

在预充电周期, 将位线对设置到典型为 V_{dd} 的电压。在使能字线(即, RWL_i) 时, $C1$ 的数据为高, 而 $C1B$ 为低(图 4A), 其中晶体管 mnf 导通。存在从 BLB_i 通过晶体管 mne 和 mnf 建立的电流通路。在具有连接到 BLB_i 的读晶体管的单元中, 选择连接到 BL_i 的堆叠晶体管。换句话说, 使能信号 $RRWL_a$, 以导通晶体管 msa 。为了读取单元数据, 使能读信号 RS_i 。在使能 WWL_i 、 $RRWL_a$ 和 RS_i 时, 位线以被看作 BLB_i 和 BL_i 的变化斜率的不同速度放电。请注意, 晶体管 mnf 的宽度是 “W”, 而晶体管 msa 的宽度是 “W/2”。因此, 图 4A 所示的 BLB_i 的放电斜率比图 4B 所示的快, 因为其晶体管尺寸大且其电流驱动能力强。因此, 在选择单元时, 在位线上出现信号差。

在 $C1$ 的数据为低时, 作为晶体管 mnf 被断开的结果, 不存在从位线杠通过堆叠晶体管的电流通路。因此, BLB_i 保持高, 而仅位线 BL_i 通过基准电流通路 msa 和 msb 放电。因此, 在位线上产生信号差。

图 4C-4D 示出 RWL_j 被使能时的感测时序。图 4C 示出 $C2$ 是低而 $C2B$ 是高时的情况, 图 4D 示出 $C2$ 是高而 $C2B$ 是低。

当具有连接到另一位线的单元读晶体管的另一个单元被使能时, 选择堆叠基准电流通路, 以在位线上产生信号差。例如, 在 RWL_j 被使能, 而且 $C2$ 数据是低, 而 $C2B$ 是高时, 晶体管 mnf' 导通, 而且存在通过晶体管 mne' 和 mnf' 的电流通路。由于具有堆叠晶体管的单元连接到 BL_i , 所以选择连接到 BLB_i 的堆叠晶体管。也就是说, 当 RWL_j 被使能时, 使能 $RRLW_b$, 并且使晶体管 msc 导通。在读信号 RS_i 被使能时, 形成从 BLB_i 通过晶体管 msc 和 msd 的电流通路, 以使 BLB_i 放电。如上所述, 由于在基准通路中的堆叠晶体管具有较小的电流驱动能力, 所以 BLB_i 的放电斜率比 BL_i

的放电斜率小，并且在位线上存在信号差。

在 $C2$ 的数据是高，而 $C2B$ 是低时， mnf' 断开，并且不存在通过晶体管 mne' 和 mnf' 的电流通路。仅位线杠 $BLBi$ 通过晶体管 mnc 和 msd 放电。在位线对上，出现信号差。

由于虚地信号 V_g 连接到源晶体管，所以单元的泄漏电流不是流过每个单元的断开的读晶体管的泄漏电流的总和，而是受源晶体管 mnc 的泄漏电流的限制。

可以理解，上面说明了耦合到位线、用于在位线上产生信号差以检测存储器存储单元状态的读字线激励晶体管。这种感测放大器解决方案可显著抑制泄漏电流。在该实例中，通过使基准读通路中的所有晶体管反向偏置，使用 PMOS 源晶体管 mnc 减少了泄漏电流。在激活模式中，在使能 RSi 时， V_g 的电压被放电为 V_{tp} ，其中 V_{tp} 是源 PMOS 晶体管的门限电压。当在待机模式下 RSi 变成低时，或者当不选择有关单元时，如当 $RRWL_a$ 和 $RRWL_b$ 是低而 RSi 也是低时， msa 、 msb 、 mnc 和 msd 的栅极是低，而 PMOS 源晶体管 mnc 的栅极变成高。由于 V_g 的电压是 V_{tp} ， msb 和 msd 的 V_{gs} 是 $-V_{tp}$ ，这意味着晶体管 msb 和 msd 被反向偏置。由于 PMOS 源晶体管 mnc 的栅极电压是 V_{dd} ，而源极电压是 V_{tp} ，所以晶体管 mnc 的 V_{gs} 是 $V_{dd}-V_{tp}$ ，这也意味着晶体管 mnc 被反向偏置。由于 V_g 的电压是 V_{tp} ，所以晶体管 msa 的源极和晶体管 msb 的漏极的电压以及晶体管 mnc 的源极和晶体管 msd 的漏极的电压也是正电压。由于晶体管 msa 和 mnc 的栅极电压是低，所以晶体管 msa 和 mnc 的 V_{gs} 是负电压，这意味着这两个晶体管被反向偏置。即使当诸如 $RRWL_a$ 或者 $RRWL_b$ 的基准字线之一在 RSi 为低时为高，晶体管 msb 、 msd 和 mnc 仍被反向偏置。因此，显著抑制了流过基准读通路中的晶体管的泄漏电流。

一个与上述基准读通路有关的问题是不同类型的 MOS 晶体管的使用。利用用于承载基准电流、是 NMOS 晶体管的晶体管，同时源晶体管是 PMOS 晶体管，可实现一个实施例。然而，形成 PMOS 晶体管需要

NWELL 结构，这将导致面积代价。为了解决这个问题，可利用 NMOS 晶体管代替 PMOS 源晶体管。在这种情况下，基准读通路中的所有晶体管具有相同类型，可使因为 NWELL 的 PMOS 晶体管形成所引起的面积代价最小。在 NMOS 源晶体管的情况下，当栅极电压是低以断开源晶体管时，由于 NMOS 源晶体管的源极是 V_{ss} ，所以 NMOS 晶体管的 V_{gs} 约为 0 伏，而不是负电压。因此，流过基准读通路的泄漏电流可稍许增大，然而，由于该 NMOS 源晶体管的泄漏电流限制了单元块的泄漏电流，所以流过基准读通路的泄漏电流仍然非常小。

本发明感测解决方案的主要目的是具有可替换选择的基准读通路，也就是说，由标准单元上的位线形成电流通路，而由另一个位线形成基准电流通路，以通过每个电流通路的不同电流驱动来产生信号差。

当在位线上产生信号差时，使能感测使能信号 SAE 以放大该信号差。基准读通路对于每位线对设置，或者可由多个位线对共享。感测放大器还可由一对位线定位，或者可由多个位线对共享。应该明白，在不脱离本发明原理的情况下，该新颖 SRAM 器件可利用许多感测放大器结构来实现。

通过具有不同配置的示范性实施例，图 5A 至 5F 示出基准读通路和感测放大器的设置。在图 5A 中，所示的基准读通路每小存储器块（分布式的）而设置或者由地址译码器控制的每存储器块（集总式的）而设置。感测放大器也是每小（子）存储器块（分布式的）或者对于每整个存储器块（集总式的）而设置，如图 5B 所示。基准读通路和感测放大器可如图 5C 所示以分布式的形式或者如图 5D 所示以集总式的形式设置。如图 5E 所示的多个基准读通路可共享该感测放大器，或者如图 5F 所示的多个感测放大器可共享基准读通路。应该认识到，在不脱离本发明的情况下，根据在此讲述的内容，本技术领域内的普通技术人员可实现上述实施例的组合并且可引入各种变型。

本发明的另一方面提供用于具有仅从一个位线的读通路的单元结构的感测解决方案。本发明的感测解决方案包括基准读通路，其可提供基准

电流以在位线上产生信号差。基准读通路可提供不同电流驱动能力以消除不必要的预充电步骤，而且在位线上产生信号差。基准读通路可以是提供基准电流以在位线上产生信号差的任何结构。

图6示出前述SRAM的双端口SRAM变型。从该原理图可以看出，基准线被分开，并且将与 V_{ref1} 和 V_{ref2} 进行比较所产生的双数据输出提供到两个分离的感测电路，从而提供两个分离的输出。在该图中还可以看出，电路的功能块配置有不同的电压门限，例如，读感测块被示出合并了低 V_t 晶体管，该低 V_t 晶体管的电压门限比静态存储锁存器的晶体管的电压门限低以在提高速度的同时减少泄漏。应该明白，在不脱离在此所述内容的情况下，可实现本发明的许多类似变型。

本发明提供了用于SRAM器件等的新型单元结构。该结构可合并用于被优选地设计有不同门限电压的写通路、读通路及存储的分离的功能块，以在提高读取速度的同时抑制存储部分中的泄漏电流。为了降低功率需求并方便低泄漏读操作，还描述了分离的读字线和写字线的使用。还描述了差动读感测方式，在该方式中，堆叠晶体管的一端连接到位线而另一端连接到虚拟源节点，该虚拟源节点连接到源晶体管，以抑制存储器单元块的总泄漏电流。

尽管上面的说明包含许多细节，但是不应该认为它们限制本发明的范围，而应该认为它们仅用于说明本发明的某些当前优选实施例。因此，应该明白，本发明的范围完全涵盖对本技术领域技术人员显而易见的其它实施例，因此，本发明范围仅由所附权利要求限定，其中，除非明确说明，单数用语中的一个(an)元件并不是指“一个和仅一个”，而是指“一个或者多个”。在此特意引用本技术领域普通技术人员公知的、与上述优选实施例的元件等效的所有结构和功能以供参考，而且意图由本发明的权利要求涵盖这些结构和功能。此外，一种装置或者方法不一定解决本发明试图解决的每个问题和各问题，因为它将包括在本权利要求中。此外，无意将本公开中的元件、部件或者方法步骤奉献给公众，而无论是否在权利要

求中明确引用了该元件、部件或者方法步骤。在此没有所要求元件应被诠释为受 35 U.S.C.112 的第六款之约束，除非使用短语“(means for)”特意引用该元件。

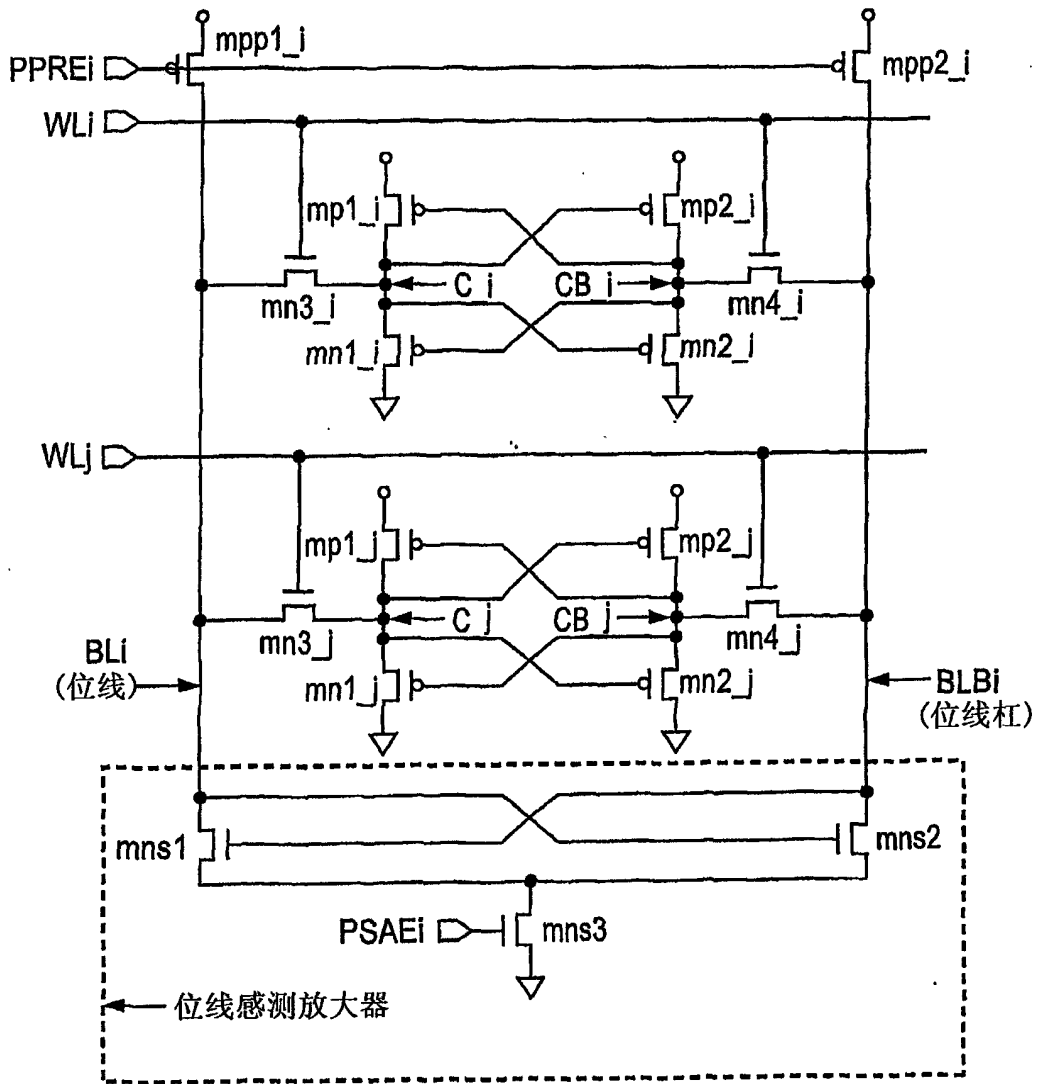


图1
(现有技术)

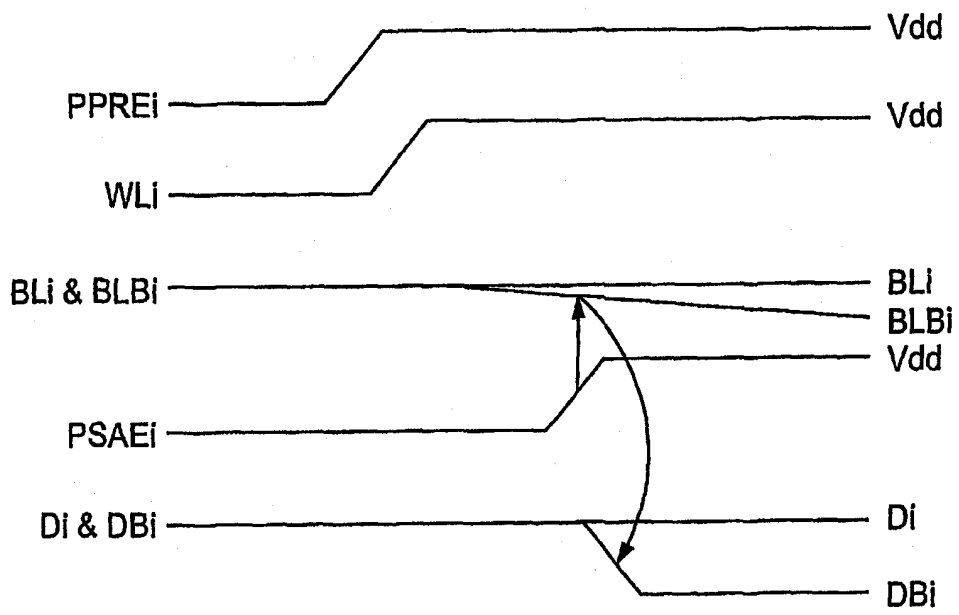


图2
(现有技术)

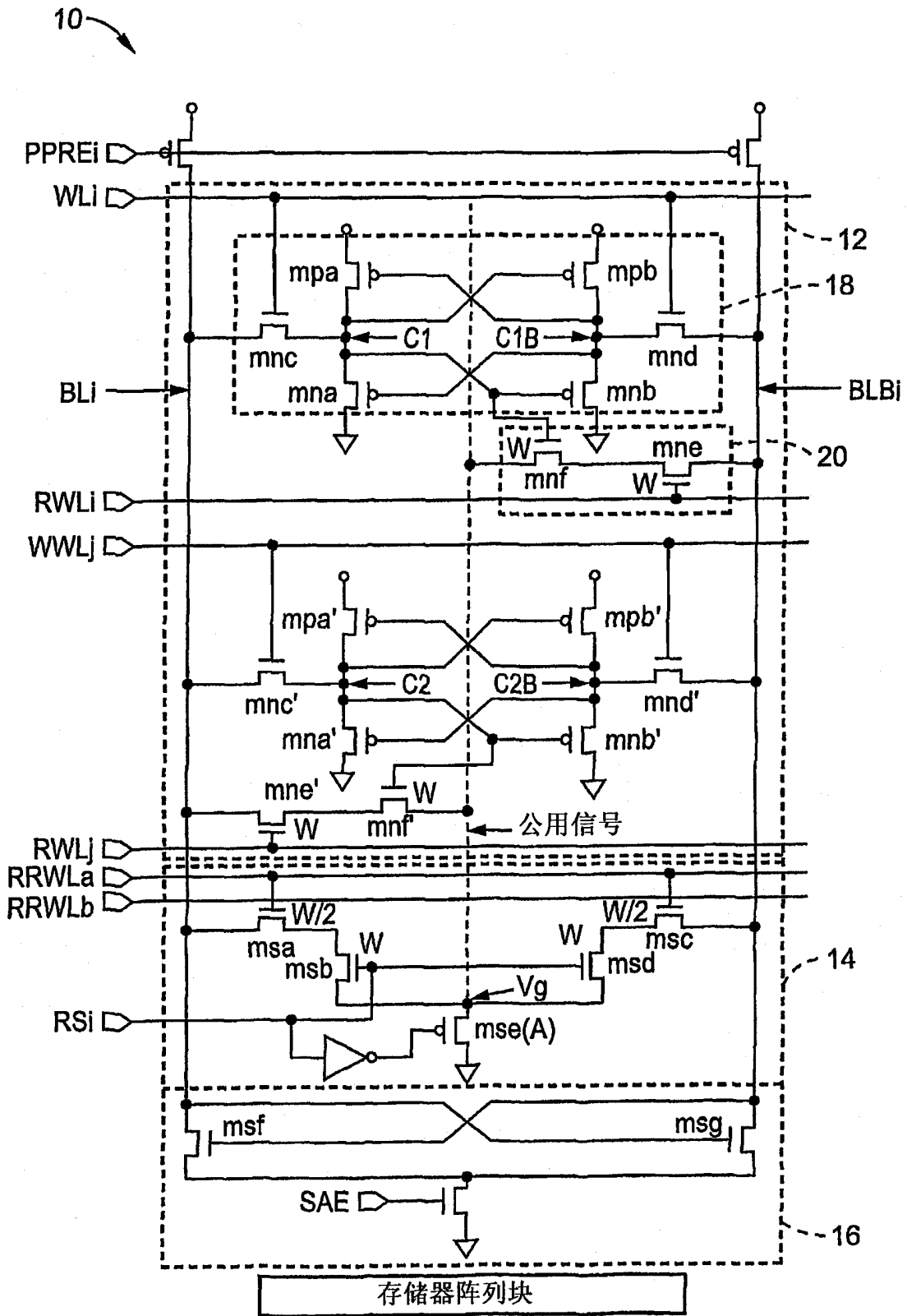


图 3

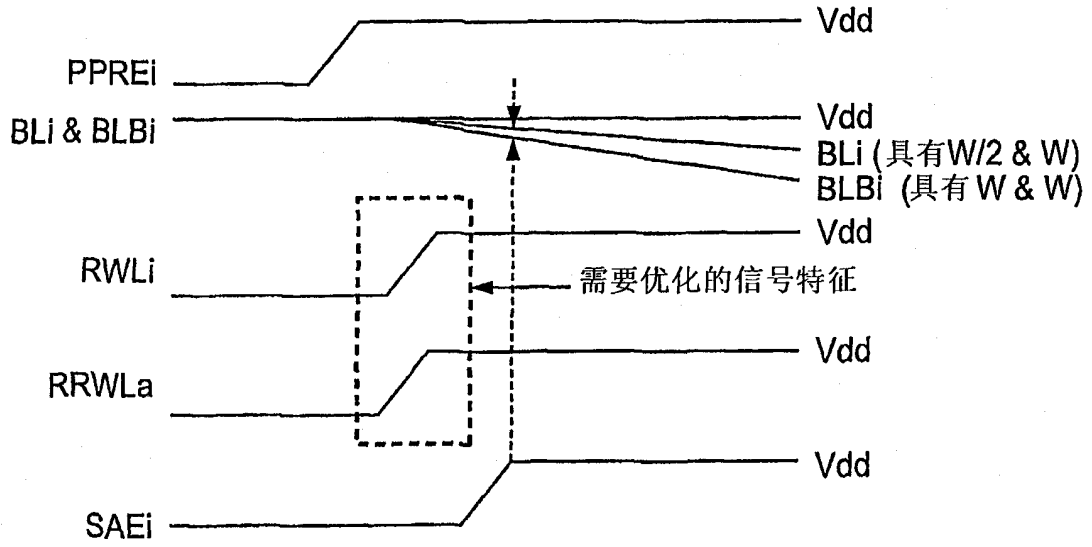


图 4A

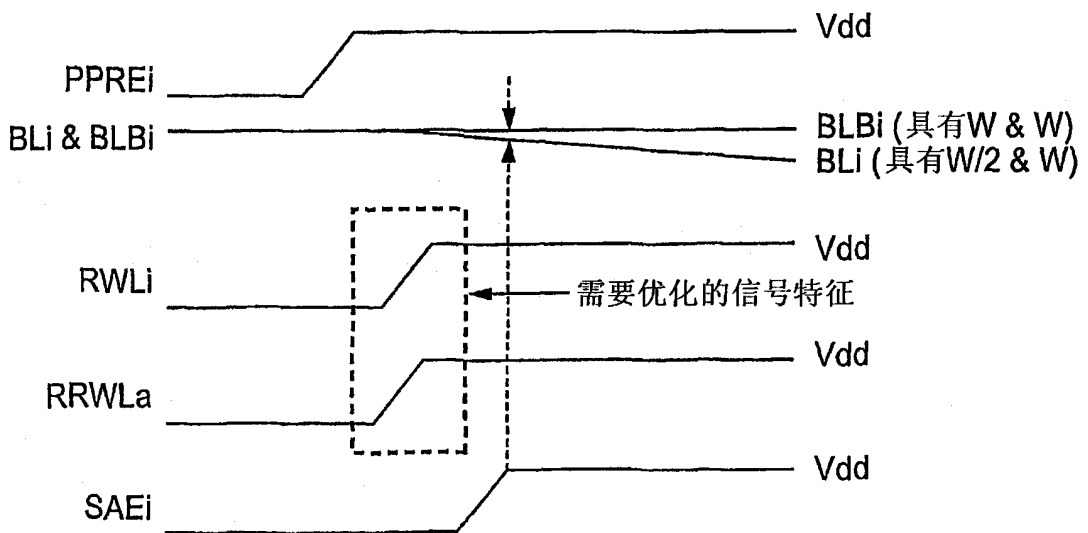


图 4B

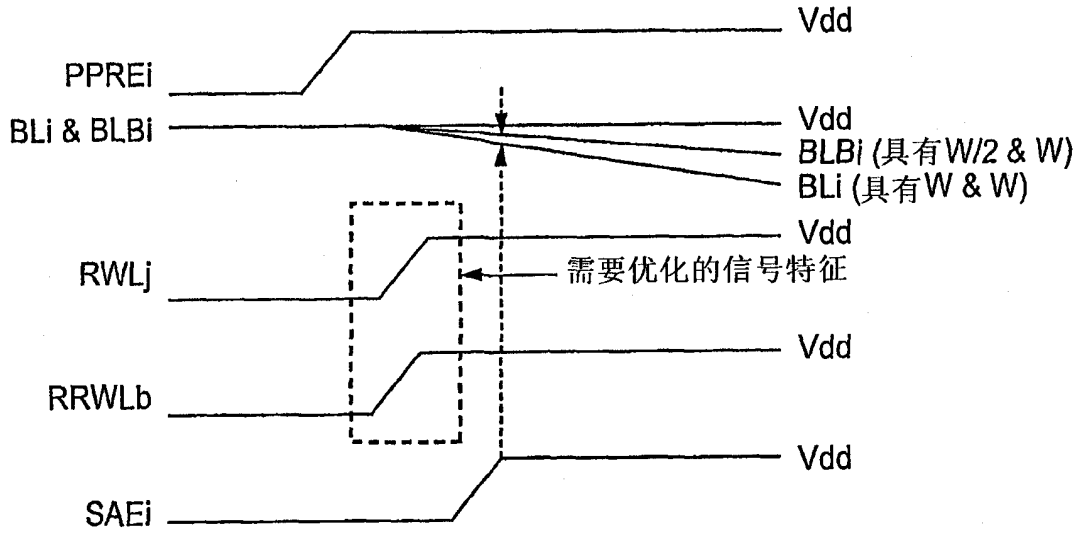


图 4C

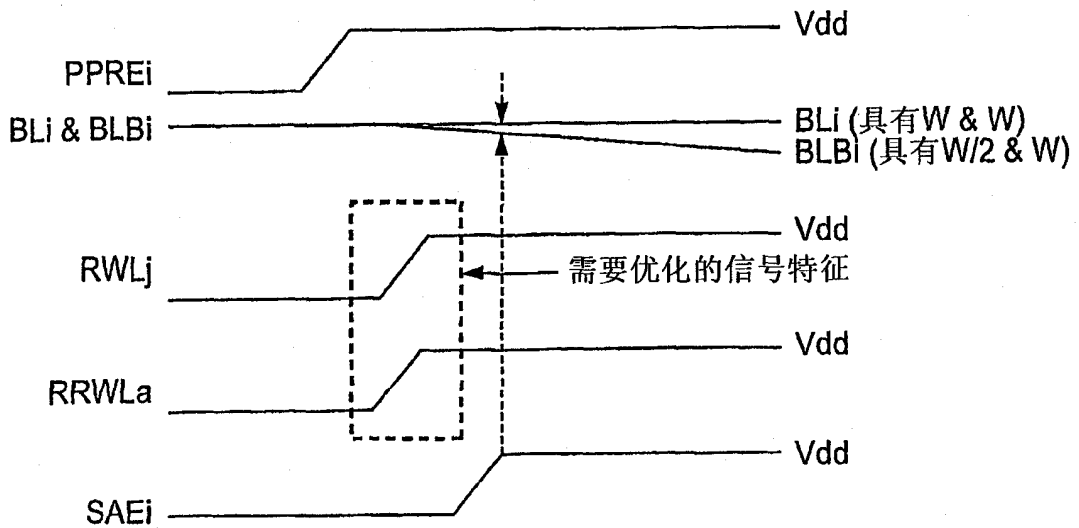
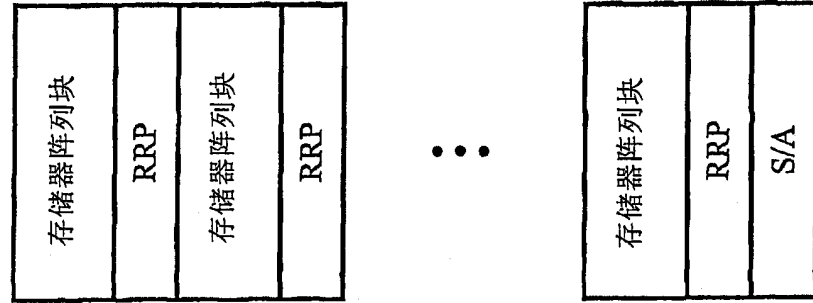
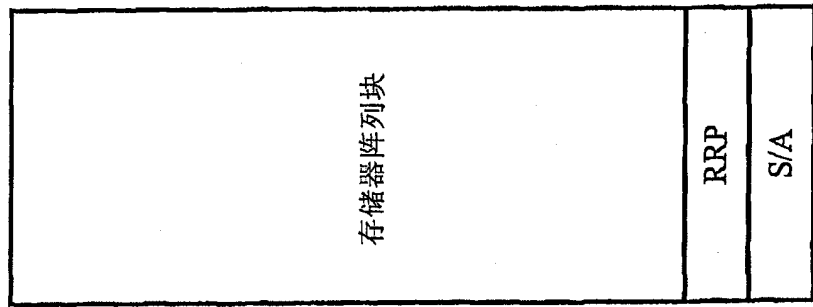


图 4D



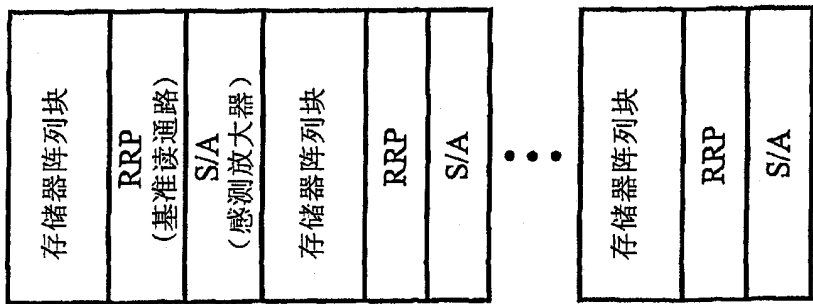
分布式
集总式

图5C



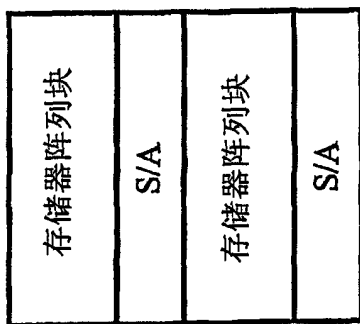
集总式
集总式

图5B

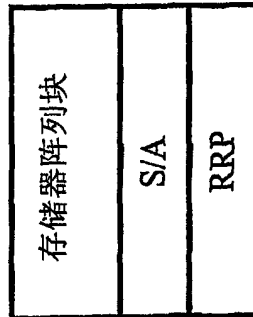


RRP → 分布式
S/A → 分布式

图5A



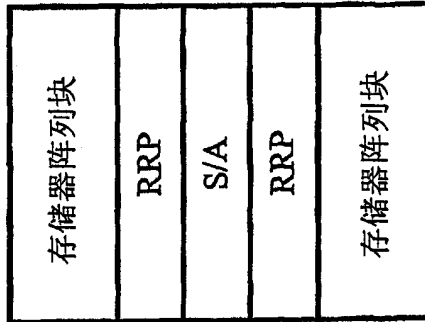
⋮



RRP → 分布式

S/A → 集总式

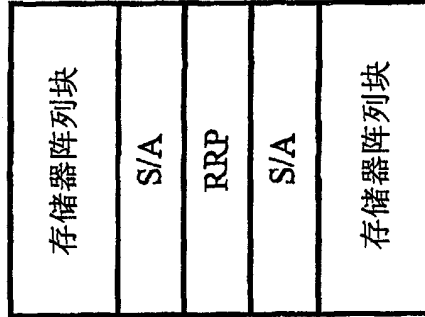
图 5D



专用

共享式

图 5E



共享式

专用

图 5F

