

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5657821号

(P5657821)

(45) 発行日 平成27年1月21日(2015. 1. 21)

(24) 登録日 平成26年12月5日(2014. 12. 5)

(51) Int.Cl.

F I

G 1 1 C 13/00 (2006.01)

G 1 1 C 13/00 1 5 O

G 1 1 C 13/00 1 1 O P

請求項の数 4 (全 16 頁)

(21) 出願番号	特願2014-52135 (P2014-52135)	(73) 特許権者	513192281
(22) 出願日	平成26年3月14日(2014. 3. 14)		ビーエスフォー ルクスコ エスエイアー
(62) 分割の表示	特願2007-176044 (P2007-176044)		ルエル
原出願日	平成19年7月4日(2007. 7. 4)		P S 4 L u x c o S . a . r . l .
(65) 公開番号	特開2014-112460 (P2014-112460A)		ルクセンブルク大公国エルー 2 1 2 1、ル
(43) 公開日	平成26年6月19日(2014. 6. 19)		クセンブルク、ヴァル デ ボン マラデ
審査請求日	平成26年4月11日(2014. 4. 11)	(74) 代理人	100101454
			弁理士 山田 卓二
		(72) 発明者	片桐 誠志
			東京都中央区八重洲二丁目2番1号 エル
			ピーダメモリ株式会社内
		審査官	後藤 彰
			最終頁に続く

(54) 【発明の名称】 相変化メモリ装置

(57) 【特許請求の範囲】

【請求項 1】

複数のワード線と、前記複数のワード線と交差する複数のビット線と、複数の相変化記憶素子を含む複数のメモリセルと、を含むメモリセルアレイと、

第1の端子と、各々が前記複数のビット線のうちの関連する一つに接続された複数の第2の端子とを含み、前記第1の端子と前記複数の第2の端子のうちの選択された一つとの間の電気経路を形成するスイッチ回路と、

リセットデータを書き込むための電流を前記複数の相変化記憶素子に流す第1のトランジスタと、

セットデータを書き込むための電流を前記複数の相変化記憶素子に流す第2のトランジスタと、

前記第1のトランジスタのオン信号を伝達する第1のトランスファークロフトと、

前記第2のトランジスタのオン信号を伝達する第2のトランスファークロフトと、

前記第1のトランスファークロフトまたは前記第2のトランスファークロフトのいずれかをオンにする選択信号を保持する第1のラッチ回路と、

前記第1のトランスファークロフトまたは前記第2のトランスファークロフトのいずれかを介して、前記第1のトランジスタまたは前記第2のトランジスタのいずれかのオン信号を保持する第2のラッチ回路と、

を備え、

前記第1のラッチ回路および前記第2のラッチ回路におけるデータ保持状態を外部から

10

20

の入力信号により制御することにより、前記第 1 のトランジスタまたは前記第 2 のトランジスタを選択して、前記相変化記憶素子にデータ書き込み電流を流す、
相変化メモリ装置。

【請求項 2】

リセットデータの書き込みの指示に応じて、

前記第 1 のラッチ回路は前記第 1 のトランスファークゲートをオンにすると共に、前記第 2 のトランスファークゲートをオフにする信号を保持するように制御され、且つ

前記第 2 のラッチ回路は前記第 1 のトランスファークゲートを介して前記第 1 のトランジスタをオンにする信号を保持するように制御され、

リセットデータの書き込みの終了を指示するリセット書き込み終了信号に応じて、

前記第 2 のラッチ回路は、前記第 1 のトランスファークゲートを介して、前記第 1 のトランジスタをオフにする信号を保持するように制御される、

請求項 1 に記載の相変化メモリ装置。

【請求項 3】

複数のワード線と、前記複数のワード線と交差する複数のビット線と、複数の相変化記憶素子を含む複数のメモリセルと、を含むメモリセルアレイと、

第 1 の端子と、各々が前記複数のビット線のうちの関連する一つに接続された複数の第 2 の端子とを含み、前記第 1 の端子と前記複数の第 2 の端子のうちの選択された一つとの間の電気経路を形成するスイッチ回路と、

リセットデータを書き込むための電流を前記複数の相変化記憶素子に流す第 1 のトランジスタと、

セットデータを書き込むための電流を前記複数の相変化記憶素子に流す第 2 のトランジスタと、

前記第 1 のトランジスタにオン信号を伝達する第 1 のクロックインバータと、

前記第 2 のトランジスタにオン信号を伝達する第 2 のクロックインバータと、

前記第 1 のクロックインバータまたは前記第 2 のクロックインバータのいずれかをインバータとして機能させるための選択信号を保持する第 1 のラッチ回路と、

前記第 1 のクロックインバータまたは前記第 2 のクロックインバータを介して、前記第 1 のトランジスタまたは前記第 2 のトランジスタをオンにする信号を保持する第 2 のラッチ回路と、

を備え、

前記第 1 のラッチ回路および前記第 2 のラッチ回路におけるデータ保持状態を外部からの入力信号により制御することにより、前記第 1 のトランジスタまたは前記第 2 のトランジスタを選択して、前記相変化記憶素子にデータ書き込み電流を流す、

相変化メモリ装置。

【請求項 4】

リセットデータの書き込みの指示に応じて、

前記第 1 のラッチ回路は、前記第 1 のクロックインバータをインバータとして機能させると共に、前記第 2 のクロックインバータのインバータ機能を停止させる信号を保持するように制御され、且つ

前記第 2 のラッチ回路は、前記第 1 のクロックインバータを介して、前記第 1 のトランジスタをオンにする信号を保持するように制御され、

リセットデータの書き込みの終了を指示するリセット書き込み終了信号に応じて、

前記第 2 のラッチ回路は、前記第 1 のクロックインバータを介して、前記第 1 のトランジスタをオフにする信号を保持するように制御される、

請求項 3 に記載の相変化メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、相変化メモリ装置内の書き込み回路において、相変化メモリ素子へデータを

10

20

30

40

50

書き込むための電位切り替え回路を不要とし、書き込み回路の回路規模を小さくすることができる、相変化メモリ装置に関する。

【背景技術】

【0002】

現在、半導体記憶装置において主流となっているのは、DRAM (Dynamic Random Access Memory) である。しかしながら、DRAMは揮発性メモリであり、記憶の保持には電源を切ることができない。また、電源投入中であってもデータを保持する為には、リフレッシュ動作を必要とする欠点を有する。

【0003】

これら欠点を解決するものとして、不揮発性メモリがある。この不揮発性メモリとしては、フラッシュメモリが一般的であるが、データ書き込み、データ消去の時間が長く、消費電流も大きいなどの制約からDRAMと同等に使用することは困難である。

【0004】

一方、近年では、相変化材料を用いて記憶を行うPRAM (Phase Change Random Access Memory) が不揮発性メモリとして提案されている。この種のPRAMは相変化メモリと呼ばれ、相変化材料に異なる書き込み電流を流すことにより、相変化材料の結晶状態を変化させ、その状態の差によってデータを記憶する。この相変化メモリは、不揮発性メモリとして利用でき、また、データの保持にリフレッシュを必要としないため、従来のDRAMに変わるメモリとして期待されている。

【0005】

ところで、従来の相変化メモリ装置における書き込み回路では、相変化メモリ装置のメモリセルの書き込み電流として数百 μ Aの電流を必要とする。したがって電源電圧をそのまま使用したのでは十分な書き込み電流が得られないため、電位切り替え回路により書き込み用の高電位電源を生成して書き込み電流を確保する必要がある。この電位切り替え回路は比較的回路規模が大きく、複雑な回路である。このため、回路規模が増大するという問題があった。

【0006】

この相変化メモリに関する従来技術として、相変化メモリ装置がある（例えば、特許文献1を参照）。この特許文献1の相変化メモリ装置では、駆動電圧レベルを変更することができる相変化メモリ装置を提供することを目的とし、書き込み昇圧回路及び書き込みドライバを備える相変化メモリ装置において、書き込み昇圧回路は、第1動作モードで、制御信号に応答して第1電圧を昇圧させて、第1制御電圧に出力し、第2動作モードまたは第3動作モードで、制御信号に応答して第1電圧を昇圧させて、第2制御電圧に出力するように構成されている。

【0007】

しかしながら、本発明は、相変化メモリ装置内の書き込み回路において、電位切り替え回路を不要とし、回路規模を縮小することを目的としており、上記特許文献1の相変化メモリ装置とは、発明の目的と構成が異なるものである。

【0008】

また、従来技術のプログラマブルコンダクタランダムアクセスメモリがある（例えば、特許文献2を参照）。この特許文献2のプログラマブルコンダクタランダムアクセスメモリでは、カリコゲナイドメモリ素子に対し、予め設定された抵抗状態を素子に書き込むのに十分なメモリ素子の電圧を生成することを目的としたものである。しかしながら、本発明は、相変化メモリ装置内の書き込み回路において、電位切り替え回路を不要とし、回路規模を縮小することを目的としており、上記特許文献1の相変化メモリ装置とは、発明の目的と構成が異なるものである。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2007-26644号公報

10

20

30

40

50

【特許文献2】特表2005-514719号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述したように、従来の相変化メモリ装置における書き込み回路では、相変化メモリ装置のメモリセルの書き込み電流として数百 μ Aの電流を必要とする。したがって電源電圧をそのまま使用したのでは十分な書き込み電流が得られないため、電位切り替え回路により書き込み用の高電位電源を生成して書き込み電流を確保する必要がある。この電位切り替え回路は比較的回路規模が大きく、複雑な回路である。このため、回路規模が増大するという問題があった。

10

【0011】

本発明は、このような問題を解決するためになされたものであり、本発明の目的は、相変化メモリ装置内の書き込み回路において、電位切り替え回路を不要とし、回路規模を小さくすることができる、相変化メモリ装置を提供することにある。

【課題を解決するための手段】

【0012】

本発明は上記課題を解決するためになされたものであり、本発明の相変化メモリ装置は、マトリクス状に配列された複数のビット線とワード線の交差部に、相変化記憶素子を有するメモリセルを備え、前記相変化記憶素子に流す電流を制御して抵抗値を変化させることによりデータを記録する書き込み回路を備える相変化メモリ装置であって、前記書き込み回路を制御する制御信号を出力する制御回路を第1の電源(VDD)で駆動すると共に、前記制御信号が第1の電源(VDD)の電圧レベルの信号となるように構成し、前記書き込み回路を前記第1の電源(VDD)よりも高電圧な第2の電源(Vwrite)で駆動すると共に、前記相変化記憶素子へのデータ書き込みに必要な電流を前記第2の電源(Vwrite)により供給し得るように構成し(Vwrite>VDD)、さらに、前記書き込み回路において、前記制御回路から当該書き込み回路に向けて出力される制御信号の全部がNchMOSトランジスタのゲート端子に入力されるように構成されたこと、を特徴とする。

20

上記構成からなる本発明の相変化メモリ装置では、書き込み回路を制御する制御回路の電源(VDD)と書き込み回路の電源(Vwrite)を異なる電源とする。そして、書き込み装置の電源(Vwrite)の電圧レベルを、制御回路の電源(VDD)の電圧レベルより高電圧することで(Vwrite>VDD)、メモリセルの相変化記憶素子へのデータ書き込みに必要な電流を電源(Vwrite)により供給できるようにする。また、制御回路から書き込み回路に入力される信号が全てNchMOSトランジスタのゲート端子に入力されるようにし、書き込み回路に対する各入力信号(ライトイネーブル信号WE等)を、制御回路の電源(VDD)の電圧レベルで入力できるようにする。

30

これにより、相変化メモリ装置内の書き込み回路において、電位切り替え回路を不要とし、回路規模を小さくすることができる。

【0013】

また、本発明の相変化メモリ装置は、前記相変化記憶素子にリセットデータを書き込むための電流を流す第1のPchMOSトランジスタ(Q1)と、前記相変化記憶素子にセットデータを書き込むための電流を流す第2のPchMOSトランジスタ(Q2)と、前記第1のPchMOSトランジスタ(Q1)のオン信号を伝達する第1のトランスファークラップゲート(TG1)と、前記第2のPchMOSトランジスタ(Q2)のオン信号を伝達する第2のトランスファークラップゲート(TG2)と、前記第1のトランスファークラップゲート(TG1)または前記第2のトランスファークラップゲート(TG2)のいずれかをオンさせる選択信号を保持する第1のラッチ回路(L1)と、前記第1のトランスファークラップゲート(TG1)または前記第2のトランスファークラップゲート(TG2)を介して、前記第1のPchMOSトランジスタ(Q1)または前記第2のPchMOSトランジスタ(Q2)のいずれかのオン信号を保持する第2のラッチ回路(L2)と、を備え、前記第1のラッチ回路(L1)およ

40

50

び第2のラッチ回路(L2)におけるデータ保持状態を外部からの入力信号により制御することにより、前記第1のPMOSトランジスタ(Q1)または前記第2のPchMOSTランジスタ(Q2)を選択して前記相変化記憶素子にデータ書き込み電流を流すように構成されたこと、を特徴とする。

上記構成からなる本発明の相変化メモリ装置では、相変化記憶素子にリセットデータを書き込むための電流を流す第1のPchMOSTランジスタ(Q1)と、セットデータを書き込むための電流を流す第2のPchMOSTランジスタ(Q2)と、これらを選択するための2つのトランスファークロップゲート(TG1、TG2)とを備え、第1のラッチ回路(L1)および第2のラッチ回路(L2)を外部からの入力信号により制御することにより、第1のPMOSトランジスタ(Q1)または第2のPchMOSTランジスタ(Q2)をトランスファークロップゲートにより選択すると共に、これらのトランジスタを駆動するための信号を生成して、相変化記憶素子に書き込み電流を流す。

これにより、書き込み回路において電位切り替え回路を不要とし、回路規模を小さくすることができる効果に加えて、簡単な回路構成と制御方式により、2つのPchMOSTランジスタ(ライトドライバトランジスタ)を通して相変化記憶素子にリセットデータまたはセットデータの書き込み電流を流すことができる。

【0014】

また、本発明の相変化メモリ装置は、前記書き込み回路に、データ書き込みを指示するライトイネーブル信号(WE)がパルス入力されると共に、リセットデータの書き込みを示す入力データ‘0’が入力された場合に、前記第1のラッチ回路(L1)は、前記第1のトランスファークロップゲート(TG1)をオンにすると共に、前記第2のトランスファークロップゲート(TG2)をオフする信号を保持するように制御され、前記第2のラッチ回路(L2)は、前記第1のトランスファークロップゲート(TG1)を介して、前記第1のPchMOSTランジスタ(Q1)をオンする信号を保持するように制御され、前記書き込み回路に、リセットデータの書き込みの終了を指示するリセット書き込み終了信号(RDIS)が入力された場合に、前記第2のラッチ回路(L2)は、前記第1のトランスファークロップゲート(TG1)を介して、前記第1のPchMOSTランジスタ(Q1)をオフする信号を保持するように制御される、ことを特徴とする。

上記構成からなる本発明の相変化メモリ装置では、ライトイネーブル信号(WE)がパルス入力され、入力データ‘0’が入力された場合に、第1のラッチ回路(L1)は第1のトランスファークロップゲートをオンさせるための信号を保持し、第2のラッチ回路(L2)は、第1のPchMOSTランジスタ(Q1)をオンする信号を保持する。また、リセット書き込み終了信号(RDIS)された場合に、第2のラッチ回路(L2)は、第1のPchMOSTランジスタ(Q1)をオフする信号を保持する。

これにより、書き込み回路において電位切り替え回路を不要とし、回路規模を小さくすることができる効果に加えて、簡単な回路構成と制御方式により、第1のPchMOSTランジスタ(Q1)を通して相変化記憶素子にリセットデータの書き込み電流を流すことができる。

【0015】

また、本発明の相変化メモリ装置は、前記書き込み回路に、データ書き込みを指示するライトイネーブル信号(WE)がパルス入力されると共に、セットデータの書き込みを示す入力データ‘1’が入力された場合に、前記第1のラッチ回路(L1)は、前記第1のトランスファークロップゲート(TG1)をオフにすると共に、前記第2のトランスファークロップゲート(TG2)をオンにする信号を保持するように制御され、前記第2のラッチ回路(L2)は、前記第2のトランスファークロップゲート(TG2)を介して、前記第2のPchMOSTランジスタ(Q2)をオンにする信号を保持するように制御され、前記書き込み回路に、セット用のデータ書き込みの終了を指示するセット書き込み終了信号(SDIS)が入力された場合に、前記第2のラッチ回路(L2)は、前記第2のトランスファークロップゲート(TG2)を介して、前記第2のPchMOSTランジスタ(Q2)をオフにする信号を保持するように制御される、ことを特徴とする。

上記構成からなる本発明の相変化メモリ装置では、ライトイネーブル信号（WE）がパルス入力され、書き込み用の入力データ‘1’が入力された場合に、第1のラッチ回路（L1）は第2のトランスファークゲートをオンさせるための信号を保持し、第2のラッチ回路（L2）は、第2のPchMOSトランジスタ（Q2）オンする信号を保持する。また、セット書き込み終了信号（SDIS）された場合に、第2のラッチ回路（L2）は、第2のPchMOSトランジスタ（Q2）をオフする信号を保持する。

これにより、書き込み回路において電位切り替え回路を不要とし、回路規模を小さくすることができる効果に加えて、簡単な回路構成と制御方式により、第2のPchMOSトランジスタ（Q2）を通して相変化記憶素子にセットデータの書き込み電流を流すことができる。

10

【0016】

また、本発明の相変化メモリ装置は、前記相変化記憶素子にリセットデータを書き込むための電流を流す第1のPchMOSトランジスタ（Q1）と、前記相変化記憶素子にセットデータを書き込むための電流を流す第2のPchMOSトランジスタ（Q2）と、前記第1のPchMOSトランジスタ（Q1）にオン信号を伝達する第1のクロックドインバータ（CINV1）と、前記第2のPchMOSトランジスタ（Q2）にオン信号を伝達する第2のクロックドインバータ（CINV2）と、前記第1のクロックドインバータ（CINV1）または前記第2のクロックドインバータ（CINV2）のいずれかをインバータとして機能させるための選択信号を保持する第1のラッチ回路（L1）と、前記第1のクロックドインバータ（CINV1）または前記第2のクロックドインバータ（CINV2）を介して、前記第1のPchMOSトランジスタ（Q1）または前記第2のPchMOSトランジスタ（Q2）をオンにする信号を保持する第2のラッチ回路（L2）と、を備え、前記第1のラッチ回路（L1）および第2のラッチ回路（L2）におけるデータ保持状態を外部からの入力信号により制御することにより、前記第1のPMOSトランジスタ（Q1）または前記第2のPchMOSトランジスタ（Q2）を選択して前記相変化記憶素子にデータ書き込み電流を流すように構成されたこと、を特徴とする。

20

上記構成からなる本発明の相変化メモリ装置では、相変化記憶素子にリセットデータを書き込むための電流を流す第1のPchMOSトランジスタ（Q1）と、セットデータを書き込むための電流を流す第2のPchMOSトランジスタ（Q2）と、これらを選択駆動するための2つのクロックドインバータ（CINV1、CINV2）とを備え、第1のラッチ回路（L1）および第2のラッチ回路（L2）を外部からの入力信号により制御することにより、第1のPMOSトランジスタ（Q1）または第2のPchMOSトランジスタ（Q2）をクロックドインバータにより選択駆動して、相変化記憶素子にデータの書き込み電流を流す。

30

これにより、書き込み回路において電位切り替え回路を不要とし、回路規模を小さくすることができる効果に加えて、簡単な回路構成と制御方式により、2つのPchMOSトランジスタ（ライトドライバトランジスタ）を通して相変化記憶素子にリセットデータまたはセットデータの書き込み電流を流すことができる。

【0017】

また、本発明の相変化メモリ装置は、前記書き込み回路に、データ書き込みを指示するライトイネーブル信号（WE）がパルス入力されると共に、リセットデータの書き込みを示す入力データ‘0’が入力された場合に、前記第1のラッチ回路（L1）は、前記第1のクロックドインバータ（CINV1）をインバータとして機能させると共に、前記第2のクロックドインバータ（CINV2）のインバータ機能を停止させる信号を保持するように制御され、前記第2のラッチ回路（L2）は、前記第1のクロックドインバータ（CINV1）を介して、前記第1のPchMOSトランジスタ（Q1）をオンにする信号を保持するように制御され、前記書き込み回路に、リセットデータの書き込みの終了を指示するリセット書き込み終了信号（RDIS）された場合に、前記第2のラッチ回路（L2）は、前記第1のクロックドインバータ（CINV1）を介して、前記第1のPchMOSトランジスタ（Q1）をオフにする信号を保持するように制御される、ことを特徴とする。

40

50

る。

上記構成からなる本発明の相変化メモリ装置では、ライトイネーブル信号（WE）がパルス入力され、入力データ‘0’が入力された場合に、第1のラッチ回路（L1）は第1のクロックドインバータ（CINV1）をインバータとして機能させる信号を保持し、第2のラッチ回路（L2）は、第1のクロックドインバータ（CINV1）を介して、第1のPchMOSトランジスタ（Q1）をオンする信号を保持する。また、リセット書き込み終了信号（RDIS）された場合に、第2のラッチ回路（L2）は、第1のPchMOSトランジスタ（Q1）をオフする信号を保持する。

これにより、書き込み回路において電位切り替え回路を不要とし、回路規模を小さくすることができる効果に加えて、簡単な回路構成と制御方式により、第1のPchMOSトランジスタ（Q1）を通して相変化記憶素子にリセットデータの書き込み電流を流すことができる。

10

【0018】

また、本発明の相変化メモリ装置は、前記書き込み回路に、データ書き込みを指示するライトイネーブル信号（WE）がパルス入力されると共に、セットデータの書き込みを示す入力データ‘1’が入力された場合に、前記第1のラッチ回路（L1）は、前記第1のクロックドインバータ（CINV1）のインバータ機能を停止させると共に、前記第2のクロックドインバータ（CINV2）をインバータとして機能させる信号を保持するように制御され、前記第2のラッチ回路（L2）は、前記第2のクロックドインバータ（CINV2）を介して、前記第2のPchMOSトランジスタ（Q2）をオンにする信号を保持するように制御され、前記書き込み回路に、セットデータの書き込みの終了を指示するセット書き込み終了信号（SDIS）された場合に、前記第2のラッチ回路（L2）は、前記第2のクロックドインバータ（CINV2）を介して、前記第2のPchMOSトランジスタ（Q2）をオフにする信号を保持するように制御される、ことを特徴とする。

20

上記構成からなる本発明の相変化メモリ装置では、ライトイネーブル信号（WE）がパルス入力され、入力データ‘1’が入力された場合に、第1のラッチ回路（L1）は第2のクロックドインバータ（CINV2）をインバータとして機能させるための信号を保持し、第2のラッチ回路（L2）は、第2のクロックドインバータ（CINV2）を介して、第2のPchMOSトランジスタ（Q2）オンする信号を保持する。また、セット書き込み終了信号（SDIS）された場合に、第2のラッチ回路（L2）は、第2のPchMOSトランジスタ（Q2）をオフする信号を保持する。

30

これにより、書き込み回路において電位切り替え回路を不要とし、回路規模を小さくすることができる効果に加えて、簡単な回路構成と制御方式により、第2のPchMOSトランジスタ（Q2）を通して相変化記憶素子にセットデータの書き込み電流を流すことができる。

【発明の効果】

【0019】

本発明によれば、書き込み回路の電源（Vwrite）の電圧レベルを、制御回路の電源（VDD）の電圧レベルより高電圧することで（ $Vwrite > VDD$ ）、書き込み回路においてメモリセルの相変化記憶素子への書き込みに必要な電流の供給を可能とし、また、制御回路から書き込み回路に入力される信号がすべてNchMOSトランジスタに入力されるようにし、書き込み回路に対する各入力信号（ライトイネーブル信号WE等）の電圧レベルを、制御回路の電源（VDD）の電圧レベルで入力できるようにしたので、これにより、相変化メモリ装置内の書き込み回路において、電位切り替え回路を不要とし、回路規模を小さくすることができる。

40

【図面の簡単な説明】

【0020】

【図1】本発明の相変化メモリ装置の主要部の構成を示す図である。

【図2】メモリセルMCの回路図である。

【図3】本発明の相変化メモリ装置の書き込み回路の第1の実施の形態を示す図である。

50

【図4】図3に示す書き込み回路の動作を示す波形図である。

【図5】本発明の相変化メモリ装置の書き込み回路の第2の実施の形態を示す図である。

【発明を実施するための形態】

【0021】

以下、本発明の実施の形態を添付図面を参照して説明する。

【0022】

[第1の実施の形態]

図1は、本発明の相変化メモリ装置の主要部の構成を示す図であり、本発明の特徴部分である書き込み回路2を使用した例を示す図である。

【0023】

図1に示す相変化メモリ装置1において、メモリセルアレイCAは、マトリックス状に配置された複数のワード線WL(WL1, WL2, WL3~WLn)と、複数のビット線BL(BL1, BL2~BLn)とを備え、それらが交差した箇所に相変化記憶素子を有するメモリセルMCを配した構成になっている。

【0024】

ワード線WLは、ロウデコーダXDECによって、そのうちの一本が選択される。また、ビット線BLは、YスイッチYSWに接続され、そのうちの一本がBITLINE(ビット選択線)を介して書き込み回路2に接続される。

【0025】

また、相変化メモリ装置1の制御回路4は電源VDDにより駆動され、制御回路4から書き込み回路2に出力される制御信号は電源VDDの電圧レベルの信号となる。一方、書き込み回路2は電源Vwriteにより駆動される。制御回路4の電源VDDの電圧レベルと、書き込み回路2の電源Vwriteの電圧レベルとは異なり、書き込み回路2の電源Vwriteの電圧レベルの方が電源VDDの電圧レベルよりも高く設定されている(Vwrite>VDD)。これは、書き込み回路2において、メモリセルの相変化記憶素子に十分な書き込み電流を流すためである。このように、書き込み回路2を電源Vwriteにより駆動することにより、書き込み回路2内における電位切り替え回路を不要としている。

【0026】

図2は、メモリセルの回路図である。メモリセルMCは、相変化記憶素子PCと、NchMOSトランジスタ(NチャネルMOSトランジスタ)を使用したセルトランジスタQsからなり、相変化記憶素子PCは、ビット線BLとセルトランジスタQsのドレインに接続され、セルトランジスタQsのゲートにワード線WLが接続され、ソースは電源(接地電位)VSSに接続される。

【0027】

相変化記憶素子PCの、相変化材料は、一般的にカルゴゲナイド材料が用いられる。カルゴゲナイド材料とは、ゲルマニウム(Ge)、アンチモン(Sb)、テルル(Te)、インジウム(In)、セレン(Se)等の元素を一種又は複数種を含んだ化合物である。

【0028】

相変化記憶素子PCは、印加する電流量によって加熱される事でアルファモス状態(リセットと呼ぶ)、結晶状態(セットと呼ぶ)の何れかの状態を取ることが出来、一般的に、アルファモス状態(リセット)では高抵抗、結晶状態(セット)では低抵抗となる。

【0029】

図3は、本発明の相変化メモリ装置における書き込み回路の第1の実施の形態を示す図である。

図3に示す書き込み回路2は、インバータ(論理反転ゲート)INV1、INV2で構成されるラッチ回路L1と、インバータ(論理反転ゲート)INV3、INV4で構成されるラッチ回路L2と、メモリセルへのリセットデータ書き込み用のPchMOSトランジスタ(PchチャネルMOSFET)Q1と、セットデータ書き込み用のPchトランジスタQ2と、BITLINEの非選択用NchMOSトランジスタ(NchチャネルMOS

10

20

30

40

50

FET) Q3とを備えている。なお、PchMOSトランジスタQ1、Q2はライトドライバトランジスタとも呼ばれる。

【0030】

また、ラッチ回路L1、L2のラッチデータを制御するNchMOSトランジスタQ100～Q106と、リセットデータ書き込み用のPchMOSトランジスタQ1を選択するためのトランスファークゲート107（PchMOSトランジスタQ107aとNchMOSトランジスタ107bとで構成されるトランスファークゲートTG1）と、セットデータ書き込み用のPchMOSトランジスタQ2を選択するためのトランスファークゲート108（PchMOSトランジスタQ108aとNchMOSトランジスタ108bとで構成されるトランスファークゲートTG2）と、書き込み用PchMOSトランジスタ非選択用のPchMOSトランジスタQ109、Q110とを備えている。

10

【0031】

なお、この書き込み回路2では、書き込み回路2内の各回路部の電源として、書き込み回路用電源（Vwrite）を使用している。この書き込み回路用電源（Vwrite）は、書き込み回路2を除く回路部分（制御回路4等）の電源（VDD）よりも電圧レベルが高くなるように設定されている（Vwrite>VDD）。

【0032】

また、図3に示すように、ラッチ回路L1のA接点側は、NchMOSトランジスタQ100のドレインと、NchMOSトランジスタQ105のゲートと、トランスファークゲート107のNchMOSトランジスタQ107bのゲートと、トランスファークゲート108のPchトランジスタ108aのゲートと、PchトランジスタQ109のゲートに接続されている。

20

【0033】

ラッチ回路L1のA'接点側は、NchMOSトランジスタQ101のドレインと、NchMOSトランジスタQ106のゲートと、トランスファークゲート107のPchMOSトランジスタQ107aのゲートと、トランスファークゲート108のNchMOSトランジスタ108bと、PchMOSトランジスタQ110のゲートに接続されている。

【0034】

また、トランスファークゲート107の出力点（接点C）はPchMOSトランジスタQ1のゲートと、PchMOSトランジスタQ109のドレインと接続されている。また、Q109およびQ1のソースは、電源（Vwrite）に接続されている。トランスファークゲート108の出力点（接点D）は、PchMOSトランジスタQ2のゲートと、PchMOSトランジスタQ110のドレインと接続されている。また、Q110およびQ2のソースは、電源（Vwrite）に接続されている。

30

【0035】

また、ラッチ回路L2のB接点側は、NchMOSトランジスタQ102のドレインと、トランスファークゲート107、108の入力点と、NchMOSトランジスタQ3のゲートに接続されている。ラッチ回路L2のB'接点側は、NchMOSトランジスタQ103のドレインと、NchMOSトランジスタQ104のドレインに接続されている。

【0036】

また、外部入力信号WE（ライトイネーブル信号）は、NchMOSトランジスタQ102、Q101のゲート入力信号となる。信号RDIS（リセット書き込み終了信号）はNchMOSトランジスタQ103のゲート入力信号となり、このQ103のソースはQ104のドレインに接続されている。信号SDIS（セット書き込み終了信号）はNchMOSトランジスタQ104のゲート入力信号となり、このQ104のソースはQ106のドレインに接続されている。また、信号DIN（入力データ信号）はNchMOSトランジスタQ100のゲート入力信号となる。

40

【0037】

また、PchMOSトランジスタQ1、Q2のドレインはBITLINEに接続されると共に、このBITLINEはNchMOSトランジスタQ3のドレインに接続されてい

50

る。

【0038】

上記構成により、書き込み回路用電源（Vwrite）は、書き込み用PchMOSトランジスタQ1またはQ2と、BITLINEとYスイッチYSW（図1を参照）とを介して、選択されたメモリセルMCと直列に接続され、相変化記憶素子PCへの書き込みに必要な電流を配給する。

【0039】

なお、前述した制御回路の第1の電源は制御回路4の電源（VDD）が相当し、書き込み回路の第2の電源は書き込み回路2の電源（Vwrite）が相当する。第1のPchMOSトランジスタはPchMOSトランジスタQ1が、第2のPchMOSトランジスタはPchMOSトランジスタQ2がそれぞれ相当する。第1のトランスファークゲートはトランスファークゲート（TG1）107が、第2のトランスファークゲートはトランスファークゲート（TGG）108がそれぞれ相当する。第1のラッチ回路はラッチ回路L1が、第2のラッチ回路はラッチ回路L2がそれぞれ相当する。

10

【0040】

図4は、図3に示す書き込み回路の動作を示す波形図である。図4において、図（A）はWE（ライトイネーブル）信号、図（B）はDIN（入力データ）信号、図（C）はラッチ回路L1のラッチデータ（接点A）、図（D）はラッチ回路L2のラッチデータ（接点B）を示している。図（E）は書き込み回路2に外部から入力されるRDIS信号（リセット書き込み終了信号）、図（F）は書き込み回路2に外部から入力されるSDIS信号（セット書き込み終了信号）、図（H）はリセット用PchMOSトランジスタQ1へのゲート入力信号（接点C）、図（I）はセット用PchMOSトランジスタQ2へのゲート入力信号（接点D）を示している。

20

【0041】

以下、図4のタイミングチャートを参照して、図3に示す相変化メモリ装置の書き込み回路の動作について説明する。初めにリセット動作に付いて説明する。なお、以下の説明において、‘0’は論理レベルLow（ロウ）を表し、‘1’は論理レベルHigh（ハイ）を表している。

【0042】

書き込みの開始は、図（A）に示す、WE（ラートイネーブル）信号の凸パルスa1によって、NchMOSトランジスタQ101がオンとなり、ラッチ回路L1の接点A’が‘0’となる。このため、図（C）に示す、ラッチ回路L1の接点Aが‘1’となる。また、WE（ラートイネーブル）信号の凸パルスa1によって、NchMOSトランジスタQ102がオンとなり、図（D）に示す、ラッチ回路L2の接点Bが‘0’となる。

30

【0043】

ラッチ回路L1の接点Aが‘1’となると、書き込み用PchMOSトランジスタQ1の選択用トランスファークゲート107では、NchMOSトランジスタQ107bがオンして選択状態（オン状態）となり、接点Cは接点Bと同じ‘0’となる。したがって、図（H）に示すように、リセット書き込み用PchMOSトランジスタQ1は選択状態（オン状態）となりリセット書き込みを開始する。

40

【0044】

この場合、書き込み用PchMOSトランジスタQ2の選択用トランスファークゲート108では、NchMOSトランジスタQ108bがオフ（接点A’が‘0’であるため）して非選択状態となり、書き込み用PchMOSトランジスタ非選択用PchMOSトランジスタQ110は選択状態（オン状態）となり接点Dは‘1’となる。よって、セット書き込み用PchMOSトランジスタQ2は、非選択状態となる。

【0045】

ライトイネーブル信号WEに凸パルスa1が入力され、リセット書き込み開始された後、所定の期間Tresetを経過すると、リセット書き込み終了信号RDISにより凸パルスa2が入力される。

50

【0046】

リセット書き込み終了信号RDISに凸パルスa2が入力されると、接点Aは‘1’であるのでNchMOSトランジスタQ105は選択状態（オン状態）であり、NchMOSトランジスタQ103がリセット書き込み終了信号RDISの凸パルスによって選択され、NchMOSトランジスタQ103、Q105は共にオンする。このため、ラッチ回路L2の接点B’は‘0’となり、接点Bは‘1’となる（図（D）を参照）。

【0047】

この場合、書き込み用PchMOSトランジスタQ1の選択用トランスファークゲート107は選択状態のため、接点Cも‘1’となり、リセット書き込み用PchMOSトランジスタQ1は非選択となってリセットの書き込みは終了する（図（H）を参照）。

10

【0048】

この時、入力信号WE、RDISは、制御回路4の電源（VDD）の電圧と同等の電圧レベルであり、書き込み回路2は書き込み用電源（Vwrite）を使用している。しかし、外部からの信号が入力されるトランジスタをNchMOSトランジスタに限定しているため、動作に支障を生じない（入力信号の電源VDDの電圧レベルと、書き込み回路電源Vwriteの電圧差が問題となることはない）。

【0049】

次にセット動作に付いて説明する。図（A）に示す、ライトイネーブル信号WEの凸パルスb1によって、ラッチ回路L1の接点Aが‘1’となり、ラッチ回路L2の接点Bが‘0’となる。

20

【0050】

この状態において、図（B）に示すように、時刻t1に入力データ信号DINに‘1’が入力されると、NchMOSトランジスタQ100が選択され、図（C）に示すように、接点Aは‘0’（A’は‘1’）となり、書き込み用PchMOSトランジスタQ1の選択用トランスファークゲート108のNchMOSトランジスタQ108bがオンし、選択状態（オン状態）となり接点Dは接点Bと同じ‘0’となる（図（I）を参照）。

【0051】

したがって、セット書き込み用PchMOSトランジスタQ2は選択状態となり、セット書き込みを開始する。また、書き込み用PchMOSトランジスタQ1の選択用トランスファークゲート107は非選択状態となり、書き込み用PchMOSトランジスタ非選択用PchMOSトランジスタQ109は選択状態となり接点Cは‘1’となる。よって、リセット書き込み用PchMOSトランジスタQ1は、非選択状態となる。

30

【0052】

ライトイネーブル信号WEに凸パルスb1が入力され、セット書き込み開始された後、所定の期間Tsetを経過すると、セット書き込み終了信号SDISにより凸パルスb2が入力される。（なお、期間Tsetは期間Tresetよりも時間が長く設定されており（Tset>Treset）、相変化記憶素子PCに対する電流の通電時間を変化させることにより、リセット書き込みとセット書き込みとが区別して行われる。）

【0053】

セット書き込み終了信号SDISの凸パルスb2が入力されると、接点A’は‘1’であるのでNchMOSトランジスタQ106は選択状態であり、NchMOSトランジスタQ104はセット書き込み終了信号SDISの凸パルスb2によって選択され、NchMOSトランジスタQ104、Q106が共にオンすることにより、ラッチ回路L2の接点B’は‘0’となり、接点Bは‘1’となる。

40

【0054】

書き込み用PchMOSトランジスタ選択用トランスファークゲート108は選択状態の為、接点Dも‘1’となり（図（D）を参照）、セット書き込み用PchMOSトランジスタQ2は非選択となってセットの書き込みは終了する（図（I）を参照）。

【0055】

この時、入力信号WE、RDISは、電源（VDD）の電圧と同等の電圧レベルであり

50

、書き込み回路2は書き込み用電源（Vw r i t e）を使用している。しかし、外部からの信号が入力されるトランジスタをN c h M O S トランジスタに限定しているため、動作に支障を生じない（入力信号の電源V D Dの電圧レベルと、書き込み回路電源Vw r i t eの電圧差が問題となることはない）。

【0056】

以上説明したように、本発明の相変化メモリ装置においては、書き込み回路の電源（Vw r i t e）の電圧レベルを、制御回路の電源（V D D）の電圧レベルより高電圧することで（Vw r i t e > V D D）、書き込み回路2においてメモリセルの相変化記憶素子への書き込みに必要な電流の供給を可能とし、また、制御回路4から書き込み回路2に入力される信号がすべてN c h M O S トランジスタに入力されるようにし、書き込み回路2に対する各入力信号（ライトイネーブル信号W E等）の電圧レベルを、制御回路4の電源（V D D）の電圧レベルで入力できるようにしたので、これにより、相変化メモリ装置内の書き込み回路2において、電位切り替え回路を不要とし、回路規模を小さくすることができる。

【0057】

また、2つのラッチ回路L 1、L 2を外部からの入力信号により制御することにより、P M O S トランジスタQ 1またはP c h M O S トランジスタQ 2をトランスファークロップゲートにより選択して駆動するようにしたので、これにより、簡単な回路構成と制御方式により、2つのP c h M O S トランジスタ（ライトドライバトランジスタ）を通して相変化記憶素子にリセット電流またはセット電流を流すことができる。

【0058】

〔第2の実施の形態〕

次に、本発明の相変化メモリの第2の実施の形態について、図面を参照して説明する。図5は、本発明の相変化メモリ装置の書き込み回路の第2の実施の形態を示す図である。

【0059】

図5に示す書き込み回路3は、ラッチ回路L 1、L 2と、書き込み用P c h M O S トランジスタQ 1、Q 2と、B I T L I N Eの非選択用N c h M O S トランジスタQ 3と、ラッチ回路L 1、L 2のラッチデータを制御するN c h M O S トランジスタQ 1 0 0 ~ Q 1 0 6と、リセット書き込み用P c h M O S トランジスタQ 1の選択用のクロックドインバータ1 2 0（C I N V 1）、セット書き込み用P c h M O S トランジスタQ 2の選択用のクロックドインバータ1 3 0（C I N V 2）、書き込み用P c h M O S トランジスタ非選択用P c h M O S トランジスタQ 1 0 9、Q 1 1 0とで構成される。

【0060】

書き込み用P c h M O S トランジスタQ 1、Q 2は、B I T L I N EとYスイッチY S Wを介して、選択されたメモリセルM Cと直列に接続され、書き込みに必要な電流を配給する。

【0061】

図5に示す書き込み回路3が、図3に示す書き込み回路2と構成上異なるのは、図3に示す書き込み回路2内のトランスファークロップゲート1 0 7、1 0 8に代えて、図5に示すクロックドインバータ1 2 0、1 3 0を使用した点であり、他の構成は図3に示す書き込み回路2と同様である。このため、同一の構成部分には同一の符号を付し、重複する説明は省略する。

【0062】

図5に示す書き込み回路3は、トランスファークロップゲートをクロックドインバータに代えただけであり、その動作は、図3に示す書き込み回路2の動作と基本的に同じであるが、その動作について簡単に説明する。

【0063】

クロックドインバータ1 2 0は、P c h M O S トランジスタQ 1 2 1、Q 1 2 2と、N c h M O S トランジスタQ 1 2 3、Q 1 2 4で構成されるクロックドインバータである。

【0064】

図4 (A) に示すライトイネーブル信号WEの凸パルスa 1が入力され、図4 (E) のリセット書き込み終了信号RDISの凸パルスa 2が入力されるまでのリセット書き込み期間中においては、Q 1 2 1のゲート信号(接点A')が' 0 'となり、Q 1 2 4のゲート信号(接点A')が' 1 'となり、Q 1 2 1とQ 1 2 4は共にオンとなり、Q 1 2 2、Q 1 2 3はインバータとして作動する。この時、Q 1 2 2、Q 1 2 3のゲート信号(接点B')は' 1 'であり、C点(PchMOSトランジスタQ 1のゲート)信号は' 0 'となり、リセット書き込み用PchMOSトランジスタQ 1がオンする。これにより、リセット書き込み用PchMOSトランジスタQ 1によりリセット書き込みが行われる。

【0065】

リセット書き込みが終了すると、Q 1 2 2、Q 1 2 3のゲート信号(接点B')は' 1 'となり、C点(PchMOSトランジスタQ 1のゲート)信号は' 1 'となり、リセット書き込み用PchMOSトランジスタQ 1がオフし、トランジスタQ 1 0 9がオンする。

【0066】

一方、クロックドインバータ130は、PchMOSトランジスタQ 1 3 1、Q 1 3 2と、NchMOSトランジスタQ 1 3 3、Q 1 3 4で構成されるクロックドインバータである。

【0067】

図4 (A) に示すライトイネーブル信号WEの凸パルスb 1が入力され、図4 (B) に示す入力データ信号が' 1 'となり、図4 (H) のセット書き込み終了信号SDISの凸パルスb 2が入力されるまでのセット書き込み期間中においては、Q 1 3 1のゲート信号(接点A)が' 0 'となり、Q 1 3 4のゲート信号(接点A')が' 1 'となり、Q 1 3 1とQ 1 3 4は共にオンとなり、Q 1 3 2、Q 1 3 3はインバータとして作動する。この時、Q 1 3 2、Q 1 3 3のゲート信号(接点B')は' 1 'となり、D点(PchMOSトランジスタQ 2のゲート)信号は' 0 'となり、セット書き込み用PchMOSトランジスタQ 2がオンする。これにより、セット書き込み用PchMOSトランジスタQ 2によりセット書き込みが行われる。

【0068】

セット書き込みが終了すると、Q 1 3 2、Q 1 3 3のゲート信号(接点B')は' 0 'となり、D点(PchMOSトランジスタQ 2のゲート)信号は' 1 'となり、リセット書き込み用PchMOSトランジスタQ 2がオフする。

【0069】

このように、書き込み用PchMOSトランジスタQ 1、Q 2の入力信号を発生するクロックドインバータ120、130を使用することで、書き込み用PchMOSトランジスタQ 1、Q 2のゲート入力信号C、Dを安定化することが出来る。

【0070】

なお、前述した第1のクロックドインバータはクロックドインバータ(CINV1)120が、第2のクロックドインバータはクロックドインバータ(CINV2)130がそれぞれ相当する。

【0071】

以上、本発明の実施の形態について説明したが、本発明の相変化メモリ装置により、電位切り替え回路が不要とすることができる。この電位切り替え回路は、比較的回路規模が大きく、複雑な回路であった。この電位切り替え回路をなくすことで、回路規模が小さくすることができる。このため、半導体記憶装置の製造コストを安くすることができる効果を奏する。

【0072】

以上、本発明の実施の形態について説明したが、本発明の相変化メモリ装置は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

【符号の説明】

【0073】

10

20

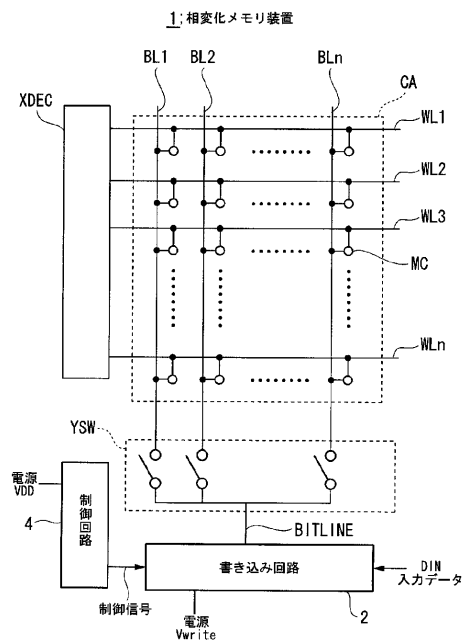
30

40

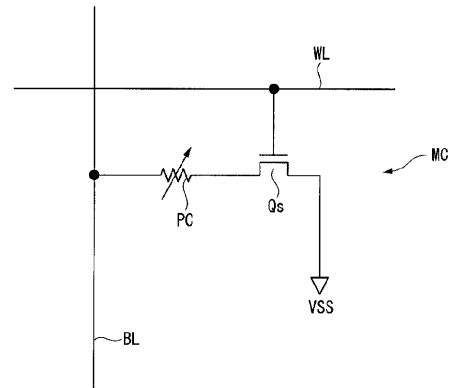
50

1・・・相変化メモリ装置、2、3・・・書き込み回路、 Q_s ・・・セルトランジスタ、 Q_1 ・・・リセット用PchMOSトランジスタ、 Q_2 ・・・セット用PchMOSトランジスタ、 Q_3 ・・・BITLINEの非選択用NchMOSトランジスタ、107、108・・・トランスファークラップ、120、130・・・クロックインバータ、CA・・・メモリセルアレイ、L1、L2・・・ラッチ回路、MC・・・メモリセル、 $Q_{100} \sim Q_{106}$ ・・・NchMOSトランジスタ、 Q_{107a} 、 Q_{108a} ・・・PchMOSトランジスタ、 Q_{107b} 、 Q_{108b} ・・・NchMOSトランジスタ、 Q_{109} 、 Q_{110} ・・・PchMOSトランジスタ、VDD・・・制御回路電源、Vwrite・・・書き込み回路電源、XDEC・・・ロウデコーダ、YSW・・・スイッチ

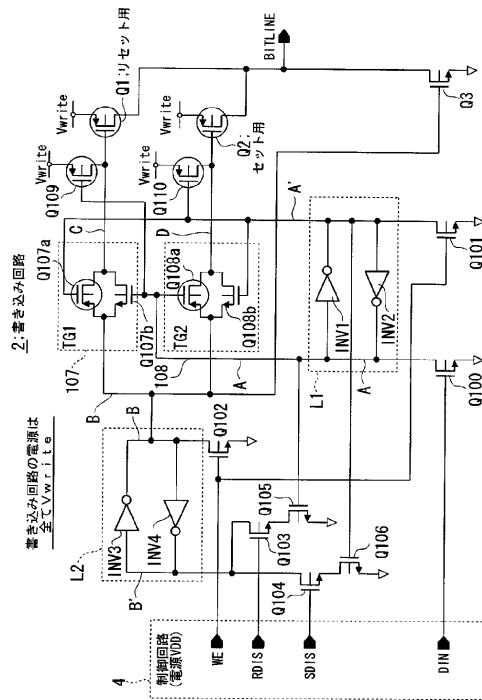
【図1】



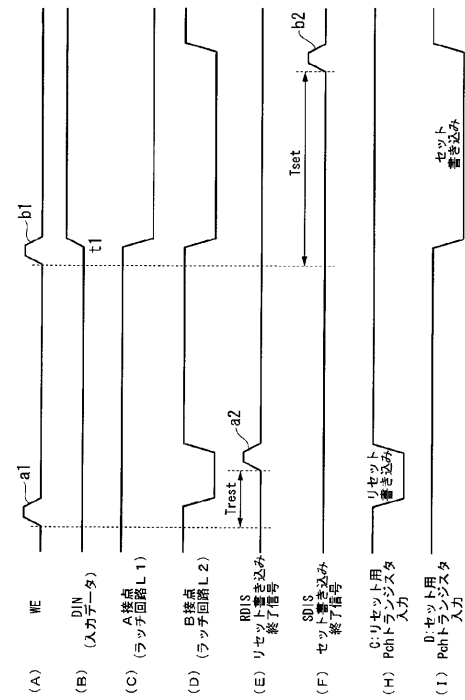
【図2】



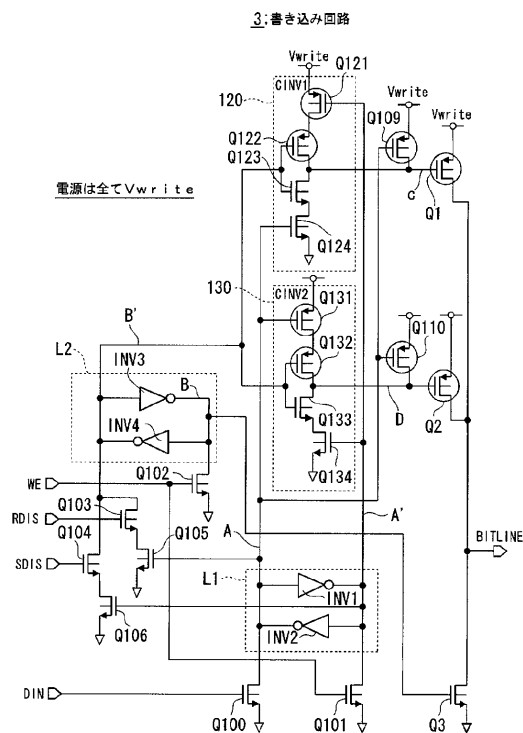
【図 3】



【図 4】



【図 5】



フロントページの続き

(56)参考文献 特開2005-158199 (JP, A)
国際公開第2005/076280 (WO, A1)

(58)調査した分野(Int.Cl., DB名)
G11C 13/00