(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0128448
(43) 공개일자 2024년08월26일

(51) 국제특허분류(Int. Cl.)
G06F 15/78 (2006.01) *G06F 9/38* (2024.01)
G06F 9/50 (2018.01)
(52) CPC특허분류
G06F 15/7807 (2013.01)
G06F 15/7867 (2013.01)
(21) 출원번호 10-2023-0021644
(22) 출원일자 2023년02월17일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
김지훈
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
김소현
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(74) 대리인
이철희

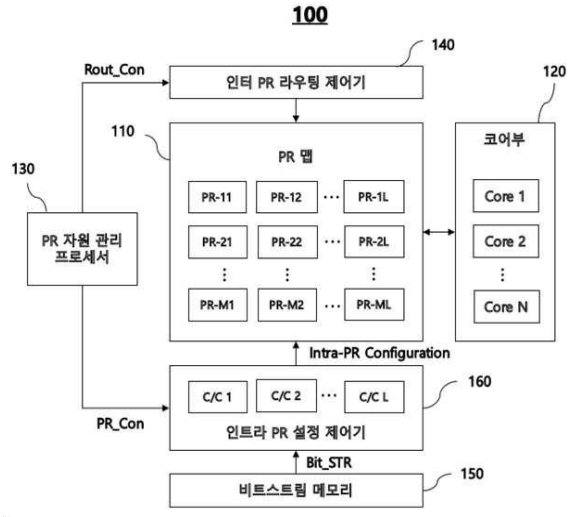
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **온 칩 다중 코어시스템 및 PR 자원 선택 최적화 방법**

(57) 요 약

본 발명은 재구성 가능한 자원 풀을 구성하는 복수의 PR(Partial-Region)을 다중 코어 중 해당 코어에 할당하는 관리 및 각 PR 내부를 재구성하는 관리를 구분하여 실시하고, PR의 할당 후 단편화(fragmentation)를 최소로 하며, 가속기의 재구성 시간을 단축할 수 있도록 하는 온 칩 다중 코어시스템 및 PR 선택 최적화 방법을 제안한다. 상기 온 칩 다중 코어시스템은, PR 맵, 코어부, PR 자원 관리 프로세서, 인터 PR 라우팅 제어기, 비트스트림 메모리 및 인트라 PR 설정 제어기를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
G06F 9/3885 (2013.01)
G06F 9/5066 (2013.01)

명 세 서

청구범위

청구항 1

해당 비트스트림에 응답하여 회로를 구성하는 eFPGA로 구현된 복수의 PR이 배열된 PR 맵;

복수의 코어를 포함하는 코어부;

한편으로는 임의의 코어가 요청하는 플렉서블 가속기에 필요한 PR 개수를 결정하고, PR 맵의 최소 단편화 조건 및 플렉서블 가속기 재구성시간의 최소 조건 중 적어도 하나의 조건을 만족하는 PR을 선택하고, 선택된 PR을 해당 코어에 할당할 것을 지시하는 정보를 포함하는 라우팅 신호를 생성하고, 다른 한편으로는 PR의 재구성을 지시하는 PR 재구성 신호를 생성하는 PR 자원 관리 프로세서;

상기 라우팅 신호에 응답하여 해당 PR을 해당 코어에 연결하는 인터 PR 라우팅 제어기;

PR의 구성 정보를 포함하는 상기 비트스트림이 저장된 비트 스트림 메모리; 및

상기 PR 재구성 신호에 응답하여 상기 비트스트림에 따라 해당 PR의 내부를 구성하는 인트라 PR 설정 제어기;를 포함하는 온 칩 다중 코어시스템.

청구항 2

제1항에 있어서, 상기 PR 각각은,

상기 PR의 구성 정보에 대응되는 회로를 구성하는 복수의 로직 블록; 및

상기 PR의 구성 정보에 따라 상기 복수의 로직 블록을 스위칭하는 복수의 스위칭 블록;을

포함하는 온 칩 다중 코어시스템.

청구항 3

제1항에 있어서, 상기 PR 자원 관리 프로세서는,

상기 플렉서블 가속기당 필요한 PR 개수를 미리 정해 놓은 테이블을 참조하여 상기 코어가 요청하는 플렉서블 가속기에 필요한 PR 개수를 결정하는 온 칩 다중 코어시스템.

청구항 4

제1항에 있어서, 상기 PR 자원 관리 프로세서는,

상기 결정된 PR 개수에 대응하여 미리 정해 놓은 적어도 하나의 사용 가능 토폴로지를 상기 PR 맵 중 사용 가능한 PR과 대비하여 최적의 위치에 있는 PR을 선택하는 온 칩 다중 코어시스템.

청구항 5

제4항에 있어서, 상기 PR 자원 관리 프로세서는,

상기 사용 가능 토폴로지를 상기 PR 맵 중 사용 가능한 PR과 대비하고, 상기 PR 맵에 포함된 전체 PR 중 이미 사용중인 PR 및 상기 사용 가능 토폴로지와 비교한 PR을 제외하고 남은 사용 가능 PR에 가중치를 부여하고, 상기 가중치에 따라 상기 최적의 위치에 있는 PR을 선택하는 온 칩 다중 코어시스템.

청구항 6

제4항에 있어서, 상기 사용 가능 토폴로지는,

상기 결정된 PR 개수가 3 이상인 때에 설정되는 온 칩 다중 코어시스템.

청구항 7

제1항에 있어서, 상기 PR 자원 관리 프로세서는,

적어도 3개의 PR이 필요한 플렉서블 가속기가 요청되었을 때,

상기 3개의 PR의 내부 구성 시간의 합이 최소로 되는 적어도 3개의 PR을 선택하는 온 칩 다중 코어시스템.

청구항 8

제1항에 있어서, 특정 플렉서블 가속기에 대해 임시 지역성이 있을 경우,

상기 특정 플렉서블 가속기를 소유하는 특정 코어가 상기 특정 플렉서블 가속기의 사용을 완료하는 때, 상기 특정 플렉서블 가속기를 가용 상태로 변경하지 않고, 상기 특정 플렉서블 가속기를 요청하는 타 코어에 상기 특정 플렉서블 가속기의 소유권을 이전하는 온 칩 다중 코어시스템.

청구항 9

제1항에 있어서, 상기 PR 자원 관리 프로세서는,

특정 플렉서블 가속기를 상기 복수의 코어가 서로 공유하도록 할당하거나 복수의 코어 중 하나의 코어에서만 사용할 수 있도록 할당하는 온 칩 다중 코어시스템.

청구항 10

각 PR의 개수에 따라 PR의 연결 가능 토폴로지를 설정하는 단계;

코어가 요청하는 플렉서블 가속기가 필요한 PR의 개수에 대응하는 복수의 토폴로지 각각을 복수의 PR이 배치된 PR 맵의 사용 가능 PR 영역 중 적용 가능한 한 모든 곳에 적용한 후, 각각의 적용에 대하여 상기 PR 맵 중 남아 있는 사용 가능한 PR 영역에 대하여 가중치를 부여하는 단계; 및

최대의 가중치가 부여된 적용에 사용된 토폴로지 및 적용 위치를 최적 토폴로지 및 최적 위치로 선택하는 단계;를

포함하는 PR 자원 선택 최적화 방법.

청구항 11

제10항에 있어서, 상기 가중치를 부여하는 단계는,

코어가 요청하는 플렉서블 가속기가 필요한 PR의 개수에 대응하는 복수의 토폴로지 중 하나를 선택하는 단계;

상기 PR 맵 중 상기 토폴로지를 적용할 수 있는 곳의 위치를 탐색하는 단계;

탐색 된 모든 위치 각각에 선택된 토폴로지를 적용하는 단계;

선택된 토폴로지를 적용한 후 PR 맵 중 남아 있는 사용 가능 PR에 대해 각각 가중치를 부여하는 단계; 및

상기 복수의 토폴로지 중 상기 선택하는 단계, 상기 탐색하는 단계, 상기 적용하는 단계 및 상기 부여하는 단계를 수행하지 않은 토폴로지에 대하여 상기 선택하는 단계, 상기 탐색하는 단계, 상기 적용하는 단계 및 상기 부여하는 단계를 수행하는 단계;를

포함하는 PR 자원 선택 최적화 방법.

청구항 12

제10항에 있어서, 상기 가중치는,

상기 PR 맵 중 남아 있는 사용 가능한 PR 영역의 단편화가 적을 경우 상대적으로 큰 값을 가지도록 하는 PR 자원 선택 최적화 방법.

청구항 13

각 PR의 개수에 따라 PR의 연결 가능 토폴로지를 설정하는 단계;

코어가 요청하는 플렉서블 가속기가 필요한 PR의 개수에 대응하는 복수의 토폴로지 중 PR의 구성에 필요한 소요 사이클이 최소인 토폴로지로부터 소요 사이클이 증가하는 토폴로지를 복수의 PR이 배치된 PR 맵의 사용 가능 PR

영역 중 적용 가능한 한 모든 곳에 적용한 후, 각각의 적용에 대하여 상기 PR 맵 중 남아 있는 사용 가능한 PR 영역에 대하여 가중치를 부여하는 단계; 및

최대의 가중치가 부여된 적용에 사용된 토폴로지 및 적용 위치를 최적 토폴로지 및 최적 위치로 선택하는 단계;를

포함하는 PR 자원 선택 최적화 방법.

청구항 14

제13항에 있어서, 상기 가중치를 부여하는 단계는,

코어가 요청하는 플렉서블 가속기가 필요한 PR의 개수에 대응하는 복수의 토폴로지 중 하나를 선택하는 단계;

상기 PR 맵 중 상기 토폴로지를 적용할 수 있는 곳의 위치를 탐색하는 단계;

탐색 된 모든 위치 각각에 선택된 토폴로지를 적용하는 단계;

선택된 토폴로지를 적용한 후 PR 맵 중 남아 있는 사용 가능 PR에 대해 각각 가중치를 부여하는 단계; 및

상기 복수의 토폴로지 중 상기 선택하는 단계, 상기 탐색하는 단계, 상기 적용하는 단계 및 상기 부여하는 단계를 수행하지 않은 토폴로지에 대하여 상기 선택하는 단계, 상기 탐색하는 단계, 상기 적용하는 단계 및 상기 부여하는 단계를 수행하는 단계;를

포함하는 PR 자원 선택 최적화 방법.

청구항 15

제13항에 있어서, 상기 가중치는,

상기 플렉서블 가속기의 재구성 시간이 짧고 상기 PR 맵의 단편화가 적을 때 상대적으로 큰 값을 가지도록 하는 PR 자원 선택 최적화 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 시스템 온 칩(System On Chip, SOC)에 관한 것으로, 특히, 재구성 가능한 자원 풀을 구성하는 복수의 PR(Partial-Region)을 다중 코어 중 해당 코어에 할당하는 관리 및 각 PR 내부를 재구성하는 관리를 구분하여 실시하고, PR의 할당 후 단편화(fragmentation)를 최소로 하며, 가속기(accelerator)의 재구성 시간(configuration time)을 단축할 수 있도록 PR을 선택하는 온 칩 다중 코어시스템 및 PR 자원 선택 최적화 방법에 관한 것이다.

배 경 기 술

[0002] 시스템 온 칩(System On Chip)은 프로그램 코드를 실행할 수 있는 프로세서를 포함하는데, 복수의 코어 즉 복수의 프로세서를 포함하도록 하여 복수의 기능을 동시에 수행하도록 할 수도 있다. 가속기(accelerator)는 특정 기능의 수행에 효과적인 특수 목적 처리용 장치로, 각 코어는 자신에게 요구되는 특정 기능을 수행하는데 적합한 가속기를 구비하고 있다. 이러한 가속기는 일단 구현되면 수정할 수 없다는 의미에서 고정 가속기(Rigid accelerator)라고 가정한다.

[0003] 가속기를 구성하는 회로를 eFPGA (embedded Field Programmable Gate Array)로 구현할 경우에는 고정 가속기와 구분될 수 있으므로 이를 플렉서블 가속기(Flexible accelerator)라고 할 수 있다. eFPGA로 구현된 하나의 기능 블록을 PR이라고 가정할 때, 하나의 PR에는 복수의 프로그램 가능한 복수의 로직 블록(Configuration Logic Block, CLB) 및 복수의 스위칭 블록(SBOX)을 포함한다. 플렉서블 가속기는 그 기능에 따라 적어도 하나의 PR을 포함한다.

[0004] 다중 코어를 포함하는 시스템 온 칩에서는, 요청되는 플렉서블 가속기의 기능에 따라 적어도 하나의 PR을 할당하게 되는데, 할당된 PR은 해당 플렉서블 가속기로 구성되어 사용이 완료된 후에는 반납되고, 이후 대응 비트스

트림을 통해 다른 플렉서블 가속기로 재구성되어 재사용이 가능하다. 특정 플렉서블 가속기를 재구성하기 위해 복수의 PR에 비트스트림을 올려 할당할 때에, 서로 떨어진 PR을 할당하는 것이 아니라 서로 이웃하는 PR을 묶어 할당함으로써 신호 전달 경로를 최소로 하여야 한다.

[0005] 시스템 온 칩에서 복수의 PR을 포함하는 영역을 PR 자원부(PR resource unit)라고 할 때, PR 자원부에 포함되는 PR은, 상술한 바와 같이 서로 이웃하는 PR을 묶어 할당하게 됨에 따라, 사용 및 반납을 반복하는 과정에서 사용 가능한 PR의 개수는 충분하더라도 실제 재구성 즉 재할당이 가능한 인접 PR이 없는 단편화(Fragmentation) 현상이 발생하는 단점이 있다. 단편화 현상으로 인해 저 사용(under-utilization) 상태의 자원이 증가하게 되면 결국 자원을 효과적으로 활용할 수 없게 되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 기술적 과제는, 재구성 가능한 자원 풀을 구성하는 복수의 PR(Partial-Region)을 다중 코어 중 해당 코어에 할당하는 관리 및 각 PR 내부를 재구성하는 관리를 구분하여 실시하고, PR의 할당 후 단편화(fragmentation)를 최소로 하며, 가속기의 재구성 시간을 단축할 수 있도록 하는 온 칩 다중 코어시스템을 제공하는 것에 있다.

[0007] 재구성 가능한 자원 풀을 구성하는 복수의 PR을 다중 코어 중 해당 코어에 할당하는 관리 및 각 PR 내부를 재구성하는 관리를 구분하여 실시하고, PR의 할당 후 단편화를 최소로 하며, 가속기의 재구성 시간을 단축할 수 있도록 하는 PR 선택 최적화 방법을 제공하는 것에 있다.

[0008] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 온 칩 다중 코어시스템은, PR 맵, 코어부, PR 자원 관리 프로세서, 인터 PR 라우팅 제어기, 비트스트림 메모리 및 인트라 PR 설정 제어기를 포함한다. 상기 PR 맵은 해당 비트스트림에 응답하여 회로를 구성하는 eFPGA로 구현된 복수의 PR이 배열된다. 상기 코어부는 복수의 코어를 포함한다. 상기 PR 자원 관리 프로세서는 한편으로는 임의의 코어가 요청하는 플렉서블 가속기에 필요한 PR 개수를 결정하고, PR 맵의 최소 단편화 조건 및 플렉서블 가속기 재구성시간의 최소 조건 중 적어도 하나의 조건을 만족하는 PR을 선택하고, 선택된 PR들을 서로 간 연결하고 해당 코어에 할당할 것을 지시하는 정보를 포함하는 라우팅 신호를 생성하고, 다른 한편으로는 PR의 재구성을 지시하는 PR 재구성 신호를 생성한다. 상기 인터 PR 라우팅 제어기는 상기 라우팅 신호에 응답하여 결정된 토폴로지대로 해당 PR간 연결 및 해당 PR을 해당 코어에 연결한다. 상기 비트스트림 메모리는 PR의 구성 정보를 포함하는 상기 비트스트림을 저장한다. 상기 인트라 PR 설정 제어기는 상기 PR 재구성 신호에 응답하여 상기 비트스트림에 따라 해당 PR의 내부를 구성한다.

[0010] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 면(one aspect)에 따른 PR 자원 선택 최적화 방법은, 각 PR의 개수에 따라 PR의 연결 가능 토폴로지를 설정하는 단계, 코어가 요청하는 플렉서블 가속기가 필요한 PR의 개수에 대응하는 복수의 토폴로지 각각을 복수의 PR이 배치된 PR 맵의 사용 가능 PR 영역 중 적용 가능한 한 모든 곳에 적용한 후, 각각의 적용에 대하여 상기 PR 맵 중 남아 있는 사용 가능한 PR 영역에 대하여 가중치를 부여하는 단계 및 최대의 가중치가 부여된 적용에 사용된 토폴로지 및 적용 위치를 최적 토폴로지 및 최적 위치로 선택하는 단계를 포함한다.

[0011] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 일 면(another aspect)에 따른 PR 자원 선택 최적화 방법은, 각 PR의 개수에 따라 PR의 연결 가능 토폴로지를 설정하는 단계, 코어가 요청하는 플렉서블 가속기가 필요한 PR의 개수에 대응하는 복수의 토폴로지 중 PR의 구성에 필요한 소요 사이클이 최소인 토폴로지로부터 소요 사이클이 증가하는 토폴로지를 복수의 PR이 배치된 PR 맵의 사용 가능 PR 영역 중 적용 가능한 한 모든 곳에 적용한 후, 각각의 적용에 대하여 상기 PR 맵 중 남아 있는 사용 가능한 PR 영역에 대하여 가중치를 부여하는 단계 및 최대의 가중치가 부여된 적용에 사용된 토폴로지 및 적용 위치를 최적 토폴로지 및 최적 위치로 선택하는 단계를 포함한다.

[0012] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은

또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 효과

[0013] 상술한 바와 같은 본 발명에 따른 온 칩 다중 코어시스템 및 PR 자원 선택 최적화 방법은, 재구성 가능한 자원 풀을 구성하는 복수의 PR을 다중 코어 중 해당 코어에 할당하는 관리 및 각 PR 내부를 재구성하는 관리를 구분하여 실시하고, PR의 할당 후 단편화를 최소로 하며, 가속기의 재구성 시간을 단축할 수 있는 장점이 있다.

[0014] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0015] 도 1은 본 발명에 따른 온 칩 다중 코어시스템의 개념도이다.

도 2는 본 발명에 따른 온 칩 다중 코어시스템의 일 실시 예이다.

도 3은 PR 맵의 구체적인 실시 예이다.

도 4는 본 발명에서 제안하는 플렉서블 가속기에 필요한 PR의 개수에 따른 대표 토폴로지의 예이다.

도 5는 하나의 대표 토폴로지의 확장을 설명한다.

도 6은 3개의 PR이 사용될 때 PR 맵에 적용하는 예를 설명한다.

도 7은 4개의 PR이 사용될 때 PR 맵에 적용하는 예를 설명한다.

도 8은 PR 맵, 인트라 PR 설정 제어기 및 메모리의 구체적인 실시 예이다.

도 9는 3개의 PR의 대표 토폴로지를 이용하여 PR의 재구성 시간 또는 사이클을 비교한 예이다.

도 10은 임시 지역성이 있는 플렉서블 가속기를 재활용하는 예를 설명한다.

도 11은 플렉서블 가속기의 사용 예를 설명한다.

도 12는 본 발명에 따른 PR 자원 선택 최적화 방법의 일 실시 예이다.

도 13은 본 발명에 따른 PR 자원 선택 최적화 방법의 다른 일 실시 예이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시 예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야 한다.

[0017] 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0018] 도 1은 본 발명에 따른 온 칩 다중 코어시스템의 개념도이다.

[0019] 도 1을 참조하면, 본 발명에 따른 온 칩 다중 코어시스템(100)은, PR 맵(110), 코어부(120), PR 자원 관리 프로세서(130), 인터 PR 라우팅 제어기(140), 비트스트림 메모리(150) 및 인트라 PR 설정 제어기(160)를 포함한다.

[0020] PR 맵(110)은 해당 비트스트림(Bit_STR)에 대응하는 논리 회로를 생성하는 eFPGA로 구현된 복수의 PR(PR-11, PR12 ~ PR-ML, M 및 L은 자연수)을 포함한다.

[0021] 코어부(120)는 복수의 코어(Core 1 ~ Core N, N은 자연수)를 포함한다. 코어는 특정 기능을 수행하는 신호처리 장치인 프로세서가 될 수 있다.

[0022] PR 자원 관리 프로세서(130)는 한편으로는 임의의 코어가 요청하는 플렉서블 가속기에 필요한 PR 개수를 결정하고, PR 맵의 최소 단편화 조건 및 플렉서블 가속기 재구성시간의 최소 조건 중 적어도 하나의 조건을 만족하는 PR을 선택하고, 선택된 PR을 해당 코어에 할당할 것을 지시하는 정보를 포함하는 라우팅 신호(Rout_Con)를 생성하고, 다른 한편으로는 PR의 재구성을 지시하는 PR 재구성 신호(PR_Con)를 생성한다.

[0023] 인터 PR 라우팅 제어기(140)는 라우팅 신호(Rout_Con)에 응답하여 해당 PR을 해당 코어에 연결한다.

[0024] 비트스트림 메모리(150)는 PR의 구성 정보를 포함하는 비트스트림(Bit_STR)을 저장한다.

[0025] 인트라 PR 설정 제어기(160)는 복수의 인트라 PR 구성 제어기(C/C 1 ~ C/C L)를 포함하며, PR 재구성 신호(PR_Con)에 응답하여 비트스트림(Bit_STR)에 포함된 PR 구성 정보(Intra-PR Configuration)에 따라 해당 PR의 내부를 구성한다.

[0026] 도 1에 도시된 바와 같이, 본 발명에서는 재구성 가능한 자원 풀을 구성하는 복수의 PR(Partial-Region)을 다중 코어 중 해당 코어에 할당하는 관리는 인터 PR 라우팅 제어기(140)가 수행하도록 하고, 각 PR 내부를 재구성하는 관리는 인트라 PR 설정 제어기(160)에서 수행하도록 서로 분리함으로써, 인터 PR 라우팅 제어기(140) 및 인트라 PR 설정 제어기(160)가 부여된 기능에 특화된 설계가 가능하다는 장점이 있다.

[0027] 인터 PR 라우팅 제어기(140) 및 인트라 PR 설정 제어기(160)가 수행하는 기능을 하나의 신호처리장치가 통합하여 수행하도록 하는 종래의 기술은, 신호처리장치의 구현이 복잡하다는 단점이 있다. 특히, 인터 PR 라우팅 제어기(140) 및 인트라 PR 설정 제어기(160)의 기능 중 처리 능력이 더 요구되는 정도에 맞추어 신호처리장치를 설계하여야 한다는 점에서, 신호처리장치의 설계 및 사용이 비효율적이 될 수 있다는 점에서 그러하다.

[0028] 도 2는 본 발명에 따른 온 칩 다중 코어시스템의 일 실시 예이다.

[0029] 도 2를 참조하면, 코어부(120)는 4개의 코어(Core 1 ~ Core 4)를 포함하며, 인트라 PR 설정 제어기(160)는 5개의 인트라 PR 구성 제어기(0 ~ 4)를 포함한다.

[0030] 제1 코어(Core 1)는 4개의 PR을 포함하는 플렉서블 가속기 D를 활용하며, 제2 코어(Core 2)는 3개의 PR을 포함하는 플렉서블 가속기 A를 활용하고, 제3 코어(Core 3)는 6개의 PR을 포함하는 플렉서블 가속기 B를 활용하며, 제4 코어(Core 4)는 5개의 PR을 포함하는 플렉서블 가속기 F와 3개의 PR을 포함하는 플렉서블 가속기 C를 활용한다는 것을 알 수 있다.

[0031] 도 2를 참조하면, 각각의 코어는 적어도 하나의 플렉서블 가속기를 활용할 수 있다.

[0032] 도 3은 PR 맵의 구체적인 실시 예이다.

[0033] 도 3의 좌측을 참조하면, 복수의 PR(PR-11, PR-12 ~ PR-ML)은 라우팅 신호(Rout_Con)에 따라 내부가 연결 관계(Inter-PR Routing)가 결정된다는 것을 알 수 있다.

[0034] 도 3의 우측은 복수의 PR(PR-11, PR-12 ~ PR-ML) 중 하나의 PR(PR-2L)의 내부 구성의 예이다.

[0035] 도 3의 우측을 참조하면, PR(PR-2L)은 비트스트림(Bit_STR)에 포함된 PR의 구성 정보(Intra-PR Configuration)에 대응되는 회로를 구성하는 복수의 로직 블록(CLB) 및 PR의 구성 정보(Intra-PR Configuration)에 따라 복수의 로직 블록(CLB)을 스위칭하는 복수의 스위칭 블록(SBOX)을 포함한다.

[0036] 도 4는 본 발명에서 제안하는 플렉서블 가속기에 필요한 PR의 개수에 따른 대표 토폴로지의 예이다.

[0037] 도 4를 참조하면, 플렉서블 가속기에 필요한 PR이 1개 일 때와 2개일 때는 토폴로지라는 개념이 적용될 여지는 없고, PR의 개수가 적어도 3개 이상일 때 적용될 수 있다.

[0038] 필요한 PR의 개수가 3개일 때에는, 예를 들면, 3개의 1자 형태로 배열되거나 꺾쇠 형태의 대표 토폴로지(Topology)가 가능하고, PR 개수가 4개일 때는 1자 형태와 더불어 다양한 형태의 대표 토폴로지가 가능하며, PR 개수가 5개 일 때에도 1자 형태와 더불어 다양한 형태의 토폴로지가 가능하다는 것을 알 수 있다.

[0039] 6개 이상의 PR에 대해서는 도시하지 않았지만, 도 4에 도시된 대표 토폴로지의 개념을 확장하면 이들을 예상하는 것은 어려운 일이 아닐 것이다.

[0040] 도 5는 하나의 대표 토폴로지의 확장을 설명한다.

[0041] 도 5를 참조하면, 3개의 PR로 구성된 꺾쇠 형태의 대표 토폴로지(3-1)는 대표 토폴로지(3-1)를 구성하는 특정 PR을 중심으로 회전하거나, 도면의 상부에서 하부를 연결하는 가상의 수직선 또는 도면의 좌측에서 우측을 연결하는 가상의 수평선을 축으로 180도 회전시킴으로써 나머지 3개의 확장 토폴로지(3-2 ~ 3-4)를 쉽게 구현할 수 있다.

[0042] 4개의 PR로 구성된 'ㄴ'자 형태의 대표 토폴로지(4-1)도 대표 토폴로지(4-1)를 구성하는 특정 PR을 중심으로 회전하거나, 가상의 수직선 및 가상의 수평선을 축으로 180도 회전시킴으로써 나머지 7개의 확장 토폴로지(4-2 ~

4-8)를 쉽게 구현할 수 있다.

[0043] 도 5에 도시된 방식을 적용하면, 도 4에 도시된 복수의 PR의 대표 토폴로지는 다양한 방식으로 확장할 수 있으며, PR의 개수가 6개 이상일 때에도 적용할 수 있으므로, 여기서는 설명을 생략한다.

[0044] 상술한 바와 같이, PR의 개수가 결정되면, PR의 개수에 대응하는 복수의 대표 토폴로지가 가능하며, 본 발명에서는 PR 개수에 따른 대표 토폴로지를 미리 설정해 놓고, 이들을 PR 맵(110) 중 사용 가능한 PR이 있는 곳과 비교하여 PR 맵의 단편화를 최소로 할 수 있는 곳으로 최적의 적용 장소를 결정할 것을 제안한다.

[0045] 도 6은 3개의 PR이 사용될 때 PR 맵에 적용하는 예를 설명한다.

[0046] 도 6을 참조하면, PR 맵(110)이 모두 25개의 PR을 포함하며, 이들 중 8개, 4개 및 4개가 이미 사용 중이므로, 9개의 PR이 사용 가능하다. 3개의 PR은 서로 인접한 상태에서 하나의 그룹으로 할당되어야 하므로, 사용 가능하지만 서로 인접해 있는 하부 2개의 PR은 3개의 PR을 적용할 수 없으며, 서로 인접해 있는 상부의 7개의 PR에만 적용할 수 있다.

[0047] 도 6의 하부의 좌측 및 우측에는 1자 형태의 토폴로지를 적용한 예이고, 하부의 중앙에는 꺾쇠 형태의 토폴로지를 적용한 예이다.

[0048] 도 6의 하부를 참조하면, 좌측 및 중앙의 예에서는 경우 추후 사용 가능한 PR 영역이 'ㄴ'자 형태이고, 우측의 예에서는 추후 사용 가능한 PR 영역의 정사각형의 형태이므로, 3개의 실시 예 후에도 최대 4개의 PR이 사용할 수 있어, 3개의 예 모두 PR 맵(110)의 단편화(Fragmentation)의 가능성은 높지 않다고 할 수 있다.

[0049] 도 6의 예로 한정할 때, 선택의 가능성이 다양하지만 하부의 우측의 예를 선택(Selected)하는 것이 가능하다.

[0050] 도 7은 4개의 PR이 사용될 때 PR 맵에 적용하는 예를 설명한다.

[0051] 도 7을 참조하면, PR 맵(110)이 사용 가능한 PR이 9개일 때, 4개의 PR이 제공할 수 있는 3개의 대표 토폴로지를 도 7의 하부 좌측, 중앙 및 우측에 각각 적용할 수 있다.

[0052] 도 7의 하부 도면을 참조하면, 사용 가능한 PR의 개수가 5개이지만, 하부 좌측의 예에서는 사용 가능한 PR이 2개까지가 가능하고, 중앙의 예에서는 3개의 PR이 사용 가능하며, 우측의 예에서는 1개의 PR이 사용 가능하다.

[0053] 따라서, 도 7의 예에서는 하부 중앙의 예를 선택하는 것이 바람직하다.

[0054] 도 6 및 도 7의 예에서 알 수 있듯이, 어떤 실시 예를 선택하는 것이 바람직한 것인지에 대해서, 본 발명에서는, 특정 토폴로지를 적용하였을 때 추후에 사용 가능 PR의 형태 각각에 대해 가중치를 부여하여 기록하고, 모든 토폴로지에 대해 적용한 후에 기록된 가중치 중 최대의 가중치를 가지는 적용 예를 선택하도록 할 것을 제안한다.

[0055] 단편화의 관점에서 볼 때, 도 6에 도시된 3개의 실시 예는 모두 동일하거나 차이가 없는 가중치가 부여될 수 있을 것이지만, 도 7의 3개의 예에서는 하부 중앙의 예가 가장 높은 가중치를 부여하고, 이어서 좌측의 예가 우측의 예에 비해 가중치가 높게 부여하게 될 것인데, 높은 가중치가 부여되는 예는 낮은 가중치가 부여되는 예에 비해 낮은 단편화의 가능성을 갖게 될 것이다.

[0056] 도 6 및 도 7에 도시된 예와 같이, 요구되는 PR의 개수를 PR 맵(110)에 할당할 때, 단순히 단편화만을 고려하는 방식으로도 충분히 본 발명의 효과를 달성할 수 있지만, 아래에 설명하는 것과 같이 PR의 재구성 시간을 최소로 하는 토폴로지를 선정하는 방법을 적용하는 방식으로도 본 발명의 효과를 달성할 수 있다.

[0057] PR의 재구성 시간을 이해하기 위해서는 아래에 설명하는 것과 같이 PR 맵(110)의 실시 예를 인지하고 있어야 한다.

[0058] 도 8은 PR 맵, 인트라 PR 설정 제어기 및 메모리의 구체적인 실시 예이다.

[0059] 도 8을 참조하면, PR 맵(110)에는 인트라 PR 설정 제어기(160)를 구성하는 복수의 인트라 PR 구성 제어기(0 ~ 4)로부터 출력되는 제어신호에 응답하여 동작하는 복수의 디-멀티플렉서(DM-0 ~DM-4)가 설치되어 있다.

[0060] 각각의 디-멀티플렉서는 도 8에서 상부에서 하부 방향으로 배열된 PR을 선택하도록 구성되어 있다. 따라서, 제1 인트라 PR 구성 제어기(0)는 제1 디-멀티플렉서(DM-0)와 연결된 5개의 PR(4,0/3,0/2,0/1,0/0,0)의 재구성을 제어할 수 있다. 즉, 제1 인트라 PR 구성 제어기(0)가 활성화될 때에는 5개의 PR(4,0/3,0/2,0/1,0/0,0)을 순차적으로 재구성하는 것이 가능하다.

[0061] 제2 인트라 PR 구성 제어기(1)는 제2 디-멀티플렉서(DM-1)과 연결된 5개의 PR(4,1/3,1/2,1/1,1/0,1)의 재구성을 제어할 수 있으며, 마찬가지로 제2 인트라 PR 구성 제어기(1)가 활성화될 때에는 5개의 PR(4,1/3,1/2,1/1,1/0,1)을 순차적으로 재구성하는 것이 가능하다.

[0062] 제3 인트라 PR 구성 제어기(2) 내지 제5 인트라 PR 구성 제어기(4)도 동일한 논리로 설명이 가능하므로 자세한 설명은 생략한다.

[0063] 도 9는 3개의 PR의 대표 토폴로지를 이용하여 PR의 재구성 시간 또는 사이클을 비교한 예이다.

[0064] 도 9의 상부 좌측 도면의 예는 하나의 인트라 PR 구성 제어기에 의해 재구성되는 수직으로 배열된 1차 형태의 3개의 PR(4,0/3,0/2,0)을 재구성하고자 할 때이다. 도 8을 참조하면 이 실시 예는, 하나의 PR의 재구성이 완료된 후 순차적으로 이어지는 PR의 재구성을 수행할 수 있게 될 것을 예상할 수 있다. 도 9의 상부의 우측 도면을 참조하면, 하나의 PR의 재구성에 소요되는 시간을 T1이라고 가정하거나 1 사이클(cycle)이라고 가정할 때, 3개의 연속하는 PR의 재구성 시간은 3T1 또는 3 사이클이 되어야 한다.

[0065] 도 9의 중앙 좌측을 참조하면, 'ㄴ'자 형태의 3개의 PR(3,1/2,1/2,2)을 재구성하고자 할 때이다. 이 실시 예는, 수직 방향으로 배열된 2개의 PR(2,1/3,1)은 순차적으로 재구성을 수행하여야 하지만, 수평 방향으로 배열된 2개의 PR(2,1/2,2)은 동시에 재구성을 할 수 있다. 즉, PR(2,1)은 제2 인트라 PR 구성 제어기(1)가 재구성을 수행하지만 PR2,2)는 제3 인트라 PR 구성 제어기(2)가 재구성을 수행하며, 제2 인트라 PR 구성 제어기(1) 및 제3 인트라 PR 구성 제어기(2)는 동시에 활성화가 가능하기 때문이다. 도 9의 중앙 우측 도면을 참조하면, 'ㄴ'자 형태의 3개의 PR(3,1/2,1/2,2)을 재구성하고자 할 때에는 2T1 또는 2 사이클의 재구성 시간이 필요하게 된다는 것을 알 수 있다.

[0066] 도 9의 하부 도면을 참조하면, 수평 방향으로 배열된 3개의 PR(2,0/2,1/2,2)의 재구성은, 제1 인트라 PR 구성 제어기(0) 내지 제3 인트라 PR 구성 제어기(2)가 동시에 활성화되어, 1T1 시간 또는 1 사이클에 수행할 수 있다. 도 9에 도시된 적용 예를 참조하면, 3개의 PR을 재구성할 때, 3개의 PR이 형성하는 토폴로지에 따라 3개의 PR의 재구성에 소요되는 시간 또는 사이클이 서로 다르며, 수평 방향의 1자 형 토폴로지가 가장 짧은 재구성 시간이 소요되며, 수직 방향의 1자 형 토폴로지가 가장 긴 재구성 시간을 가진다.

[0067] 복수의 PR의 토폴로지를 결정할 때, PR의 재구성시간을 감안하면, 선택되는 PR의 토폴로지가 온 칩 다중 코어시스템의 처리 속도는 증가시키고 처리 에너지는 감소시킬 수 있을 것이다.

[0068] PR의 재구성 시간을 감안하여, 최단의 재구성 시간을 가지는 토폴로지와 단편화를 최소로 할 수 있는 토폴로지를 병합하여 고려하여 최종적으로 선택되는 토폴로지는 온 칩 다중 코어시스템의 사용효율을 최적화하게 될 것은 당연하다.

[0069] 상술한 바와 같이, 본 발명에서는 PR의 토폴로지 및 적용 위치를 최적화함으로써, 온 칩 다중 코어시스템의 사용 효율을 극대화하는 것 외에 아래와 같이, 기존에 사용 중이던 플렉서블 가속기에 사용되던 PR을 사용 후 PR 맵에 반환하는 대신, 다른 플렉서블 가속기에 활용할 수 있도록 함으로써, 플렉서블 가속기의 재구성에 필요한 에너지 및 시간을 최소로 할 방법도 제안한다.

[0070] 도 10은 임시 지역성이 있는 플렉서블 가속기를 재활용하는 예를 설명한다.

[0071] 도 10을 참조하면, PR 맵(110)에 포함된 25개의 PR 중 9개, 4개 및 1개의 PR이 사용되고 있고, 제1 코어(Core 1)가 4개의 PR을 사용하는 플렉서블 가속기 B를 소유하고 있을 때, 제3 코어(Core 3)가 플렉서블 가속기 B를 사용할 것을 요청하였다는 상황을 가정한다.

[0072] 코어에 적용되어 사용되던 PR의 상태를 (PR 사용 여부, 대상 플렉서블 가속기, 소유 코어)로 표시할 때, 제1 코어(Core 1)에 사용되던 PR의 상태는 도 10의 우측 상부에 도시된 (1, Acc. B, Core 1)로 표시할 수 있다. PR의 상태에서 1은 사용 중임을 표시하고, 대상 플렉서블 가속기는 B이고, 제1 코어가 소유하고 있다는 것을 의미한다.

[0073] 제3 코어(Core 3)가 사용하고자 하는 PR의 상태는 도 10의 중간에 도시된 (0, Acc.B, Core 3)으로 표시할 수 있으며, 여기서 0은 미사용임을 표시한다. 즉, 제1 코어(Core 1)가 플렉서블 가속기 B의 사용이 완료되면 해당 PR을 제3 코어(Core 3)가 사용하게 될 것이라는 의미이다.

[0074] 사용이 완료된 PR은 PR 맵(110)에 반환하고, 이들이 다시 새로운 플렉서블 가속기에 할당되어 사용되는 것이 일반적이지만, 본 발명에서는 임시 지역성 (temporal locality)이 있는 플렉서블 가속기가 적용하고 있던 PR을 PR

맵(110)을 관리하는 PR 자원 관리 프로세서(130)에 반환하지 않고, 그 소유 정보만 변경함으로써, 해당 플렉서블 가속기를 재사용할 수 있도록 하여, 재구성에 소요되는 시간 및 에너지를 감소시킬 수 있도록 한다.

[0075] 실시 예에 따라서는, 임시 지역성이 있는 플렉서블 가속기의 정보를 SRAM(Static Random Access Memory)과 같이 휘발성 메모리가 아닌 비휘발성 메모리(Non-Volatile Memory, NVM)에 저장하고 이를 활용하는 경우, 사용 시스템의 전원의 상태와 상관없이 정보를 보존할 수 있으므로, 시스템의 전체 실행 시간을 단축할 수 있을 것이다.

[0076] 도 10의 하부 도면을 참조하면, 사용이 종료된 플렉서블 가속기를 재사용하지 않는 경우(General)에 비해 본 발명에서 제안하는 방법(Proposed)은 왼쪽을 향하고 있는 화살표 정도의 재구성 시간을 감소(save)시킬 수 있다는 것을 알 수 있다.

[0077] 상술한 실시 예 이외에도, 플렉서블 가속기의 활용 정도에 따라, 다른 플렉서블 가속기와의 연결이 빈번한 플렉서블 가속기에 사용되는 PR은 연결이 빈번한 다른 플렉서블 가속기에 사용되는 PR의 인근 영역에 할당하고, 반대로 타 플렉서블 가속기와의 연결이 많지 않은 플렉서블 가속기에 사용되는 PR은 PR 맵(110)에서 구석자리에 할당하도록 하는 실시 예도 가능하다.

[0078] 상기의 방법 외에도, 본 발명에서는 각각의 코어가 특정 플렉서블 가속기를 배타적(Exclusively)으로 소유하도록 하는 실시 예와 더불어 특정 플렉서블 가속기를 복수의 코어가 서로 공유하는 실시 예에 대해서도 제안한다.

[0079] 도 11은 플렉서블 가속기의 사용 예를 설명한다.

[0080] 도 11의 우측 상부를 참조하면, 비트스트림 메모리(150)에는 3개의 비트스트림 따라서 3개의 PR을 사용하는 플렉서블 가속기 A, 4개의 PR을 사용하는 플렉서블 가속기 B, 하나의 PR을 사용하는 플렉서블 가속기 C, 2개의 PR을 사용하는 플렉서블 가속기 D, 6개의 PR을 사용하는 플렉서블 가속기 K 및 2개의 PR을 사용하는 플렉서블 가속기 L을 포함한다.

[0081] 도 11의 우측 하부를 참조하면, PR의 개수에 따른 토폴로지가 저장되어 있다. 토폴로지는 PR의 개수에 따른 테이블의 형식으로 저장되는 실시 예도 가능하다.

[0082] 도 11의 좌측 및 중앙을 참조하면, 각각의 코어가 플렉서블 가속기를 배타적으로 사용하는 예(Case 1, 도 11의 좌측)와 복수의 코어가 특정 플렉서블 가속기를 공유하는 예(Case 2, 도 11의 중앙)를 설명한다.

[0083] 먼저, Case 1 즉 각각의 코어가 플렉서블 가속기를 배타적으로 사용하는 예에 대해 설명한다.

[0084] 제1 코어(Core 1) 내지 제4 코어(Core 4)는 각각 3개의 플렉서블 가속기(A ~ C, D ~F, G ~ I, J ~ L)를 사용한다. 하나의 코어가 사용하는 플렉서블 가속기는 타 코어에서 사용하지 않고 있다는 점에서 배타적 사용이라고 할 수 있다.

[0085] 이어서, Case 2 즉 복수의 코어가 특정 플렉서블 가속기를 공유하는 예에 대해 설명한다.

[0086] 제1 코어(Core 1) 내지 제4 코어(Core 4)는 각각 3개씩의 플렉서블 가속기를 사용한다는 점에서 Case 1과 동일하다. 다만, 플렉서블 가속기 B는 제1 코어(Core 1)와 제2 코어(Core 2)가 공유하고 있으며, 플렉서블 가속기 D는 제2 코어(Core 2) 및 제3 코어(Core 3)가 공유하고 있고, 플렉서블 가속기 G는 제3 코어(Core 3)와 제4 코어(Core 4)가 공유하고 있다.

[0087] 도 12는 본 발명에 따른 PR 자원 선택 최적화 방법의 일 실시 예이다.

[0088] 도 12를 참조하면, 본 발명에 따른 PR 자원 선택 최적화 방법(1200)은 각 PR의 개수에 따라 PR의 연결 가능 토폴로지를 설정하는 단계(1201), 코어가 요청하는 플렉서블 가속기가 필요한 PR의 개수에 대응하는 복수의 토폴로지 각각을 복수의 PR이 배치된 PR 맵의 사용 가능 PR 영역 중 적용 가능한 한 모든 곳에 적용한 후, 각각의 적용에 대하여 상기 PR 맵 중 남아 있는 사용 가능한 PR 영역에 대하여 가중치를 부여하는 단계(1202~1207) 및 최대의 가중치가 부여된 적용에 사용된 토폴로지 및 적용 위치를 최적 토폴로지 및 최적 위치로 선택하는 단계(1208)를 포함한다.

[0089] 선택하는 단계(1208)를 수행한 후, 해당 PR을 재구성할 것을 지시하는 재구성 신호를 송신하는 단계(1209)를 더 포함하는 실시 예도 가능하다.

[0090] 여기서 가중치를 부여하는 단계(1202 ~ 1207)는, 코어가 요청하는 플렉서블 가속기가 필요한 PR의 개수에 대응하는 복수의 토폴로지 중 하나를 선택하는 단계(1202), PR 맵(110) 중 토폴로지를 적용할 수 있는 곳의 위치를 탐색하고, 탐색 된 모든 위치 각각에 선택된 토폴로지를 적용하는 단계(1203, 1205), 선택된 토폴로지를 적용한

후 PR 맵 중 남아 있는 사용 가능 PR에 대해 각각 가중치를 부여하는 단계(1204) 및 부여된 가중치와 적용된 위치를 저장하는 단계(1206) 및 복수의 토폴로지 중 선택하는 단계(1202), 탐색하고 적용하는 단계(1203, 1206) 및 부여하는 단계(1204)를 수행하지 않은 토폴로지에 대하여 선택하는 단계(1202), 탐색하고 적용하는 단계(1203, 1205), 부여하는 단계(1204) 및 저장하는 단계(1206)를 수행하는 단계(1207)를 포함한다.

[0091] 여기서, 가중치는, PR 맵(110) 중 남아 있는 사용 가능한 PR 영역의 단편화가 적을 경우 상대적으로 큰 값을 가지도록 하는 것이 바람직하다.

[0092] 도 13은 본 발명에 따른 PR 자원 선택 최적화 방법의 다른 일 실시 예이다.

[0093] 도 13을 참조하면, 본 발명에 따른 PR 자원 선택 최적화 방법(1300)은, 각 PR의 개수에 따라 PR의 연결 가능 토폴로지를 설정하는 단계(1301), 코어가 요청하는 플렉서블 가속기가 필요한 PR의 개수에 대응하는 복수의 토폴로지 중 PR의 구성에 필요한 소요 시간(사이클)이 최소인 토폴로지로부터 소요 시간(사이클)이 증가하는 토폴로지를 복수의 PR이 배치된 PR 맵의 사용 가능 PR 영역 중 적용 가능한 한 모든 곳에 적용한 후, 각각의 적용에 대하여 PR 맵 중 남아 있는 사용 가능한 PR 영역에 대하여 가중치를 부여하는 단계(1302~1307) 및 최대의 가중치가 부여된 적용에 사용된 토폴로지 및 적용 위치를 최적 토폴로지 및 최적 위치로 선택하는 단계(1308)를 포함한다.

[0094] 여기서, 가중치를 부여하는 단계(1302~1307)는, 코어가 요청하는 플렉서블 가속기가 필요한 PR의 개수에 대응하는 복수의 토폴로지 중 하나를 선택하는 단계(1302), 상기 PR 맵 중 상기 토폴로지를 적용할 수 있는 곳의 위치를 탐색하고 탐색 된 모든 위치 각각에 선택된 토폴로지를 적용하는 단계(1303, 1305), 선택된 토폴로지를 적용한 후 PR 맵 중 남아 있는 사용 가능 PR에 대해 각각 가중치를 부여하는 단계(1304), 선택된 토폴로지 및 적용된 위치를 저장하는 단계(1306) 및 복수의 토폴로지 중 선택하는 단계(1302), 탐색하고 적용하는 단계(1303, 1305), 부여하는 단계(1304) 및 저장하는 단계(1306)를 수행하지 않은 토폴로지에 대하여 선택하는 단계(1302), 탐색하고 적용하는 단계(1303, 1305), 부여하는 단계(1304) 및 저장하는 단계(1306)를 수행하는 단계(1307)를 포함한다.

[0095] 여기서 가중치는, 플렉서블 가속기의 재구성 시간이 짧고 PR 맵의 단편화가 적을 때 상대적으로 큰 값을 가지도록 하는 것이 바람직하다.

[0096] 전술한 본 발명은, 프로그램이 기록된 매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 매체는, 컴퓨터 시스템에 의하여 읽혀 질 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다. 컴퓨터가 읽을 수 있는 매체의 예로는, HDD(Hard Disk Drive), SSD(Solid State Disk), SDD(Silicon Disk Drive), ROM, RAM, CD-ROM, 자기 테이프, 플로피 디스크, 광 데이터 저장 장치 등이 있다.

[0097] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 기술자라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방 가능함은 명백한 사실이다.

부호의 설명

[0098] 110: PR 맵

120: 코어부

130: PR 자원 관리 프로세서

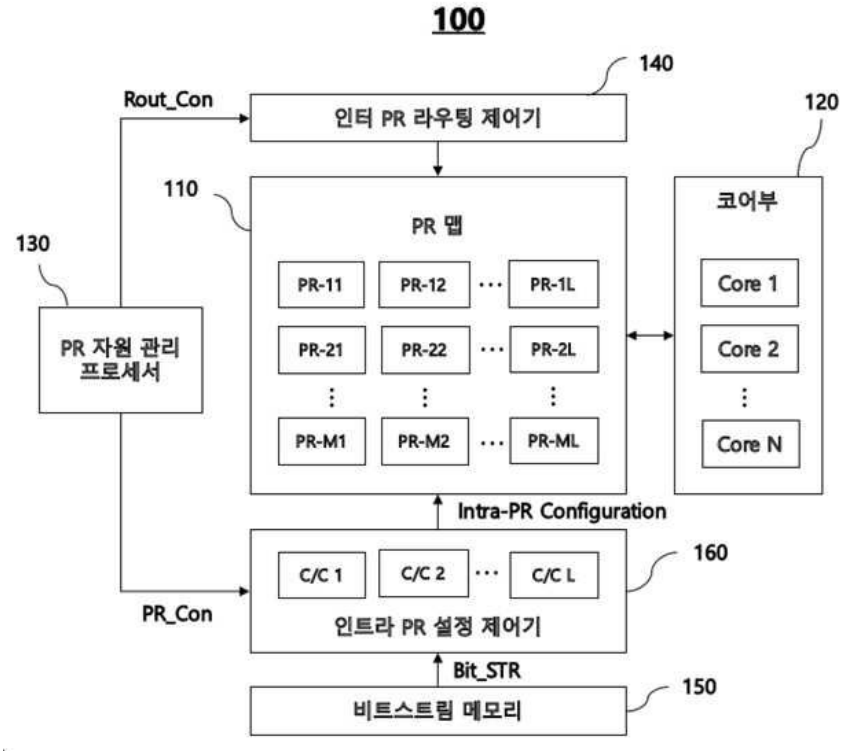
140: 인터 PR 라우팅 제어기

150: 비트스트림 메모리

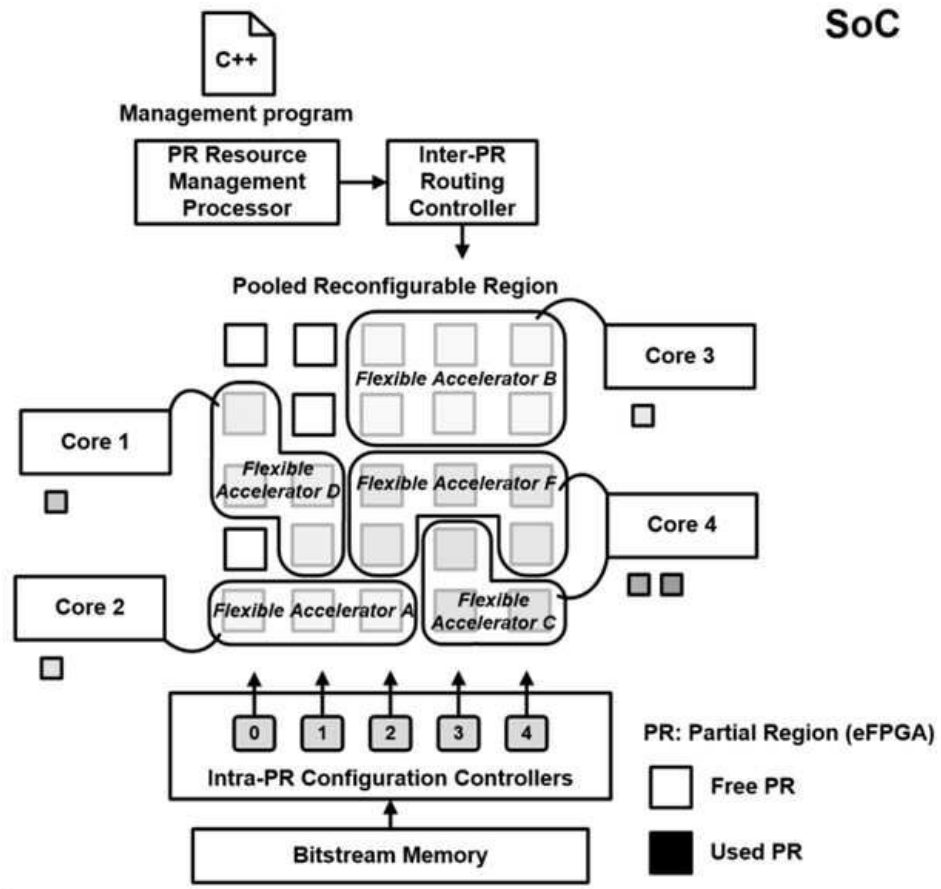
160: 인트라 PR 설정 제어기

도면

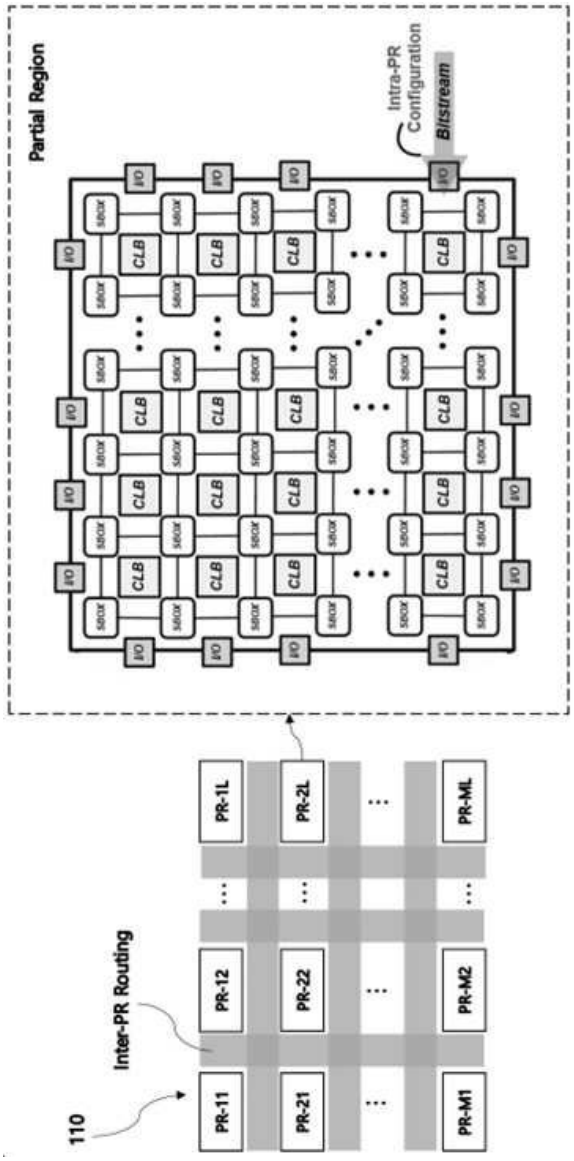
도면1


100
140
Rout_Con
인터 PR 라우팅 제어기
120
110
코어부
PR 맵
130
PR-11
PR-12
PR-1L
Core 1
PR-21
PR-22
PR-2L
Core 2
PR-M1
PR-M2
PR-ML
Core N
PR 자원 관리 프로세서
Intra-PR Configuration
160
C/C 1
C/C 2
C/C L
PR_Con
인트라 PR 설정 제어기
Bit_STR
150
비트스트림 메모리

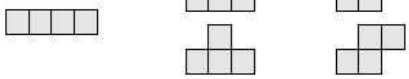
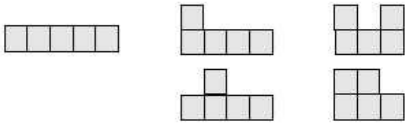
도면2


SoC
C++
Management program
PR Resource Management Processor
Inter-PR Routing Controller
Pooled Reconfigurable Region
Core 1
Core 2
Core 3
Core 4
Flexible Accelerator A
Flexible Accelerator B
Flexible Accelerator C
Flexible Accelerator D
Flexible Accelerator F
0
1
2
3
4
Intra-PR Configuration Controllers
Bitstream Memory
PR: Partial Region (eFPGA)
Free PR
Used PR

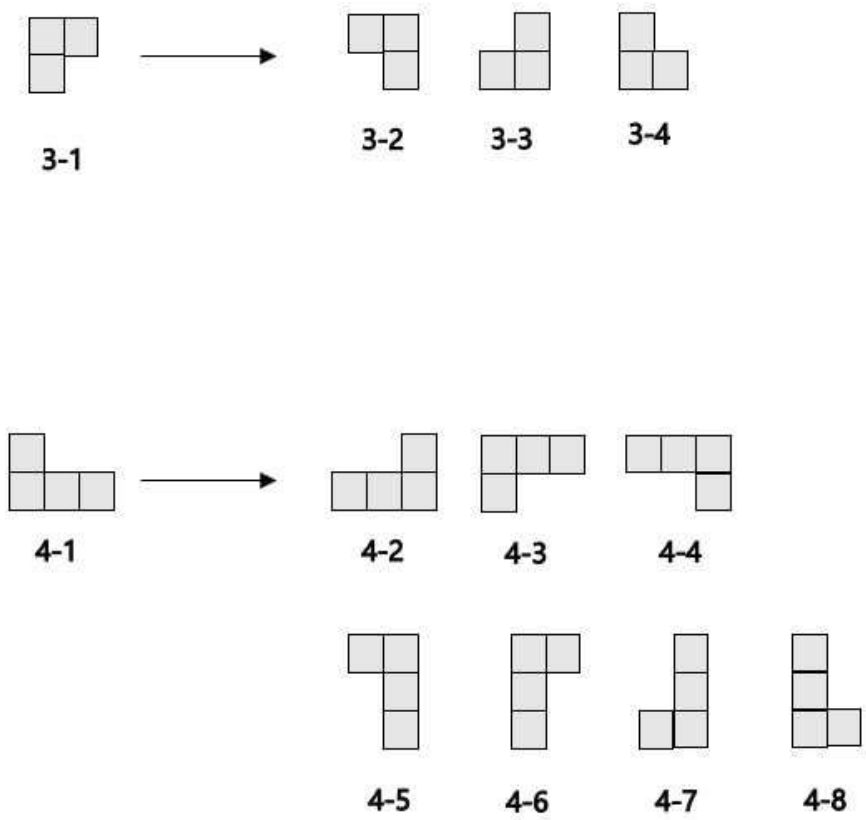
도면3


Partial Region
Intra-PR Configuration
Bitstream
I/O
SBOX
CLB
PR-1L
PR-2L
PR-ML
PR-12
PR-22
PR-M2
PR-11
PR-21
PR-M1
Inter-PR Routing
110

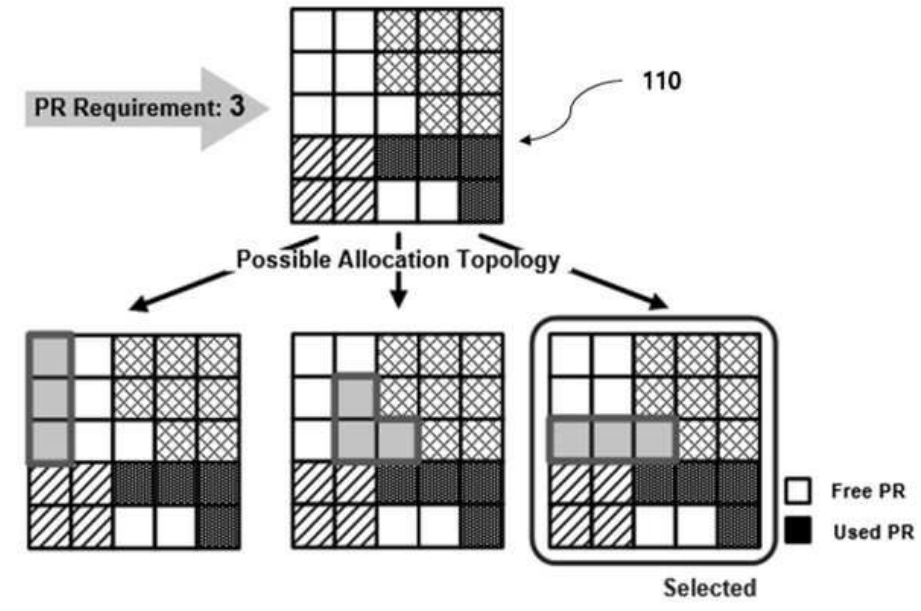
도면4

Number Of PR Requirement	topology
1	
2	
3	
4	
5	

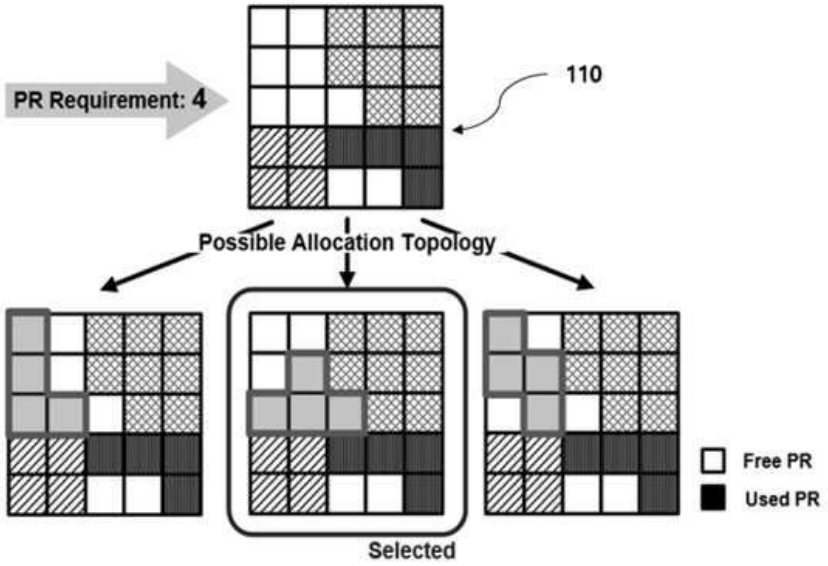
도면5


3-1
3-2
3-3
3-4
4-1
4-2
4-3
4-4
4-5
4-6
4-7
4-8

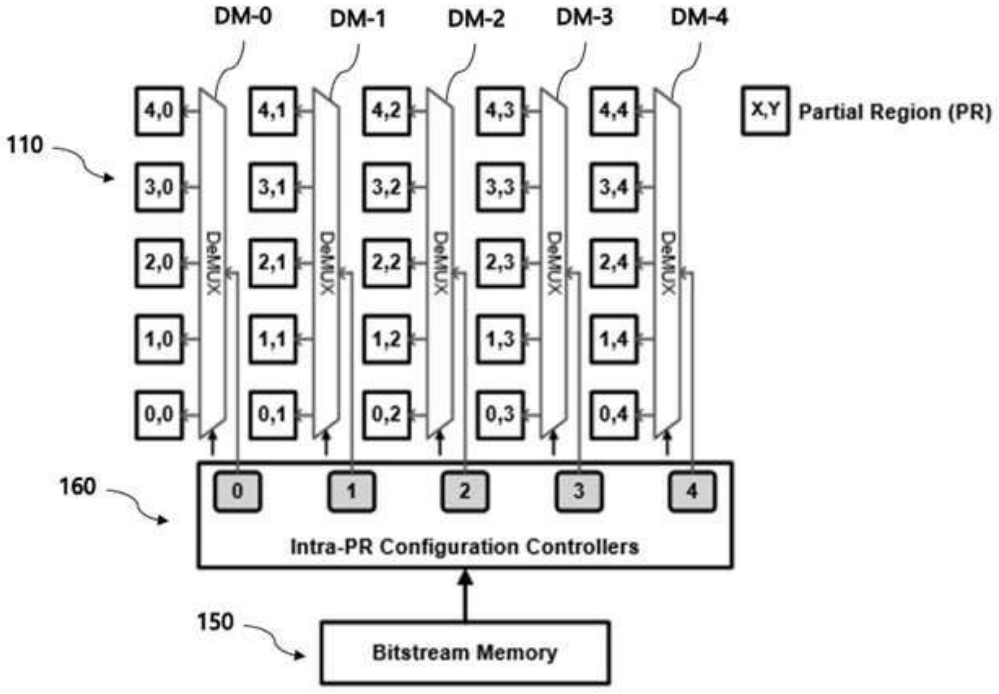
도면6


PR Requirement: 3
110
Possible Allocation Topology
Free PR
Used PR
Selected

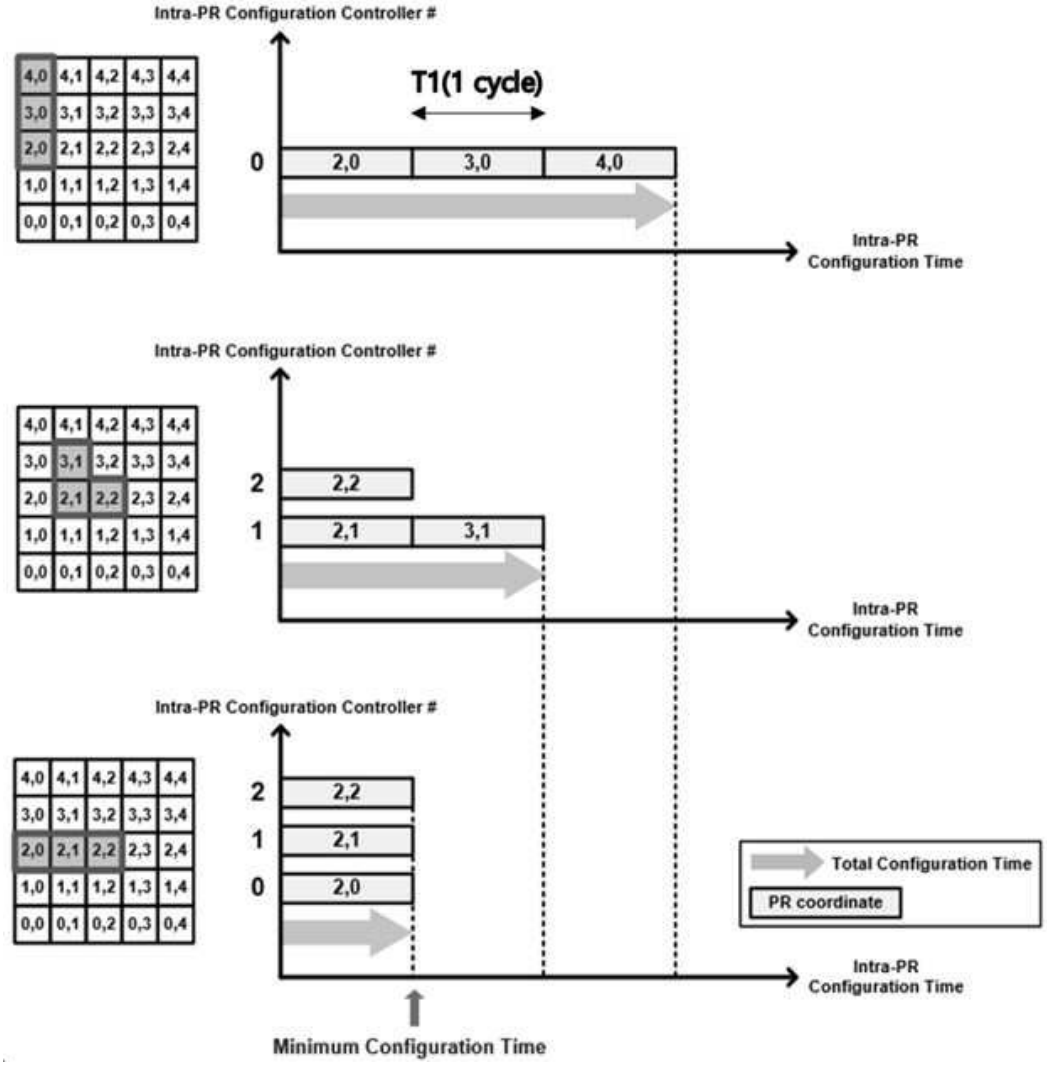
도면7


PR Requirement: 4
110
Possible Allocation Topology
Free PR
Used PR
Selected

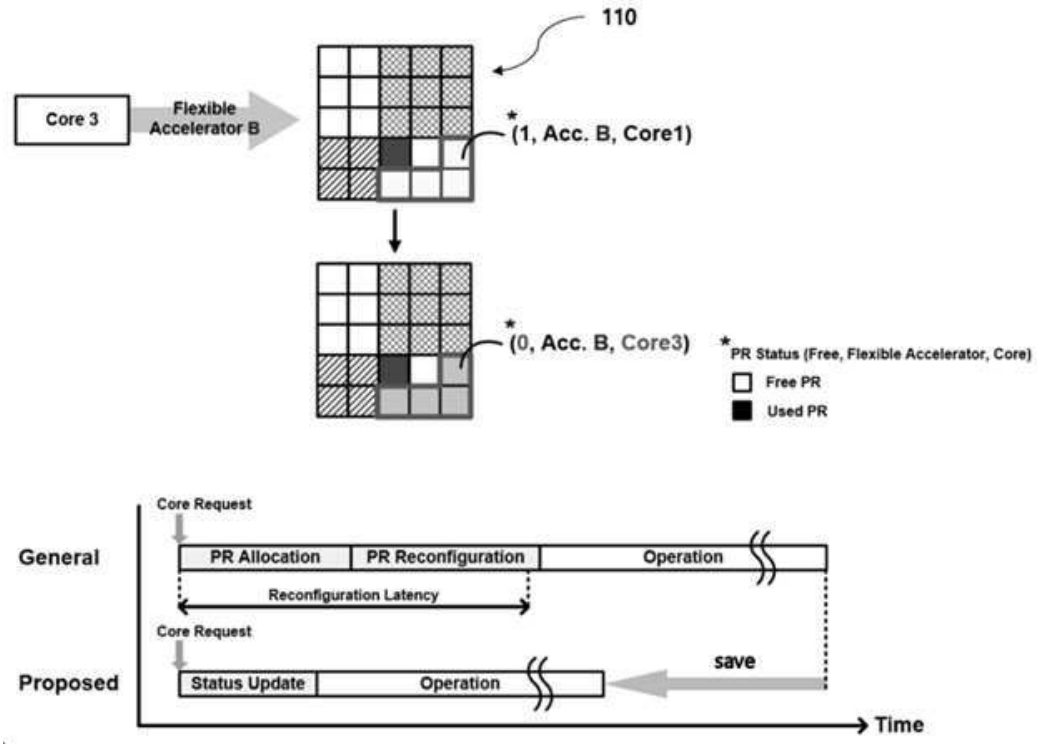
도면8


DM-0
DM-1
DM-2
DM-3
DM-4
X,Y
Partial Region (PR)
110
4,0
4,1
4,2
4,3
4,4
3,0
3,1
3,2
3,3
3,4
2,0
2,1
2,2
2,3
2,4
1,0
1,1
1,2
1,3
1,4
0,0
0,1
0,2
0,3
0,4
DeMUX
160
0
1
2
3
4
Intra-PR Configuration Controllers
150
Bitstream Memory

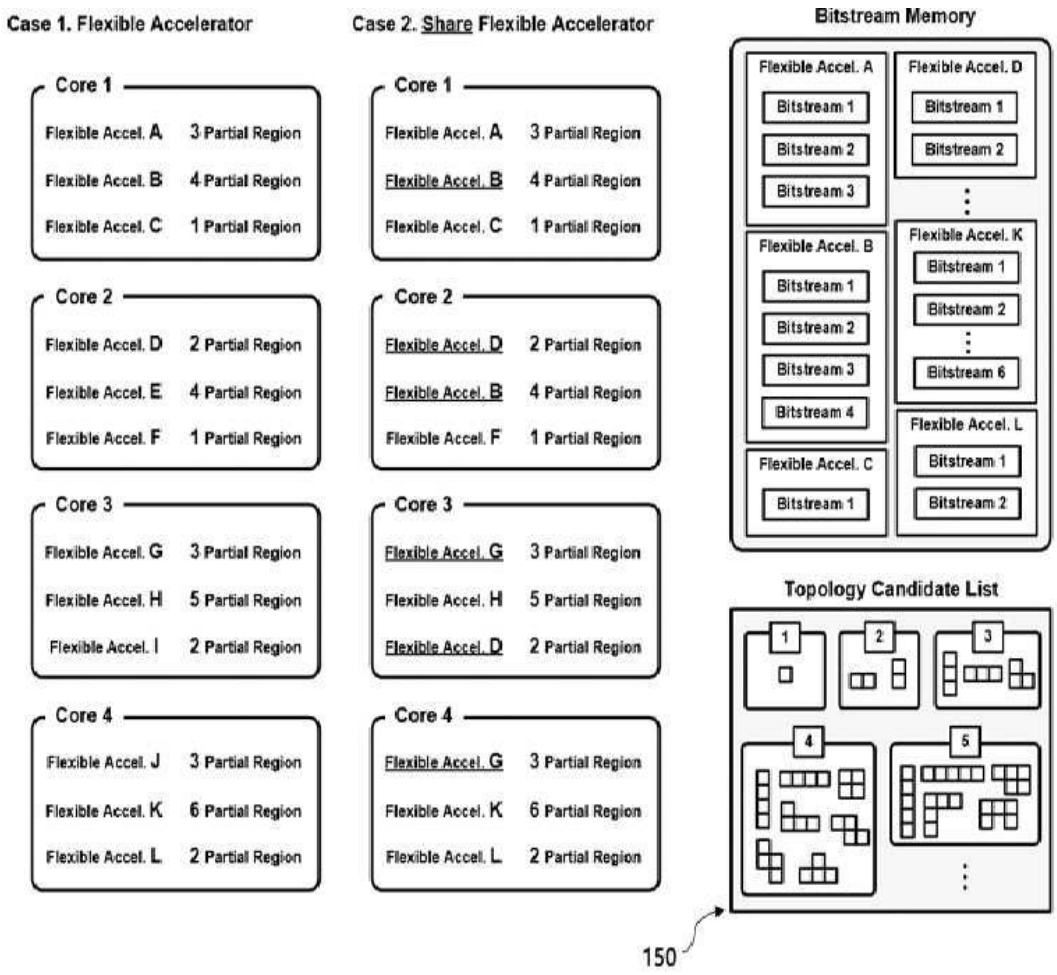
도면9


Intra-PR Configuration Controller #
T1(1 cycle)
0
2,0
3,0
4,0
Intra-PR Configuration Time
Intra-PR Configuration Controller #
2
2,2
1
2,1
3,1
Intra-PR Configuration Time
Intra-PR Configuration Controller #
2
2,2
1
2,1
0
2,0
Total Configuration Time
PR coordinate
Intra-PR Configuration Time
Minimum Configuration Time

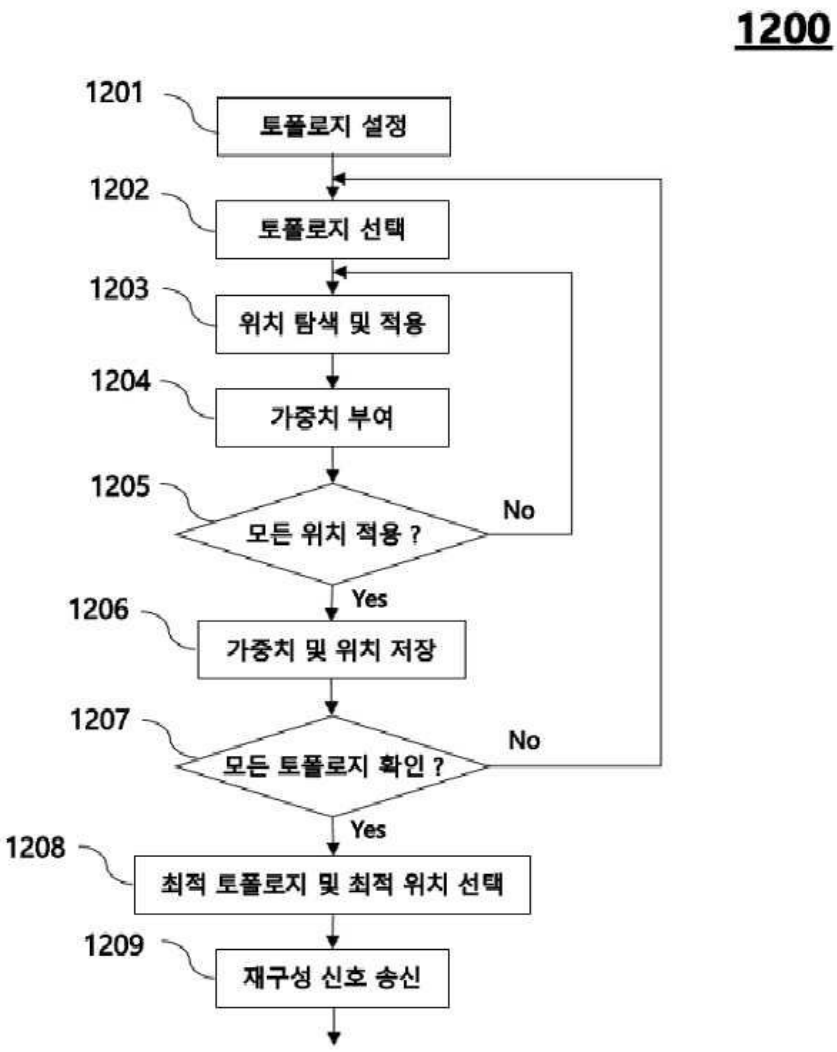
도면10


110
Core 3
Flexible Accelerator B
(1, Acc. B, Core1)
(0, Acc. B, Core3)
PR Status (Free, Flexible Accelerator, Core)
Free PR
Used PR
General
Core Request
PR Allocation
PR Reconfiguration
Operation
Reconfiguration Latency
Proposed
Core Request
Status Update
Operation
save
Time

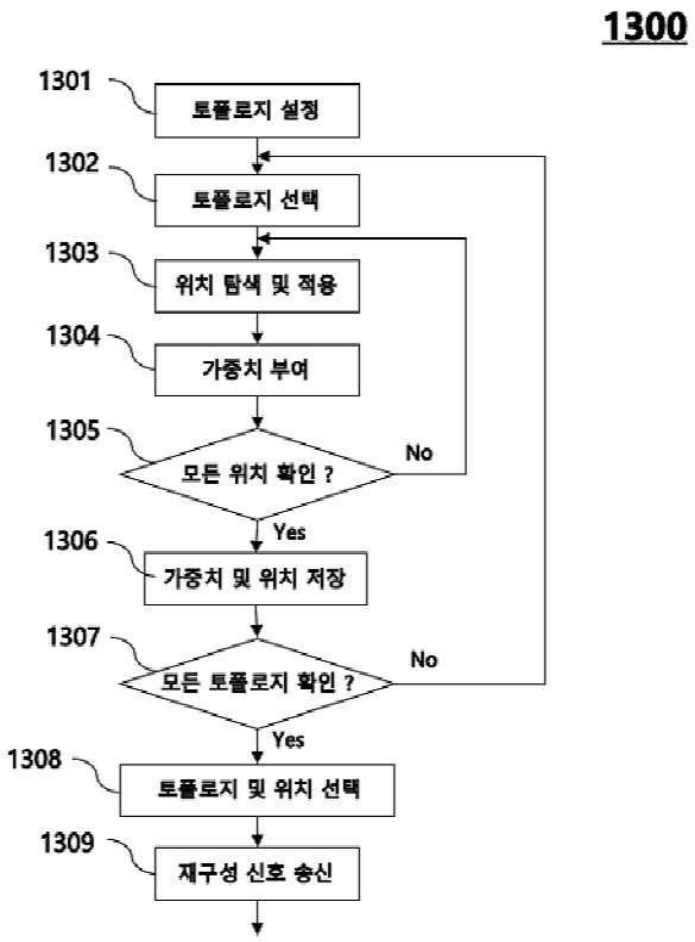
도면11


Case 1. Flexible Accelerator
Core 1
Flexible Accel. A 3 Partial Region
Flexible Accel. B 4 Partial Region
Flexible Accel. C 1 Partial Region
Core 2
Flexible Accel. D 2 Partial Region
Flexible Accel. E 4 Partial Region
Flexible Accel. F 1 Partial Region
Core 3
Flexible Accel. G 3 Partial Region
Flexible Accel. H 5 Partial Region
Flexible Accel. I 2 Partial Region
Core 4
Flexible Accel. J 3 Partial Region
Flexible Accel. K 6 Partial Region
Flexible Accel. L 2 Partial Region
Case 2. Share Flexible Accelerator
Core 1
Flexible Accel. A 3 Partial Region
Flexible Accel. B 4 Partial Region
Flexible Accel. C 1 Partial Region
Core 2
Flexible Accel. D 2 Partial Region
Flexible Accel. B 4 Partial Region
Flexible Accel. F 1 Partial Region
Core 3
Flexible Accel. G 3 Partial Region
Flexible Accel. H 5 Partial Region
Flexible Accel. D 2 Partial Region
Core 4
Flexible Accel. G 3 Partial Region
Flexible Accel. K 6 Partial Region
Flexible Accel. L 2 Partial Region
Bitstream Memory
Flexible Accel. A
Bitstream 1
Bitstream 2
Bitstream 3
Flexible Accel. D
Bitstream 1
Bitstream 2
Flexible Accel. B
Bitstream 1
Bitstream 2
Bitstream 3
Bitstream 4
Flexible Accel. K
Bitstream 1
Bitstream 2
Bitstream 6
Flexible Accel. C
Bitstream 1
Flexible Accel. L
Bitstream 1
Bitstream 2
Topology Candidate List
1
2
3
4
5
150

도면12


1200
1201
토폴로지 설정
1202
토폴로지 선택
1203
위치 탐색 및 적용
1204
가중치 부여
1205
모든 위치 적용 ?
No
Yes
1206
가중치 및 위치 저장
1207
모든 토폴로지 확인 ?
No
Yes
1208
최적 토폴로지 및 최적 위치 선택
1209
재구성 신호 송신

도면13


1300
1301
토폴로지 설정
1302
토폴로지 선택
1303
위치 탐색 및 적용
1304
가중치 부여
1305
모든 위치 확인 ?
No
Yes
1306
가중치 및 위치 저장
1307
모든 토폴로지 확인 ?
No
Yes
1308
토폴로지 및 위치 선택
1309
재구성 신호 송신