



Patent dodatkowy
do patentu nr _____

Zgłoszono: 02.07.77 (P. 199352)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 26.02.79

Opis patentowy opublikowano: 31.08.1981

CZYTELNIA

Urzędu Patentowego
Publikacji i Białostockiej 10, Łódź

Int. Cl.² G11C 29/00
G06F 9/20

Twórca wynalazku: Bartłomiej Pająk

Uprawniony z patentu: Instytut Systemów Sterowania, Katowice (Polska)

Elektroniczny układ wybierania adresu

1

Przedmiotem wynalazku jest elektroniczny układ służący do wybierania adresu, stosowany zwłaszcza w testerach elektronicznych pamięci.

W znanych dotychczas układach elektronicznych wykonujących podobne zadania stosuje się układy negacji adresu w których stan licznika pojawia się na wyjściu elementów sumy modulo 2 tylko w chwili gdy przerzutnik monostabilny jest aktywny. Gdy przerzutnik monostabilny nie jest pobudzany, to na wszystkich wyjściach elementów sumy modulo 2 pojawiają się stany negacji licznika. Ponadto stosowane są układy strobojące, w których stan licznika pojawia się tylko w określonym czasie, a w innym czasie na wyjściu układu pojawia się w zależności od rodzaju układu adres zerowy lub ostatni. Innym znanym układem jest układ bezpośredni, w którym poszczególne adresy zmieniają się w takt zmian generatora.

W układzie elektronicznym według wynalazku wyjście przerzutnika monostabilnego połączone jest z jednym z wejść dwuwejściowych bramek pierwszego poziomu, których drugie wejścia połączone są z wyjściami licznika. Zanegowane wyjście przerzutnika monostabilnego połączone jest z wejściem bramki, której wyjście połączone jest z jednym z wejść dwuwejściowych bramek drugiego poziomu, których drugie wejścia połączone są z wyjściami bramek pierwszego poziomu, przy

2

czym wejście inwertera połączone jest z dowolnym wyjściem licznika, a wyjście inwertera połączone jest z wejściem bramki, której wyjście połączone jest z jednym z wejść dwuwejściowych bramek drugiego poziomu.

Zaletą układu elektronicznego według wynalazku jest bardzo krótki czas adresowy mający zastosowanie w testerach wieloadresowych, przy zastosowaniu tanich i wolno działających liczników.

Przedmiot wynalazku jest uwidoczniiony w przykładzie wykonania na rysunku, który przedstawia schemat ideowo-blokowy układu elektronicznego.

Działanie układu jest następujące:

Stan licznika pojawia się na wyjściu bramek **B** tylko w chwili gdy przerzutnik monostabilny **MF1** jest aktywny, natomiast gdy przerzutnik monostabilny nie jest pobudzany, to na wszystkich wyjściach bramek **B** pojawiają się w zależności od stanu wejścia inwertera 5 zera lub jedynki logiczne, według funkcji $A = xQ + \bar{x}\bar{Q}$, przy czym **A** stanowi dowolne wyjście adresowe, **x** stanowi wyjście przerzutnika monostabilnego **MF1**, natomiast **Q** stanowi dowolne wyjście licznika.

Zastrzeżenie patentowe

Elektroniczny układ wybierania adresu zawierający generator zbudowany z trzech nastawnych

przerzutników monostabilnych, licznik, bramki i inwertery logiczne, **znamienny tym**, że wyjścia ($\bar{x}$) przerzutnika monostabilnego (**MF1**) połączone jest z jednym z wejść dwuwejściowych bramek (**B'**), których drugie wejścia połączone są z wyjściami licznika (**L**), a wyjście ($\bar{x}$) przerzutnika monostabilnego (**MF1**) połączone jest z wejściem

bramki (**3**), której wyjście połączone jest z jednym z wejść dwuwejściowych bramek (**B''**), których drugie wejścia połączone są z wyjściami bramek (**B'**) przy czym wejście inwertera (**5**) połączone jest z dowolnym wyjściem licznika (**L**), a wyjście inwertera (**5**) połączone jest z wejściem bramki (**3**).

