【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成19年3月8日(2007.3.8)

【公表番号】特表2002-538606(P2002-538606A)
【公表日】平成14年11月12日(2002.11.12)
【出願番号】特願2000-601693(P2000-601693)
【国際特許分類】
Ｈ０１Ｌ　29/06　(2006.01)
Ｂ８２Ｂ　1/00　(2006.01)
Ｂ８２Ｂ　3/00　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　29/06　６０１Ｎ
Ｂ８２Ｂ　1/00
Ｂ８２Ｂ　3/00

【誤訳訂正書】
【提出日】平成19年1月16日(2007.1.16)
【誤訳訂正１】
【訂正対象書類名】明細書
【訂正対象項目名】特許請求の範囲
【訂正方法】変更
【訂正の内容】
【特許請求の範囲】
【請求項１】
ナノデバイスであって、
分離された領域に電位差が印加されたときに電流の伝導が可能な少なくとも一つの第１のナノチューブと、
第１のロケーションにおいて、前記第１のナノチューブ内の前記伝導電流を、前記第１のナノチューブと合同で制御する少なくとも一つの第１のゲーティング構造であって、前記第１のゲーティング構造と前記第１のナノチューブとの間に第１の障壁を備え、これにより、前記伝導電流を制御すべく前記第１のゲーティング構造にゲーティング電位が印加されたときに当該電位を十分に維持可能とし、
前記第１のゲーティング構造が、以下のａ，ｂの少なくとも一方を有することを特徴とするナノデバイス。
ａ．前記第１のナノチューブを横切り、交差するように配置され、前記第１のナノチューブとの間に前記第１の障壁を備える第２のナノ構造；
ｂ．前記第１のナノチューブの少なくとも一つの第１部分を取り囲み、かつ、前記第１のナノチューブとの間に前記第１の障壁を備える第３のナノ構造。
【請求項２】
請求項１に記載のナノデバイスにおいて、前記第１のゲーティング部材が、第２のナノチューブを含む前記第２のナノ構造を有し、さらに、
前記第１の障壁が、誘電材料と、ショットキー材料と、半導体材料の中の１つから選択される材料を有し、
前記第１の障壁が、前記第２のナノチューブと前記第１のナノチューブと間に配置され、
前記第２のナノチューブが、真の金属と、半金属と、半導電性ナノチューブとの中の１つをさらに含み、
前記第１の障壁材料料が、少なくともＳ$_i$Ｏ$_X$（Ｘ＜２）；ＳｉＯ$_2$；Ｈを含むＳｉＯ$_2$；Ｆを含むＳｉＯ$_2$；縮環型金属酸化物；弗化炭素ポリマー；Ｈｆ；Ｍｇ；Ｗ；Ｐｔ；Ｉ

ｒ；Ｎｉ；Ｐｄ；Ｒｈ；Ｍｏ；Ｃｒ；Ｔｉ；Ｖ；Ｎｂ；Ｒｕ；Ｓｂ；Ｏｓ；Ｔａ；Ｇｅ；Ｓｅ；ＧａＡｓ／N^+ＡｌＧａＡｓ；Ｓｉ；III-V半導体；II-VI半導体およびナノチューブ半導体のうちの１つを含む、ことを特徴とするナノデバイス。

【請求項３】

請求項１に記載のナノデバイスにおいて、前記第１のゲーティング構造が、外部導電性表面を有する前記第３のナノ構造を備え、

前記第１の障壁が、誘電材料と、ショットキー材料と、半導体材料の中の１つから選択される材料を有し、

前記第１の障壁が、前記第１のゲーティング構造の前記外部導電性表面に印加されるゼロ電圧バイアスで前記第１のナノチューブのキャリアを少なくとも部分的に空乏化するほど十分に大きな第１の電子親和力(χ_b)を持ち、

前記第１の障壁材料料が、少なくともS_iO_X（Ｘ＜２）；SiO_2；Ｗ；Ｐｔ；Ｉｒ；Ｎｉ；Ｐｄ；Ｒｈ；Ｍｏ；Ｃｒ；Ｔｉ；Ｖ；Ｎｂ；Ｒｕ；Ｓｂ；Ｏｓ；Ｔａ；Ｇｅ；Ｓｅ；ＧａＡｓ／N^+ＡｌＧａＡｓ；Ｓｉ；III-V半導体；II-VI半導体のうちの１つを含むことを特徴とするナノデバイス。

【請求項４】

請求項３に記載のナノデバイスにおいて、前記第１のナノチューブの少なくとも一つの第２の部分を第２のロケーションにおいて取り囲み、かつ、第２の外部導電性表面を持つ少なくとも一つの第２のさらなるゲーティング構造を有し、

前記第２のさらなるゲーティング構造が、誘電材料と、ショットキー材料と、半導体材料の中の１つから選択される材料を有し、

前記第２の障壁が、前記第２のさらなるゲーティング構造の前記第２の外部導電性表面に印加されるゼロ電圧で、前記第１のナノチューブのキャリアを空乏化するには不十分な第２の電子親和力(χ_{b2})を持ち、

前記第１のゲーティング構造と、前記第２のさらなるゲーティング構造との閾値が同じ電圧に設定され、前記第１の外部導電性表面と前記第２の外部導電性表面とが電気的に一緒に接続され、信号入力を印加するための、前記第１および第２の外部導電性表面との接点がつくられ、さらに、前記第１および第２のロケーションの間に、信号出力のための、前記第１のナノチューブとの接点がつくられ、それによって前記信号入力のナノインバータが作成され、

前記第２の障壁材料料が、少なくともSiO_2：Ｈ；Ｆを含むSiO_2；縮環型金属酸化物；弗化炭素ポリマー；Ｈｆ；Ｍｇ；III=V半導体；II-VI半導体のうちの１つを含むことを特徴とするナノデバイス。

【請求項５】

請求項４に記載のナノデバイスにおいて、前記第１のナノチューブ・ナノインバータと同一の構成を持つ少なくとも一つの第２のナノチューブ・ナノインバータが存在し、

前記第１と第２の双方のナノチューブ・ナノインバータが共通の基板上に在り、

前記第２のナノチューブ・ナノインバータが前記第１のナノチューブ・ナノインバータに対して１８０°回転して配向され、

前記２つのナノインバータがこのように逆平行で、離間して配置され、長手方向に位置合わせが行われ、これによって、前記少なくとも一つの第１のナノチューブ・ナノインバータの前記信号入力部が、前記第２のナノチューブ・ナノインバータの信号出力部に隣接し、前記第２のナノチューブ・ナノインバータの前記信号入力部が、前記第１のナノチューブ・ナノインバータの信号出力部に隣接し、

２つのナノチューブ・ナノインバータにおいて、位置合わせされた前記入力部と出力部とを接続することによって、少なくとも一つの第１のナノマルチバイブレータが形成され、

前記第１及び第２のナノチューブ・ナノインバータを構成する前記第１のナノチューブの端部に印加される電源が存在し、

このようなナノマルチバイブレータの中の少なくとも１つが、所定の方向に前記共通の

基板上に形成され、各ナノマルチバイブレータの設計は前記所定の方向に沿う任意の隣接するナノマルチバイブレータの鏡像であり、同一電位の電源の隣接するナノマルチバイブレータのすべてのナノチューブ・ナノインバータの端部が、共通の接続用として対を成して一緒にグループ化され、

１つのナノマルチバイブレータの信号出力部が、隣接するナノマルチバイブレータの入力部と前記所定の方向に沿って接続され、それによって前記入力信号用の周波数分割チェーン回路が形成されることを特徴とするナノデバイス。

【請求項６】

請求項３に記載のナノデバイスにおいて、複数の前記第１のナノチューブが存在し、

これらの複数のナノチューブの各々の前記第１の障壁と前記導電性表面とが、これらのナノチューブの各々の長さ方向の広がりをもち、

前記複数のナノチューブが１つのバンドルを形成し、ゲーティング接点が、前記複数のナノチューブの各々の前記導電性表面に対して設けられ、前記ゲーティング接点が少なくとも一つの第１の外部ゲーティング端子と外部で接続され、

第１と第２の導電性電極であって、前記第１の導電性電極が、前記複数のナノチューブの第１の端部と前記バンドルの一方の端部で接触し、前記第２の導電性電極が前記バンドルのもう一方の端部において前記複数のナノチューブの第２の端部と接触し、

前記第１と第２の導電性電極が外部で接続可能である、ことを特徴とするナノデバイス。

【請求項７】

請求項６に記載のナノデバイスにおいて、

前記複数のナノチューブの閾値電圧が、前記第１の外部ゲーティング端子からの電気的距離に依存してグループ毎に変動し、前記第１の外部ゲーティング端子に電気的に最も近い前記複数のナノチューブのグループが最大の閾値電圧を有し、前記第１の外部ゲーティング端子に対して電気的に最も末端に在る前記複数のナノチューブのグループが最低の閾値電圧を有し、その結果、

有限のスルーレートのゲーティング・パルスが前記第１の外部ゲーティング端子に印加されるとき、前記第１の外部ゲーティング端子に印加される前記有限のスルーレートゲーティング・パルスの伝播を示すＲＣ時定数が前記ナノチューブの様々なグループの閾値電圧の変動によって補償され、その結果、ナノデバイス全体が前記複数のナノチューブのすべての同時スイッチングを行い、

前記ナノデバイスが、前記複数のナノチューブのすべてにわたって最初のオフ状態から同時にスイッチをオンにするように、様々なグループのナノチューブの閾値電圧の変動と、前記有限のスルー・レート・ゲーティング・パルスの波形とが予め定められていることを特徴とするナノデバイス。

【請求項８】

請求項６に記載のナノデバイスにおいて、

前記ゲーティング接点が、前記複数のナノチューブとの第１のロケーションにおいて前記第１の外部ゲーティング端子と外部で接続され、前記複数のナノチューブのさらなる第２のゲーティング接点が、前記第１の外部ゲーティング端子から離れた位置において第２の外部ゲーティング端子と外部で接続され、

前記複数のナノチューブの閾値電圧が、前記第１の外部ゲーティング端子から前記第２の外部ゲーティング端子までの電気的距離に依存してグループ毎に変動し、前記第１の外部ゲーティング端子に電気的に最も近い前記複数のナノチューブのグループが最高の閾値電圧を有し、前記第１の外部ゲーティング端子に対して電気的に最も末端に在る前記複数のナノチューブのグループが、前記第２の外部ゲーティング端子の最も近くに存在すると同時に最低の閾値電圧を有し、

その結果、有限のスルーレートと固有の形状とから成るゲーティング・パルスが前記第１の外部ゲーティング端子に印加されるとき、前記第１の外部ゲーティング端子に印加される有限のスルーレートゲーティング・パルスの伝播を示すＲＣ時定数が前記ナノチュー

ブの様々なグループの閾値電圧の変動によって補償され、その結果、前記ナノデバイス全体が前記複数のナノチューブのすべてのスイッチをほぼ同時にオンにし、
その結果、有限のスルーレートと固有の形状とから成る別のゲーティング・パルスが前記第２の外部ゲーティング端子に印加されるとき、前記第２の外部ゲーティング端子に印加される有限のスルーレートゲーティング・パルスの伝播を示すＲＣ時定数が前記ナノチューブの様々なグループの閾値電圧の変動によって補償され、その結果、ナノデバイス全体が前記複数のナノチューブのすべてのスイッチをほぼ同時にオフにし、
前記ナノデバイスが前記複数のナノチューブのすべてにわたってほぼ同時にスイッチングを行うように、様々なグループのナノチューブの閾値電圧の変動と、前記第１と前記第２の外部ゲーティング端子に印加される前記有限のスルーレート・ゲーティング・パルスの波形の変動とが設定されていることを特徴とするナノデバイス。
【請求項９】
ナノデバイスであって、
分離された領域に電位差が印加されたときに電流の伝導が可能な少なくとも一つの第１のナノチューブと、
第１のロケーションにおいて、前記第１のナノチューブ内の前記伝導電流を、前記第１のナノチューブと合同で制御する少なくとも一つの第１のゲーティング構造であって、前記第１のゲーティング構造と前記第１のナノチューブとの間に第１の障壁を備え、これにより、前記伝導電流を制御すべく前記第１のゲーティング構造にゲーティング電位が印加されたときに当該電位を十分に維持可能とし、
前記第１のゲーティング構造が、長尺状の導電性の表面を有し；更に、前記導電性表面に電場を持ち、前記第１のゲーティング構造にゲーティング電位が印加されたときに前記伝導電流を制御する、ナノデバイス。
【請求項１０】
ナノデバイスであって、
分離された領域に電位差が印加されたときに電流の伝導が可能な少なくとも一つの第１のナノチューブと、
第１のロケーションにおいて、前記第１のナノチューブ内の前記伝導電流を、前記第１のナノチューブと合同で制御する少なくとも一つの第１のゲーティング構造であって、前記第１のゲーティング構造と前記第１のナノチューブとの間に第１の障壁を備え、これにより、前記伝導電流を制御すべく前記第１のゲーティング構造にゲーティング電位が印加されたときに当該電位を十分に維持可能とし、
前記第１のゲーティング構造が更に、第２のナノチューブを含むナノ構造を有し、
少なくとも前記第１及び第２のナノチューブの一方が、当該チューブに対して少なくとも部分的に適用される、少なくとも１つのコンフォーマルコーティング（絶縁保護膜）を含む。