

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 17 年 4 月 21 日 (2005.4.21)

【公開番号】特開 2003-123496 (P2003-123496A)
 【公開日】平成 15 年 4 月 25 日 (2003.4.25)
 【出願番号】特願 2002-214851 (P2002-214851)
 【国際特許分類第 7 版】

G 1 1 C 17/00

H 0 1 L 27/10

【F I】

G 1 1 C 17/00 B

H 0 1 L 27/10 4 3 1

【手続補正書】

【提出日】平成 16 年 6 月 9 日 (2004.6.9)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセルに書き込むための方法であって、
 前記メモリセルに接続された書き込み線にパルスを生じさせるステップと、
 前記メモリセルの入力側の値と基準値を比較するステップと、
 前記比較するステップに応じて、前記書き込み線上のパルスを変化させるステップ
 とからなる、方法。

【請求項 2】

前記パルスが、多段パルスである、請求項 1 の方法。

【請求項 3】

前記メモリセルが、直列をなすヒューズとアンチヒューズを含む、請求項 1 の方法。

【請求項 4】

前記メモリセルが、バイポーラ PROM、CMOS PROM、EPROM、及びアンチヒューズトンネル
 接合からなるグループから選択される、請求項 1 の方法。

【請求項 5】

前記基準値、及び、前記セルの入力側の値が、電圧である、請求項 1 の方法。

【請求項 6】

前記セルの入力側の値が、前記書き込み線上の値である、請求項 1 の方法。

【請求項 7】

前記変化させるステップが、前記パルスの振幅を小さくするステップを含む、請求項 1
 の方法。

【請求項 8】

前記パルスの持続時間が、予め決定されておらず、前記変化させるステップが、前記小
 さくするステップの後のある時間、前記書き込み線上の前記パルスを中断するステップを
 さらに含む、請求項 7 の方法。

【請求項 9】

前記ある時間が十分に短い時間である、請求項 8 の方法。

【請求項 10】

前記変化させるステップが、前記比較するステップに応じて、前記書き込み線上の前記

パルスを中断するステップをさらに含む、請求項 1 の方法。

【請求項 1 1】

所定の最大時間の後で前記書き込み線上の前記パルスを中断するステップをさらに含む、請求項 1 の方法。

【請求項 1 2】

メモリセルに書き込むための回路であって、

出力を有するパルス発生器であって、その出力が、前記メモリセルに接続された書き込み線に接続され、かつパルスである、パルス発生器と、

前記書き込み線上のスイッチと、

2つの入力と1つの出力を有し、前記入力的一方が前記書き込み線に接続され、前記入力の他方が基準に接続され、前記出力が前記スイッチに接続された比較器とを備え、

前記比較器の出力に応じて前記書き込み線上の前記パルスの有無が決まることからなる、回路。

【請求項 1 3】

前記比較器と前記パルス発生器に接続されたコントローラをさらに備える、請求項 1 2 の回路。

【請求項 1 4】

クロック入力と出力とを有し、前記クロック入力の前記比較器の出力に接続されたフリップフロップをさらに備え、

前記フリップフロップの出力が、前記スイッチに接続された、請求項 1 3 の回路。

【請求項 1 5】

前記フリップフロップが、セット入力とリセット入力を有し、それらの入力のいずれも前記コントローラに接続される、請求項 1 4 の回路。

【請求項 1 6】

前記スイッチがトランジスタである、請求項 1 2 の回路。

【請求項 1 7】

前記書き込み線上の分圧器をさらに備え、

前記分圧器の中間ノードが、前記比較器の入力に接続される、請求項 1 2 の回路。

【請求項 1 8】

メモリシステムであって、

メモリセルのアレイと、

前記アレイ内の少なくとも1つのメモリセルに接続可能な書き込み線と、

出力を有するパルス発生器であって、該出力が前記書き込み線に接続され、該出力はパルスであることからなる、パルス発生器と、

前記書き込み線上のスイッチと、

2つの入力と1つの出力を有する比較器であって、前記入力的一方が前記書き込み線に接続され、前記入力の他方が基準に接続され、前記出力が前記スイッチに接続され、これにより、前記書き込み線上の前記パルスの有無が、前記比較器の出力に応じて決まることからなる、比較器

を備える、メモリシステム。

【請求項 1 9】

前記アレイに接続された行デコーダと、

前記アレイに接続された列デコーダ

をさらに備える、請求項 1 8 のメモリシステム。