

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年2月6日(06.02.2025)



(10) 国際公開番号

WO 2025/028109 A1

(51) 国際特許分類:
H02M 7/12 (2006.01) H02M 3/28 (2006.01)

(21) 国際出願番号: PCT/JP2024/023673

(22) 国際出願日: 2024年6月28日(28.06.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-123802 2023年7月28日(28.07.2023) JP

(71) 出願人: パナソニック IP マネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5710057 大阪府門真市元町 2 2 番 6 号 Osaka (JP).

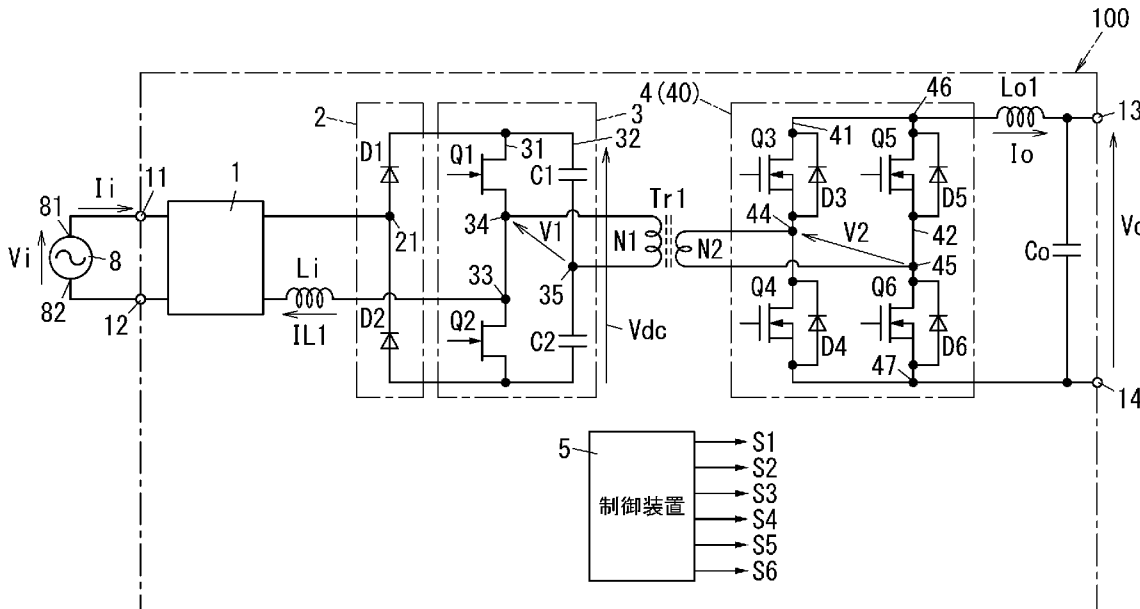
(72) 発明者: 泉本 尚人 (IZUMOTO, Naoto). 木寺 和憲 (KIDERA, Kazunori).

(74) 代理人: 弁理士法人北斗特許事務所 (HOKUTO PATENT ATTORNEYS OFFICE); 〒5300001 大阪府大阪市北区梅田一丁目 1 2 - 1 7 J R E 梅田スクエアビル Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: CONVERTER DEVICE

(54) 発明の名称: コンバータ装置



5 Control device

(57) Abstract: The present disclosure addresses the problem of providing a converter device capable of achieving high efficiency. A converter device (100) comprises a first rectifier (2), a half-bridge inverter (3), an input inductor (Li), a transformer (Tr1), a second rectifier (4), an output inductor (Lo1), and a control device (5). The input inductor (Li) is connected between an AC power supply (8) and the first rectifier (2) or the half-bridge inverter (3). A primary winding (N1) of the transformer (Tr1) is connected between a first output end (34) and a second output end (35) of the half-bridge

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

inverter (3). The second rectifier (4) is connected to a secondary winding (N2) of the transformer (Tr1). The output inductor (Lo1) is connected between the secondary winding (N2) and an output capacitor (Co). The control device (5) controls at least the half-bridge inverter (3).

(57) 要約: 本開示の課題は、高効率化を図ることができるコンバータ装置を提供することである。コンバータ装置 (100) は、第1整流器 (2) と、ハーフブリッジインバータ (3) と、入力インダクタ (Li) と、トランス (Tr1) と、第2整流器 (4) と、出力インダクタ (Lo1) と、制御装置 (5) と、を備える。入力インダクタ (Li) は、交流電源 (8) と第1整流器 (2) 又はハーフブリッジインバータ (3) との間に接続される。トランス (Tr1) の1次巻線 (N1) は、ハーフブリッジインバータ (3) の第1出力端 (34) と第2出力端 (35) との間に接続されている。第2整流器 (4) は、トランス (Tr1) の2次巻線 (N2) に接続されている。出力インダクタ (Lo1) は、2次巻線 (N2) と出力キャパシタ (Co) との間に接続されている。制御装置 (5) は、少なくともハーフブリッジインバータ (3) を制御する。

明 細 書

発明の名称：コンバータ装置

技術分野

[0001] 本開示は、コンバータ装置に関する。

背景技術

[0002] 特許文献1は、交流電源からの入力電力を所望の直流電力に変換する電力変換装置（コンバータ装置）を開示している。

[0003] 特許文献1に開示された電力変換装置は、トランスを備える。トランスの一次側巻線には、直列共振用リアクトル及び直列共振用コンデンサが直列接続され、並列共振用リアクトルが並列接続されている。

[0004] トランスを備える絶縁型のコンバータ装置においては、更なる高効率化が望まれている。

先行技術文献

特許文献

[0005] 特許文献1：特許第6388745号公報

発明の概要

[0006] 本開示の目的は、高効率化を図ることができるコンバータ装置を提供することにある。

[0007] 本開示の一態様に係るコンバータ装置は、第1整流器と、ハーフブリッジインバータと、入力インダクタと、トランスと、第2整流器と、出力インダクタと、制御装置と、を備える。前記第1整流器は、互いに直列接続された第1ダイオード及び第2ダイオードを有し、交流電源の第1交流出力端が前記第1ダイオードと前記第2ダイオードとの接続点に接続される。前記ハーフブリッジインバータは、第1スイッチング素子と第2スイッチング素子との第1直列回路、及び、第1キャパシタと第2キャパシタとの第2直列回路を有する。前記第2直列回路は、前記第1直列回路に並列接続されている。前記ハーフブリッジインバータでは、前記第1スイッチング素子が前記第1

ダイオードのカソードに接続されている。前記ハーフブリッジインバータでは、前記第2スイッチング素子が前記第2ダイオードのアノードに接続されている。前記ハーフブリッジインバータでは、前記交流電源の第2交流出力端が前記第1スイッチング素子と前記第2スイッチング素子との接続点に接続される。前記入力インダクタは、前記交流電源と前記第1整流器又は前記ハーフブリッジインバータとの間に接続される。前記トランスは、1次巻線及び2次巻線を含む。前記トランスの前記第1巻線は、前記第1スイッチング素子と前記第2スイッチング素子との間の第1出力端と、前記第1キャパシタと前記第2キャパシタとの間の第2出力端と、の間に接続されている。前記第2整流器は、前記トランスの前記2次巻線に接続されて、前記2次巻線に発生した2次電圧を整流した出力電圧を出力キャパシタへ出力する。前記出力インダクタは、前記2次巻線と出力キャパシタとの間に接続されている。前記制御装置は、少なくとも前記ハーフブリッジインバータを制御する。

図面の簡単な説明

[0008] [図1]図1は、実施形態1のコンバータ装置を示す回路図である。

[図2]図2は、同上のコンバータ装置の動作を説明するためのタイミングチャートである。

[図3]図3は、同上のコンバータ装置に関し、入力電圧の極性が正の場合の動作説明図である。

[図4]図4A～4Cは、同上のコンバータ装置に関し、入力電圧の極性が正の場合の動作説明図である。

[図5]図5は、同上のコンバータ装置の動作波形図である。

[図6]図6は、同上のコンバータ装置に関し、入力電圧の極性が負の場合の動作説明図である。

[図7]図7A～7Cは、同上のコンバータ装置に関し、入力電圧の極性が負の場合の動作説明図である。

[図8]図8は、同上のコンバータ装置が有する制御装置を示すブロック図であ

る。

[図9]図9は、実施形態2のコンバータ装置を示す回路図である。

発明を実施するための形態

[0009] 以下の実施形態は、一般にコンバータ装置に関する。より詳細には、トランスを備える絶縁型のコンバータ装置に関する。

[0010] なお、以下の実施形態は、本開示の実施形態の一例にすぎない。本開示は、以下の実施形態に限定されず、本開示の効果を奏することができれば、設計等に応じて種々の変更が可能である。

[0011] (実施形態1)

(1) コンバータ装置の概略

本実施形態のコンバータ装置100は、図1に示す構成を備えて交流電力から直流電力への電力変換を行う絶縁型のACDCコンバータである。

[0012] コンバータ装置100は、第1整流器2と、ハーフブリッジインバータ3と、入力インダクタ L_i と、トランス Tr_1 と、第2整流器4と、出力インダクタ L_o 1と、制御装置5と、を備える。

[0013] 第1整流器2は、互いに直列接続された第1ダイオード D_1 及び第2ダイオード D_2 を有し、交流電源8の第1交流出力端81が第1ダイオード D_1 と第2ダイオード D_2 との接続点21に接続される。

[0014] ハーフブリッジインバータ3は、第1スイッチング素子 Q_1 と第2スイッチング素子 Q_2 との第1直列回路31、及び、第1キャパシタ C_1 と第2キャパシタ C_2 との第2直列回路32を有する。第2直列回路32は、第1直列回路31に並列接続されている。第1スイッチング素子 Q_1 が第1ダイオード D_1 のカソードに接続されており、第2スイッチング素子 Q_2 が第2ダイオード D_2 のアノードに接続されている。交流電源8の第2交流出力端82が第1スイッチング素子 Q_1 と第2スイッチング素子 Q_2 との接続点33に接続される。

[0015] 入力インダクタ L_i は、交流電源8と第1整流器2又はハーフブリッジインバータ3との間に接続される。

[0016] トランス T_r1 は、１次巻線 $N1$ 及び２次巻線 $N2$ を含む。第１スイッチング素子 $Q1$ と第２スイッチング素子 $Q2$ との間の第１出力端 34 と、第１キャパシタ $C1$ と第２キャパシタ $C2$ との間の第２出力端 35 と、の間に１次巻線 $N1$ が接続されている。

[0017] 第２整流器 4 は、トランス T_r1 の２次巻線 $N2$ に接続されて、２次巻線 $N2$ に発生した２次電圧 $V2$ を整流した出力電圧 V_o を出力キャパシタ C_o へ出力する。

[0018] 出力インダクタ L_o1 は、２次巻線 $N2$ と出力キャパシタ C_o との間に接続されている。

[0019] 制御装置 5 は、少なくともハーフブリッジインバータ 3 を制御する。

[0020] コンバータ装置 100 は、高効率化を図ることができる。

[0021] 例えば、第２整流器 4 は、出力インダクタ L_o1 を介して出力電流 I_o （図１参照）を出力する。コンバータ装置 100 では、出力電流 I_o は、出力インダクタ L_o1 によって平滑され、出力電流 I_o に含まれるリップル成分が抑制されるので、出力電流 I_o による出力キャパシタ C_o での損失を抑えることができる。

[0022] （２）詳細

コンバータ装置 100 は、図１に示すように、入力フィルタ 1 、第１整流器 2 、ハーフブリッジインバータ 3 、第２整流器 4 、制御装置 5 、一対の入力端子 11 、 12 、一対の出力端子 13 、 14 、入力インダクタ L_i 、トランス T_r1 、出力インダクタ L_o1 、及び出力キャパシタ C_o を備える。

[0023] （２．１）入力端子及び出力端子

入力端子 11 、 12 は、交流電源 8 に接続される。交流電源 8 は、例えば $100V$ 又は $200V$ の商用電源であり、第１交流出力端 81 及び第２交流出力端 82 を有して、第１交流出力端 81 と第２交流出力端 82 との間に交流の入力電圧 V_i を発生させる。入力端子 11 は第１交流出力端 81 に接続され、入力端子 12 は第２交流出力端 82 に接続される。すなわち、入力端子 11 、 12 の間には、交流の入力電圧 V_i が印加される。

[0024] コンバータ装置 100 は、交流の入力電圧 V_i を直流の出力電圧 V_o に変換し、直流の出力電圧 V_o を出力端子 13、14 から出力する。すなわち、出力端子 13、14 の間には、直流の出力電圧 V_o が印加される。

[0025] なお、交流電源 8 は、太陽光、風力、地熱、水量、バイオマスなどの再生可能エネルギーを利用した電源であってもよい。また、交流電源 8 は、蓄電池の充電電力から交流電力を生成する電源であってもよい。

[0026] (2. 2) 入力フィルタ

入力フィルタ 1 は、インダクタ及びキャパシタの少なくとも一方を有するフィルタ回路である。入力フィルタ 1 は、例えばローパスフィルタ、ハイパスフィルタ、バンドパスフィルタ及びバンドストップフィルタなどのいずれかを含む。

[0027] 入力フィルタ 1 の一対の入力端は、入力端子 11、12 にそれぞれ接続される。入力フィルタ 1 の一対の出力端のうち一方は、第 1 整流器 2 の後述する接続点 21 に接続される。入力フィルタ 1 の一対の出力端のうち他方は、ハーフブリッジインバータ 3 の後述する接続点 33 に入力インダクタ L_i を介して接続される。

[0028] 交流電源 8 から入力端子 11、12 に入力された交流電力は、入力フィルタ 1 を介して後段の第 1 整流器 2 及びハーフブリッジインバータ 3 へ供給される。

[0029] (2. 3) 第 1 整流器

第 1 整流器 2 は、第 1 ダイオード D_1 及び第 2 ダイオード D_2 を備える。第 2 ダイオード D_2 のカソードは第 1 ダイオード D_1 のアノードに接続され、第 1 ダイオード D_1 と第 2 ダイオード D_2 とは直列接続される。第 1 ダイオード D_1 のアノードと第 2 ダイオード D_2 のカソードとの接続点は、接続点 21 を構成する。第 1 整流器 2 では、交流電源 8 の第 1 交流出力端 81 が、入力端子 11 及び入力フィルタ 1 を介して接続点 21 に接続される。

[0030] (2. 4) 入力インダクタ

入力インダクタ L_i は、交流電源 8 の第 2 交流出力端 82 とハーフブリッ

ジインバータ 3 の後述する接続点 3 3 との間に接続されている。より詳細には、入力インダクタ L_i は、第 1 端及び第 2 端を有する。入力インダクタ L_i の第 1 端は、入力フィルタ 1 及び入力端子 1 2 を介して交流電源 8 の第 2 交流出力端 8 2 に接続される。入力インダクタ L_i の第 2 端は、ハーフブリッジインバータ 3 の接続点 3 3 に接続される。

[0031] (2. 5) ハーフブリッジインバータ

ハーフブリッジインバータ 3 は、第 1 スイッチング素子 Q_1 と第 2 スイッチング素子 Q_2 との第 1 直列回路 3 1 と、第 1 キャパシタ C_1 と第 2 キャパシタ C_2 との第 2 直列回路 3 2 と、を有する。第 2 直列回路 3 2 は、第 1 直列回路 3 1 に並列接続されている。ハーフブリッジインバータ 3 では、第 1 スイッチング素子 Q_1 が第 1 ダイオード D_1 のカソードに接続されており、第 2 スイッチング素子 Q_2 が第 2 ダイオード D_2 のアノードに接続されている。

[0032] ハーフブリッジインバータ 3 では、第 1 スイッチング素子 Q_1 と第 2 スイッチング素子 Q_2 との接続点が接続点 3 3 を構成する。接続点 3 3 は、入力インダクタ L_i 、入力フィルタ 1 及び入力端子 1 2 を介して、交流電源 8 の第 2 交流出力端 8 2 に接続される。

[0033] ハーフブリッジインバータ 3 では、第 1 スイッチング素子 Q_1 及び第 2 スイッチング素子 Q_2 の各々は、制御端子、第 1 主端子及び第 2 主端子を有する半導体スイッチング素子である。第 1 スイッチング素子 Q_1 及び第 2 スイッチング素子 Q_2 の各制御端子は、制御装置 5 に接続されている。第 1 スイッチング素子 Q_1 は、制御装置 5 から与えられる第 1 スイッチング信号 S_1 に応じてオン、オフされる。また、第 2 スイッチング素子 Q_2 は、制御装置 5 から与えられる第 2 スイッチング信号 S_2 に応じてオン、オフされる。第 1 スイッチング素子 Q_1 及び第 2 スイッチング素子 Q_2 は、例えば、Ga N 系 G I T (Gate Injection Transistor) である。第 1 スイッチング素子 Q_1 及び第 2 スイッチング素子 Q_2 では、制御端子、第 1 主端子及び第 2 主端子が、それぞれ、ゲート端子、ドレイン端子及びソース端子である。

[0034] 第1スイッチング素子Q1のドレイン端子は、第1ダイオードD1のカソードに接続される。第1スイッチング素子Q1のソース端子は、第2スイッチング素子Q2のドレイン端子に接続される。第2スイッチング素子Q2のソース端子は、第2ダイオードD2のアノードに接続される。

[0035] また、第1キャパシタC1の第1端は、第1スイッチング素子Q1のドレイン端子及び第1ダイオードD1のカソードに接続される。第1キャパシタC1の第2端は、第2キャパシタC2の第1端に接続される。第2キャパシタC2の第2端は、第2スイッチング素子Q2のソース端子及び第2ダイオードD2のアノードに接続される。

[0036] (2. 6) トランス

トランスTr1は、1次巻線N1及び2次巻線N2を含む。1次巻線N1は、ハーフブリッジインバータ3における、第1スイッチング素子Q1と第2スイッチング素子Q2との間の第1出力端34と、ハーフブリッジインバータ3における、第1キャパシタと第2キャパシタとの間の第2出力端35と、の間に接続される。

[0037] 2次巻線N2は、第2整流器4に接続される。

[0038] そして、ハーフブリッジインバータ3において第1スイッチング素子Q1及び第2スイッチング素子Q2がオンオフすることで、1次巻線N1に発生する1次電圧V1は交番電圧になり、2次巻線N2に発生する2次電圧V2は交番電圧になる。

[0039] (2. 7) 第2整流器

本実施形態の第2整流器4は、フルブリッジインバータ40で構成される。

[0040] フルブリッジインバータ40は、トランスTr1の2次巻線N2に接続されている。フルブリッジインバータ40は、第3スイッチング素子Q3、第4スイッチング素子Q4、第5スイッチング素子Q5及び第6スイッチング素子Q6を有する。そして、フルブリッジインバータ40は、第3～第6スイッチング素子Q3～Q6がそれぞれオンオフすることで、2次巻線N2に

発生した2次電圧 V_2 を全波整流した直流の出力電圧 V_o を生成する。

[0041] より詳細には、フルブリッジインバータ40は、第3スイッチング素子Q3と第4スイッチング素子Q4との直列回路41と、第5スイッチング素子Q5と第6スイッチング素子Q6との直列回路42と、を有する。直列回路41は、出力インダクタ L_o1 を介して出力端子13と出力端子14との間に接続されている。直列回路42は、出力インダクタ L_o1 を介して出力端子13と出力端子14との間に接続されている。

[0042] また、フルブリッジインバータ40は、第3ダイオードD3、第4ダイオードD4、第5ダイオードD5及び第6ダイオードD6を有する。第3ダイオードD3は、第3スイッチング素子Q3に逆並列接続されている。第4ダイオードD4は、第4スイッチング素子Q4に逆並列接続されている。第5ダイオードD5は、第5スイッチング素子Q5に逆並列接続されている。第6ダイオードD6は、第6スイッチング素子Q6に逆並列接続されている。

[0043] フルブリッジインバータ40では、第3～第6スイッチング素子Q3～Q6の各々は、制御端子、第1主端子及び第2主端子を有する半導体スイッチング素子である。第3～第6スイッチング素子Q3～Q6の各制御端子は、制御装置5に接続されている。第3～第6スイッチング素子Q3～Q6は、制御装置5から与えられる第3～第6スイッチング信号 $S_3 \sim S_6$ に応じてそれぞれオン、オフされる。第3～第6スイッチング素子Q3～Q6は、例えば、MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) である。より詳細には、第3～第6スイッチング素子Q3～Q6の各々は、 n チャネルMOSFETである。ここで、 n チャネルMOSFETは、ノーマリオフ型のSi系MOSFETである。第3～第6スイッチング素子Q3～Q6では、制御端子、第1主端子及び第2主端子が、それぞれ、ゲート端子、ドレイン端子及びソース端子である。

[0044] 第3スイッチング素子Q3のドレイン端子は、出力インダクタ L_o1 を介して出力端子13に接続される。第3スイッチング素子Q3のソース端子は、第4スイッチング素子Q4のドレイン端子に接続される。第4スイッチン

グ素子Q4のソース端子は、出力端子14に接続される。

[0045] また、第5スイッチング素子Q5のドレイン端子は、出力インダクタL_o1を介して出力端子13に接続される。第5スイッチング素子Q5のソース端子は、第6スイッチング素子Q6のドレイン端子に接続される。第6スイッチング素子Q6のソース端子は、出力端子14に接続される。

[0046] 第3～第6ダイオードD3～D6は、第3～第6スイッチング素子Q3～Q6それぞれのMOSFETの寄生ダイオードである。第3～第6ダイオードD3～D6の各々は、アノード及びカソードを有する。第3～第6ダイオードD3～D6の各々のアノード及びカソードは、第3～第6スイッチング素子Q3～Q6のうち対応するスイッチング素子の第2主端子（ソース端子）及び第1主端子（ドレイン端子）にそれぞれ接続されている。

[0047] フルブリッジインバータ40は、第3スイッチング素子Q3と第4スイッチング素子Q4との間の第1入力端44、及び第5スイッチング素子Q5と第6スイッチング素子Q6との間の第2入力端45を有する。具体的に、第1入力端44は、第3スイッチング素子Q3のソースと第4スイッチング素子Q4のドレインとの接続点である。第2入力端45は、第5スイッチング素子Q5のソースと第6スイッチング素子Q6のドレインとの接続点である。そして、第1入力端44と第2入力端45との間には、トランスTr1の2次巻線N2が接続される。

[0048] フルブリッジインバータ40は、第1直流出力端46、及び第2直流出力端47を有する。第1直流出力端46には、第3スイッチング素子Q3及び第5スイッチング素子Q5の各ドレインが接続され、かつ、出力インダクタL_o1を介して出力端子13が接続される。第2直流出力端47には、第4スイッチング素子Q4及び第6スイッチング素子Q6の各ソースが接続され、かつ、出力端子14が接続される。

[0049] 上述のフルブリッジインバータ40は、第3～第6スイッチング素子Q3～Q6がそれぞれオンオフすることで、2次巻線N2に発生した2次電圧V₂を全波整流する。そして、フルブリッジインバータ40は、2次電圧V₂

を全波整流した直流電圧を出力電圧 V_o として、第1直流出力端46及び第2直流出力端47から出力する。また、フルブリッジインバータ40が第1直流出力端46から出力する電流を出力電流 I_o とする。

[0050] (2. 8) 出力インダクタ

出力インダクタ L_o 1は、第2整流器4の一对の直流出力端である第1直流出力端46及び第2直流出力端47のうち一方と出力キャパシタ C_o との間に接続される。図1では、出力インダクタ L_o 1は、フルブリッジインバータ40の第1直流出力端46と出力端子13との間に接続される。すなわち、出力インダクタ L_o 1の第1端は第1直流出力端46に接続され、出力インダクタ L_o 1の第2端は出力端子13に接続される。

[0051] 出力インダクタ L_o 1は、フルブリッジインバータ40から出力された出力電流 I_o を平滑する。

[0052] (2. 9) 出力キャパシタ

出力キャパシタ C_o は、出力端子13、14の間に接続される。

[0053] 具体的に、出力キャパシタ C_o の第1端は、出力端子13に接続し、かつ、出力インダクタ L_o 1を介してフルブリッジインバータ40の第1直流出力端46に接続される。出力キャパシタ C_o の第2端は、出力端子14に接続し、かつ、フルブリッジインバータ40の第2直流出力端47に接続される。出力キャパシタ C_o は、第1直流出力端46及び第2直流出力端47から出力された出力電圧 V_o を平滑する。出力電圧 V_o は、出力端子13、14から出力される。

[0054] (2. 10) 制御装置

制御装置5は、ハーフブリッジインバータ3及びフルブリッジインバータ40を制御する。制御装置5は、ハーフブリッジインバータ3の第1スイッチング素子Q1及び第2スイッチング素子Q2を制御する。また、制御装置5は、フルブリッジインバータ40の第3スイッチング素子Q3、第4スイッチング素子Q4、第5スイッチング素子Q5及び第6スイッチング素子Q6を制御する。制御装置5は、第1～第6スイッチング素子Q1～Q6それ

ぞれに第1～第6スイッチング信号（制御信号）S1～S6を与えることができるように構成されている。第1～第6スイッチング信号S1～S6は、第1～第6スイッチング素子Q1～Q6をそれぞれオン、オフさせるために、第1～第6スイッチング素子Q1～Q6の制御端子と第2主端子との間にそれぞれ印加されるゲート電圧（ゲート信号）である。第1～第6スイッチング信号S1～S6は、第1～第6スイッチング素子Q1～Q6の閾値電圧（ゲート閾値電圧）よりも高い電圧レベル（以下、ハイレベルともいう）と閾値電圧よりも低い電圧レベル（以下、ローレベルともいう）との間で電圧レベルが変化する電圧である。制御装置5は、第1～第6スイッチング信号S1～S6の周波数を変えることができるように構成されている。すなわち、制御装置5は、ハーフブリッジインバータ3及びフルブリッジインバータ40を制御することで、出力電圧V_oを制御することができる。

[0055] 図2は、制御装置5が、第1～第6スイッチング素子Q1～Q6を制御したときのタイムチャートである。図2は、上段から順に、第1スイッチング信号S1、第2スイッチング信号S2、第3スイッチング信号S3、第4スイッチング信号S4、第5スイッチング信号S5、第6スイッチング信号S6、1次電圧V₁及び2次電圧V₂の各波形を示す。1次電圧V₁は、第2出力端35の電位を基準電位としたときの第1出力端34と第2出力端35との間の電圧である。2次電圧V₂は、第2入力端45の電位を基準電位としたときの第1入力端44と第2入力端45との間の電圧である。

[0056] 制御装置5は、第1スイッチング信号S1をハイレベルとローレベルとに交互に切り替え、第2スイッチング信号S2をハイレベルとローレベルとに交互に切り替える。このとき、制御装置5は、第1スイッチング信号S1がハイレベルであるときに第2スイッチング信号S2をローレベルとし、第1スイッチング信号S1がローレベルであるときに第2スイッチング信号S2をハイレベルとする。すなわち、制御装置5は、第1～第2スイッチング素子Q1～Q2を交互にオンオフさせる。

[0057] 本実施形態では、制御装置5は、第1スイッチング素子Q1を制御する第

1 スwitching信号S 1のデューティと、第2スitching素子Q 2を制御する第2スitching信号S 2のデューティと、を互いに等しくする。スitching信号のデューティは、スitching信号の1周期におけるハイレベルの期間とローレベルの期間との合計時間に対するハイレベルの期間の割合である。具体的に、第1～第2スitching信号S 1～S 2の各デューティは50%である。このように、制御装置5は、第1スitching信号S 1のデューティと第2スitching信号S 2のデューティとを互いに等しくすることで、第1スitching信号S 1及び第2スitching信号S 2の生成処理を簡易化することができる。

[0058] 上述のように、制御装置5が第1～第2スitching素子Q 1～Q 2を制御することで、1次巻線N 1の両端間（第1出力端3 4と第2出力端3 5との間）には、1次電圧V 1が発生し、2次巻線N 2の両端間（第1入力端4 4と第2入力端4 5との間）には、2次電圧V 2が発生する。具体的に、1次電圧V 1は、第1スitching素子Q 1がオンしているときに正の電圧となり、第2スitching素子Q 2がオンしているときに負の電圧となる交番電圧である。2次電圧V 2は、第1スitching素子Q 1がオンしているときに正の電圧となり、第2スitching素子Q 2がオンしているときに負の電圧となる交番電圧である。

[0059] 第2整流器4であるフルブリッジインバータ4 0は、2次電圧V 2を全波整流することで、直流の出力電圧V oを生成、出力する。制御装置5は、2次電圧V 2の極性が正（第1入力端4 4の電位が第2入力端4 5の電位より高い）である期間に、第3、第6スitching素子Q 3、Q 6をオン、第4、第5スitching素子Q 4、Q 5をオフする。制御装置5は、2次電圧V 2の極性が負（第2入力端4 5の電位が第1入力端4 4の電位より高い）である期間に、第4、第5スitching素子Q 4、Q 5をオン、第3、第6スitching素子Q 3、Q 6をオフする。すなわち、制御装置5は、2次電圧V 2の極性に応じて、第3、第6スitching素子Q 3、Q 6と第4、第5スitching素子Q 4、Q 5とを交互にオンする。

[0060] また、制御装置5は、第3スイッチング素子Q3を制御する第3スイッチング信号S3のデューティと、第4スイッチング素子Q4を制御する第4スイッチング信号S4のデューティと、第5スイッチング素子Q5を制御する第5スイッチング信号S5のデューティと、第6スイッチング素子Q6を制御する第6スイッチング信号S6のデューティと、を互いに等しくする。スイッチング信号のデューティは、スイッチング信号の1周期におけるハイレベルの期間とローレベルの期間との合計時間に対するハイレベルの期間の割合である。具体的に、第3～第6スイッチング信号S3～S6の各デューティは50%である。制御装置5は、第3～第6スイッチング信号S3～S6のデューティを互いに等しくすることで、第3～第6スイッチング信号S3～S6の生成処理を簡易化することができる。

[0061] そして、本実施形態では、制御装置5は、第1スイッチング素子Q1及び第2スイッチング素子Q2の駆動タイミングと、第3スイッチング素子Q3、第4スイッチング素子Q4、第5スイッチング素子Q5及び第6スイッチング素子Q6の駆動タイミングと、を同期させる。制御装置5は、第1～第6スイッチング素子Q1～Q6の各駆動タイミングを同期させることで、第1～第6スイッチング信号S1～S6の生成処理を簡易化することができる。

[0062] 具体的に、図2に示すように、第1スイッチング信号S1、第3スイッチング信号S3及び第6スイッチング信号S6は、同じタイミングで同じ電圧レベルに切り替わる同相の信号になる。すなわち、第1スイッチング信号S1、第3スイッチング信号S3及び第6スイッチング信号S6は、同じタイミングでローレベルからハイレベルに切り替わり、同じタイミングでハイレベルからローレベルに切り替わる。したがって、第1スイッチング素子Q1、第3スイッチング素子Q3及び第6スイッチング素子Q6は同じタイミングでターンオンし、同じタイミングでターンオフする。

[0063] また、第2スイッチング信号S2、第4スイッチング信号S4及び第5スイッチング信号S5は、同じタイミングで同じ電圧レベルに切り替わる同相

の信号になる。すなわち、第2スイッチング信号S 2、第4スイッチング信号S 4及び第5スイッチング信号S 5は、同じタイミングでローレベルからハイレベルに切り替わり、同じタイミングでハイレベルからローレベルに切り替わる。したがって、第2スイッチング素子Q 2、第4スイッチング素子Q 4及び第5スイッチング素子Q 5は同じタイミングでターンオンし、同じタイミングでターンオフする。

[0064] また、制御装置5は、直列接続された2つのスイッチング素子を交互にオンオフするとき、デッドタイム T_d を設けることが好ましい。デッドタイム T_d は、直列接続された2つのスイッチング素子の両方をオフ状態に維持する期間である。デッドタイム T_d では、直列接続された2つのスイッチング素子をそれぞれ駆動するための2つのスイッチング信号の両方がローレベルに維持される。

[0065] 具体的に、第1スイッチング信号S 1及び第2スイッチング信号S 2のそれぞれの電圧レベルを反転させるときに、デッドタイム T_d は設けられる。また、第3スイッチング信号S 3及び第4スイッチング信号S 4のそれぞれの電圧レベルを反転させるときに、デッドタイム T_d は設けられる。また、第5スイッチング信号S 5及び第6スイッチング信号S 6のそれぞれの電圧レベルを反転させるときに、デッドタイム T_d は設けられる。すなわち、デッドタイム T_d では、第1～第6スイッチング信号S 1～S 6はローレベルを維持し、第1～第6スイッチング素子Q 1～Q 6はオフ状態を維持する。

[0066] また、制御装置5は、入力インダクタ L_i に流れる電流（インダクタ電流 I_{L1} ）のモードが電流不連続モードとなるように第1スイッチング素子Q 1及び第2スイッチング素子Q 2を制御する。

[0067] 図3は、入力電圧 V_i の極性が正（入力端子1 1の電位が入力端子1 2の電位より高い）の場合の、第1スイッチング信号S 1及び第2スイッチング信号S 2と、インダクタ電流 I_{L1} と、1次電圧 V_1 と、の関係を図示している。

[0068] 制御装置5は、入力電圧 V_i の極性が正の場合、図3に示すように、第1

期間 T_1 —デッドタイム T_d —第2期間 T_2 —第3期間 T_3 —デッドタイム T_d —第1期間 T_1 —…と遷移するように、第1スイッチング信号 S_1 及び第2スイッチング信号 S_2 を生成する。第1期間 T_1 は、第1スイッチング信号 S_1 をハイレベルとし、第2スイッチング信号 S_2 をローレベルとする期間である。第2期間 T_2 及び第3期間 T_3 は、第1スイッチング信号 S_1 をローレベルとし、第2スイッチング信号 S_2 をハイレベルとする期間である。デッドタイム T_d は、第1スイッチング信号 S_1 及び第2スイッチング信号 S_2 をローレベルとする期間である。ハーフブリッジインバータ3のスイッチング周期 T_{sw} は、デッドタイム T_d —第1期間 T_1 —デッドタイム T_d —第2期間 T_2 —第3期間 T_3 で構成される。

[0069] 図4A、図4B及び図4Cは、図3の第1期間 T_1 、第2期間 T_2 及び第3期間 T_3 それぞれの動作説明図である。図4A及び図4Bでは、インダクタ電流 I_L1 （図5参照）の電流経路を細い破線で示してある。第1期間 T_1 では図4Aに示すように、インダクタ電流 I_L1 によって入力インダクタ L_i にエネルギーが蓄積される。第2期間 T_2 では図4Bに示すように、入力インダクタ L_i のエネルギーが放出される。第3期間 T_3 は、インダクタ電流 I_L1 がゼロとなる期間なので、図4Cにおいてインダクタ電流 I_L1 は図示されていない。また、図4A、図4B及び図4Cでは、トランス $Tr1$ の1次巻線 $N1$ に流れる1次電流 I_1 を太い破線で示す。

[0070] 具体的に、図3の第1期間 T_1 では、第1スイッチング素子 Q_1 がオン、第2スイッチング素子 Q_2 がオフなので、図4Aに示すように、第1ダイオード $D1$ —第1スイッチング素子 Q_1 —入力インダクタ L_i の経路でインダクタ電流 I_L1 が流れる。第1期間 T_1 では、第1期間 T_1 の開始時点からの時間経過に伴ってインダクタ電流 I_L1 が増加して入力インダクタ L_i にエネルギーが蓄積される。また、図3の第1期間 T_1 では、図4Aに示すように、第1キャパシタ $C1$ —第1スイッチング素子 Q_1 —1次巻線 $N1$ —第1キャパシタ $C1$ の経路で1次電流 I_1 が流れる。

[0071] 第1期間 T_1 の終了時点からデッドタイム T_d が経過した時点では、第2

スイッチング素子 Q_2 の両端電圧はゼロボルトまで低下している。これにより、第2スイッチング素子 Q_2 は、第2期間 T_2 の開始時にゼロボルトスイッチングされる。

[0072] 図3の第2期間 T_2 では、第1スイッチング素子 Q_1 がオフ、第2スイッチング素子 Q_2 がオンなので、図4Bに示すように、第1ダイオード D_1 ー第1キャパシタ C_1 ー第2キャパシタ C_2 ー第2スイッチング素子 Q_2 ー入力インダクタ L_i の経路でインダクタ電流 I_{L1} が流れる。このとき、入力インダクタ L_i の蓄積エネルギーが入力インダクタ L_i から放出され、第2期間 T_2 の開始時点からの時間経過にともなってインダクタ電流 I_{L1} はゼロまで減少する。また、第2期間 T_2 では、第2キャパシタ C_2 ー1次巻線 N_1 ー第2スイッチング素子 Q_2 ー第2キャパシタ C_2 の経路で1次電流 I_1 が流れる。

[0073] 図3の第3期間 T_3 は、入力インダクタ L_i に電流が流れないゼロ電流期間である。すなわち、制御装置5は、インダクタ電流 I_{L1} がゼロとなる第3期間 T_3 を含むように、第1スイッチング素子 Q_1 及び第2スイッチング素子 Q_2 を制御することで、インダクタ電流 I_{L1} のモードを電流不連続モードとする。また、第3期間 T_3 では、第2キャパシタ C_2 ー1次巻線 N_1 ー第2スイッチング素子 Q_2 ー第2キャパシタ C_2 の経路で1次電流 I_1 が流れる。なお、第3期間 T_3 では、浮遊容量による共振が発生する。

[0074] 図6には、入力電圧 V_i の極性が負（入力端子12の電位が入力端子11の電位より高い）の場合の、第1スイッチング信号 S_1 及び第2スイッチング信号 S_2 と、インダクタ電流 I_{L1} と、1次電圧 V_1 と、の関係を図示している。

[0075] 制御装置5は、入力電圧 V_i の極性が負の場合、図6に示すように、第4期間 T_{11} ーデッドタイム T_d ー第5期間 T_{12} ー第6期間 T_{13} ーデッドタイム T_d ー第4期間 T_{11} ー…と遷移するように、第1スイッチング信号 S_1 及び第2スイッチング信号 S_2 を生成する。第4期間 T_{11} は、第1スイッチング信号 S_1 をローレベルとし、第2スイッチング信号 S_2 をハイレ

ベルとする期間である。第5期間 T_{12} 及び第6期間 T_{13} は、第1スイッチング信号 S_1 をハイレベルとし、第2スイッチング信号 S_2 をローレベルとする期間である。デッドタイム T_d は、第1スイッチング信号 S_1 及び第2スイッチング信号 S_2 をローレベルとする期間である。ハーフブリッジインバータ3のスイッチング周期 T_{sw} は、デッドタイム T_d －第4期間 T_{11} －デッドタイム T_d －第5期間 T_{12} －第6期間 T_{13} で構成される。

[0076] 図7A、図7B及び図7Cは、図6の第4期間 T_{11} 、第5期間 T_{12} 及び第6期間 T_{13} それぞれの動作説明図である。図7A及び7Bでは、インダクタ電流 I_L1 の電流経路を細い破線で示してある。第4期間 T_{11} では図7Aに示すように、インダクタ電流 I_L1 によって入力インダクタ L_i にエネルギーが蓄積される。第5期間 T_{12} では図7Bに示すように、入力インダクタ L_i のエネルギーが放出される。第6期間 T_{13} は、インダクタ電流 I_L1 がゼロとなる期間なので、図7Cにおいてインダクタ電流 I_L1 は図示されていない。また、図7A、図7B及び図7Cでは、トランス $Tr1$ の1次巻線 $N1$ に流れる1次電流 I_1 を太い破線で示してある。

[0077] 具体的に、図6の第4期間 T_{11} では、第1スイッチング素子 Q_1 がオフ、第2スイッチング素子 Q_2 がオンなので、図7Aに示すように、入力インダクタ L_i －第2スイッチング素子 Q_2 －第2ダイオード D_2 の経路でインダクタ電流 I_L1 が流れる。第4期間 T_{11} では、第4期間 T_{11} の開始時点からの時間経過に伴ってインダクタ電流 I_L1 （の絶対値）が増加して入力インダクタ L_i にエネルギーが蓄積される。また、第4期間 T_{11} では、図7Aに示すように、第2キャパシタ C_2 －1次巻線 $N1$ －第2スイッチング素子 Q_2 －第2キャパシタ C_2 の経路で1次電流 I_1 が流れる。

[0078] 第4期間 T_{11} の終了時点からデッドタイム T_d が経過した時点では、第1スイッチング素子 Q_1 の両端電圧はゼロボルトまで低下している。これにより、第1スイッチング素子 Q_1 は、第5期間 T_{12} の開始時にゼロボルトスイッチングされる。

[0079] 図6の第5期間 T_{12} では、第1スイッチング素子 Q_1 がオン、第2ス

ツチング素子 Q_2 がオフなので、図7Bに示すように、入力インダクタ L_i —第1スイッチング素子 Q_1 —第1キャパシタ C_1 —第2キャパシタ C_2 —第2ダイオード D_2 の経路でインダクタ電流 I_{L1} が流れる。このとき、入力インダクタ L_i の蓄積エネルギーが入力インダクタ L_i から放出され、第5期間 T_{12} の開始時点からの時間経過にともなってインダクタ電流 I_{L1} （の絶対値）はゼロまで減少する。また、第5期間 T_{12} では、第1キャパシタ C_1 —第1スイッチング素子 Q_1 —1次巻線 N_1 —第1キャパシタ C_1 の経路で1次電流 I_1 が流れる。

[0080] 図6の第6期間 T_{13} は、入力インダクタ L_i に電流が流れないゼロ電流期間である。すなわち、制御装置5は、インダクタ電流 I_{L1} がゼロとなる第6期間 T_{13} を含むように、第1スイッチング素子 Q_1 及び第2スイッチング素子 Q_2 を制御することで、インダクタ電流 I_{L1} のモードを電流不連続モードとする。また、第6期間 T_{13} では、第1キャパシタ C_1 —第1スイッチング素子 Q_1 —1次巻線 N_1 —第1キャパシタ C_1 の経路で1次電流 I_1 が流れる。なお、第6期間 T_{13} では、浮遊容量による共振が発生する。

[0081] 上述のように、制御装置5は、インダクタ電流 I_{L1} がゼロとなる期間を含む電流不連続モードとなるように、第1スイッチング素子 Q_1 及び第2スイッチング素子 Q_2 を制御する。なお、図5には、交流電源8からコンバータ装置100に流れる入力電流 I_i （図1参照）の波形も図示している。

[0082] コンバータ装置100では、入力インダクタ L_i に流れるインダクタ電流 I_{L1} の波高値を I_{Lmax} とすると、 I_{Lmax} は、下記の式1で表される。なお、 $[L_i]$ は、入力インダクタ L_i のインダクタンスである。 T_{on} は、ハーフブリッジインバータ3のスイッチング周期 T_{sw} におけるオン時間であり、第1期間 T_1 及び第4期間 T_{11} の各時間長さである。本実施形態では、第1スイッチング信号 S_1 及び第2スイッチング信号 S_2 の各デューティは互いに等しいので、第1期間 T_1 及び第4期間 T_{11} の各時間長さは同じオン時間 T_{on} になる。

[0083] [数1]

$$I_{Lmax} = \frac{V_i}{[Li]} \cdot T_{on} \cdot \dots \cdot (\text{式 1})$$

[0084] したがって、オン時間 T_{on} 及び入力インダクタ L_i のインダクタンス $[L_i]$ それぞれが一定であれば、入力電圧 V_i の瞬時値に比例してインダクタ電流 I_L の波高値 I_{Lmax} が変化するので、力率を向上させることが可能となる。

[0085] また、制御装置5は、ハーフブリッジインバータ3の直流バス電圧 V_{dc} を制御し、フルブリッジインバータ40の出力電圧 V_o を制御する。直流バス電圧 V_{dc} は、第1キャパシタ C_1 と第2キャパシタ C_2 との第2直列回路32の両端電圧である。

[0086] 直流バス電圧 V_{dc} は、以下の式2で表される。なお、 V_{max} は、入力電圧 V_i の最大値（波高値）である。 P_o は、コンバータ装置100の出力電力である。 T_{sw} は、ハーフブリッジインバータ3のスイッチング周期である（図3及び図6参照）。 T_{on} は、ハーフブリッジインバータ3のスイッチング周期 T_{sw} におけるオン時間であり、第1期間 T_1 及び第4期間 T_{11} の各時間長さである。 $[L_i]$ は、入力インダクタ L_i のインダクタンスである。

[0087] [数2]

$$V_{dc} = \frac{2 \cdot V_{max}}{2 - \left(\frac{\frac{V_{max}^2}{[Li]} \cdot T_{on}}{2 \cdot P_o} \cdot \left(\frac{T_{on}}{T_{sw}} \right) \right)} \cdot \dots \cdot (\text{式 2})$$

[0088] コンバータ装置100では、制御装置5が第1スイッチング信号 S_1 及び第2スイッチング信号 S_2 の各デューティを互いに等しくするので、出力電力 P_o が一定であれば、直流バス電圧 V_{dc} を一定とすることが可能となる。

[0089] そして、制御装置5は、直流バス電圧 V_{dc} を制御することで、出力電圧

V_o を制御することができる。

[0090] また、コンバータ装置100では、制御装置5が第1～第6スイッチング素子 $Q_1 \sim Q_6$ の各スイッチング周波数を制御することで、ハーフブリッジインバータ3の直流バス電圧 V_{dc} を制御し、フルブリッジインバータ40の出力電圧 V_o を制御することができる。

[0091] 例えば、制御装置5は、ハーフブリッジインバータ3の直流バス電圧 V_{dc} の指令値 V_{dc}^* と直流バス電圧 V_{dc} の検出値 $[V_{dc}]$ とに基づくPI制御、又はフルブリッジインバータ40の出力電圧 V_o の指令値 V_o^* と出力電圧 V_o の検出値 $[V_o]$ とに基づくPI制御により、第1スイッチング素子 Q_1 及び第2スイッチング素子 Q_2 のスイッチング周波数を制御する。そして、制御装置5は、第3スイッチング素子 Q_3 、第4スイッチング素子 Q_4 、第5スイッチング素子 Q_5 及び第6スイッチング素子 Q_6 のスイッチング周波数を、第1スイッチング素子 Q_1 及び第2スイッチング素子 Q_2 のスイッチング周波数と同じにする。つまり、コンバータ装置100では、制御装置5が第1～第6スイッチング素子 $Q_1 \sim Q_6$ をPFM (Pulse Frequency Modulation) 制御することにより直流バス電圧 V_{dc} 及び出力電圧 V_o を制御する。なお、制御装置5は、直流バス電圧 V_{dc} の検出部、出力電圧 V_o の検出部から、直流バス電圧 V_{dc} の検出値 $[V_{dc}]$ 、出力電圧 V_o の検出値 $[V_o]$ をそれぞれ取得する。直流バス電圧 V_{dc} 、出力電圧 V_o の各検出部は、コンバータ装置100に設けられてもよいし、コンバータ装置100の外部に設けられてもよい。

[0092] 具体的に、制御装置5は、図8に示すように、減算部51、PI制御部52、及び生成部53を備える。

[0093] まず、直流バス電圧 V_{dc} の指令値 V_{dc}^* と直流バス電圧 V_{dc} の検出値 $[V_{dc}]$ とに基づくPI制御について説明する。

[0094] 減算部51は、指令値 V_{dc}^* と検出値 $[V_{dc}]$ との差分値を求める。PI制御部52は、減算部51にて求められた差分値をゼロに近づけるフィードバック制御のためのスイッチング周波数指令値 f_{sw}^* を生成する。生

成部53は、スイッチング周波数指令値 f_{sw}^* に基づく周波数の矩形波信号である第1～第2スイッチング信号 $S_1 \sim S_2$ を生成して、第1～第2スイッチング素子 $Q_1 \sim Q_2$ のスイッチング周波数を制御する。さらに、生成部53は、第1～第2スイッチング信号 $S_1 \sim S_2$ と同じ周波数の矩形波信号である第3～第6スイッチング信号 $S_3 \sim S_6$ を生成する。しかして、第3～第6スイッチング素子 $Q_3 \sim Q_6$ のスイッチング周波数は、第1～第2スイッチング素子 $Q_1 \sim Q_2$ のスイッチング周波数と同じ周波数に制御される。

[0095] 上述のように、コンバータ装置100は、第1～第2スイッチング素子 $Q_1 \sim Q_2$ をPFM制御することにより直流バス電圧 V_{dc} を制御する。この結果、コンバータ装置100は、負荷変動時に直流バス電圧 V_{dc} が変動することを抑制できる。

[0096] また、出力電圧 V_o の指令値 V_o^* と出力電圧 V_o の検出値 $[V_o]$ とに基づくPI制御を行う場合、減算部51は、指令値 V_o^* と検出値 $[V_o]$ との差分値を求める。PI制御部52は、減算部51にて求められた差分値をゼロに近づけるフィードバック制御のためのスイッチング周波数指令値 f_{sw}^* を生成する。生成部53は、上記同様に、第1～第6スイッチング信号 $S_1 \sim S_6$ を生成する。この場合、コンバータ装置100は、第1～第6スイッチング素子 $Q_1 \sim Q_6$ をPFM制御することにより出力電圧 V_o を制御する。この結果、コンバータ装置100は、負荷変動時に出力電圧 V_o が変動することを抑制できる。

[0097] また、直流バス電圧 V_{dc} の指令値 V_{dc}^* 、出力電圧 V_o の指令値 V_o^* は、外部装置から制御装置5への外部指令によって制御装置5において決まる。言い換えれば、制御装置5は、外部装置からの外部指令に基づいて指令値 V_{dc}^* 又は指令値 V_o^* を生成する機能を有する。外部装置と制御装置5との間の通信で用いられる通信プロトコルとしては、例えば、MODBUS又はCAN又はその他のシリアル通信プロトコルを利用することができる。外部装置は、例えば外部コントローラでもよい。なお、外部装置から制

御装置 5 への外部指令の通信に関して、特定の通信プロトコルを利用することは必須ではない。

[0098] また、制御装置 5 が指令値 V_{dc} のデータを予め保持している構成であってもよい。

[0099] 上述のように、コンバータ装置 100 では、制御装置 5 が P I 制御によって第 1 ～第 6 スイッチング素子 $Q_1 \sim Q_6$ のスイッチング周波数を制御する P F M 制御を行う。この結果、コンバータ装置 100 は、負荷変動等によってコンバータ装置 100 の出力電力 P_o が変動しても、直流バス電圧 V_{dc} 又は出力電圧 V_o を指令値に近づけることができる。

[0100] 制御装置 5 は、コンピュータシステムを備えていることが好ましい。コンピュータシステムがプログラムを実行することによって、制御装置 5 の一部又は全部の機能が実現される。コンピュータシステムは、プログラムに従って動作するプロセッサを主なハードウェア構成として備える。プロセッサは、プログラムを実行することによって機能を実現することができれば、その種類は問わない。プロセッサは、半導体集積回路 (Integrated Circuit)、又は L S I (Large Scale Integration) を含む一つ又は複数の電子回路で構成される。ここでは、I C や L S I と呼んでいるが、集積の度合いによって呼び方が変わり、システム L S I 、V L S I (Very Large Scale Integration) 若しくは U L S I (Ultra Large Scale Integration) と呼ばれるものであってもよい。L S I の製造後にプログラムされる、F P G A (Field-Programmable Gate Array)、又は L S I 内部の接合関係の再構成又は L S I 内部の回路区画のセットアップができる再構成可能な論理デバイスも同じ目的で使うことができる。複数の電子回路は、一つのチップに集積されてもよいし、複数のチップに設けられてもよい。複数のチップは一つの装置に集約されていてもよいし、複数の装置に備えられていてもよい。プログラムは、コンピュータが読み取り可能な R O M 、光ディスク、ハードディスクドライブなどの非一時的記録媒体に記録される。プログラムは、記録媒体に予め格納されていてもよいし、インターネット等を含む広域通信網を介して記録媒

体に供給されていてもよい。

[0101] なお、制御装置5は、1台のコンピュータ装置、及び互いに連携した複数台のコンピュータ装置のいずれで実現されていてもよい。また、制御装置5は、クラウドコンピューティングシステムとして構築されていてもよい。

[0102] (2. 11) 小括

以上説明した実施形態1に係るコンバータ装置100では、出力電流 I_o は出力インダクタ L_o によって平滑され、出力電流 I_o に含まれるリップル成分が抑制されるので、出力電流 I_o による出力キャパシタ C_o での損失を抑えることができる。

[0103] また、比較例として、トランス T_r1 の1次巻線 N_1 にインダクタを直列接続したACDCコンバータがある。この比較例では1次巻線 N_1 に直列接続されたインダクタに交流電流が流れるので、当該インダクタには鉄損が生じる。しかしながら、コンバータ装置100は、トランス T_r1 の1次巻線 N_1 に直列接続しているインダクタを備えていない。したがって、コンバータ装置100は、トランス T_r1 の1次巻線 N_1 に直列接続しているインダクタを有する構成に比べて、鉄損を抑えることができる。

[0104] したがって、コンバータ装置100は、高効率化を図ることができる。

[0105] また、実施形態1に係るコンバータ装置100では、制御装置5が第1スイッチング信号 S_1 のデューティと第2スイッチング信号 S_2 のデューティとを互いに等しくすることで、第1スイッチング信号 S_1 及び第2スイッチング信号 S_2 の生成処理を簡易化することができる。

[0106] また、実施形態1に係るコンバータ装置100では、制御装置5が第3～第6スイッチング信号 S_3 ～ S_6 のデューティを互いに等しくすることで、第3～第6スイッチング信号 S_3 ～ S_6 の生成処理を簡易化することができる。

[0107] また、実施形態1に係るコンバータ装置100では、制御装置5が第1～第6スイッチング素子 Q_1 ～ Q_6 の各駆動タイミングを同期させることで、第1～第6スイッチング信号 S_1 ～ S_6 の生成処理を簡易化することができる。

る。

[0108] また、実施形態 1 に係るコンバータ装置 100 では、制御装置 5 が、入力インダクタ L_i に流れる電流のモードが電流不連続モードとなるように第 1 スイッチング素子 Q_1 及び第 2 スイッチング素子 Q_2 を制御するので、力率を向上させることができる。

[0109] また、実施形態 1 に係るコンバータ装置 100 では、制御装置 5 が直流バス電圧 V_{dc} の指令値 V_{dc}^* と検出値 $[V_{dc}]$ とに基づく P I 制御、又は出力電圧 V_o の指令値 V_o^* と検出値 $[V_o]$ とに基づく P I 制御により、第 1 ～第 2 スイッチング素子 $Q_1 \sim Q_2$ のスイッチング周波数を制御し、第 3 ～第 6 スイッチング素子 $Q_3 \sim Q_6$ のスイッチング周波数を、第 1 ～第 2 スイッチング素子 $Q_1 \sim Q_2$ のスイッチング周波数と同じにする。これにより、実施形態 1 に係るコンバータ装置 100 は、負荷変動時に直流バス電圧 V_{dc} 又は出力電圧 V_o が変動することを抑制できる。

[0110] (実施形態 2)

以下では、実施形態 2 に係るコンバータ装置 100A について、図 9 に基づいて説明する。実施形態 2 に係るコンバータ装置 100A に関し、実施形態 1 に係るコンバータ装置 100 (図 1 参照) と同様の構成要素については、同一の符号を付して説明を適宜省略する。

[0111] (1) 概略

実施形態 2 に係るコンバータ装置 100A は、実施形態 1 に係るコンバータ装置 100 におけるハーフブリッジインバータ 3 と同じ構成の第 1 ハーフブリッジインバータ 3A を備える。また、コンバータ装置 100A は、第 2 整流器 4 として、コンバータ装置 100 のフルブリッジインバータ 40 の代わりに、第 2 ハーフブリッジインバータ 40A を備える。また、コンバータ装置 100A は、コンバータ装置 100 の出力インダクタ L_o1 の代わりに、出力インダクタ L_o2 を備える。さらに、コンバータ装置 100A は、コンバータ装置 100 の制御装置 5 の代わりに、制御装置 5A を備える。

[0112] コンバータ装置 100A では、第 2 整流器 4 は、第 3 スイッチング素子 Q

3、第4スイッチング素子Q4、第3キャパシタC3及び第4キャパシタC4を有する第2ハーフブリッジインバータ40Aである。出力インダクタL_{o2}は、2次巻線N2に直列接続される。制御装置5Aは、第1ハーフブリッジインバータ3A及び第2ハーフブリッジインバータ40Aを制御する。

[0113] そして、制御装置5Aが第1～第4スイッチング素子Q1～Q4を制御することで、交流の入力電圧V_iは直流の出力電圧V_oに変換される。すなわち、制御装置5Aは、第1ハーフブリッジインバータ3A及び第2ハーフブリッジインバータ40Aを制御することで、出力電圧V_oを制御することができる。

[0114] (2) 詳細

第1ハーフブリッジインバータ3Aは、ハーフブリッジインバータ3と同じ構成であり、第1スイッチング素子Q1、第2スイッチング素子Q2、第1キャパシタC1及び第2キャパシタC2を有する。第1スイッチング素子Q1及び第2スイッチング素子Q2の制御端子は、制御装置5Aに接続されている。第1スイッチング素子Q1は、制御装置5Aから与えられる第1スイッチング信号S1に応じてオン、オフされる。また、第2スイッチング素子Q2は、制御装置5Aから与えられる第2スイッチング信号S2に応じてオン、オフされる。

[0115] 第2ハーフブリッジインバータ40Aは、トランスTr1の2次巻線N2に、出力インダクタL_{o2}を介して接続されている。第2ハーフブリッジインバータ40Aは、実施形態1に係るコンバータ装置100における第5スイッチング素子Q5及び第6スイッチング素子Q6の代わりに、第3キャパシタC3及び第4キャパシタC4を備える。第2ハーフブリッジインバータ40Aは、第3スイッチング素子Q3と第4スイッチング素子Q4との直列回路41と、第3キャパシタC3と第4キャパシタC4との直列回路43と、を有する。第3スイッチング素子Q3と第4スイッチング素子Q4との直列回路41は、出力端子13と出力端子14との間に接続されている。第3キャパシタC3と第4キャパシタC4との直列回路43は、出力端子13と

出力端子 1 4 との間に接続されている。出力キャパシタ C o は、出力端子 1 3 と出力端子 1 4 との間に接続されている。

[0116] また、第 2 ハーフブリッジインバータ 4 0 A は、第 3 ダイオード D 3 及び第 4 ダイオード D 4 を有する。第 3 ダイオード D 3 は、第 3 スイッチング素子 Q 3 に逆並列接続されている。第 4 ダイオード D 4 は、第 4 スイッチング素子 Q 4 に逆並列接続されている。

[0117] 第 2 ハーフブリッジインバータ 4 0 A では、第 3 スイッチング素子 Q 3 及び第 4 スイッチング素子 Q 4 の各々は、制御端子、第 1 主端子及び第 2 主端子を有する。第 3 スイッチング素子 Q 3 及び第 4 スイッチング素子 Q 4 の制御端子は、制御装置 5 A に接続されている。第 3 スイッチング素子 Q 3 は、制御装置 5 A から与えられる第 3 スイッチング信号 S 3 に応じてオン、オフされる。また、第 4 スイッチング素子 Q 4 は、制御装置 5 A から与えられる第 3 スイッチング信号 S 3 に応じてオン、オフされる。

[0118] 第 2 ハーフブリッジインバータ 4 0 A は、第 3 スイッチング素子 Q 3 と第 4 スイッチング素子 Q 4 との間の第 1 入力端 4 4 と、第 3 キャパシタ C 3 と第 4 キャパシタ C 4 との間の第 2 入力端 4 5 a と、を有する。第 2 ハーフブリッジインバータ 4 0 A では、第 1 入力端 4 4 と第 2 入力端 4 5 a との間に、トランス T r 1 の 2 次巻線 N 2 と出力インダクタ L o 2 との直列回路が接続されている。図 9 では、2 次巻線 N 2 の第 1 端は第 1 入力端 4 4 に接続され、2 次巻線 N 2 の第 2 端は出力インダクタ L o 2 の第 1 端に接続され、出力インダクタ L o 2 の第 2 端は第 2 入力端 4 5 a に接続されている。

[0119] 第 2 ハーフブリッジインバータ 4 0 A は、第 1 直流出力端 4 6 a、及び第 2 直流出力端 4 7 a を有する。第 1 直流出力端 4 6 a には、第 3 スイッチング素子 Q 3 のドレイン及び第 3 キャパシタ C 3 の高電位側の極が接続され、かつ、出力端子 1 3 が接続される。第 2 直流出力端 4 7 a には、第 4 スイッチング素子 Q 4 のソース及び第 4 キャパシタ C 4 の低電位側の極が接続され、かつ、出力端子 1 4 が接続される。

[0120] 上述の第 2 ハーフブリッジインバータ 4 0 A は、第 3～第 4 スイッチング

素子Q 3～Q 4 がそれぞれオンオフすることで、2次巻線N 2に発生した2次電圧V 2を全波整流する。そして、第2ハーフブリッジインバータ4 0 Aは、2次電圧V 2を全波整流した直流電圧を出力電圧V oとして、第1直流出力端4 6 a及び第2直流出力端4 7 aから出力する。

[0121] 制御装置5 Aは、第1ハーフブリッジインバータ3 A及び第2ハーフブリッジインバータ4 0 Aを制御する。制御装置5 Aは、第1ハーフブリッジインバータ3 Aの第1スイッチング素子Q 1及び第2スイッチング素子Q 2を制御する。また、制御装置5 Aは、第2ハーフブリッジインバータ4 0 Aの第3スイッチング素子Q 3及び第4スイッチング素子Q 4を制御する。制御装置5 Aは、第1～第4スイッチング素子Q 1～Q 4それぞれに第1～第4スイッチング信号（制御信号）S 1～S 4を与えることができるように構成されている。第1～第4スイッチング信号S 1～S 4は、第1～第4スイッチング素子Q 1～Q 4をオン、オフさせるために、第1～第4スイッチング素子Q 1～Q 4の制御端子と第2主端子との間に印加されるゲート電圧（ゲート信号）である。第1～第4スイッチング信号S 1～S 4は、第1～第4スイッチング素子Q 1～Q 4の閾値電圧（ゲート閾値電圧）よりも高い電圧レベル（以下、ハイレベルともいう）と閾値電圧よりも低い電圧レベル（以下、ローレベルともいう）との間で電圧レベルが変化する電圧である。制御装置5 Aは、第1～第4スイッチング信号S 1～S 4の周波数を変えることができるように構成されている。第1～第4スイッチング信号S 1～S 4については、実施形態1で説明した第1～第4スイッチング信号S 1～S 4と同じである。

[0122] また、制御装置5 Aは、実施形態1の制御装置5と同様に、第1スイッチング素子Q 1を制御する第1スイッチング信号S 1のデューティと、第2スイッチング素子Q 2を制御する第2スイッチング信号S 2のデューティと、を互いに等しくする。具体的に、第1～第2スイッチング信号S 1～S 2の各デューティは5 0 %である。

[0123] また、制御装置5 Aは、実施形態1の制御装置5と同様に、第3スイッチ

ング素子Q 3を制御する第3スイッチング信号S 3のデューティと、第4スイッチング素子Q 4を制御する第4スイッチング信号S 4のデューティと、を互いに等しくする。具体的に、第3～第4スイッチング信号S 3～S 4の各デューティは50%である。

[0124] また、制御装置5 Aは、実施形態1の制御装置5と同様に、入力インダクタL iに流れる電流のモードが電流不連続モードとなるように第1スイッチング素子Q 1及び第2スイッチング素子Q 2を制御する。

[0125] また、制御装置5 Aは、実施形態1の制御装置5と同様に、第1スイッチング素子Q 1及び第2スイッチング素子Q 2の駆動タイミングと、第3スイッチング素子Q 3及び第4スイッチング素子Q 4の駆動タイミングと、を同期させる。

[0126] また、制御装置5 Aは、実施形態1の制御装置5と同様に、第1ハーフブリッジインバータ3 Aの直流バス電圧V d cを制御し、第2ハーフブリッジインバータ4 0 Aの出力電圧V oを制御する。

[0127] また、制御装置5 Aは、実施形態1の制御装置5と同様に、第1ハーフブリッジインバータ3 Aの直流バス電圧V d cの指令値V d c*と直流バス電圧V d cの検出値[V d c]とに基づくPI制御、又は第2ハーフブリッジインバータ4 0 Aの出力電圧V oの指令値V o*と出力電圧V oの検出値[V o]とに基づくPI制御により、第1スイッチング素子Q 1及び第2スイッチング素子Q 2のスイッチング周波数を制御する。そして、制御装置5 Aは、第3スイッチング素子Q 3及び第4スイッチング素子Q 4のスイッチング周波数を、第1スイッチング素子Q 1及び第2スイッチング素子Q 2のスイッチング周波数と同じにする。

[0128] (3) 小括

以上説明した実施形態2に係るコンバータ装置100 Aでは、出力インダクタL o 2が2次巻線N 2に直列接続され、2次巻線N 2と第2ハーフブリッジインバータ4 0 Aとの間に出力インダクタL o 2が設けられている。この結果、出力電流I oは出力インダクタL o 2によって平滑され、出力電流

10に含まれるリップル成分が抑制されるので、出力電流10による出力キャパシタC0での損失を抑えることができる。したがって、コンバータ装置100Aは、高効率化を図ることができる。

[0129] また、実施形態2に係るコンバータ装置100Aでは、制御装置5Aが第1スイッチング信号S1のデューティと第2スイッチング信号S2のデューティとを互いに等しくすることで、第1スイッチング信号S1及び第2スイッチング信号S2の生成処理を簡易化することができる。

[0130] また、実施形態2に係るコンバータ装置100Aでは、制御装置5Aが第3スイッチング信号S3のデューティと第4スイッチング信号S4のデューティとを互いに等しくすることで、第3～第4スイッチング信号S3～S4の生成処理を簡易化することができる。

[0131] また、実施形態2に係るコンバータ装置100Aでは、制御装置5Aが第1～第4スイッチング素子Q1～Q4の各駆動タイミングを同期させることで、第1～第4スイッチング信号S1～S4の生成処理を簡易化することができる。

[0132] また、実施形態2に係るコンバータ装置100Aでは、制御装置5Aが、入力インダクタLiに流れる電流のモードが電流不連続モードとなるように第1スイッチング素子Q1及び第2スイッチング素子Q2を制御するので、力率を向上させることができる。

[0133] また、実施形態2に係るコンバータ装置100Aでは、制御装置5が直流バス電圧Vdcの指令値Vdc*と検出値[Vdc]とに基づくPI制御、又は出力電圧Voの指令値Vo*と検出値[Vo]とに基づくPI制御により、第1～第2スイッチング素子Q1～Q2のスイッチング周波数を制御し、第3～第4スイッチング素子Q3～Q4のスイッチング周波数を、第1～第2スイッチング素子Q1～Q2のスイッチング周波数と同じにする。これにより、実施形態2に係るコンバータ装置100Aは、負荷変動時に直流バス電圧Vdc又は出力電圧Voが変動することを抑制できる。なお、直流バス電圧Vdcの変動を抑制することは、出力電圧Voの変動を抑制すること

につながる。

[0134] (変形例)

上記の実施形態 1、2 は、本開示の様々な実施形態の一つに過ぎない。上記の実施形態 1、2 は、本開示の目的を達成できれば、設計等に応じて種々の変更が可能である。

[0135] 例えば、第 1 スイッチング素子 Q 1 及び第 2 スイッチング素子 Q 2 の各々は、Ga N 系 G I T に限らず、例えば、S i 系 M O S F E T、S i C 系 M O S F E T 又は I G B T (Insulated Gate Bipolar Transistor) であってもよい。

[0136] また、第 3～第 6 スイッチング素子 Q 3～Q 6 は、n チャネル M O S F E T に限らず、p チャネル M O S F E T であってもよい。また、第 3～第 6 スイッチング素子 Q 3～Q 6 を構成する M O S F E T は、S i 系 M O S F E T に限らず、例えば、S i C 系 M O S F E T、I G B T 又は Ga N 系 G I T であってもよい。

[0137] また、実施形態 1 に係るコンバータ装置 1 0 0 では、出力インダクタ L o 1 は、フルブリッジインバータ 4 0 の第 2 直流出力端 4 7 と出力キャパシタ C o の低電位側の極との間に接続されてもよい。

[0138] また、実施形態 2 に係るコンバータ装置 1 0 0 A では、出力インダクタ L o 2 は、第 2 ハーフブリッジインバータ 4 0 A の第 1 入力端 4 4 と 2 次巻線 N 2 との間に接続されてもよい。

[0139] また、入力フィルタ 1 は、例えば、コモンモードフィルタであってもよい。

[0140] 入力インダクタ L i は、交流電源 8 とハーフブリッジインバータ 3 又は第 1 ハーフブリッジインバータ 3 A との間に接続される形態に限らず、交流電源 8 と第 1 整流器 2 との間に接続されてもよい。すなわち、入力インダクタ L i は、入力端子 1 2 と接続点 3 3 との間に接続される形態に限らず、入力端子 1 1 と接続点 2 1 との間に接続されてもよい。また、入力端子 1 2 と接続点 3 3 との間に接続される入力インダクタ L i、及び入力端子 1 1 と接続

点21との間に接続される入力インダクタ L_i の両方を備えていてもよい。

[0141] (まとめ)

実施形態に係る第1の態様のコンバータ装置(100、100A)は、第1整流器(2)と、ハーフブリッジインバータ(3、3A)と、入力インダクタ(L_i)と、トランス($Tr1$)と、第2整流器(4)と、出力インダクタ(L_o1 、 L_o2)と、制御装置(5、5A)と、を備える。第1整流器(2)は、互いに直列接続された第1ダイオード($D1$)及び第2ダイオード($D2$)を有し、交流電源(8)の第1交流出力端(81)が第1ダイオード($D1$)と第2ダイオード($D2$)との接続点(21)に接続される。ハーフブリッジインバータ(3、3A)は、第1スイッチング素子($Q1$)と第2スイッチング素子($Q2$)との第1直列回路(31)、及び、第1キャパシタ($C1$)と第2キャパシタ($C2$)との第2直列回路(32)を有する。第2直列回路(32)は、第1直列回路(31)に並列接続されている。ハーフブリッジインバータ(3、3A)では、第1スイッチング素子($Q1$)が第1ダイオード($D1$)のカソードに接続されている。ハーフブリッジインバータ(3、3A)では、第2スイッチング素子($Q2$)が第2ダイオード($D2$)のアノードに接続されている。ハーフブリッジインバータ(3、3A)では、交流電源(8)の第2交流出力端(82)が第1スイッチング素子($Q1$)と第2スイッチング素子($Q2$)との接続点(33)に接続される。入力インダクタ(L_i)は、交流電源(8)と第1整流器(2)又はハーフブリッジインバータ(3、3A)との間に接続される。トランス($Tr1$)は、1次巻線($N1$)及び2次巻線($N2$)を含む。トランス($Tr1$)の一次巻線($N1$)は、第1スイッチング素子($Q1$)と第2スイッチング素子($Q2$)との間の第1出力端(34)と、第1キャパシタ($C1$)と第2キャパシタ($C2$)との間の第2出力端(35)と、の間に接続されている。第2整流器(4)は、トランス($Tr1$)の2次巻線($N2$)に接続されて、2次巻線($N2$)に発生した2次電圧($V2$)を整流した出力電圧(V_o)を出力キャパシタ(C_o)へ出力する。出力インダクタ

(L_{o1} 、 L_{o2})は、2次巻線(N_2)と出力キャパシタ(C_o)との間に接続されている。制御装置(5、5A)は、少なくともハーフブリッジインバータ(3)を制御する。

[0142] 上述のコンバータ装置(100、100A)は、高効率化を図ることができる。

[0143] 実施形態に係る第2の態様のコンバータ装置(100)では、第1の態様において、第2整流器(4)は、第3スイッチング素子(Q_3)、第4スイッチング素子(Q_4)、第5スイッチング素子(Q_5)及び第6スイッチング素子(Q_6)を有するフルブリッジインバータ(40)であることが好ましい。出力インダクタ(L_{o1})は、フルブリッジインバータ(40)の一对の直流出力端(46、47)のうち一方と出力キャパシタ(C_o)との間に接続される。制御装置(5)は、ハーフブリッジインバータ(3)及びフルブリッジインバータ(40)を制御する。

[0144] 上述のコンバータ装置(100)は、ハーフブリッジインバータ(3)及びフルブリッジインバータ(40)を制御することで、出力電圧(V_o)を制御することができる。

[0145] 実施形態に係る第3の態様のコンバータ装置(100)では、第2の態様において、制御装置(5)は、ハーフブリッジインバータ(3)の直流バス電圧(V_{dc})を制御し、フルブリッジインバータ(40)の出力電圧(V_o)を制御する、ことが好ましい。

[0146] 上述のコンバータ装置(100)は、出力電圧(V_o)を精度よく制御することができる。

[0147] 実施形態に係る第4の態様のコンバータ装置(100)では、第3の態様において、制御装置(5)は、第1スイッチング素子(Q_1)を制御する第1スイッチング信号(S_1)のデューティと、第2スイッチング素子(Q_2)を制御する第2スイッチング信号(S_2)のデューティと、を互いに等しくする、ことが好ましい。

[0148] 上述のコンバータ装置(100)は、第1スイッチング信号(S_1)及び

第2スイッチング信号(S2)の生成処理を簡易化することができる。

[0149] 実施形態に係る第5の態様のコンバータ装置(100)では、第3又は第4の態様において、制御装置(5)は、第3スイッチング素子(Q3)を制御する第3スイッチング信号(S3)のデューティと、第4スイッチング素子(Q4)を制御する第4スイッチング信号(S4)のデューティと、第5スイッチング素子(Q5)を制御する第5スイッチング信号(S5)のデューティと、第6スイッチング素子(Q6)を制御する第6スイッチング信号(S6)のデューティと、を互いに等しくする、ことが好ましい。

[0150] 上述のコンバータ装置(100)は、第3～第6スイッチング信号(S3～S6)の生成処理を簡易化することができる。

[0151] 実施形態に係る第6の態様のコンバータ装置(100)では、第3乃至第5の態様のいずれか1つにおいて、制御装置(5)は、入力インダクタ(Li)に流れる電流(IL1)のモードが電流不連続モードとなるように第1スイッチング素子(Q1)及び第2スイッチング素子(Q2)を制御する、ことが好ましい。

[0152] 上述のコンバータ装置(100)は、力率を向上させることができる。

[0153] 実施形態に係る第7の態様のコンバータ装置(100)では、第3乃至第6の態様のいずれか1つにおいて、制御装置(5)は、第1スイッチング素子(Q1)及び第2スイッチング素子(Q2)の駆動タイミングと、第3スイッチング素子(Q3)、第4スイッチング素子(Q4)、第5スイッチング素子(Q5)及び第6スイッチング素子(Q6)の駆動タイミングと、を同期させる、ことが好ましい。

[0154] 上述のコンバータ装置(100)は、第1～第6スイッチング信号(S1～S6)の生成処理を簡易化することができる。

[0155] 実施形態に係る第8の態様のコンバータ装置(100)では、第3乃至第7の態様のいずれか1つにおいて、制御装置(5)は、ハーフブリッジインバータ(3)の直流バス電圧(Vdc)の指令値(Vdc*)と直流バス電圧(Vdc)の検出値([Vdc])とに基づくPI制御、又はフルブリッ

ジインバータ（４０）の出力電圧（ V_o ）の指令値（ V_o^* ）と出力電圧（ V_o ）の検出値（ $[V_o]$ ）とに基づくPI制御により、第１スイッチング素子（ Q_1 ）及び第２スイッチング素子（ Q_2 ）のスイッチング周波数を制御することが好ましい。制御装置（５）は、第３スイッチング素子（ Q_3 ）、第４スイッチング素子（ Q_4 ）、第５スイッチング素子（ Q_5 ）及び第６スイッチング素子（ Q_6 ）のスイッチング周波数を、第１スイッチング素子（ Q_1 ）及び第２スイッチング素子（ Q_2 ）のスイッチング周波数と同じにする。

[0156] 上述のコンバータ装置（１００）は、負荷変動時に直流バス電圧（ V_{dc} ）又は出力電圧（ V_o ）が変動することを抑制できる。

[0157] 実施形態に係る第９の態様のコンバータ装置（１００Ａ）では、第１の態様において、ハーフブリッジインバータは、第１ハーフブリッジインバータ（３Ａ）である。第２整流器（４）は、第３スイッチング素子（ Q_3 ）、第４スイッチング素子（ Q_4 ）、第３キャパシタ（ C_3 ）及び第４キャパシタ（ C_4 ）を有する第２ハーフブリッジインバータ（４０Ａ）であることが好ましい。出力インダクタ（ L_o2 ）は、２次巻線（ N_2 ）に直列接続される。制御装置（５Ａ）は、第１ハーフブリッジインバータ（３Ａ）及び第２ハーフブリッジインバータ（４０Ａ）を制御する。

[0158] 上述のコンバータ装置（１００Ａ）は、第１ハーフブリッジインバータ（３Ａ）及び第２ハーフブリッジインバータ（４０Ａ）を制御することで、出力電圧（ V_o ）を制御することができる。

[0159] 実施形態に係る第１０の態様のコンバータ装置（１００Ａ）では、第９の態様において、制御装置（５Ａ）は、第１ハーフブリッジインバータ（３Ａ）の直流バス電圧（ V_{dc} ）を制御し、第２ハーフブリッジインバータ（４０Ａ）の出力電圧（ V_o ）を制御する、ことが好ましい。

[0160] 上述のコンバータ装置（１００Ａ）は、出力電圧（ V_o ）を精度よく制御することができる。

[0161] 実施形態に係る第１１の態様のコンバータ装置（１００Ａ）では、第１０

の態様において、制御装置（５Ａ）は、第１スイッチング素子（Ｑ１）を制御する第１スイッチング信号（Ｓ１）のデューティと、第２スイッチング素子（Ｑ２）を制御する第２スイッチング信号（Ｓ２）のデューティと、を互いに等しくする、ことが好ましい。

[0162] 上述のコンバータ装置（１００Ａ）は、第１スイッチング信号（Ｓ１）及び第２スイッチング信号（Ｓ２）の生成処理を簡易化することができる。

[0163] 実施形態に係る第１２の態様のコンバータ装置（１００Ａ）では、第１０又は第１１の態様において、制御装置（５Ａ）は、第３スイッチング素子（Ｑ３）を制御する第３スイッチング信号（Ｓ３）のデューティと、第４スイッチング素子（Ｑ４）を制御する第４スイッチング信号（Ｓ４）のデューティと、を互いに等しくする、ことが好ましい。

[0164] 上述のコンバータ装置（１００Ａ）は、第３～第４スイッチング信号（Ｓ３～Ｓ４）の生成処理を簡易化することができる。

[0165] 実施形態に係る第１３の態様のコンバータ装置（１００Ａ）では、第１０乃至第１２の態様のいずれか１つにおいて、制御装置（５Ａ）は、入力インダクタ（Ｌ_i）に流れる電流（ I_{L1} ）のモードが電流不連続モードとなるように第１スイッチング素子（Ｑ１）及び第２スイッチング素子（Ｑ２）を制御する、ことが好ましい。

[0166] 上述のコンバータ装置（１００Ａ）は、力率を向上させることができる。

[0167] 実施形態に係る第１４の態様のコンバータ装置（１００Ａ）では、第１０乃至第１３の態様のいずれか１つにおいて、制御装置（５Ａ）は、第１スイッチング素子（Ｑ１）及び第２スイッチング素子（Ｑ２）の駆動タイミングと、第３スイッチング素子（Ｑ３）及び第４スイッチング素子（Ｑ４）の駆動タイミングと、を同期させる、ことが好ましい。

[0168] 上述のコンバータ装置（１００Ａ）は、第１～第４スイッチング信号（Ｓ１～Ｓ４）の生成処理を簡易化することができる。

[0169] 実施形態に係る第１５の態様のコンバータ装置（１００Ａ）では、第１０乃至第１４の態様のいずれか１つにおいて、制御装置（５Ａ）は、第１ハー

フブリッジインバータ（3 A）の直流バス電圧（V d c）の指令値（V d c *）と直流バス電圧（V d c）の検出値（[V d c]）とに基づくP I制御、又は第2ハーフブリッジインバータ（4 0 A）の出力電圧（V o）の指令値（V o *）と出力電圧（V o）の検出値（[V o]）とに基づくP I制御により、第1スイッチング素子（Q 1）及び第2スイッチング素子（Q 2）のスイッチング周波数を制御することが好ましい。制御装置（5 A）は、第3スイッチング素子（Q 3）及び第4スイッチング素子（Q 4）のスイッチング周波数を、第1スイッチング素子（Q 1）及び第2スイッチング素子（Q 2）のスイッチング周波数と同じにする。

[0170] 上述のコンバータ装置（1 0 0 A）は、負荷変動時に直流バス電圧（V d c）又は出力電圧（V o）が変動することを抑制できる。

符号の説明

- [0171] 1 0 0、1 0 0 A コンバータ装置
- 2 第1整流器
 - 2 1 接続点
 - 3 ハーフブリッジインバータ
 - 3 A 第1ハーフブリッジインバータ
 - 3 1 第1直列回路
 - 3 2 第2直列回路
 - 3 3 接続点
 - 3 4 第1出力端
 - 3 5 第2出力端
 - 4 第2整流器
 - 4 0 フルブリッジインバータ
 - 4 0 A 第2ハーフブリッジインバータ
 - 4 6 第1直流出力端（直流出力端）
 - 4 7 第2直流出力端（直流出力端）
 - 5、5 A 制御装置

8 交流電源

8 1 第1交流出力端

8 2 第2交流出力端

L i 入力インダクタ

L o 1、L o 2 出力インダクタ

T r 1 トランス

Q 1 第1スイッチング素子

Q 2 第2スイッチング素子

Q 3 第3スイッチング素子

Q 4 第4スイッチング素子

Q 5 第5スイッチング素子

Q 6 第6スイッチング素子

C 1 第1キャパシタ

C 2 第2キャパシタ

C o 出力キャパシタ

D 1 第1ダイオード

D 2 第2ダイオード

N 1 1次巻線

N 2 2次巻線

S 1 第1スイッチング信号

S 2 第2スイッチング信号

S 3 第3スイッチング信号

S 4 第4スイッチング信号

S 5 第5スイッチング信号

S 6 第6スイッチング信号

V d c 直流バス電圧

V d c * 直流バス電圧の指令値

[V d c] 直流バス電圧の検出値

V_o 出力電圧

V_o^* 出力電圧の指令値

$[V_o]$ 出力電圧の検出値

I_{L1} インダクタ電流

請求の範囲

[請求項1]

互いに直列接続された第1ダイオード及び第2ダイオードを有し、交流電源の第1交流出力端が前記第1ダイオードと前記第2ダイオードとの接続点に接続される第1整流器と、

第1スイッチング素子と第2スイッチング素子との第1直列回路、及び前記第1直列回路に並列接続されている、第1キャパシタと第2キャパシタとの第2直列回路を有し、前記第1スイッチング素子が前記第1ダイオードのカソードに接続されており、前記第2スイッチング素子が前記第2ダイオードのアノードに接続されており、前記交流電源の第2交流出力端が前記第1スイッチング素子と前記第2スイッチング素子との接続点に接続されるハーフブリッジインバータと、

前記交流電源と前記第1整流器又は前記ハーフブリッジインバータとの間に接続される入力インダクタと、

1次巻線及び2次巻線を含み、前記第1スイッチング素子と前記第2スイッチング素子との間の第1出力端と、前記第1キャパシタと前記第2キャパシタとの間の第2出力端と、の間に前記1次巻線が接続されているトランスと、

前記トランスの前記2次巻線に接続されて、前記2次巻線に発生した2次電圧を整流した出力電圧を出力キャパシタへ出力する第2整流器と、

前記2次巻線と前記出力キャパシタとの間に接続されている出力インダクタと、

少なくとも前記ハーフブリッジインバータを制御する制御装置と、を備える、

コンバータ装置。

[請求項2]

前記第2整流器は、第3スイッチング素子、第4スイッチング素子、第5スイッチング素子及び第6スイッチング素子を有するフルブリッジインバータであり、

前記出力インダクタは、前記フルブリッジインバータの一対の直流出力端のうち一方と前記出力キャパシタとの間に接続され、

前記制御装置は、前記ハーフブリッジインバータ及び前記フルブリッジインバータを制御する、

請求項 1 記載のコンバータ装置。

[請求項3]

前記制御装置は、

前記ハーフブリッジインバータの直流バス電圧を制御し、

前記フルブリッジインバータの前記出力電圧を制御する、

請求項 2 に記載のコンバータ装置。

[請求項4]

前記制御装置は、前記第 1 スイッチング素子を制御する第 1 スイッチング信号のデューティと、前記第 2 スイッチング素子を制御する第 2 スイッチング信号のデューティと、を互いに等しくする、

請求項 3 に記載のコンバータ装置。

[請求項5]

前記制御装置は、前記第 3 スイッチング素子を制御する第 3 スイッチング信号のデューティと、前記第 4 スイッチング素子を制御する第 4 スイッチング信号のデューティと、前記第 5 スイッチング素子を制御する第 5 スイッチング信号のデューティと、前記第 6 スイッチング素子を制御する第 6 スイッチング信号のデューティと、を互いに等しくする、

請求項 3 又は 4 に記載のコンバータ装置。

[請求項6]

前記制御装置は、前記入力インダクタに流れる電流のモードが電流不連続モードとなるように前記第 1 スイッチング素子及び前記第 2 スイッチング素子を制御する、

請求項 3～5 のいずれか 1 項に記載のコンバータ装置。

[請求項7]

前記制御装置は、前記第 1 スイッチング素子及び前記第 2 スイッチング素子の駆動タイミングと、前記第 3 スイッチング素子、前記第 4 スイッチング素子、前記第 5 スイッチング素子及び前記第 6 スイッチング素子の駆動タイミングと、を同期させる、

請求項 3～6 のいずれか 1 項に記載のコンバータ装置。

[請求項8]

前記制御装置は、

前記ハーフブリッジインバータの前記直流バス電圧の指令値と前記直流バス電圧の検出値とに基づく P I 制御、又は前記フルブリッジインバータの前記出力電圧の指令値と前記出力電圧の検出値とに基づく P I 制御により、前記第 1 スイッチング素子及び前記第 2 スイッチング素子のスイッチング周波数を制御し、

前記第 3 スイッチング素子、前記第 4 スイッチング素子、前記第 5 スイッチング素子及び前記第 6 スイッチング素子のスイッチング周波数を、前記第 1 スイッチング素子及び前記第 2 スイッチング素子のスイッチング周波数と同じにする、

請求項 3～7 のいずれか 1 項に記載のコンバータ装置。

[請求項9]

前記ハーフブリッジインバータは、第 1 ハーフブリッジインバータであり、

前記第 2 整流器は、第 3 スイッチング素子、第 4 スイッチング素子、第 3 キャパシタ及び第 4 キャパシタを有する第 2 ハーフブリッジインバータであり、

前記出力インダクタは、前記 2 次巻線に直列接続され、

前記制御装置は、前記第 1 ハーフブリッジインバータ及び前記第 2 ハーフブリッジインバータを制御する、

請求項 1 記載のコンバータ装置。

[請求項10]

前記制御装置は、

前記第 1 ハーフブリッジインバータの直流バス電圧を制御し、

前記第 2 ハーフブリッジインバータの前記出力電圧を制御する、

請求項 9 に記載のコンバータ装置。

[請求項11]

前記制御装置は、前記第 1 スイッチング素子を制御する第 1 スイッチング信号のデューティと、前記第 2 スイッチング素子を制御する第 2 スイッチング信号のデューティと、を互いに等しくする、

請求項 10 に記載のコンバータ装置。

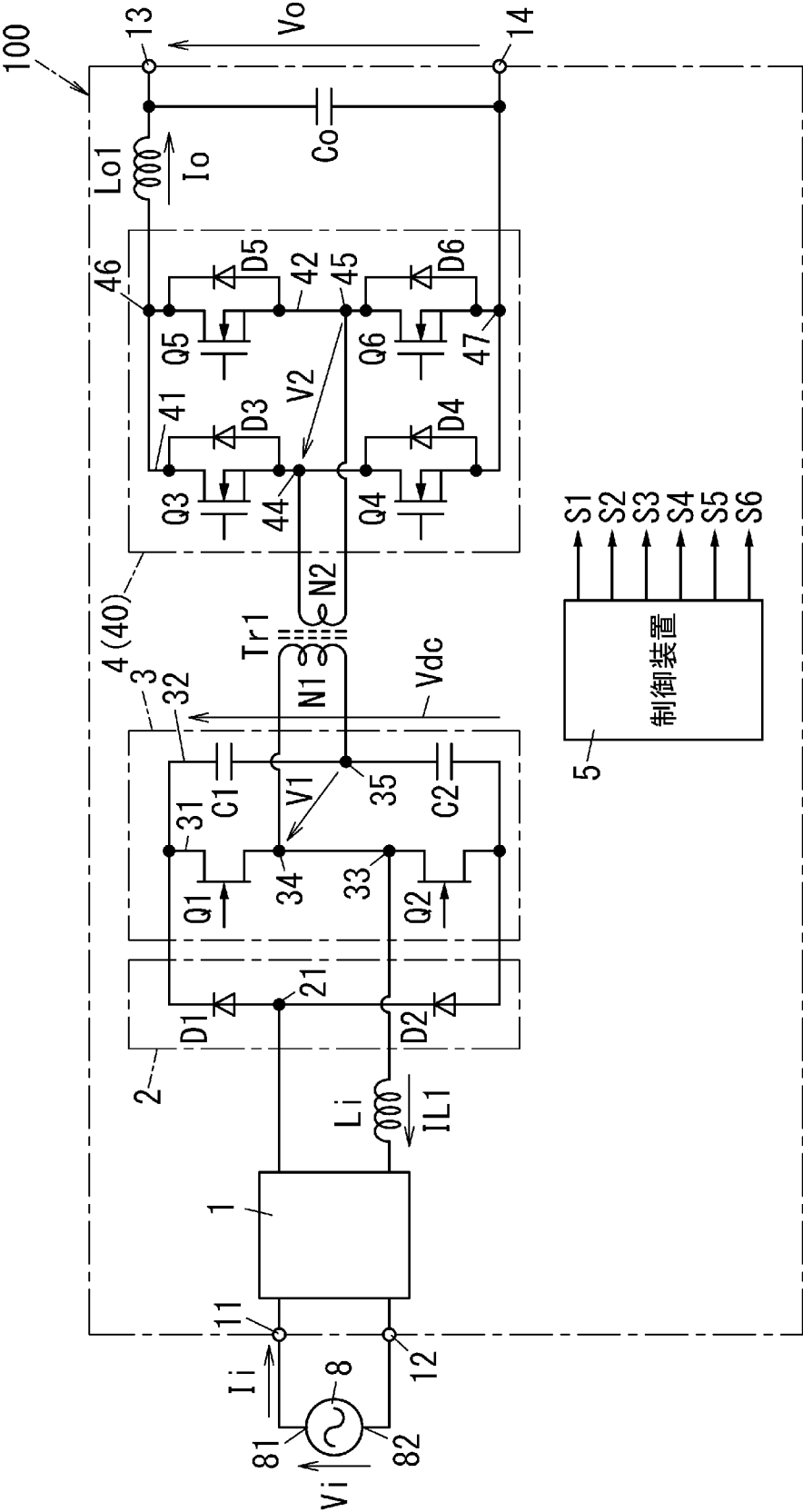
[請求項12] 前記制御装置は、前記第3スイッチング素子を制御する第3スイッチング信号のデューティと、前記第4スイッチング素子を制御する第4スイッチング信号のデューティと、を互いに等しくする、
請求項 10 又は 11 に記載のコンバータ装置。

[請求項13] 前記制御装置は、前記入力インダクタに流れる電流のモードが電流不連続モードとなるように前記第1スイッチング素子及び前記第2スイッチング素子を制御する、
請求項 10 ～ 12 のいずれか1項に記載のコンバータ装置。

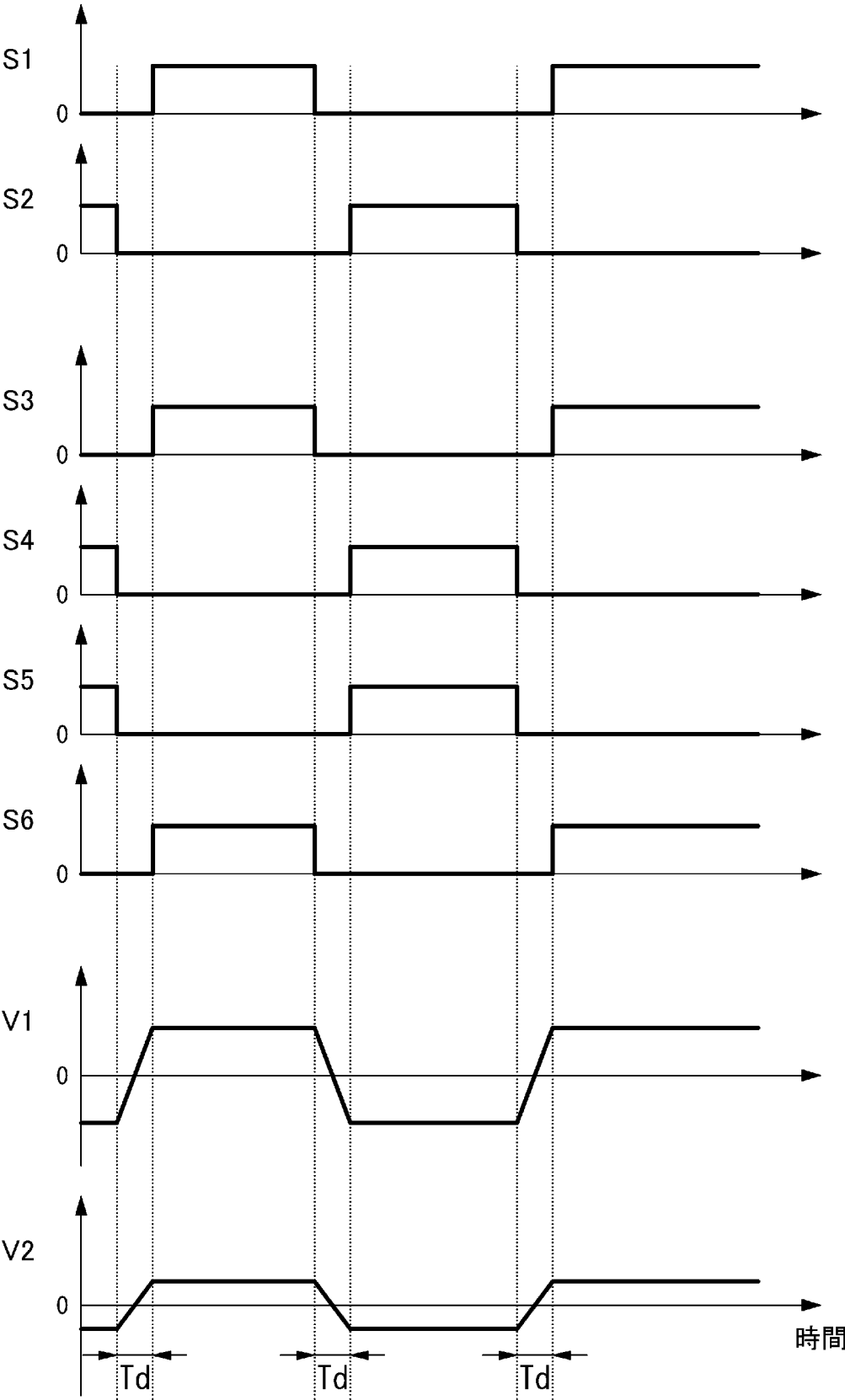
[請求項14] 前記制御装置は、前記第1スイッチング素子及び前記第2スイッチング素子の駆動タイミングと、前記第3スイッチング素子及び前記第4スイッチング素子の駆動タイミングと、を同期させる、
請求項 10 ～ 13 のいずれか1項に記載のコンバータ装置。

[請求項15] 前記制御装置は、
前記第1ハーフブリッジインバータの前記直流バス電圧の指令値と前記直流バス電圧の検出値とに基づくPI制御、又は前記第2ハーフブリッジインバータの前記出力電圧の指令値と前記出力電圧の検出値とに基づくPI制御により、前記第1スイッチング素子及び前記第2スイッチング素子のスイッチング周波数を制御し、
前記第3スイッチング素子及び前記第4スイッチング素子のスイッチング周波数を、前記第1スイッチング素子及び前記第2スイッチング素子のスイッチング周波数と同じにする、
請求項 10 ～ 14 のいずれか1項に記載のコンバータ装置。

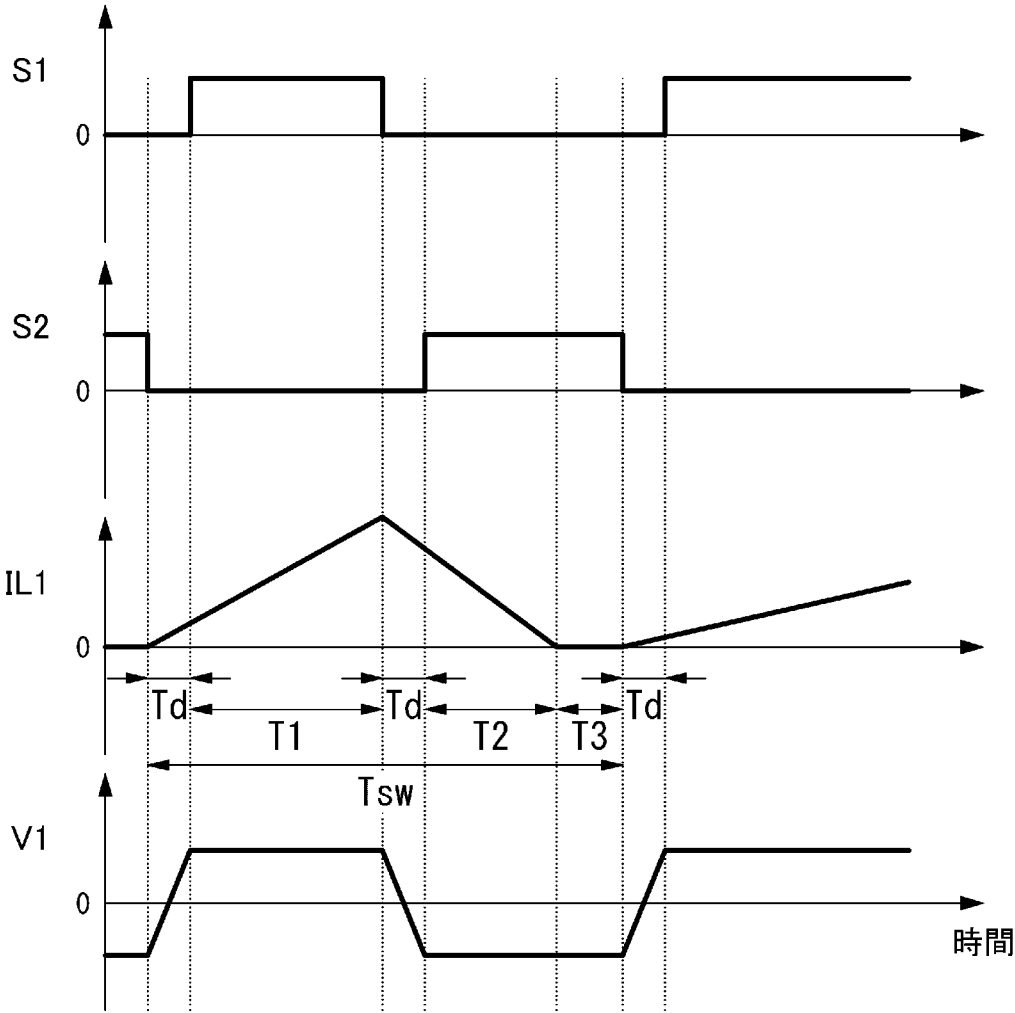
[図1]



[図2]

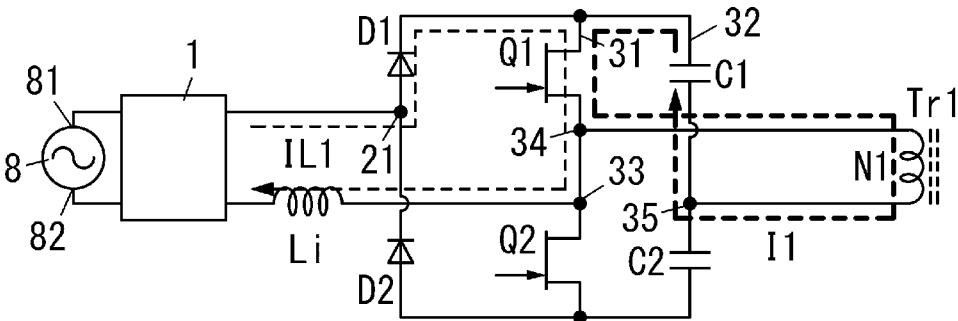


[図3]

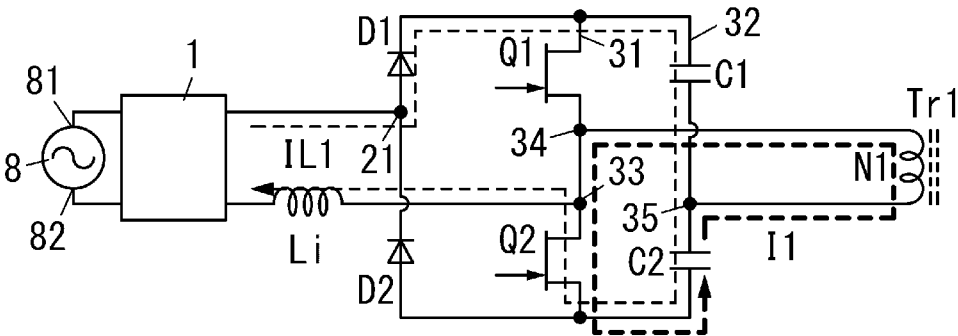


[図4]

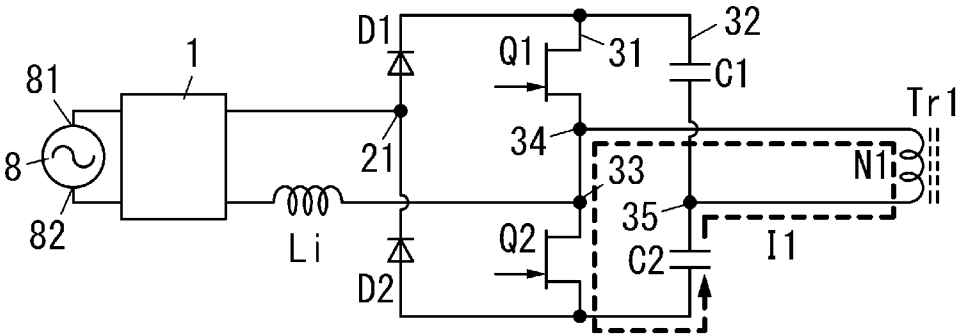
A



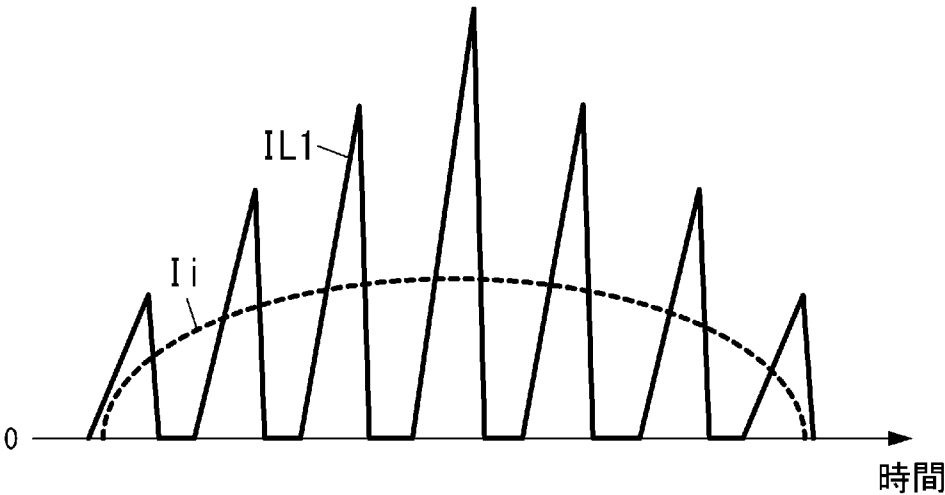
B



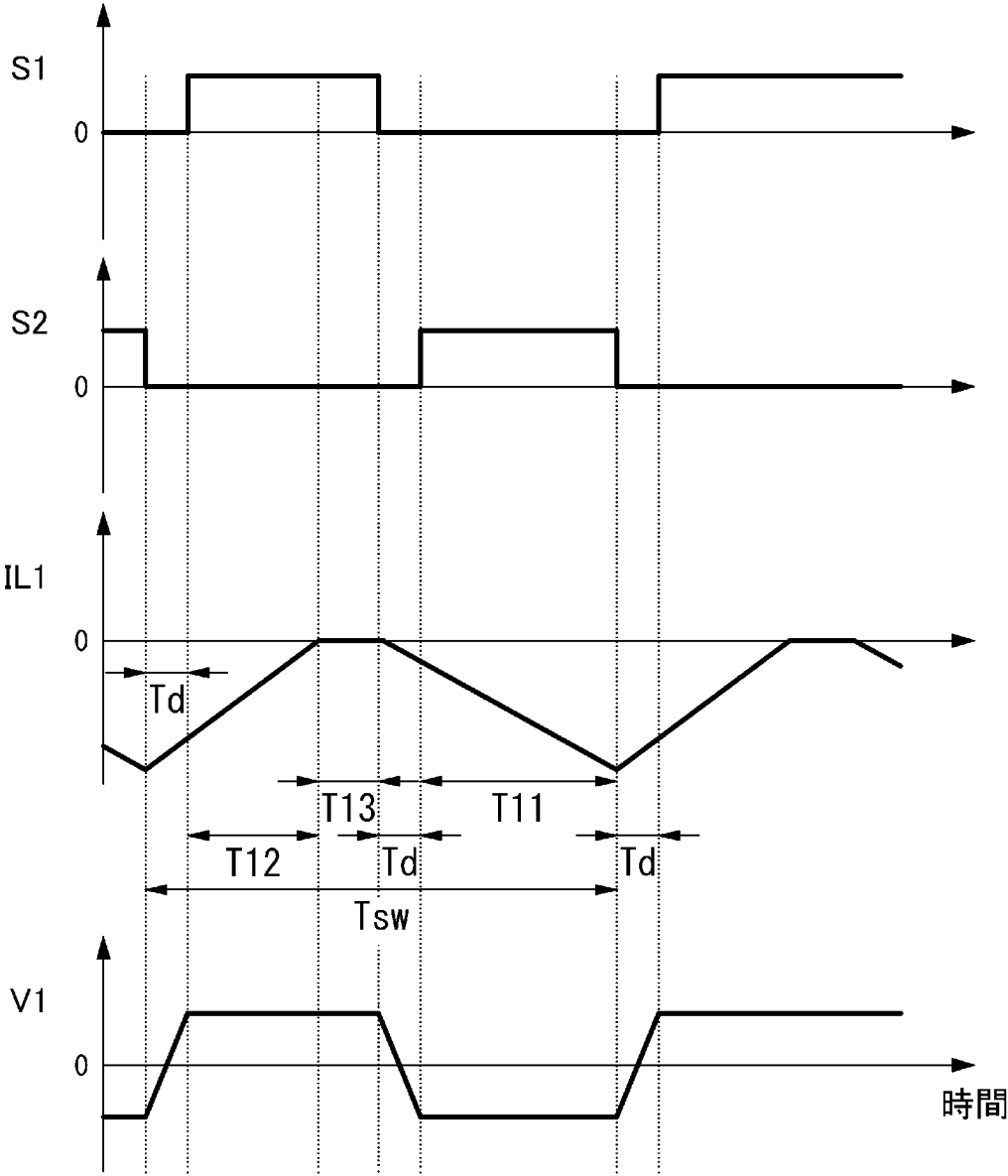
C



[図5]

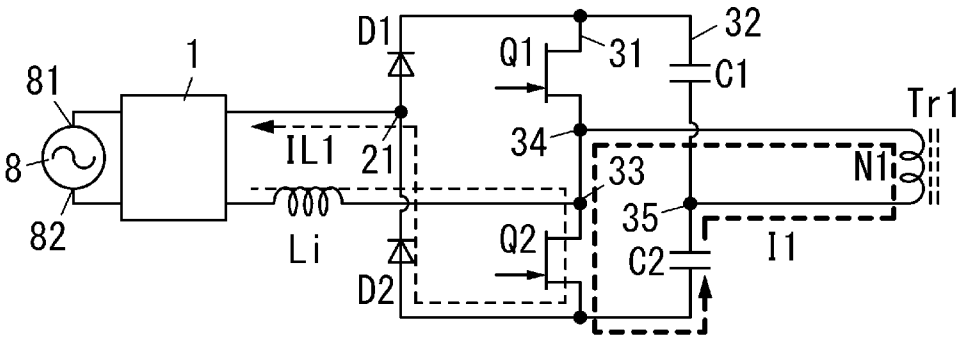


[図6]

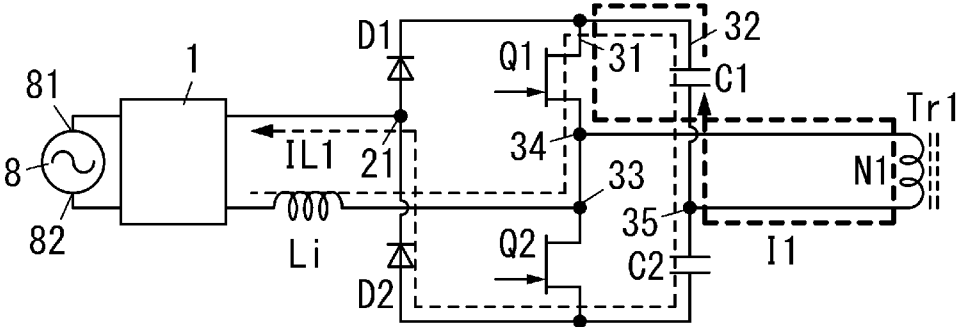


[図7]

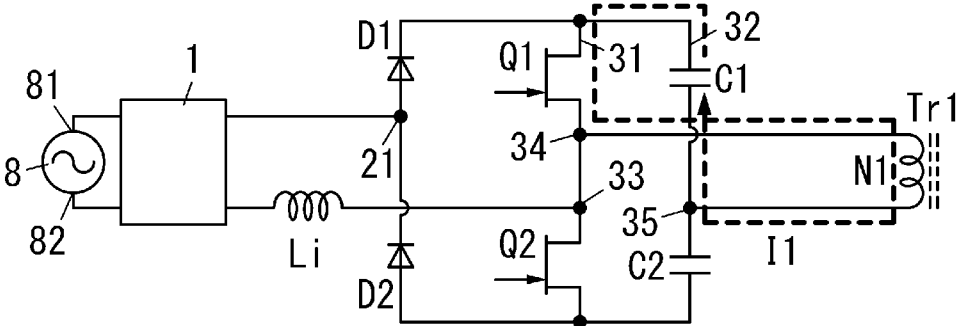
A



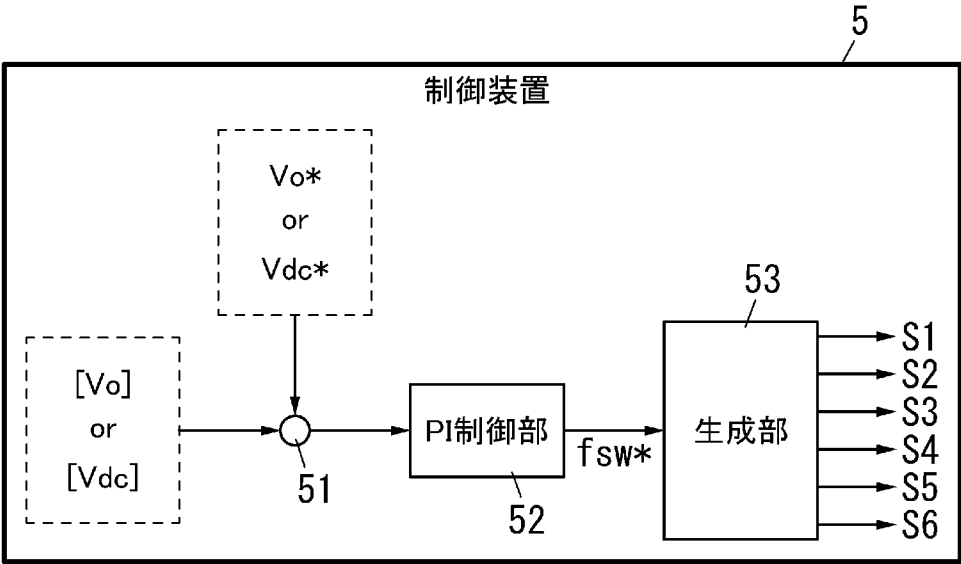
B



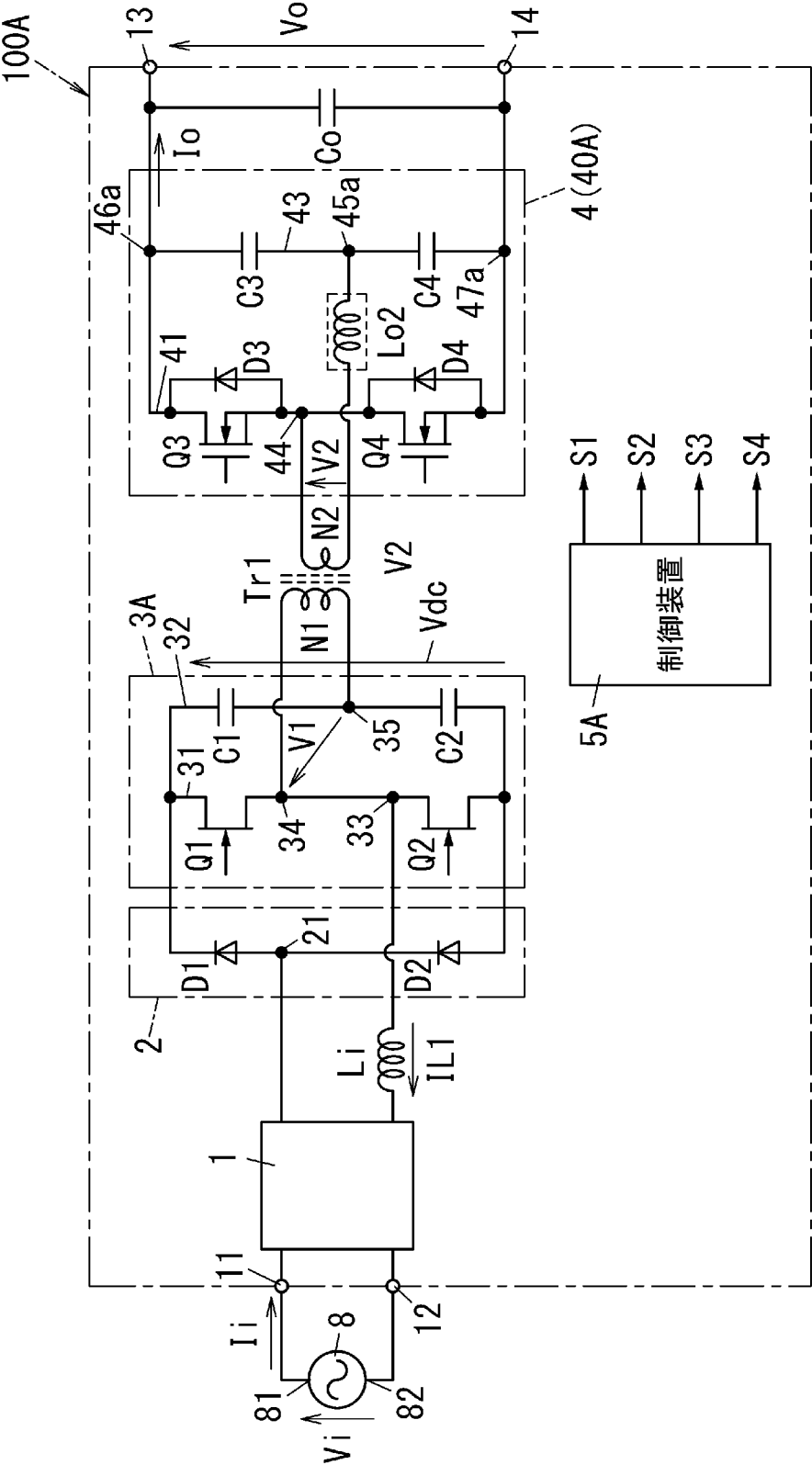
C



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/023673

A. CLASSIFICATION OF SUBJECT MATTER H02M 7/12 (2006.01)i; H02M 3/28 (2006.01)i FI: H02M7/12 L; H02M3/28 H According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M7/12; H02M3/28 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-243646 A (NIPPON ELECTRIC IND CO., LTD.) 07 September 1999 (1999-09-07) paragraphs [0013]-[0015], fig. 1	1-2, 9
A		3-8, 10-15
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 76914/1991 (Laid-open No. 23791/1993) (SANSHA ELECTRIC MFG CO., LTD.) 26 March 1993 (1993-03-26), paragraphs [0002]-[0024], fig. 1, 4	1-2, 9
Y	WO 2015/002088 A1 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 08 January 2015 (2015-01-08) paragraphs [0031]-[0041]	2, 9
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 05 September 2024		Date of mailing of the international search report 17 September 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/023673

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	11-243646	A	07 September 1999	US 5940280 A column 4, lines 10-62, fig. 1	
JP	5-23791	U1	26 March 1993	(Family: none)	
WO	2015/002088	A1	08 January 2015	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H02M 7/12(2006.01)i; H02M 3/28(2006.01)i
FI: H02M7/12 L; H02M3/28 H

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H02M7/12; H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-243646 A（日本電気精器株式会社）07.09.1999（1999 - 09 - 07） 段落0013-0015, 図1	1-2, 9
A		3-8, 10-15
Y	日本国実用新案登録出願3-76914号（日本国実用新案登録出願公開5-23791号）の願書 に添付した明細書及び図面の内容を記録したCD-ROM（株式会社三社電機製作所） 26.03.1993（1993-03-26）段落0002-0024, 図1, 4	1-2, 9
Y	WO 2015/002088 A1（住友電気工業株式会社）08.01.2015（2015 - 01 - 08） 段落0031-0041	2, 9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

05.09.2024

国際調査報告の発送日

17.09.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

尾家 英樹 3H 9335

電話番号 03-3581-1101 内線 3316

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/023673

引用文献			公表日	パテントファミリー文献	公表日
JP	11-243646	A	07.09.1999	US 5940280 A 第4欄第10-65行, FIG. 1	
JP	5-23791	U1	26.03.1993	(ファミリーなし)	
WO	2015/002088	A1	08.01.2015	(ファミリーなし)	