

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5031086号
(P5031086)

(45) 発行日 平成24年9月19日(2012.9.19)

(24) 登録日 平成24年7月6日(2012.7.6)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
 G09G 3/20 (2006.01)
 G02F 1/133 (2006.01)
 G02F 1/1368 (2006.01)

G09G 3/36
 G09G 3/20 611A
 G09G 3/20 624C
 G09G 3/20 624B
 G09G 3/20 641C

請求項の数 5 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2010-277004 (P2010-277004)
 (22) 出願日 平成22年12月13日(2010.12.13)
 (65) 公開番号 特開2011-145666 (P2011-145666A)
 (43) 公開日 平成23年7月28日(2011.7.28)
 審査請求日 平成24年4月18日(2012.4.18)
 (31) 優先権主張番号 特願2009-287957 (P2009-287957)
 (32) 優先日 平成21年12月18日(2009.12.18)
 (33) 優先権主張国 日本国(JP)

早期審査対象出願

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

画素トランジスタと、スイッチングトランジスタと、駆動回路部と、端子部と、画素電極と、共通電極と、を有する液晶表示装置の駆動方法であって、

前記画素トランジスタと前記スイッチングトランジスタとはそれぞれ、チャンネルが酸化物半導体に形成されるトランジスタであり、

前記駆動回路部と前記端子部とは、第1の基板に形成され、

前記共通電極は、第2の基板に形成され、前記スイッチングトランジスタを介して前記端子部と電氣的に接続され、

前記画素電極は、前記画素トランジスタを介して前記駆動回路部と電氣的に接続され、
 動画を表示する期間において、

前記画素トランジスタを導通状態として、前記画素電極に画像信号を供給し、

前記スイッチングトランジスタを導通状態として、前記共通電極に共通電位を供給し、

静止画を表示する期間において、

前記画素トランジスタを非導通状態として前記画素電極を電氣的に浮遊状態とし、且つ前記スイッチングトランジスタを非導通状態として、前記共通電極を電氣的に浮遊状態とし、

、

前記静止画から前記動画に切り替わる期間において、

前記共通電極に前記共通電位を供給する第1のステップ、前記駆動回路部に電源電圧を供給する第2のステップ、前記駆動回路部にクロック信号を供給する第3のステップ、前記

10

20

駆動回路部にスタートパルス信号を供給する第4のステップ、の順に行うことを特徴とする液晶表示装置の駆動方法。

【請求項2】

画素トランジスタと、スイッチングトランジスタと、駆動回路部と、端子部と、画素電極と、共通電極と、を有する液晶表示装置の駆動方法であって、

前記画素トランジスタと前記スイッチングトランジスタとはそれぞれ、チャンネルが酸化物半導体に形成されるトランジスタであり、

前記駆動回路部と前記端子部とは、第1の基板に形成され、

前記共通電極は、第2の基板に形成され、前記スイッチングトランジスタを介して前記端子部と電氣的に接続され、

前記画素電極は、前記画素トランジスタを介して前記駆動回路部と電氣的に接続され、
動画を表示する期間において、

前記画素トランジスタを導通状態として、前記画素電極に画像信号を供給し、

前記スイッチングトランジスタを導通状態として、前記共通電極に共通電位を供給し、

静止画を表示する期間において、

前記画素トランジスタを非導通状態として前記画素電極を電氣的に浮遊状態とし、且つ前記スイッチングトランジスタを非導通状態として、前記共通電極を電氣的に浮遊状態とし

、

前記動画から前記静止画に切り替わる期間において、

前記駆動回路部へのスタートパルス信号の供給を停止する第1のステップ、前記駆動回路部へのクロック信号の供給を停止する第2のステップ、前記駆動回路部への電源電圧の供給を停止する第3のステップ、前記共通電極への前記共通電位の供給を停止する第4のステップ、の順に行うことを特徴とする液晶表示装置の駆動方法。

【請求項3】

請求項1または請求項2において、

前記液晶表示装置は、

前記画像信号を記憶する記憶回路と、

前記画像信号を画素毎に比較して差分を演算する比較回路と、

前記駆動回路部の制御及び前記画像信号の読み出しを行う表示制御回路と、を有し、

前記比較回路において、前記記憶回路に記憶された連続するフレーム期間の画像信号を読み出して画素毎に比較して差分を演算し、動画または静止画の判定を行うことを特徴とする液晶表示装置の駆動方法。

【請求項4】

請求項3において、

前記スイッチングトランジスタは、前記表示制御回路より前記スイッチングトランジスタのゲート端子に供給される信号に応じて、前記共通電位が供給される前記端子部と前記共通電極との導通状態または非導通状態を制御することを特徴とする液晶表示装置の駆動方法。

【請求項5】

請求項3において、

前記スイッチングトランジスタは、チャンネル幅 $1\ \mu\text{m}$ あたりのオフ電流値が室温において $10\ \text{zA}/\mu\text{m}$ 以下であって、該スイッチングトランジスタによって、前記共通電位が供給される前記端子部と前記共通電極との導通状態または非導通状態を制御することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

液晶表示装置は、テレビ受像機などの大型表示装置から携帯電話などの小型表示装置に至るまで、普及が進んでいる。今後は、より付加価値の高い製品が求められており開発が進められている。近年では、地球環境への関心の高まり、及びモバイル機器の利便性向上の点から、低消費電力型の液晶表示装置の開発が注目されている。

【0003】

特許文献1には、液晶表示装置の低消費電力化を図るために、全てのゲート線、及び信号線を非選択状態とする休止期間に、各信号線の電位を一定に保持するために、全データ信号線を電氣的にデータ信号ドライバから切り離してハイインピーダンス状態とする構成について開示している。

【0004】

非特許文献1では、液晶表示装置の低消費電力化を図るために、動画表示と静止画表示の際のリフレッシュレートを異ならせる構成について開示している。そして静止画表示の際の、休止期間と走査期間の信号切り替えに伴ってドレイン - コモン電圧の変動を伴い、フリッカが知覚されてしまうのを防ぐために、休止期間中にも信号線とコモン電極とに同位相の交流信号を印加してドレイン - コモン電圧の変動を防ぐ構成について開示している。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-312253号公報

【非特許文献】

【0006】

【非特許文献1】Kazuhiro Tsuda et al., IDW '02, pp 295 - 298

【発明の概要】

【発明が解決しようとする課題】

【0007】

上記特許文献1または非特許文献1の構成のように複雑な駆動をすると、液晶表示装置のゲート線や信号線に信号を供給する駆動回路の構成及びその動作が複雑化し、液晶表示装置の消費電力を十分低減することができない。

【0008】

また非特許文献1の構成のように動画表示と静止画表示でリフレッシュレートを異ならせる場合、液晶表示装置の消費電力を更に低減するためには、静止画を表示する際のリフレッシュレートを極端に低減する必要がある。しかしながら静止画を表示する際のリフレッシュレートを極端に低減すると、画素電極に保持すべき電荷が画素トランジスタよりリークしてしまうといった問題、及びノイズ等により画素電極とコモン電極との間の画像信号に乱れが生じるといった問題により、画像信号を保持する期間で表示する画像が劣化してしまう。

【0009】

そこで、本発明の一態様は、液晶表示装置の駆動回路での複雑な動作を必要とせず、静止画を表示する際にリフレッシュレートを低減することによる、表示する画像の劣化を抑制することを課題の一とする。

【課題を解決するための手段】

【0010】

本発明の一態様は、動画を表示する期間において、第1の基板に形成された駆動回路部に電氣的に接続される半導体層が酸化物半導体である画素トランジスタを導通状態として画素電極に画像信号を供給し、第1の基板に形成された端子部に電氣的に接続される半導体層が酸化物半導体であるスイッチングトランジスタを導通状態とし、スイッチングトランジスタを介して端子部と電氣的に接続される第2の基板に形成された共通電極に共通電位を供給し、静止画を表示する期間において、画素トランジスタを非導通状態として画素電

10

20

30

40

50

極を電氣的に浮遊状態とし、且つスイッチングトランジスタを非導通状態とし、共通電極を電氣的に浮遊状態とし、静止画から動画に切り替わる期間において、共通電極に共通電位を供給する第1のステップ、駆動回路部に電源電圧を供給する第2のステップ、駆動回路部にクロック信号を供給する第3のステップ、駆動回路部にスタートパルス信号を供給する第4のステップ、の順に行う液晶表示装置の駆動方法である。

【0011】

別の本発明の一態様は、動画を表示する期間において、第1の基板に形成された駆動回路部に電氣的に接続される半導体層が酸化物半導体である画素トランジスタを導通状態として画素電極に画像信号を供給し、第1の基板に形成された端子部に電氣的に接続される半導体層が酸化物半導体であるスイッチングトランジスタを導通状態とし、スイッチングトランジスタを介して端子部と電氣的に接続される第2の基板に形成された共通電極に共通電位を供給し、静止画を表示する期間において、画素トランジスタを非導通状態として画素電極を電氣的に浮遊状態とし、且つスイッチングトランジスタを非導通状態とし、共通電極を電氣的に浮遊状態とし、動画から静止画に切り替わる期間において、駆動回路部へのスタートパルス信号の停止をする第1のステップ、駆動回路部へのクロック信号の停止をする第2のステップ、駆動回路部に電源電圧の停止をする第3のステップ、共通電極への共通電位の停止をする第4のステップ、の順に行う液晶表示装置の駆動方法である。

【0012】

本発明の一態様において液晶表示装置は、画像信号を記憶する記憶回路と、画像信号を画素毎に比較して差分を演算する比較回路と、駆動回路の制御及び画像信号の読み出しを行う表示制御回路と、を有し、比較回路において、記憶回路に記憶された連続するフレーム期間の画像信号を読み出して画素毎に比較して差分を演算し、動画または静止画の判定を行う液晶表示装置の駆動方法でもよい。

【0013】

本発明の一態様において、スイッチングトランジスタは、表示制御回路よりスイッチングトランジスタのゲート端子に供給される信号に応じて、共通電位が供給される端子部と共通電極との導通状態または非導通状態を制御する液晶表示装置の駆動方法でもよい。

【0014】

本発明の一態様において、スイッチングトランジスタは、チャネル幅 $1\ \mu\text{m}$ あたりのオフ電流値が室温において $10\ \text{zA}/\mu\text{m}$ 以下であって、該スイッチングトランジスタによって、共通電位が供給される端子部と共通電極との導通状態または非導通状態を制御する液晶表示装置の駆動方法でもよい。

【発明の効果】

【0015】

本発明の一態様により、静止画を表示する際にリフレッシュレートを低減しても、表示する画像の劣化を抑制することができる。

【図面の簡単な説明】

【0016】

【図1】本発明の一態様の液晶表示装置を説明するための図。

【図2】本発明の一態様の液晶表示装置を説明するための図。

【図3】本発明の一態様の液晶表示装置を説明するための図。

【図4】本発明の一態様の液晶表示装置を説明するための図。

【図5】本発明の一態様の液晶表示装置を説明するための図。

【図6】本発明の一態様の液晶表示装置を説明するための図。

【図7】本発明の一態様の液晶表示装置を説明するための図。

【図8】本発明の一態様の液晶表示装置を説明するための図。

【図9】本発明の一態様の電子機器を説明するための図。

【図10】本発明の一態様の電子機器を説明するための図。

【図11】本発明の一態様の液晶表示装置を説明するための図。

【図12】本発明の一態様の液晶表示装置を説明するための図。

10

20

30

40

50

【図 1 3】本発明の一態様の液晶表示装置を説明するための図。

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【0018】

なお、各実施の形態の図面等において示す各構成の大きさ、層の厚さ、又は信号波形のなまりは、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0019】

なお本明細書にて用いる第 1、第 2、第 3、乃至第 N（N は自然数）という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0020】

（実施の形態 1）

本実施の形態では、液晶表示装置のブロック図、及びタイミングチャート等について示し、説明する。

【0021】

まず図 1 では、液晶表示装置のブロック図を示し、本明細書に係る液晶表示装置の各構成について説明する。

【0022】

図 1 で示す液晶表示装置 100 は、表示パネル 101、記憶回路 102、比較回路 103、表示制御回路 104、選択回路 109 を有する。

【0023】

表示パネル 101 は、一例として、駆動回路部 105 及び画素回路部 106、共通電極部 110（コモン電極部ともいう）、及びスイッチングトランジスタ 111 を有する。駆動回路部 105 は、ゲート線側駆動回路 107A、信号線側駆動回路 107B を有する。

【0024】

ゲート線側駆動回路 107A、信号線側駆動回路 107B は、複数の画素を有する画素回路部 106 を駆動するための駆動回路である。ゲート線側駆動回路 107A、信号線側駆動回路 107B は、シフトレジスタ回路を有する。ゲート線側駆動回路 107A、信号線側駆動回路 107B、画素回路部 106、及びスイッチングトランジスタ 111 は、同じ基板に形成される薄膜トランジスタにより回路が構成される。なおゲート線側駆動回路 107A 及び信号線側駆動回路 107B と、画素回路部 106 及びスイッチングトランジスタ 111 と、が別の基板に形成される構成でもよい。

【0025】

駆動回路部 105 は、表示制御回路 104 の制御により、高電源電位 V_{dd} 、低電源電位 V_{ss} 、スタートパルス SP 、クロック信号 CK 、及び画像信号 $Data$ が供給されることとなる。共通電極部 110 には、表示制御回路 104 での制御により、スイッチングトランジスタ 111 を介して共通電位 V_{com} が供給されることとなる。

【0026】

なお高電源電位 V_{dd} とは、基準電位より高い電位のことであり、低電源電位とは基準電位以下の電位のことをいう。なお高電源電位及び低電源電位ともに、薄膜トランジスタが動作できる程度の電位であることが望ましい。なお高電源電位 V_{dd} 及び低電源電位 V_{ss} の電位差を、電源電圧と呼ぶこともある。

【0027】

なお電圧とは、ある電位と基準の電位（例えばグラウンド電位）との電位差のことを示す

10

20

30

40

50

場合が多い。よって電圧を電位と言い換えることが可能である。

【0028】

なお共通電位 V_{com} は、画素電極に供給される画像信号 $Data$ の電位に対して基準となる電位であればよく、一例としてはグラウンド電位であってもよい。なお画像信号 $Data$ は、ドット反転駆動、ソースライン反転駆動、ゲートライン反転駆動、フレーム反転駆動等に応じて適宜反転させて表示パネル 101 に入力する構成とすればよい。

【0029】

なお記憶回路 102 への、動画または静止画を表示するための画像信号の供給がアナログ信号の場合には、 A/D コンバータ等を介してデジタル信号に変換して、記憶回路 102 に供給する構成とすればよい。予めデジタル信号に変換しておくことで、後に画像信号の差分を検出する際、検出を容易に行うことができ好適である。

10

【0030】

記憶回路 102 は、複数のフレームに関する画像信号を記憶するための複数のフレームメモリ 108 を有する。記憶回路 102 が有するフレームメモリ 108 の数は特に限定されるものではなく、複数のフレームに関する画像信号を記憶できる素子であればよい。なおフレームメモリ 108 は、例えば $DRAM$ ($Dynamic Random Access Memory$)、 $SRAM$ ($Static Random Access Memory$) 等の記憶素子を用いて構成すればよい。

【0031】

なおフレームメモリ 108 は、フレーム期間毎に画像信号を記憶する構成であればよく、フレームメモリの数について特に限定されるものではない。フレームメモリ 108 の画像信号は、比較回路 103 及び選択回路 109 により選択的に読み出されるものである。

20

【0032】

なおスイッチングトランジスタは、ゲートに印加される電圧に応じて、ソース端子及びドレイン端子間の二端子間の導通または非導通を選択して、スイッチング動作を実現しうる薄膜トランジスタによる素子である。

【0033】

なお本実施の形態の構成において、画素回路部 106 及びスイッチングトランジスタ 111 を構成する薄膜トランジスタの半導体層には、酸化物半導体を用いる。酸化物半導体は、 n 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性 (i 型) とし、又は真性型としたものである。すなわち、不純物を添加して i 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された i 型 (真性半導体) 又はそれに近づけることを特徴としている。従って、薄膜トランジスタが有する酸化物半導体層は、高純度化及び電氣的に i 型 (真性) 化された酸化物半導体層である。

30

【0034】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく (ゼロに近い)、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0035】

酸化物半導体中にキャリアが極めて少ないため、トランジスタでは、オフ電流を少なくすることができる。具体的には、上述の酸化物半導体層を具備する薄膜トランジスタは、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流値を室温下において、 $10 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下にすること、さらには $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下、さらには $10 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) にすることが可能である。つまり薄膜トランジスタの非導通状態において、酸化物半導体は絶縁体とみなせて回路設計を行うことができる。一方で、酸化物半導体層を具備する薄膜トランジスタの導通状態においては、非晶質シリコンで形成される半導体層を具備する薄膜トランジスタよりも高い電流供給能力を見込むことができる。

40

【0036】

50

オフ電流の極めて小さい薄膜トランジスタを画素回路部 106 に採用することで、各画素の画素電極の電位の変動要因となり得る信号線から電氣的に切り離すことができ、信号線の電位の変動による画素電極の電位の変動を低減できる。またオフ電流の極めて小さい薄膜トランジスタをスイッチングトランジスタ 111 に採用することで、共通電位 V_{com} が供給される外部端子部より切り離すことができ、共通電極部を電氣的に浮遊状態として液晶素子の両端の電極に印加される電圧がノイズ等により変動することを低減できる。

【0037】

画素回路部 106 及びスイッチングトランジスタ 111 を構成する薄膜トランジスタの半導体層に酸化物半導体を用いることで、リフレッシュレートを低減して静止画を表示する期間のゲート線側駆動回路及び信号線側駆動回路を停止状態とする期間を大幅に延ばし、且つ画素の表示をそのまま保持することができる。その結果、駆動回路での複雑な動作を必要とせず、ゲート線側駆動回路及び信号線側駆動回路を駆動するための信号を停止する期間を大きく延ばすことができ、消費電力を低減することができる。なお各画素の画素電極の電位をリフレッシュするための周期としては、オフ電流が極端に小さい酸化物半導体を用いた薄膜トランジスタを用いることにより、1 分以上程度としても全く問題ない。そして、画素回路部 106 及びスイッチングトランジスタ 111 を構成する薄膜トランジスタの半導体層に酸化物半導体を用いることで液晶素子の両端の電極を浮遊状態にでき、ノイズ等による表示する画像の劣化を低減することができる。

【0038】

なお酸化物半導体としては、四元系金属酸化物である $In-Sn-Ga-Zn-O$ 膜や、三元系金属酸化物である $In-Ga-Zn-O$ 膜、 $In-Sn-Zn-O$ 膜、 $In-Al-Zn-O$ 膜、 $Sn-Ga-Zn-O$ 膜、 $Al-Ga-Zn-O$ 膜、 $Sn-Al-Zn-O$ 系や、二元系金属酸化物である $In-Zn-O$ 膜、 $Sn-Zn-O$ 膜、 $Al-Zn-O$ 膜、 $Zn-Mg-O$ 膜、 $Sn-Mg-O$ 膜、 $In-Mg-O$ 膜や、 $In-O$ 膜、 $Sn-O$ 膜、 $Zn-O$ 膜などの酸化物半導体層を用いることができる。また、上記酸化物半導体層に SiO_2 を含んでもよい。

【0039】

また、酸化物半導体は、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、 M は、 Ga 、 Al 、 Mn および Co から選ばれた一または複数の金属元素を示す。例えば M として、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、または Ga 及び Co などがある。 $InMO_3(ZnO)_m$ ($m > 0$) で表記される構造の酸化物半導体のうち、 M として Ga を含む構造の酸化物半導体を、上記した $In-Ga-Zn-O$ 酸化物半導体とよび、その薄膜を $In-Ga-Zn-O$ 膜ともよぶこととする。

【0040】

なお、酸化物半導体層を具備する薄膜トランジスタは、オン電流の温度依存性がほとんど見られず、オフ電流も非常に小さいままであるため、高温下での使用の際、好適である。

【0041】

比較回路 103 は、記憶回路 102 に記憶された連続するフレーム期間の画像信号を選択的に読み出して、当該画像信号の連続するフレーム間での比較を画素毎に行い、差分を検出するための回路である。なお差分の検出の有無により、表示制御回路 104 及び選択回路 109 での動作が決定されることとなる。当該比較回路 103 での画像信号の比較により、いずれかの画素で差分が検出された際に当該差分を検出した連続するフレーム期間は、動画であると判断する。一方比較回路 103 での画像信号の比較により、全ての画素で差分が検出されない際に当該差分を検出しなかった連続するフレーム期間は、静止画であると判断する。すなわち比較回路 103 は、連続するフレーム期間の画像信号を、比較回路 103 での差分の検出によって、動画を表示するための画像信号であるか、または静止画を表示するための画像信号であるかの判断をするものである。なお、当該比較により得られる差分は、一定のレベルを超えたときに、差分を検出したと判断されるように設定してもよい。なお比較回路 103 は、差分の大きさにかかわらず、差分の絶対値によって、差分の検出の判断をする設定とすればよい。

10

20

30

40

50

【 0 0 4 2 】

なお本実施の形態においては、比較回路 1 0 3 により連続するフレーム期間での画像信号の差分を検出することにより動画または静止画の判断を行う構成について示したが、外部から静止画または動画を切り替える信号を供給することにより、動画であるか静止画であるかの信号を供給する構成としてもよい。

【 0 0 4 3 】

なお動画は、複数のフレームに時分割した複数の画像を高速に切り替えることで人間の目に動く画像として認識される画像をいう。具体的には、1秒間に60回(60フレーム)以上画像を切り替えることで、人間の目にはちらつきが少なく動画と認識されるものとなる。一方、静止画は、動画と異なり、複数のフレーム期間に時分割した複数の画像を高速に切り替えて動作させるものの、連続するフレーム期間、例えばnフレーム目と、(n+1)フレーム目とが同じ画像信号のことをいう。

10

【 0 0 4 4 】

選択回路 1 0 9 は比較回路 1 0 3 での差分の演算により差分が検出された際、すなわち連続するフレーム間で表示される画像が動画の際、当該画像信号が記憶されたフレームメモリ 1 0 8 より画像信号を選択して表示制御回路 1 0 4 に出力するための回路である。なお選択回路 1 0 9 は、比較回路 1 0 3 で演算により画像信号の差分が検出されない際、すなわち連続するフレーム間で表示される画像は静止画の際、当該画像信号について表示制御回路 1 0 4 に出力しない回路である。静止画の際、選択回路 1 0 9 では、画像信号をフレームメモリ 1 0 8 より表示制御回路 1 0 4 に出力しない構成とすることにより、消費電力を削減することができる。選択回路 1 0 9 は複数のスイッチ、例えばトランジスタで形成されるスイッチで構成すればよい。

20

【 0 0 4 5 】

表示制御回路 1 0 4 は、比較回路 1 0 3 での差分の検出に応じて選択回路 1 0 9 で選択された画像信号の駆動回路部 1 0 5 への供給、並びに高電源電位 V_{dd} 、低電源電位 V_{ss} 、スタートパルス SP 及びクロック信号 CK 等の駆動回路部 1 0 5 を制御する制御信号の駆動回路部 1 0 5 への供給または停止の切り替えを制御するための回路である。具体的には、比較回路 1 0 3 により動画と判断された場合には、画像信号が記憶回路 1 0 2 より選択回路 1 0 9 を介して読み出され表示制御回路 1 0 4 より駆動回路部 1 0 5 に供給され、且つ制御信号が表示制御回路 1 0 4 より駆動回路部 1 0 5 に供給されることとなる。一方、比較回路 1 0 3 により静止画と判断された場合、表示制御回路 1 0 4 では画像信号が選択回路 1 0 9 より供給されないために駆動回路部 1 0 5 にも画像信号の供給を行わず、また駆動回路部 1 0 5 への各制御信号の停止を行うこととなる。

30

【 0 0 4 6 】

なお表示制御回路 1 0 4 は、比較回路 1 0 3 での差分の演算により差分が検出された際に、スイッチングトランジスタ 1 1 1 を導通状態(オン状態ともいう)とし、比較回路 1 0 3 での差分の演算により差分が検出されなければ、スイッチングトランジスタ 1 1 1 を非導通状態(オフ状態ともいう)とする。

【 0 0 4 7 】

なお信号の供給とは、配線に所定の電位を供給することをいう。信号の停止とは、配線への所定の電位の供給を停止して所定の固定電位が供給される配線、例えば低電源電位 V_{ss} が供給された配線に接続すること、または所定の電位を供給されている配線との接続を切断し浮遊状態とすることをいう。

40

【 0 0 4 8 】

なお静止画と判断される場合において静止画と判断される期間が短い場合には、制御信号のうち、予め高電源電位 V_{dd} 及び低電源電位 V_{ss} の停止を行わない構成としてもよい。頻繁に高電源電位 V_{dd} 及び低電源電位 V_{ss} の停止及び供給を繰り返すことによる消費電力の増加を低減することができ、好適である。

【 0 0 4 9 】

なお画像信号及び制御信号の停止は、画素回路部 1 0 6 の各画素で画像信号を保持できる

50

期間にわたって行うことが望ましい。そのため、各画素で画像信号を保持できる期間の経過の後に再度画像信号を供給するよう、表示制御回路 104 が前の期間に供給した画像信号及び制御信号を定期的に供給する構成とすればよい。なお画素回路部 106 を構成する薄膜トランジスタの半導体層には酸化物半導体を用いており、画像信号を保持できる期間を長くすることができる。

【0050】

なお、駆動回路部 105 のゲート線側駆動回路 107A、信号線側駆動回路 107B を構成するシフトレジスタには、クロック信号、反転クロック信号、スタートパルス等により、1 段目の出力端子より、順次パルスを出力する回路であればよい。

【0051】

ここでゲート線側駆動回路 107A、信号線側駆動回路 107B を構成するシフトレジスタの一例について図 11 に一例を示す。

【0052】

図 11 (A) に示すシフトレジスタは、第 1 のパルス出力回路 10__1 乃至第 N のパルス出力回路 10__N (N は 3 の自然数) を有している。図 11 (A) に示すシフトレジスタの第 1 のパルス出力回路 10__1 乃至第 N のパルス出力回路 10__N には、第 1 の配線 11 より第 1 のクロック信号 CK1、第 2 の配線 12 より第 2 のクロック信号 CK2、第 3 の配線 13 より第 3 のクロック信号 CK3、第 4 の配線 14 より第 4 のクロック信号 CK4 が供給される。また第 1 のパルス出力回路 10__1 では、第 5 の配線 15 からのスタートパルス SP1 (第 1 のスタートパルス) が入力される。また 2 段目以降の第 n のパルス出力回路 10__n (n は、2 から N の自然数) では、一段前段のパルス出力回路からの信号 (前段信号 OUT (n - 1) という) (n は 2 の自然数) が入力される。また第 1 のパルス出力回路 10__1 では、2 段後段の第 3 のパルス出力回路 10__3 からの信号が入力される。同様に、2 段目以降の第 n のパルス出力回路 10__n では、2 段後段の第 (n + 2) のパルス出力回路 10__(n + 2) からの信号 (後段信号 OUT (n + 2) という) が入力される。従って、各段のパルス出力回路からは、後段及び / または二つ前段のパルス出力回路に入力するための第 1 の出力信号 (OUT (1) (SR) ~ OUT (N) (SR))、別の回路等に入力される第 2 の出力信号 (OUT (1) ~ OUT (N)) が出力される。なお、図 11 (A) に示すように、シフトレジスタの最終段の 2 つの段には、後段信号 OUT (n + 2) が入力されないため、一例としては、別途第 6 の配線 17 より第 2 のスタートパルス SP2、第 7 の配線 18 より第 3 のスタートパルス SP3 をそれぞれ入力する構成でもよい。または別途、内部で生成された信号であってもよい。例えば、画素部へのパルス出力に寄与しない第 (N + 1) のパルス出力回路 10__(N + 1)、第 (N + 2) のパルス出力回路 10__(N + 2) を設け (ダミー段ともいう)、当該ダミー段より第 2 のスタートパルス (SP2) 及び第 3 のスタートパルス (SP3) に相当する信号を生成する構成としてもよい。

【0053】

なお、第 1 のクロック信号 (CK1) ~ 第 4 のクロック信号 (CK4) は、一定の間隔で H 信号と L 信号を繰り返す信号である。また、第 1 のクロック信号 (CK1) ~ 第 4 のクロック信号 (CK4) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のクロック信号 (CK1) ~ 第 4 のクロック信号 (CK4) を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号 CK は入力される駆動回路に応じて、GCK または SCK ということもあるが、ここでは CK として説明を行う。

【0054】

なお、A と B とが接続されている、と明示的に記載する場合は、A と B とが電氣的に接続されている場合と、A と B とが機能的に接続されている場合と、A と B とが直接接続されている場合とを含むものとする。ここで、A、B は、対象物 (例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など) であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

10

20

30

40

50

【 0 0 5 5 】

第 1 のパルス出力回路 1 0 _ 1 ~ 第 N のパルス出力回路 1 0 _ N の各々は、第 1 の入力端子 2 1、第 2 の入力端子 2 2、第 3 の入力端子 2 3、第 4 の入力端子 2 4、第 5 の入力端子 2 5、第 1 の出力端子 2 6、第 2 の出力端子 2 7 を有している（図 1 1（B）参照）。

【 0 0 5 6 】

第 1 の入力端子 2 1、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 は、第 1 の配線 1 1 ~ 第 4 の配線 1 4 のいずれかに接続されている。例えば、図 1 1（A）、（B）において、第 1 のパルス出力回路 1 0 _ 1 は、第 1 の入力端子 2 1 が第 1 の配線 1 1 に接続され、第 2 の入力端子 2 2 が第 2 の配線 1 2 に接続され、第 3 の入力端子 2 3 が第 3 の配線 1 3 に接続されている。また、第 2 のパルス出力回路 1 0 _ 2 は、第 1 の入力端子 2 1 が第 2 の配線 1 2 に接続され、第 2 の入力端子 2 2 が第 3 の配線 1 3 に接続され、第 3 の入力端子 2 3 が第 4 の配線 1 4 に接続されている。

10

【 0 0 5 7 】

また図 1 1（A）、（B）において、第 1 のパルス出力回路 1 0 _ 1 は、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T（3）が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T（1）（S R）が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T（1）が出力されていることとなる。

【 0 0 5 8 】

次に、パルス出力回路の具体的な回路構成の一例について、図 1 1（C）で説明する。

【 0 0 5 9 】

20

図 1 1（C）において第 1 のトランジスタ 3 1 は、第 1 端子が電源線 5 1 に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に接続され、ゲート電極が第 4 の入力端子 2 4 に接続されている。第 2 のトランジスタ 3 2 は、第 1 端子が電源線 5 2 に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に接続され、ゲート電極が第 4 のトランジスタ 3 4 のゲート電極に接続されている。第 3 のトランジスタ 3 3 は、第 1 端子が第 1 の入力端子 2 1 に接続され、第 2 端子が第 1 の出力端子 2 6 に接続されている。第 4 のトランジスタ 3 4 は、第 1 端子が電源線 5 2 に接続され、第 2 端子が第 1 の出力端子 2 6 に接続されている。第 5 のトランジスタ 3 5 は、第 1 端子が電源線 5 2 に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に接続され、ゲート電極が第 4 の入力端子 2 4 に接続されている。第 6 のトランジスタ 3 6 は、第 1 端子が電源線 5 1 に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に接続され、ゲート電極が第 5 の入力端子 2 5 に接続されている。第 7 のトランジスタ 3 7 は、第 1 端子が電源線 5 1 に接続され、第 2 端子が第 8 のトランジスタ 3 8 の第 2 端子に接続され、ゲート電極が第 3 の入力端子 2 3 に接続されている。第 8 のトランジスタ 3 8 は、第 1 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に接続され、ゲート電極が第 2 の入力端子 2 2 に接続されている。第 9 のトランジスタ 3 9 は、第 1 端子が第 1 のトランジスタ 3 1 の第 2 端子及び第 2 のトランジスタ 3 2 の第 2 端子に接続され、第 2 端子が第 3 のトランジスタ 3 3 のゲート電極及び第 1 0 のトランジスタ 4 0 のゲート電極に接続され、ゲート電極が電源線 5 1 に接続されている。第 1 0 のトランジスタ 4 0 は、第 1 端子が第 1 の入力端子 2 1 に接続され、第 2 端子が第 2 の出力端子 2 7 に接続され、ゲート電極が第 9 のトランジスタ 3 9 の第 2 端子に接続されている。第 1 1 のトランジスタ 4 1 は、第 1 端子が電源線 5 2 に接続され、第 2 端子が第 2 の出力端子 2 7 に接続され、ゲート電極が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に接続されている。

30

40

【 0 0 6 0 】

図 1 1（C）において、第 3 のトランジスタ 3 3 のゲート電極、第 1 0 のトランジスタ 4 0 のゲート電極、及び第 9 のトランジスタ 3 9 の第 2 端子の接続箇所をノード N A とする。また、第 2 のトランジスタ 3 2 のゲート電極、第 4 のトランジスタ 3 4 のゲート電極、第 5 のトランジスタ 3 5 の第 2 端子、第 6 のトランジスタ 3 6 の第 2 端子、第 8 のトラン

50

ンジスタ 38 の第 1 端子、及び第 11 のトランジスタ 41 のゲート電極の接続箇所をノード NB とする。

【0061】

図 11 (C) におけるパルス出力回路が第 1 のパルス出力回路 10_1 の場合、第 1 の入力端子 21 には第 1 のクロック信号 CK1 が入力され、第 2 の入力端子 22 には第 2 のクロック信号 CK2 が入力され、第 3 の入力端子 23 には第 3 のクロック信号 CK3 が入力され、第 4 の入力端子 24 にはスタートパルス SP が入力され、第 5 の入力端子 25 には後段信号 OUT (3) が入力され、第 1 の出力端子 26 からは OUT (1) (SR) が出力され、第 2 の出力端子 27 からは OUT (1) が出力されることとなる。

【0062】

また図 11 (C) に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図 12 に示す。なおシフトレジスタがゲート線側駆動回路である場合、図 12 中の期間 61 は垂直帰線期間であり、期間 62 はゲート選択期間に相当する。

【0063】

次いで図 1 で示した表示パネル 101 における共通電極部 110 に接続されたスイッチングトランジスタ 111 を設ける利点について、図 2 に概略図、回路図等について示し、説明する。なお図 2 では、表示パネルの外部に表示制御回路等の回路 (図示せず) を設ける構成とし、外部より端子部を介して所定の信号 (高電源電位 Vdd、低電源電位 Vss、スタートパルス SP、クロック信号 CK、画像信号 Data、共通電位 Vcom 等) が入力される構成について示している。

【0064】

図 2 (A) で示す表示パネルは、第 1 の基板 201、第 2 の基板 202 で構成される。第 1 の基板 201 には、画素回路部 203、ゲート線側駆動回路 204、信号線側駆動回路 205、端子部 206、スイッチングトランジスタ 207 を有する。第 2 の基板 202 には、共通接続部 208 (コモンコンタクトともいう)、共通電極 209 (対向電極ともいう) を有する。

【0065】

なお、共通電極 209 は、本実施の形態において共通接続部 208 を介して第 2 の基板 202 に設ける構成としたが、第 1 の基板側に設ける構成としてもよい。

【0066】

第 1 の基板 201 及び第 2 の基板 202 としては、透光性を有し、且つ後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われるガラス基板 (「無アルカリガラス基板」とも呼ばれる)、石英基板、セラミック基板、プラスチック基板等を用いることができる。

【0067】

なお図 2 (A) に示す画素回路部 203、ゲート線側駆動回路 204、信号線側駆動回路 205、及びスイッチングトランジスタ 207 は、第 1 の基板 201 上に形成される薄膜トランジスタにより回路が構成されるものでもよい。なお、ゲート線側駆動回路 204、及び信号線側駆動回路 205 は、第 1 の基板 201 上に形成する薄膜トランジスタで構成する必要はなく、図 3 に示すように第 1 の基板 201 の外の別の基板等に形成すればよい。

【0068】

なお画素回路部 203 には、ゲート線側駆動回路 204、及び信号線側駆動回路 205 より延在して複数のゲート線、及び信号線が設けられており、ゲート線及び信号線に環囲されて設けられた複数の画素が設けられている。

【0069】

また端子部 206 からは、図 1 で述べた表示制御回路 104 により制御される信号が供給される。すなわち端子部 206 から、画素回路部 203 で表示を行うパルス信号を出力するための外部より端子部を介して所定の信号 (高電源電位 Vdd、低電源電位 Vss、ス

10

20

30

40

50

タートパルス S P、クロック信号 C K、画像信号 D a t a、共通電位 V c o m等)等が供給されることとなる。

【 0 0 7 0 】

共通接続部 2 0 8 は、第 1 の基板 2 0 1 でのスイッチングトランジスタ 2 0 7 の第 2 の端子と、第 2 の基板 2 0 2 での共通電極 2 0 9 と、の電気的な接続を図るために設けられており、スイッチングトランジスタ 2 0 7 及び共通接続部 2 0 8 を介して、端子部 2 0 6 より共通電位が共通電極 2 0 9 に供給されることとなる。共通接続部 2 0 8 の具体的な一例としては、絶縁性球体に金属薄膜が被覆された導電粒子により電気的な接続を図ればよい。なお、共通接続部 2 0 8 は、第 1 の基板 2 0 1 及び第 2 の基板 2 0 2 の間で複数箇所設けられる構成としてもよい。

10

【 0 0 7 1 】

共通電極 2 0 9 は、画素回路部 2 0 3 が有する画素電極と重畳して設けられることが好ましい。また共通電極 2 0 9 及び画素回路部 2 0 3 が有する画素電極は、多様な開口パターンを有する形状としてもよい。

【 0 0 7 2 】

次いで図 2 (B) に、図 2 (A) での表示パネルの概略図において、特に画素回路部 2 0 3 の構成を詳細にした回路図について示す。

【 0 0 7 3 】

図 2 (B) に示す液晶表示装置は、図 2 (A) と同様に、第 1 の基板 2 0 1、第 2 の基板 2 0 2 が設けられている。また第 1 の基板 2 0 1 には、画素回路部 2 0 3、ゲート線側駆動回路 2 0 4、信号線側駆動回路 2 0 5、端子部 2 0 6、スイッチングトランジスタ 2 0 7 を有する。第 2 の基板 2 0 2 には、共通接続部 2 0 8、共通電極 2 0 9 を有する。

20

【 0 0 7 4 】

図 2 (B) においては、画素回路部 2 0 3 において、複数のゲート線 2 1 1、複数の信号線 2 1 2 が縦横に設けられており、ゲート線 2 1 1、信号線 2 1 2、薄膜トランジスタ(以下、画素トランジスタ 2 1 4 という)、第 1 の電極と第 2 の電極との間に液晶が挟持されて形成される液晶素子 2 1 5、及び容量素子 2 1 0 を有する画素 2 1 3 が設けられている様子を示している。図 2 (B) において、画素トランジスタ 2 1 4 のソース端子またはドレイン端子の一方を第 1 の端子、ソース端子またはドレイン端子の他方を第 2 の端子といい、第 1 の端子が信号線 2 1 2 に接続され、ゲート端子がゲート線 2 1 1 に接続され、第 2 の端子が液晶素子 2 1 5 の第 1 の電極に接続される。図 2 (B) において、容量素子 2 1 0 の一方の電極が液晶素子 2 1 5 の第 1 の電極に接続され、他方の電極が別の配線に接続されるようにする。なお、液晶素子 2 1 5 の第 1 の電極は、画素電極に相当する。なお液晶素子 2 1 5 の第 2 の電極は、前述の共通電極 2 0 9 に相当する。

30

【 0 0 7 5 】

なお図 2 (B) において、画素 2 1 3 に容量素子 2 1 0 を設ける構成について示すが、容量素子を設けない構成とすることもできる。

【 0 0 7 6 】

次いで、画素電極を有する画素の一画素についての回路図を図 2 (C) に示す。図 2 (C) には、画素トランジスタ 2 1 4、スイッチングトランジスタ 2 0 7 に着目して示しており、画素トランジスタ 2 1 4 のゲート端子がゲート線 2 1 1 に接続され、画素トランジスタ 2 1 4 の第 1 の端子が信号線 2 1 2 に接続され、画素トランジスタ 2 1 4 の第 2 の端子が画素電極 2 2 1 に接続される。またスイッチングトランジスタ 2 0 7 のゲート端子が端子部 2 0 6 の端子 2 0 6 A に接続され、スイッチングトランジスタ 2 0 7 の第 1 の端子が端子部 2 0 6 の端子 2 0 6 B に接続され、スイッチングトランジスタ 2 0 7 の第 2 の端子が共通接続部 2 0 8 を介して電気的に共通電極 2 2 2 に接続される。なお画素電極 2 2 1 と共通電極 2 2 2 との間には、液晶 2 2 3 が挟持され、画素電極 2 2 1、共通電極 2 2 2、及び液晶 2 2 3 を併せて液晶素子と呼ぶこともある。

40

【 0 0 7 7 】

また図 4 においては、図 2 (C) に示す回路図での各端子、ゲート線側駆動回路 2 0 4、

50

信号線側駆動回路 205 に供給する信号の様子について表すタイミングチャート図を示している。なお一例として説明をするために、図 4 に示す期間 401 は動画書き込み期間、期間 402 は静止画表示期間に相当し、前述の動画または静止画の判定の結果によっていずれかの期間とするものである。また図 4 中で GCK はゲート線側駆動回路 204 に供給するクロック信号であり、GSP はゲート線側駆動回路 204 に供給するスタートパルスであり、SCK は信号線側駆動回路 205 に供給するクロック信号であり、SSP は信号線側駆動回路 205 に供給するスタートパルスである。また、図 4 では、信号線 212 の電位、画素電極 221 の電位、端子 206A の電位、端子 206B の電位、共通電極 222 の電位、について示したものである。実際に、クロック信号である GCK 及びスタートパルスである GSP、並びにクロック信号である SCK 及びスタートパルスである GSP が供給される駆動回路部のシフトレジスタの構成としては、図 11 及び図 12 で説明した回路を用いればよい。

10

【0078】

なお期間 401 は、動画を表示するための画像信号を書き込む期間に相当する。また、期間 402 は、静止画を表示する期間に相当する。従って、期間 401 では、画像信号、共通電位が画素回路部 203 の各画素、共通電極に供給されるように動作することとなる。一方、期間 402 では、画素回路部 203 の各画素への画像信号、共通電極への共通電位の供給を停止することとなる。なお図 4 における期間 402 では、駆動回路部の動作を停止するよう各信号を供給する構成について示したが、期間 402 の長さに応じて、定期的に画像信号を書き込むことで静止画の画像の劣化を防ぐ構成とすることが好ましい。

20

【0079】

期間 401 において、クロック信号 GCK は、図 4 に示すように常時クロック信号を供給することとなる。期間 401 において、スタートパルス GSP は、図 4 に示すように、垂直同期周波数に応じてパルスを供給することとなる。期間 401 において、クロック信号 SCK は、図 4 に示すように、常時クロック信号を供給することとなる。期間 401 において、スタートパルス SSP は、図 4 に示すように、1 ゲート選択期間に応じてパルスを供給することとなる。期間 401 において、信号線 212 には、図 4 に示すように各行の画素に供給するための画像信号 Data が供給され、ゲート線 211 の電位に応じて画素内の画素電極 221 に信号線 212 の電位が供給されることとなる。また図 1 及び図 2 に示すように、スイッチングトランジスタ 207 のゲート端子にあたる端子 206A の電位は、表示制御回路 104 により、スイッチングトランジスタ 207 を導通状態とする電位を供給し、端子 206B の電位である共通電位が、共通電極 222 に供給されることとなる。

30

【0080】

期間 402 において、クロック信号 GCK 及びスタートパルス GSP は、図 4 に示すように共に停止する。期間 402 において、クロック信号 SCK 及びスタートパルス SSP は、図 4 に示すように共に停止する。期間 402 において、信号線 212 に供給していた画像信号 Data は、図 4 に示すように停止する。期間 402 において、クロック信号 GCK 及びスタートパルス GSP は、図 4 に示すように共に停止するため、画素トランジスタ 214 が非導通状態となり画像信号 Data の供給が停止して、画素電極 221 の電位が浮遊状態（フローティング）となる。また、スイッチングトランジスタ 207 のゲート端子にあたる端子 206A の電位は、スイッチングトランジスタ 207 を非導通状態とする電位を供給し、端子 206B の電位である共通電位の供給が停止して、共通電極 222 の電位が浮遊状態となる。

40

【0081】

すなわち、期間 402 では、液晶 223 の両端の電極、即ち画素電極 221 及び共通電極 222 の電位を浮遊状態とすることで新たに電位を供給することなく、静止画の表示を行うことができる。ゲート線側駆動回路 204、信号線側駆動回路 205 に供給するクロック信号、及びスタートパルスを停止することにより低消費電力化を図ることができる。また液晶素子の両端を非導通状態時にオフ電流を低減することのできる酸化物半導体層を用

50

いた半導体層を具備する薄膜トランジスタで画素トランジスタ214及びスイッチングトランジスタ207を形成することで、液晶素子を流れる電流を低減することができる。

【0082】

次いで図5(A)、(B)では、図4のタイミングチャート図における期間401から期間402に切り替わる期間、すなわち動画から静止画に切り替わる期間(図4中の期間403)、及び期間402から期間401に切り替わる期間、すなわち静止画から動画に切り替わる期間(図4中の期間404)での、高電源電位V_{dd}、クロック信号(ここではGCK)、スタートパルス信号(ここではGSP)、端子206Aの電位すなわち表示制御回路104からの信号、についてタイミングチャート図を示す。

【0083】

図5(A)に示すように動画から静止画に切り替わる期間で、表示制御回路104は、スタートパルスGSPを停止する(図5(A)のE1、第1のステップ)。次いで、スタートパルス信号SPの停止後、パルス出力がシフトレジスタの最終段まで達した後に、複数のクロック信号GCKを停止する(図5(A)のE2、第2のステップ)。次いで、電源電圧の高電源電位V_{dd}を低電源電位V_{ss}にする(図5(A)のE3、第3のステップ)。次いで、端子206Aの電位を、スイッチングトランジスタ111が非導通状態となる電位にする(図5(A)のE4、第4のステップ)。

【0084】

以上の手順をもって、駆動回路部105に供給する信号の停止を、駆動回路部105の誤動作を引き起こすことなく行うことができる。静止画の表示の際には、画素電極での電荷の保持で液晶に印加する電圧を保持することになるため、誤動作によるノイズのない駆動回路部105の動作を行うことにより、画像の劣化の小さい静止画を表示可能な液晶表示装置の駆動方法を提供することができる。

【0085】

また図5(B)に示すように静止画から動画に切り替わる期間で、表示制御回路104は、端子206Aの電位を、スイッチングトランジスタ111が導通状態となる電位にする(図5(B)のS1、第1のステップ)。次いで、電源電圧を低電源電位V_{ss}から高電源電位V_{dd}にする(図5(B)のS2、第2のステップ)。次いで、複数のクロック信号GCKを供給する(図5(B)のS3、第3のステップ)。次いでスタートパルス信号GSPを供給する(図5(B)のS4、第4のステップ)。

【0086】

以上の手順をもって、駆動回路部105に供給する信号の供給再開を、駆動回路部105の誤動作を引き起こすことなく行うことができる。各配線の電位を適宜順番に動画表示時に戻すことで、誤動作なく駆動回路部の駆動を行うことができる。

【0087】

また図6では、横軸に時間を取り、動画を表示する期間601、静止画を表示する期間602での画像信号の書き込みの頻度について、例えばフレーム期間毎に模式的に示した図である。図6中、「W」は画像信号の書き込み期間であることをあらわし、「H」は画像信号を保持する期間であることを示している。また、図6中、期間603は1フレーム期間を表したものであるが、別の期間であってもよい。

【0088】

図6でもわかるように、本実施の形態の液晶表示装置の構成において、比較回路で連続するフレーム間の画像信号に差分を検出しない場合、即ち静止画を表示する期間602に画素に供給される画像信号の書き込みは、画像信号が切り替わる期間(図6では期間604)のみで行うこととなる。また期間602での他の期間は、期間604で供給された画像信号を保持する期間となる。

【0089】

以上説明したように、本実施の形態の構成による静止画を表示する期間では、頻繁に画像信号の書き込みを行うといった動作を削減することができる。複数回の画像信号の書き込みによる画像を視認する際、複数回にわたって切り替わる画像を人間の目は視認すること

10

20

30

40

50

となる。そのため、人間の目には疲労として現れることもあり得る。本実施の形態で説明したように、画像信号の書き込み回数を削減する構成とすることで、目の疲労を減らすといった効果もある。

【0090】

また本実施の形態で画素に設ける薄膜トランジスタとして、酸化物半導体を用いた薄膜トランジスタを各画素に設けるといった特徴を有しており、薄膜トランジスタのオフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができる。静止画を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

【0091】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0092】

(実施の形態2)

上記実施の形態1で説明した液晶表示装置における表示パネルの構成について、図7を用いて具体的な上面図及び断面図を示し、説明する。

【0093】

図7(A)に、表示パネルの上面図を示す。図7(A)は、第1の基板1210にFPCを貼り付ける前の表示パネルの上面図である。図7(B)は、導電粒子と接続配線の接続領域を示す図7(A)のG-Hの断面図である。図7(C)は、画素回路と接続配線の接続領域を示す図7(A)のE-Fの断面図である。

【0094】

図7(A)乃至(C)において、画素電極が形成されたアクティブマトリクス基板となる第1の基板1210と共通電極1291が形成された第2の基板1204がシール材1205により貼り合わされている。シール材1205の内部には、液晶1280が充填されている。第1の基板1210上には信号線側駆動回路1200、ゲート線側駆動回路1201、及び画素電極がマトリクス状に形成された画素回路1202が形成されている。

【0095】

なお液晶1280は、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0096】

図7(B)において、共通電極1291は、端子部1240から延在する接続配線1208、スイッチングトランジスタ1261、及び一対の基板間に配置される導電粒子が設けられる樹脂層1235、により端子部1240と電氣的に接続される。なお当該接続の箇所は、図7(A)で4カ所とする例を示したが、少なくとも1カ所あればよく、複数であってもよい。

【0097】

図7(C)では、駆動回路部として、第1の基板1210上に、駆動回路用薄膜トランジスタ1223を有する回路を備えた信号線側駆動回路1200を示す。また駆動回路部として、第1の基板上に、駆動回路用薄膜トランジスタを有する備えたゲート線側駆動回路1201を有している。

【0098】

図7(C)において、画素回路1202は、画素トランジスタ1211を有する。また、絶縁層1214上には、画素トランジスタ1211に接続される画素電極1250が設けられている。

【0099】

図7(A)乃至(C)において、画素トランジスタ1211、駆動回路用薄膜トランジスタ1223、スイッチングトランジスタ1261は、酸化物半導体層、ゲート絶縁層、及

10

20

30

40

50

びゲート電極層で構成される。

【0100】

以上、トランジスタの構造の一例について説明した。ただし、トランジスタの構造は、上記の構造に限定されず、他にも様々な構造とすることが可能である。例えばトランジスタは、ゲート電極が2個以上のマルチゲート構造とすることができる。別の例として、トランジスタは、チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造とすることが可能である。また逆スタガ構造では、チャンネル保護型、チャンネルエッチング型等の構造を取ることができる。

【0101】

図7(C)の駆動回路用薄膜トランジスタ1223上に、絶縁層1214を介してゲート電極層及び酸化物半導体層と重なる導電層1293を有する構造について示している。

【0102】

駆動回路用薄膜トランジスタ1223において、酸化物半導体層をゲート電極層と導電層1293で挟み込む構成とすることにより、駆動回路用薄膜トランジスタ1223のしきい値ばらつきを低減させることができ、安定した電気特性を有する駆動回路用薄膜トランジスタ1223を備えた表示パネルを提供することができる。導電層1293は、ゲート電極層と同電位としても良いし、フローティング電位でも良いし、固定電位、例えばGND電位や0Vでもよい。また、導電層1293に任意の電位を与えることで、駆動回路用薄膜トランジスタ1223のしきい値電圧を制御することができる。

【0103】

図7(B)のスイッチングトランジスタ1261は、樹脂層1235に設けられた導電粒子1270により共通電極1291と電氣的に接続されている。

【0104】

なお図7(A)において、スイッチングトランジスタ1261は、シール材1205の外部の領域に設ける構成としたが、シール材1205の内部の領域、一例としては信号線側駆動回路1200が設けられる領域に併設してもよい。スイッチングトランジスタ1261をシール材1205の内部の領域に設けることにより、外部からの衝撃等からの保護を図ることができるため、スイッチングトランジスタ1261の長寿命化を図ることができる。

【0105】

図7(A)乃至(C)において、第1の基板1210及び第2の基板1204としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われるガラス基板(「無アルカリガラス基板」とも呼ばれる)、石英基板、セラミック基板、プラスチック基板等を適宜用いることができる。第1の基板1210及び第2の基板1204として、可撓性を有するプラスチック基板を用いることで、可撓性を有する表示パネルを作製することができる。

【0106】

図7(A)乃至(C)において、シール材1205は、スクリーン印刷法、インクジェット装置またはディスペンス装置を用いて第1基板または第2基板上に塗布する。シール材1205は、代表的には可視光硬化性、紫外線硬化性または熱硬化性の樹脂を含む材料を用いることができる。例えば、ビスフェノールA型液状樹脂、ビスフェノールA型固形樹脂、含ブロムエポキシ樹脂、ビスフェノールF型樹脂、ビスフェノールAD型樹脂、フェノール型樹脂、クレゾール型樹脂、ノボラック型樹脂、環状脂肪族エポキシ樹脂、エピビス型エポキシ樹脂、グリシジルエステル樹脂、グリジシルアミン樹脂、複素環式エポキシ樹脂、変性エポキシ樹脂等のエポキシ樹脂を用いることができる。シール材1205としては粘度40~400Pa・sのものをを用いる。また、フィラー(直径1μm~24μm)を含んでもよい。なお、シール材としては、後に接する液晶に溶解しないシール材料を選択することが好ましい。

【0107】

導電粒子 1270 として、絶縁性球体に金属薄膜が被覆された導電粒子を用いることができる。絶縁性球体は、シリカガラス、硬質樹脂等で形成される。金属薄膜は、金、銀、パラジウム、ニッケル、ITO、及びIZOの単層または積層構造とすることができる。例えば、金属薄膜として金薄膜や、ニッケル薄膜及び金薄膜の積層等を用いることができる。絶縁性球体を中心に有する導電粒子を用いることで、弾性が高まり、外部からの圧力に対する破壊を低減することができる。

【0108】

画素電極 1250 の種類は、透過型の表示パネルの場合と反射型の表示パネルで異なる。透過型表示パネルの場合、画素電極 1250 は透光性を有する材料を用いて形成する。透光性を有する材料とは、酸化インジウムスズ (ITO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、ガリウムを添加した酸化亜鉛 (GZO) 等がある。

10

【0109】

また、画素電極 1250 として、導電性高分子 (導電性ポリマーともいう) を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000 \text{ } \Omega/\square$ 以下、波長 550 nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \text{ } \Omega \cdot \text{cm}$ 以下であることが好ましい。

【0110】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

20

【0111】

一方、反射型の表示パネルの場合、画素電極は反射率の高い金属電極が用いられる。具体的には、アルミニウム、銀等が用いられる。また、画素電極の表面を凹凸状にすることで、反射率が高まる。このため、画素電極の下地膜を凹凸とすればよい。

【0112】

また、半透過型の表示パネルの場合には、画素電極は透過型の材料と反射型の材料が用いられる。

【0113】

また、第1の基板 1210 の端部には、端子部 1240 が形成される。端子部 1240 には、接続配線 1208 上に接続端子 1241 が形成される。

30

【0114】

図7(B)は、導電粒子 1270 と接続端子とが接続される領域の断面図である。第1の基板 1210 上に接続配線 1208、スイッチングトランジスタ 1261 が形成される。接続配線 1208 上には画素電極 1250 と同時に形成される接続端子 1241 が形成される。接続端子 1241 は、接続配線 1208、スイッチングトランジスタ 1261、及び導電粒子 1270 を介して、共通電極 1291 と電気的に接続される。また、接続端子 1241 は FPC (図示せず) と接続される。なお、図7(B)において、導電粒子 1270 は樹脂層 1235 によって固定されている。樹脂層 1235 としては、シール材 1205 で用いるような有機樹脂材料を用いることができる。

40

【0115】

図7(C)は、画素電極と接続端子とが接続される領域の断面図である。第1の基板 1210 上に薄膜トランジスタのソース電極層及びドレイン電極層と同時に形成される接続配線 1242 が形成される。接続配線 1242 上には画素電極 1250 と同時に形成される接続端子 1243 が形成される。接続端子 1243 は、接続配線 1242 を介して、画素電極 1250 と電気的に接続される。なお、本実施の形態では、アクティブマトリクス型の表示パネルの形態を用いているため、画素電極 1250 と接続配線 1242 は直接接続せず、画素トランジスタ 1211、または信号線側駆動回路 1200 を介して接続する。

【0116】

そして、画素電極 1250 上に配向膜 1206 が設けられ、ラビング処理が施されている

50

。この配向膜 1 2 0 6 およびラビング処理は、使用する液晶のモードにより必要な場合と不必要な場合がある。

【 0 1 1 7 】

対向基板となる第 2 の基板 1 2 0 4 には、信号線側駆動回路 1 2 0 0 と重なる位置にブラックマトリクス、画素回路 1 2 0 2 と重なる位置にカラーフィルタ、さらに保護層などを設けてもよい。また、共通電極 1 2 9 1 が形成され、共通電極 1 2 9 1 上に配向膜 1 2 0 7 が設けられ、ラビング処理が施されている。この第 2 の基板 1 2 0 4 も第 1 の基板 1 2 1 0 と同様に、使用する液晶のモードにより配向膜およびラビング処理が必要な場合と不必要な場合がある。

【 0 1 1 8 】

共通電極 1 2 9 1 が形成された第 2 の基板 1 2 0 4 または画素電極 1 2 5 0 が形成された第 1 の基板 1 2 1 0 に、柱状スペーサー 1 2 5 5 が設けられる。柱状スペーサー 1 2 5 5 は第 1 の基板 1 2 1 0 と第 2 の基板 1 2 0 4 とのギャップを保持するためのものであり、本実施の形態では、第 2 の基板 1 2 0 4 側に設ける例を示す。この柱状スペーサーはフォトリソスペーサー、ポストスペーサー、貝柱スペーサー、カラムスペーサーとも呼ばれている。なお球状のスペーサーを用いても良い。本実施の形態では、柱状スペーサーを用いて示す。柱状スペーサー 1 2 5 5 の作製方法としては、感光性アクリルなどの有機絶縁材料を基板の全面にスピンコート法により塗布し、これを一連のフォトリソグラフィの工程を行うことにより、基板上に残った感光性アクリルがスペーサーとしての役割を果たす。当該方法により、露光時のマスクパターン次第でスペーサーの配置したい場所に露光

【 0 1 1 9 】

導電粒子 1 2 7 0 の周囲には導電性ポリマーが充填されてもよい。導電性ポリマーの代表例としては、導電性ポリアニリン、導電性ポリピロール、導電性ポリチオフェン、ポリエチレンジオキシチオフェン (P E D O T) とポリスチレンスルホン酸 (P S S) の錯体等も用いることができる。また、画素電極 1 2 5 0 に用いることが可能な導電性ポリマーに列挙したものを適宜用いることができる。導電性ポリマーは、インクジェット装置、ディ

【 0 1 2 0 】

なお、接続配線 1 2 0 8 と、第 2 の基板 1 2 0 4 上に形成される共通電極 1 2 9 1 が導電粒子 1 2 7 0 を介して導通する。

【 0 1 2 1 】

シール材 1 2 0 5 及び導電粒子 1 2 7 0 を、第 1 の基板 1 2 1 0 上または第 2 の基板 1 2 0 4 上に吐出し、その後、シール材 1 2 0 5 の内側に液晶を吐出する。この後、第 1 の基板 1 2 1 0 及び第 2 の基板 1 2 0 4 を減圧雰囲気で貼り合せ、U V 光を照射してシール材 1 2 0 5 を硬化した後、加熱してシール材 1 2 0 5 を更に硬化して第 1 の基板 1 2 1 0 及び第 2 の基板 1 2 0 4 を固着する。また、当該加熱により、液晶の配向を均一にする。

【 0 1 2 2 】

この結果、第 1 の基板 1 2 1 0 と第 2 の基板 1 2 0 4 が貼り合わせることができる。

【 0 1 2 3 】

そして、第 1 の基板 1 2 1 0 と、第 2 の基板 1 2 0 4 がパネルの形に分断される。さらに、コントラストを高めるために第 1 の基板 1 2 1 0 の外側に第 1 偏光板 1 2 9 0 と、第 2 の基板 1 2 0 4 の外側に第 2 偏光板 1 2 9 5 が設けられている。なお、反射型の表示装置の場合には第 1 偏光板 1 2 9 0 が必要ない場合がある。

【 0 1 2 4 】

また、本実施の形態では図示しないが、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0125】

アクティブマトリクス型の表示パネルにおいては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する共通電極との間に電圧が印加されることによって、画素電極と共通電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

10

【0126】

以上説明した酸化物半導体層を用いる薄膜トランジスタを有する表示パネルの構成において、上記実施の形態1と同様に、静止画表示を行う際、低消費電力化を図ることができる。

【0127】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0128】

（実施の形態3）

本実施の形態では、上記実施の形態で示す液晶表示装置において、タッチパネル機能を付加した液晶表示装置の構成について、図8（A）、（B）を用いて説明する。

20

【0129】

図8（A）は、本実施の形態の液晶表示装置の概略図である。図8（A）には、上記実施の形態の液晶表示装置である液晶表示パネル801にタッチパネルユニット802を重畳して設け、筐体803（ケース）にて含着させる構成について示している。タッチパネルユニット802は、抵抗膜方式、表面型静電容量方式、投影型静電容量方式等を適宜用いることができる。

【0130】

図8（A）に示すように、液晶表示パネル801とタッチパネルユニット802とを別々に作製し重畳することにより、タッチパネル機能を付加した液晶表示装置の作製に係るコストの削減を図ることができる。

30

【0131】

図8（A）とは異なるタッチパネル機能を付加した液晶表示装置の構成について、図8（B）に示す。図8（B）に示す液晶表示装置804は、複数設けられる画素805に光センサ806、液晶素子807を有する。そのため、図8（A）とは異なり、タッチパネルユニット802を重畳して作製する必要がなく、液晶表示装置の薄型化を図ることができる。なお、画素805とともにゲート線側駆動回路808、信号線側駆動回路809、光センサ用駆動回路810を画素805と同じ基板上に作製することで、液晶表示装置の小型化を図ることができる。なお光センサ806は、アモルファスシリコン等で形成し、酸化物半導体を用いた薄膜トランジスタと重畳して形成する構成としてもよい。

40

【0132】

本実施の形態により、タッチパネルの機能を付加した液晶表示装置において、酸化物半導体膜を用いた薄膜トランジスタを用いることで、静止画の表示の際の、画像の保持特性を向上させることができる。そしてその間の、駆動回路部の動作を停止することで低消費電力化を図ることができる。

【0133】

また、上記図8（A）、（B）に示す表示パネル上に、画素回路と同じ酸化物半導体を用いて作製される薄膜トランジスタを設け、メモリ素子を設ける構成とすることもできる。表示パネル上に設けるメモリ素子には、一例としてタッチパネルでいえば、タッチ部の電気信号のしきい値等の情報を記憶する構成とすればよい。一例として、図8（B）で示し

50

た表示パネルの構成に加えて、メモリ素子 8 1 1 を設けた構成について図 1 3 に示す。また図 1 3 には、基本的なメモリ素子の構成について示している。なお図 1 3 の回路図においては、酸化物半導体を用いたトランジスタとして、OS の符号を付したシンボルで示している。

【0134】

図 1 3 に示すメモリ素子では、トランジスタ 1 6 0 のゲート電極と、トランジスタ 1 6 2 のソース電極またはドレイン電極の一方とは、電氣的に接続されている。また、第 1 の配線 (1 s t L i n e : ソース線とも呼ぶ) とトランジスタ 1 6 0 のソース電極とは、電氣的に接続され、第 2 の配線 (2 n d L i n e : ビット線とも呼ぶ) とトランジスタ 1 6 0 のドレイン電極とは、電氣的に接続されている。また、第 3 の配線 (3 r d L i n e : 第 1 信号線とも呼ぶ) とトランジスタ 1 6 2 のソース電極またはドレイン電極の他方とは、電氣的に接続され、第 4 の配線 (4 t h L i n e : 第 2 信号線とも呼ぶ) と、トランジスタ 1 6 2 のゲート電極とは、電氣的に接続されている。そして、トランジスタ 1 6 0 のゲート電極と、トランジスタ 1 6 2 のソース電極またはドレイン電極の一方は、容量素子 1 6 4 の電極の一方と電氣的に接続され、第 5 の配線 (5 t h L i n e : ワード線とも呼ぶ) と、容量素子 1 6 4 の電極の他方は電氣的に接続されている。

10

【0135】

酸化物半導体を用いたトランジスタ 1 6 0 及びトランジスタ 1 6 2 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 1 6 2 をオフ状態とすることで、トランジスタ 1 6 0 のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子 1 6 4 を有することにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷の保持が容易になり、また、記憶内容の読み出しが容易になる。

20

【0136】

本実施の形態に示すメモリ素子では、トランジスタ 1 6 0 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0137】

はじめに、情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ 1 6 2 がオン状態となる電位として、トランジスタ 1 6 2 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 1 6 0 のゲート電極に与えられる。すなわち、トランジスタ 1 6 0 のゲート電極には、所定の電荷が与えられる (書き込み) 。その後、第 4 の配線の電位を、トランジスタ 1 6 2 がオフ状態となる電位として、トランジスタ 1 6 2 をオフ状態とすることにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷が保持される (保持) 。

30

【0138】

トランジスタ 1 6 2 のオフ電流は極めて小さいから、トランジスタ 1 6 0 のゲート電極の電荷は長時間にわたって保持される。例えば、第 5 の配線に読み出し電位を与えた状態でトランジスタ 1 6 0 がオン状態となるような電位をトランジスタ 1 6 0 のゲート電極に与えることで、トランジスタ 1 6 0 のオン状態が長時間にわたって保持されることになる。また、同様に、トランジスタ 1 6 0 がオフ状態となるような電位をトランジスタ 1 6 0 のゲート電極に与えることで、トランジスタ 1 6 0 のオフ状態が長時間にわたって保持されることになる。ここで、読み出し電位とは、ゲート電極に保持される電荷に応じてトランジスタ 1 6 0 がオン状態またはオフ状態となる第 5 の配線の電位をいうものとする。

40

【0139】

次に、情報の読み出しについて説明する。上述のように、トランジスタ 1 6 0 のオン状態またはオフ状態が保持された状態において、第 5 の配線に読み出し電位を与え、第 1 の配線に所定の電位 (低電位) を与えると、トランジスタ 1 6 0 のオン状態またはオフ状態に応じて、第 2 の配線の電位は異なる値をとる。例えば、トランジスタ 1 6 0 がオン状態の場合には、第 1 の配線の電位に対して、第 2 の配線の電位が低下することになる。逆に、トランジスタ 1 6 0 がオフ状態の場合には、第 2 の配線の電位は変化しない。

50

【 0 1 4 0 】

このように、情報が保持された状態において、第 1 の配線の電位と第 2 の配線の電位とを比較することで、情報を読み出すことができる。

【 0 1 4 1 】

なお、情報を読み出さない場合には、ゲート電極に保持される電荷にかかわらずトランジスタ 1 6 0 がオフ状態となるような電位（または、オン状態となるような電位）を、第 5 の配線に与えればよい。

【 0 1 4 2 】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第 4 の配線の電位を、トランジスタ 1 6 2 がオン状態となる電位として、トランジスタ 1 6 2 をオン状態とする。これにより、第 3 の配線の電位（新たな情報に係る電位）が、トランジスタ 1 6 0 のゲート電極に与えられる。その後、第 4 の配線の電位を、トランジスタ 1 6 2 がオフ状態となる電位として、トランジスタ 1 6 2 をオフ状態とすることにより、新たな情報が保持された状態となる。

【 0 1 4 3 】

このように図 1 3 に示すメモリ素子は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、メモリ素子の高速動作が実現される。

【 0 1 4 4 】

なお、トランジスタ 1 6 2 のソース電極またはドレイン電極は、トランジスタ 1 6 0 のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ 1 6 2 のソース電極またはドレイン電極とトランジスタ 1 6 0 のゲート電極が電氣的に接続される部位をフローティングゲート部 F G と呼ぶ場合がある。トランジスタ 1 6 2 がオフの場合、当該フローティングゲート部 F G は絶縁体中に埋設されていると見ることができ、フローティングゲート部 F G には電荷が保持される。酸化物半導体を用いたトランジスタ 1 6 2 では、オフ電流が、シリコン半導体などで形成されるトランジスタの 1 0 万分の 1 以下であるため、トランジスタ 1 6 2 のリークによる、フローティングゲート部 F G に蓄積される電荷の消失を無視することが可能である。

【 0 1 4 5 】

このような構成により、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化という問題を回避することができる。すなわち、電子をフローティングゲートに注入する際の、ゲート絶縁膜の劣化という問題を解消することができる。そして、これにより図 1 3 に示すメモリ素子では、原理的な書き込み回数の制限が存在しない。

【 0 1 4 6 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 1 4 7 】

（実施の形態 4）

本実施の形態においては、上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

【 0 1 4 8 】

図 9（A）は携帯型遊技機であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、記録媒体読込部 9 6 7 2、等を有することができる。図 9（A）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図 9（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 4 9 】

図 9 (B) はデジタルカメラであり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、シャッターボタン 9 6 7 6、受像部 9 6 7 7、等を有することができる。図 9 (B) に示すデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図 9 (B) に示すデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 5 0 】

図 9 (C) はテレビ受像機であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、等を有することができる。図 9 (C) に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図 9 (C) に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 5 1 】

図 9 (D) は、電子計算機 (パーソナルコンピュータ) 用途のモニターであり、筐体 9 6 3 0、表示部 9 6 3 1 等を有することができる。図 9 (D) に示すモニターは、ウィンドウ型表示部 9 6 5 3 が表示部 9 6 3 1 にある例について示している。なお説明のために表示部 9 6 3 1 にウィンドウ型表示部 9 6 5 3 を示したが、他のシンボル、例えばアイコン、画像等であってもよい。パーソナルコンピュータ用途のモニターでは、入力時にのみ画像信号が書き換えられる場合が多く、上記実施の形態における液晶表示装置の駆動方法を適用する際に好適である。なお、図 9 (D) に示すモニターが有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 5 2 】

図 1 0 (A) はコンピュータであり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、ポインティングデバイス 9 6 8 1、外部接続ポート 9 6 8 0 等を有することができる。図 1 0 (A) に示すコンピュータは、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図 1 0 (A) に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 5 3 】

次に、図 1 0 (B) は携帯電話であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、マイクロフォン 9 6 3 8 等を有することができる。図 1 0 (B) に示した携帯電話は、様々な情報 (静止画、動画、テキスト画像など) を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、等を有することができる。なお、図 1 0 (B) に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 5 4 】

次に、図 1 0 (C) は電子ペーパー (E - b o o k ともいう) であり、筐体 9 6 3 0、表示部 9 6 3 1、操作キー 9 6 3 2 等を有することができる。図 1 0 (C) に示した電子ペーパーは、様々な情報 (静止画、動画、テキスト画像など) を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、等を有することができる。なお、図 1 0 (C) に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。別の電子ペーパーの構成について図 1 0 (D) に示す。図 1 0 (D) に示す電子ペーパーは、図 1 0 (C) の電子ペーパーに太陽電池 9 6 5 1

10

20

30

40

50

、及びバッテリー 9 6 5 2 を付加した構成について示している。表示部 9 6 3 1 として反射型の液晶表示装置を用いる場合、比較的明るい状況下での使用が予想され、太陽電池 9 6 5 1 による発電、及びバッテリー 9 6 5 2 での充電を効率よく行うことができ、好適である。なおバッテリー 9 6 5 2 としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

【 0 1 5 5 】

本実施の形態において述べた電子機器は、静止画表示を行う際、低消費電力化を図ることができる。

【 0 1 5 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

10

【符号の説明】

【 0 1 5 7 】

1 0 パルス出力回路

1 1 第 1 の配線

1 2 第 2 の配線

1 3 第 3 の配線

1 4 第 4 の配線

1 5 第 5 の配線

1 7 第 6 の配線

20

1 8 第 7 の配線

2 1 第 1 の入力端子

2 2 第 2 の入力端子

2 3 第 3 の入力端子

2 4 第 4 の入力端子

2 5 第 5 の入力端子

2 6 第 1 の出力端子

2 7 第 2 の出力端子

3 1 第 1 のトランジスタ

3 2 第 2 のトランジスタ

30

3 3 第 3 のトランジスタ

3 4 第 4 のトランジスタ

3 5 第 5 のトランジスタ

3 6 第 6 のトランジスタ

3 7 第 7 のトランジスタ

3 8 第 8 のトランジスタ

3 9 第 9 のトランジスタ

4 0 第 1 0 のトランジスタ

4 1 第 1 1 のトランジスタ

5 1 電源線

40

5 2 電源線

6 1 期間

6 2 期間

1 0 0 液晶表示装置

1 0 1 表示パネル

1 0 2 記憶回路

1 0 3 比較回路

1 0 4 表示制御回路

1 0 5 駆動回路部

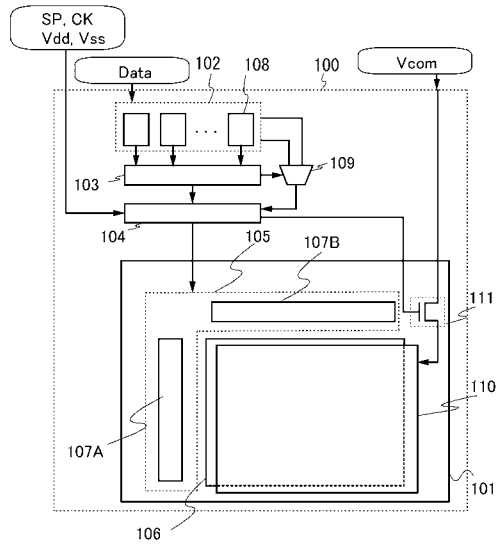
1 0 6 画素回路部

50

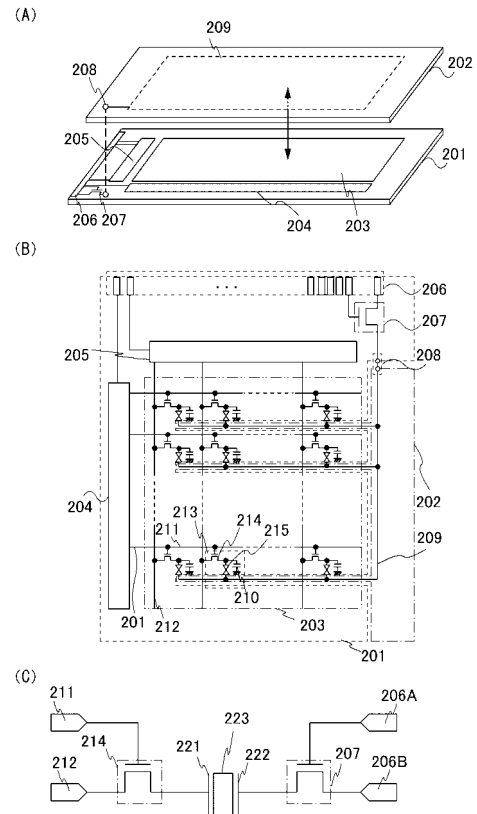
1 0 7 A	ゲート線側駆動回路	
1 0 7 B	信号線側駆動回路	
1 0 8	フレームメモリ	
1 0 9	選択回路	
1 1 0	共通電極部	
1 1 1	スイッチングトランジスタ	
2 2 1	画素電極	
2 2 2	共通電極	
2 2 3	液晶	
1 6 0	トランジスタ	10
1 6 2	トランジスタ	
1 6 4	容量素子	
2 0 1	第 1 の基板	
2 0 2	第 2 の基板	
2 0 3	画素回路部	
2 0 4	ゲート線側駆動回路	
2 0 5	信号線側駆動回路	
2 0 6	端子部	
2 0 6 A	端子	
2 0 6 B	端子	20
2 0 7	スイッチングトランジスタ	
2 0 8	共通接続部	
2 0 9	共通電極	
2 1 0	容量素子	
2 1 1	ゲート線	
2 1 2	信号線	
2 1 3	画素	
2 1 4	画素トランジスタ	
2 1 5	液晶素子	
2 2 1	画素電極	30
2 2 2	共通電極	
2 2 3	液晶	
4 0 1	期間	
4 0 2	期間	
4 0 3	期間	
4 0 4	期間	
6 0 1	期間	
6 0 2	期間	
6 0 3	期間	
6 0 4	期間	40
8 0 1	液晶表示パネル	
8 0 2	タッチパネルユニット	
8 0 3	筐体	
8 0 4	液晶表示装置	
8 0 5	画素	
8 0 6	光センサ	
8 0 7	液晶素子	
8 0 8	ゲート線側駆動回路	
8 0 9	信号線側駆動回路	
8 1 0	光センサ用駆動回路	50

8 1 1	メモリ素子	
1 2 0 0	信号線側駆動回路	
1 2 0 1	ゲート線側駆動回路	
1 2 0 2	画素回路	
1 2 0 4	第 2 の基板	
1 2 0 5	シール材	
1 2 0 6	配向膜	
1 2 0 7	配向膜	
1 2 0 8	接続配線	
1 2 1 0	第 1 の基板	10
1 2 1 1	画素トランジスタ	
1 2 1 4	絶縁層	
1 2 2 3	駆動回路用薄膜トランジスタ	
1 2 3 5	樹脂層	
1 2 4 0	端子部	
1 2 4 1	接続端子	
1 2 4 2	接続配線	
1 2 4 3	接続端子	
1 2 5 0	画素電極	
1 2 5 5	柱状スペーサー	20
1 2 6 1	スイッチングトランジスタ	
1 2 7 0	導電粒子	
1 2 8 0	液晶	
1 2 9 0	第 1 偏光板	
1 2 9 1	共通電極	
1 2 9 3	導電層	
1 2 9 5	第 2 偏光板	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 2	操作キー	30
9 6 3 3	スピーカ	
9 6 3 5	操作キー	
9 6 3 6	接続端子	
9 6 3 8	マイクロフォン	
9 6 5 1	太陽電池	
9 6 5 2	バッテリー	
9 6 5 3	ウインドウ型表示部	
9 6 7 2	記録媒体読込部	
9 6 7 6	シャッターボタン	
9 6 7 7	受像部	40
9 6 8 0	外部接続ポート	
9 6 8 1	ポインティングデバイス	

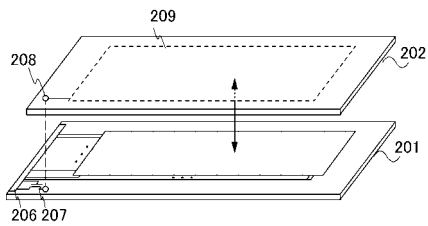
【図 1】



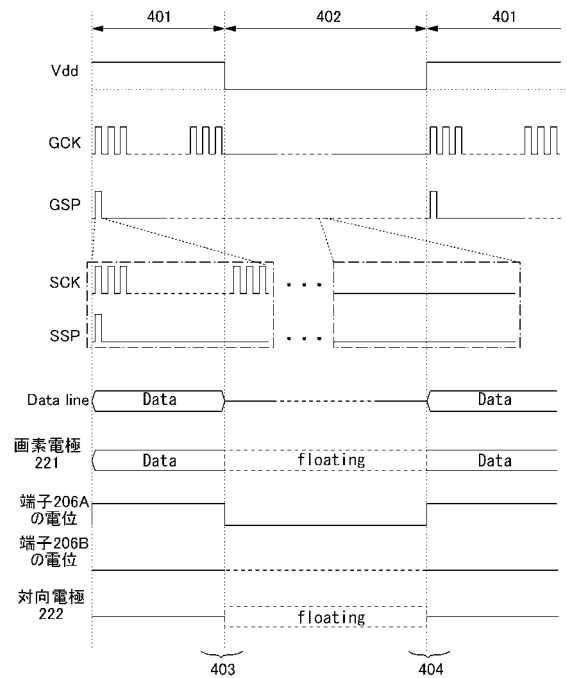
【図 2】



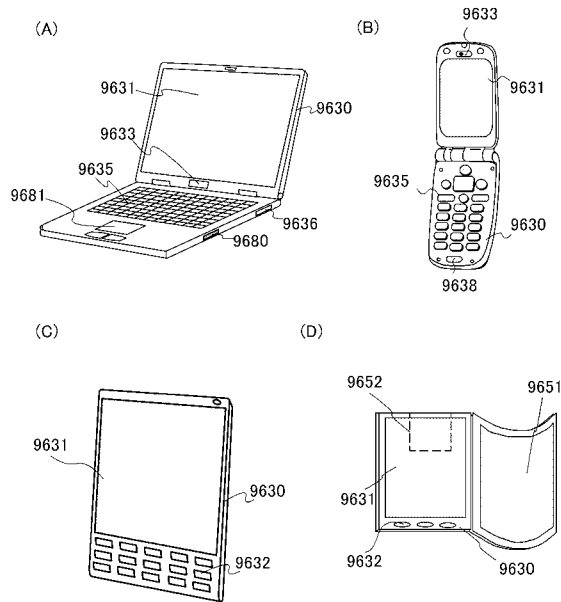
【図 3】



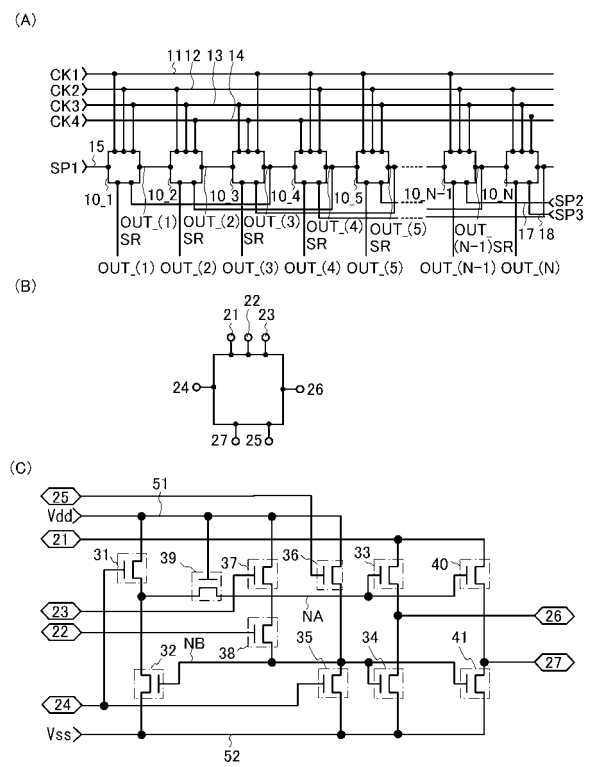
【図 4】



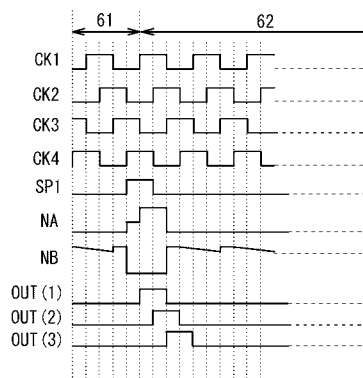
【図 10】



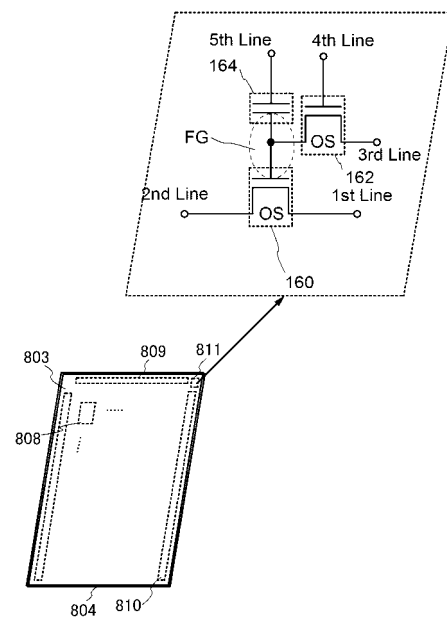
【図 11】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 6 0 V
G 0 9 G	3/20	6 6 0 W
G 0 9 G	3/20	6 6 0 U
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 0 5
G 0 2 F	1/1368	

(56)参考文献 特開 2 0 0 4 - 7 8 1 2 4 (J P , A)
特開 2 0 0 2 - 1 6 9 4 9 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		