



(12) 发明专利

(10) 授权公告号 CN 102693915 B

(45) 授权公告日 2015.02.18

(21) 申请号 201110068717.6

CN 101807605 A, 2010.08.18,

(22) 申请日 2011.03.22

审查员 武树杰

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市张江路 18 号

(72) 发明人 赵猛

(74) 专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈衡 李时云

(51) Int. Cl.

H01L 21/336 (2006.01)

(56) 对比文件

CN 1753188 A, 2006.03.29,

KR 10-0886708 B1, 2009.03.04,

US 7572712 B2, 2009.08.11,

US 2003/0153157 A1, 2003.08.14,

CN 101740393 A, 2010.06.16,

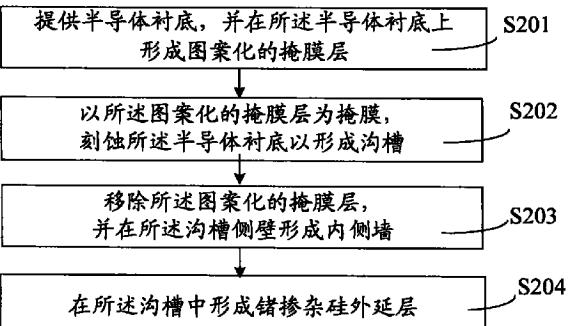
权利要求书1页 说明书4页 附图3页

(54) 发明名称

一种 MOS 晶体管的制造方法

(57) 摘要

本发明提供一种 MOS 晶体管的制造方法，一方面，通过锗掺杂硅外延层来增大电荷迁移率，抑制热载流子效应；另一方面，通过顶部略低的内侧墙，来抑制轻掺杂源 / 漏区 (LD) 离子注入后的径向扩散，控制轻掺杂源 / 漏 (LD) 延伸区的深度，以使超浅结更浅，获得了更长的有效沟道，有效抑制 HCI 效应，显著改善 SCE 及 RSCE 效应，降低器件尺寸减小所带来的击穿效应以及由此引起的结漏电，使得在超浅结工艺中制造更浅的源 / 漏区结深成为可能。



1. 一种 MOS 晶体管的制造方法, 其特征在于, 包括:
提供半导体衬底, 并在所述半导体衬底上形成图案化的掩膜层;
以所述图案化的掩膜层为掩膜, 刻蚀所述半导体衬底以形成沟槽;
移除所述图案化的掩膜层, 并在所述沟槽侧壁形成内侧墙, 所述内侧墙的高度小于所述沟槽的深度;
在所述沟槽中形成锗掺杂硅外延层;
在半导体衬底内形成 N/P 型阱区和隔离所述 N/P 型阱区的浅槽隔离结构;
在所述沟槽上形成栅极结构, 所述栅极结构包括栅介质层和覆盖所述栅介质层的栅极;
以所述栅极结构为掩膜, 在所述半导体衬底表层中进行轻掺杂源 / 漏区离子注入, 形成轻掺杂源 / 漏延伸区, 其中, 所述内侧墙顶部至所述半导体衬底顶部的高度与所述轻掺杂源 / 漏延伸区的特征深度一致;
在所述栅极结构两侧形成栅极侧墙;
以所述栅极结构及栅极侧墙为掩膜, 进行重掺杂源 / 漏极离子注入, 并形成源 / 漏极。
2. 如权利要求 1 所述的 MOS 晶体管的制造方法, 其特征在于, 所述图案化的掩膜层厚度为 $0.015 \mu m \sim 10 \mu m$ 。
3. 如权利要求 1 所述的 MOS 晶体管的制造方法, 其特征在于, 所述沟槽的深度为 $0.06 \mu m \sim 0.6 \mu m$ 。
4. 如权利要求 3 所述的 MOS 晶体管的制造方法, 其特征在于, 所述内侧墙的高度为 $30nm \sim 100nm$ 。
5. 如权利要求 1 或 4 所述的 MOS 晶体管的制造方法, 其特征在于, 所述内侧墙底部的厚度为 $3nm \sim 100nm$ 。
6. 如权利要求 1 所述的 MOS 晶体管的制造方法, 其特征在于, 所述内侧墙是通过沉积或热生长绝缘介质形成的。
7. 如权利要求 6 所述的 MOS 晶体管的制造方法, 其特征在于, 所述绝缘介质为氮化硅, 氧化硅或氮氧化硅的一种或多种。
8. 如权利要求 1 所述的 MOS 晶体管的制造方法, 其特征在于, 所述锗掺杂硅外延层为均匀锗掺杂硅外延层或非均匀锗掺杂硅外延层。
9. 如权利要求 1 所述的 MOS 晶体管的制造方法, 其特征在于, 所述轻掺杂源 / 漏区离子注入采用垂直方式或倾斜方式。
10. 如权利要求 1 所述的 MOS 晶体管的制造方法, 其特征在于, 所述图案化的掩膜层的图案与形成栅极结构时所用掩模层的图案一致。
11. 如权利要求 9 至 10 中任意一项所述的 MOS 晶体管的制造方法, 其特征在于, 所述内侧墙顶部至所述半导体衬底顶部的高度与所述轻掺杂源 / 漏延伸区的特征深度一致。

一种 MOS 晶体管的制造方法

技术领域

[0001] 本发明涉及半导体制造领域，尤其涉及一种 MOS 晶体管的制造方法。

[0002] 背景技术

[0003] 随着 MOSFET 器件尺寸不断缩小，特别是进入到 65 纳米及以下节点，MOSFET 器件由于极短沟道而凸显了各种不利的物理效应，特别是短沟道效应 (SCE)，使得器件性能和可靠性退化，限制了特征尺寸的进一步缩小。目前，通常使用超浅结结构（结深低于 100nm 的掺杂结，USJ），来改善器件的短沟道效应。

[0004] 现有技术中，通常采用第一离子、第二离子依次进行低能量轻掺杂源 / 漏区 (LDD) 离子注入形成轻掺杂源 / 漏延伸区（如图 1 中的 101），达到超浅结的目的。其中，第二离子 LDD 注入通常是为了消除第一离子 LDD 注入时引起的短沟道效应，但是第二离子 LDD 注入易产生瞬时增强扩散效应 (TED)，造成短沟道器件特性退化和结漏电增大，再加上注入的第一离子、第二离子在退火工艺中产生的热载流子注入效应 (HCI)，使得形成的超浅结的深度无法有效降低，进而很难实现器件的 SCE(短沟道效应) 的控制和更低的结漏电性能。

[0005] 发明内容

[0006] 本发明的目的在于提供一种 MOS 晶体管的制造方法，能有效降低超浅结器件的结漏电，并有效控制短沟道效应。

[0007] 为解决上述问题，本发明提出一种 MOS 晶体管的制造方法，该方法包括如下步骤：

[0008] 提供半导体衬底，并在所述半导体衬底上形成图案化的掩膜层；

[0009] 以所述图案化的掩膜层为掩膜，刻蚀所述半导体衬底以形成沟槽；

[0010] 移除所述图案化的掩膜层，并在所述沟槽侧壁形成内侧墙，所述内侧墙的高度小于所述沟槽的深度；

[0011] 在所述沟槽中形成锗掺杂硅外延层。

[0012] 进一步的，所述图案化的掩膜层厚度为 $0.015 \mu m \sim 10 \mu m$ 。

[0013] 进一步的，所述沟槽的深度为 $0.06 \mu m \sim 0.6 \mu m$ 。

[0014] 进一步的，所述内侧墙的高度为 $30nm \sim 100nm$ 。

[0015] 进一步的，所述内侧墙底部的厚度为 $3nm \sim 100nm$ 。

[0016] 进一步的，所述内侧墙是通过沉积或热生长绝缘介质形成的。

[0017] 进一步的，所述绝缘介质为氮化硅，氧化硅或氮氧化硅的一种或多种。

[0018] 进一步的，所述锗掺杂硅外延层为均匀锗掺杂硅外延层或非均匀锗掺杂硅外延层。

[0019] 进一步的，在所述沟槽中形成锗掺杂硅外延层之后，还包括：

[0020] 在半导体衬底内形成 N/P 型阱区和隔离所述 N/P 型阱区的浅槽隔离结构；

[0021] 在所述沟槽上形成栅极结构，所述栅极结构包括栅介质层和覆盖所述栅介质层的栅极；

[0022] 以所述栅极结构为掩膜，在所述半导体衬底表层中进行轻掺杂源 / 漏区离子注入，形成轻掺杂源 / 漏延伸区；

- [0023] 在所述栅极结构两侧形成栅极侧墙；
- [0024] 以所述栅极结构及栅极侧墙为掩膜，进行重掺杂源 / 漏极离子注入，并形成源 / 漏极。
- [0025] 进一步的，所述轻掺杂源 / 漏区离子注入采用垂直方式或倾斜方式。
- [0026] 进一步的，所述图案化的掩膜层的图案与形成栅极结构时所用掩膜层的图案一致。
- [0027] 进一步的，所述内侧墙顶部至所述半导体衬底顶部的高度与所述轻掺杂源 / 漏延伸区的特征深度一致。
- [0028] 与现有技术相比，本发明，一方面，通过锗掺杂硅外延层来增大电荷迁移率，抑制热载流子效应；另一方面，通过顶部略低的内侧墙，来抑制轻掺杂源 / 漏区 (LD) 离子注入后的径向扩散，控制轻掺杂源 / 漏 (LD) 延伸区的深度，以使超浅结更浅。本发明的方法能有效降低 MOS 晶体管超浅结的结漏电，在减小 SCE, TED, HCI 效应的同时，又保持了 MOS 晶体管良好的器件特性。

附图说明

- [0029] 图 1 是现有技术的一种 MOS 晶体管结构示意图；
- [0030] 图 2 是本发明实施例的工艺流程图；
- [0031] 图 3A 至 3E 本发明实施例的剖面结构示意图。

具体实施方式

[0032] 以下结合附图和具体实施例对本发明提出的 MOS 晶体管的制造方法作进一步详细说明。根据下面说明和权利要求书，本发明的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式，仅用于方便、明晰地辅助说明本发明实施例的目的。

[0033] 如图 2 所示，本发明提供一种 MOS 晶体管的制造方法，由 S201 至 S204 所示步骤完成，下面结合图 2 所示的 MOS 晶体管的制造工艺流程图和图 3A ~ 3E 所示的 MOS 晶体管的制造工艺剖面结构示意图对上述 MOS 晶体管的制造方法作详细的描述。

[0034] S201，提供半导体衬底，并在所述半导体衬底上形成图案化的掩膜层。

[0035] 参考图 3A，提供半导体衬底 300，在半导体衬底 300 上形成图案化的掩膜层 301，所述图案化的掩膜层 301 的厚度为 $0.015 \mu m \sim 10 \mu m$ ，其图案与后续工艺中制造栅极（如图 3E 的 308b 所示）时所用的掩模图案一致。

[0036] S202，以所述图案化的掩膜层为掩膜，刻蚀所述半导体衬底以形成沟槽。

[0037] 参考图 3B，以所述图案化的掩膜层 301 为掩膜，对所述半导体衬底 300 进行刻蚀，形成沟槽 302。本实施例中，所述沟槽 302 的底部至所述半导体衬底 300 顶部的高度 D 为 $0.06 \mu m \sim 0.6 \mu m$ 。

[0038] S203，移除所述图案化的掩膜层，并在所述沟槽侧壁形成内侧墙。

[0039] 参考图 3C，移除所述图案化的掩膜层 301，并在所述沟槽 302 侧壁形成内侧墙 303。本实施例中，内侧墙 303 的底部厚度 W 为 $3nm \sim 100nm$ ，内侧墙 303 的顶部至所述半导体衬底 300 的顶部的高度 H 为 $30nm \sim 100nm$ ，通过沉积或热生长绝缘介质形成，所述绝缘介质为氮化硅，氧化硅或氮氧化硅的一种或多种。

[0040] S204，在所述沟槽中形成锗掺杂硅外延层。

[0041] 参考图 3D，在所述沟槽 302 中形成锗掺杂硅外延层 304，所述锗掺杂硅外延层 304 为均匀锗掺杂硅外延层或非均匀锗掺杂硅外延层。本实施例中，所述锗掺杂硅外延层 304 优选为非均匀锗掺杂硅外延层，最大程度上增大电子或空穴迁移率，抑制热载流子效应，提高器件性能。首先，在所述沟槽 302 中以及半导体衬底 300 表面采用 $\text{Si}_{1-x}\text{Ge}_x$ 生长非均匀锗掺杂硅外延层，可以通过改变 x 的值来改变锗的掺杂浓度，进而形成非均匀掺杂；接着，对生长的所述非均匀锗掺杂硅外延层材料进行化学机械平坦化 (CMP)，直至暴露出所述半导体衬底 300 的顶部，从而在沟槽 302 中形成了锗掺杂硅外延层 304。

[0042] 参考图 3E，进一步的，在所述沟槽 302 中形成锗掺杂硅外延层之后，还包括：

[0043] (a) 在所述半导体衬底 300 内形成 N/P 型阱区 305 和用以所述隔离 N/P 型阱区 305 的浅槽隔离结构 306。

[0044] (b) 在所述沟槽上形成栅极结构 307，所述栅极结构 307 包括栅介质 308a 和覆盖所述栅介质层 307a 的栅极 307b。

[0045] 本实施例中，在沟槽 302 上采用化学气相沉积工艺及刻蚀工艺形成栅介质层 304 和栅极 305，所述栅极 305 形成于栅介质层 304 上方，栅介质层 304 和栅极 305 构成栅极结构。栅介质层 304 可以为氧化硅或氮氧化硅，在 65nm 技术节点以下，优选高介电常数 (高 K) 材料，如氧化铝，氧化锆，氧化铪等。栅极 305 一般为多晶硅；形成栅极结构 307 时所用栅极掩模层的图案与图 3A, 3B 中的所述图案化的掩膜层 301 的图案一致。

[0046] (c) 以所述栅极结构 307 为掩膜，在所述半导体衬底 300 表层中进行轻掺杂源 / 漏区离子注入，形成轻掺杂源 / 漏延伸区 308。

[0047] 本实施例中，以栅极结构 307 为掩膜，在所述半导体衬底 300 中采用垂直方式或倾斜方式进行轻掺杂源 / 漏区离子注入，在氮气或氩气等惰性气体环境下快速退火，激活注入离子和消除注入缺陷，形成轻掺杂源 / 漏延伸区 308，通过顶部略低的内侧墙 303，使得所述内侧墙 303 顶部至所述半导体衬底 300 顶部的高度与所述轻掺杂源 / 漏延伸区 308 的特征深度一致，抑制了轻掺杂源 / 漏 (LDD) 区离子注入后的径向扩散，控制了轻掺杂源 / 漏 (LDD) 延伸区 308 的深度，以使超浅结更浅，获得了更长的有效沟道，从而在保持器件的电学特性的同时，有效抑制 HCI 效应，显著改善 SCE 及 RSCE 效应，降低器件尺寸减小所带来的击穿效应以及由其引起的结漏电。

[0048] (e) 在所述栅极结构 307 两侧形成栅极侧墙 309。栅极侧墙 309 采用的材料可以为氧化硅、氮化硅、氮氧化硅中的一种或多种。

[0049] (f) 以所述栅极结构 307 及栅极侧墙 309 为掩膜，进行重掺杂源 / 漏极离子注入，并形成源 / 漏极。

[0050] 本实施例中，以栅介质层 307a，栅极 307b 及栅极侧墙 309 为掩膜，在栅介质层 307a，栅极 307b 两侧的半导体衬底 300 中进行离子注入，并对半导体衬底 300 进行快速退火处理，使注入离子扩散均匀，形成源 / 漏区 310，进一步形成源漏极，完成 MOS 晶体管的制作。

[0051] 综上所述，本发明，一方面，通过锗掺杂硅外延层来增大电荷迁移率，抑制热载流子效应；另一方面，通过顶部略低的内侧墙，来抑制轻掺杂源 / 漏区 (LDD) 离子注入后的径向扩散，控制轻掺杂源 / 漏 (LDD) 延伸区的深度，以使超浅结更浅，获得了更长的有效沟道，

有效抑制 HCI 效应,显著改善 SCE 及 RSCE 效应,降低器件尺寸减小所带来的击穿效应以及由其引起的结漏电,使得在超浅结工艺中制造更浅的源 / 漏区结深成为可能,可用于形成 32nm 及以下技术节点的超浅结 MOS 晶体管。

[0052] 显然,本领域的技术人员可以对发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

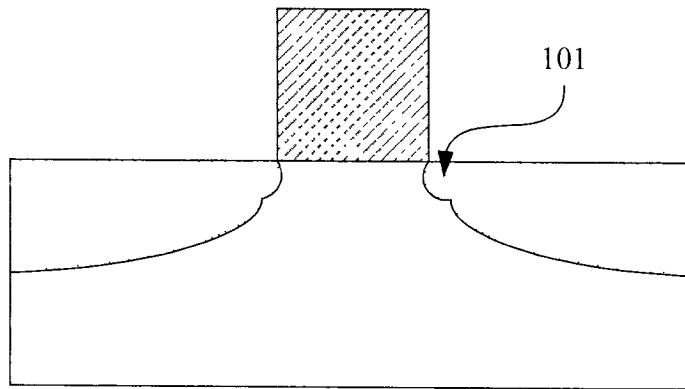


图 1

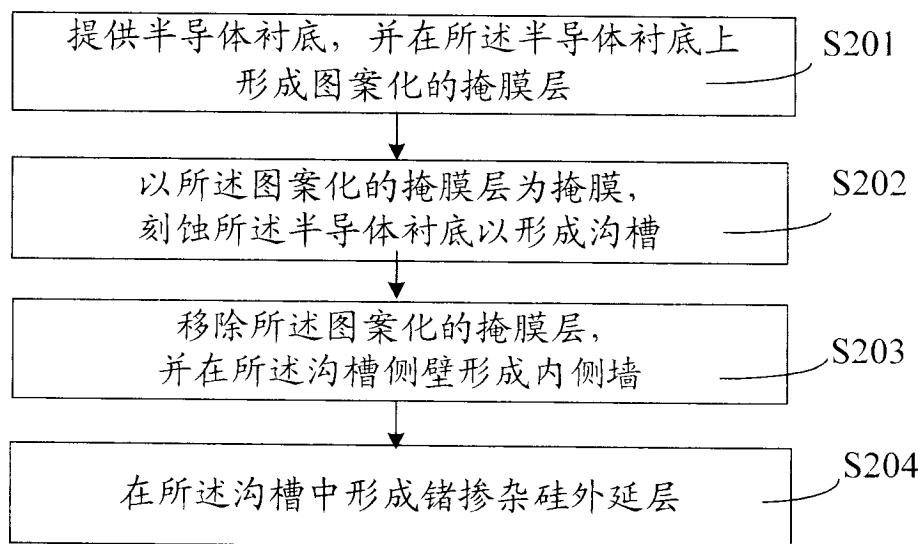


图 2

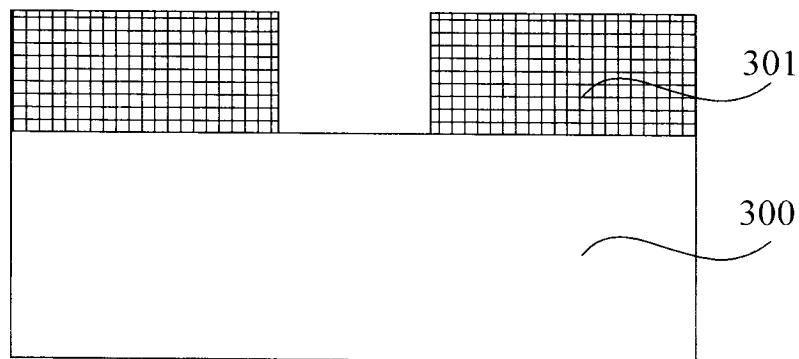


图 3A

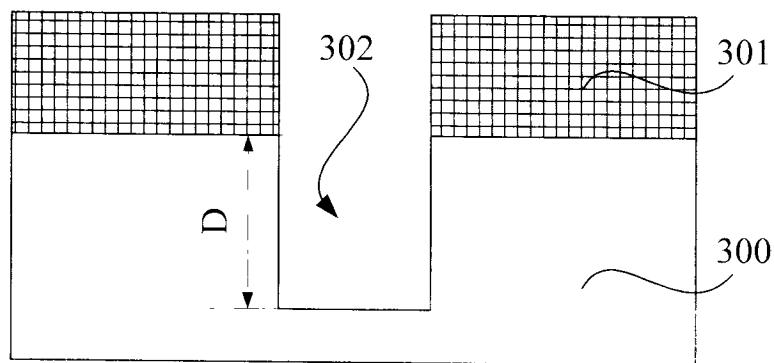


图 3B

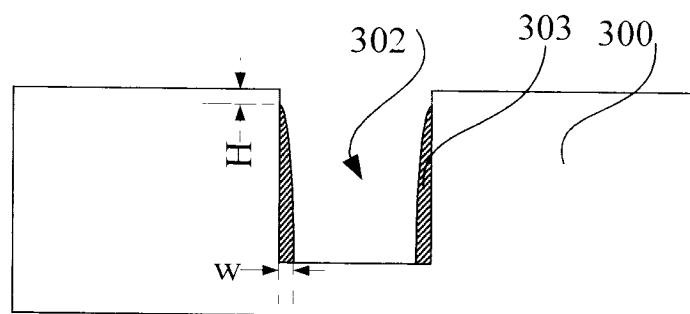


图 3C

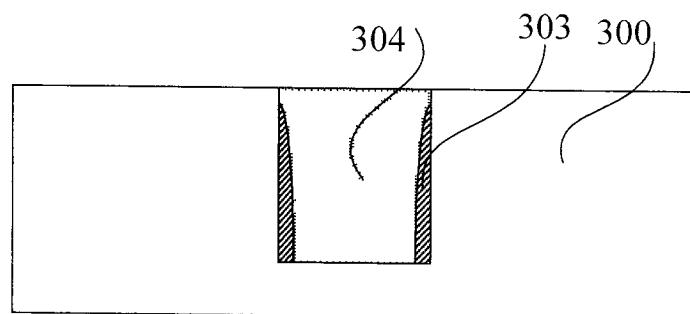


图 3D

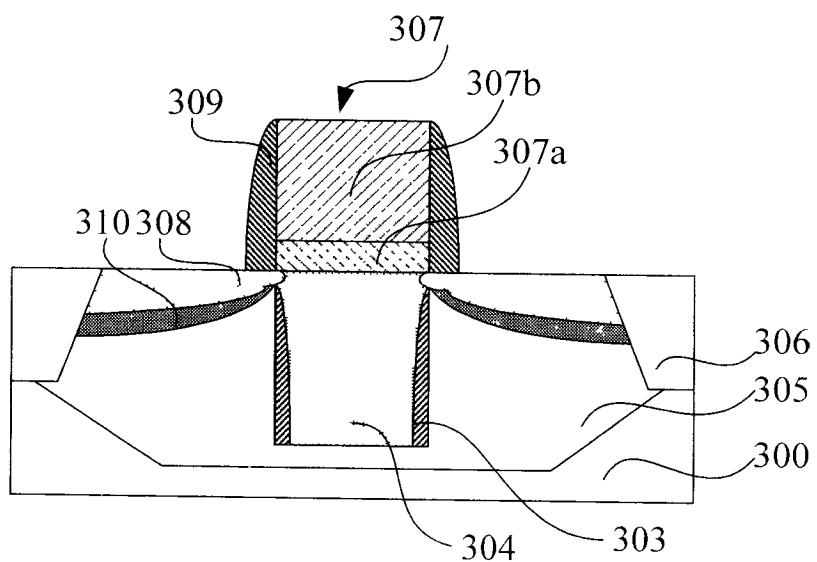


图 3E