



## (12) 发明专利

(10) 授权公告号 CN 101069281 B

(45) 授权公告日 2012. 05. 30

(21) 申请号 200580041392. 5

(22) 申请日 2005. 12. 01

(30) 优先权数据

10/904, 884 2004. 12. 02 US

(85) PCT申请进入国家阶段日

2007. 06. 01

(86) PCT申请的申请数据

PCT/US2005/043474 2005. 12. 01

(87) PCT申请的公布数据

W02006/060575 EN 2006. 06. 08

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 小希里尔·卡布莱尔

切斯特·T·齐奥波科夫斯基

约汉·J·爱丽斯-莫纳甘 方隼飞

克里斯蒂安·拉沃伊 骆志炯

詹姆斯·S·纳考斯

安·L·斯廷根 克莱门特·H·万

(74) 专利代理机构 中国国际贸易促进委员会专  
利商标事务所 11038

代理人 杜娟

(51) Int. Cl.

H01L 21/8238(2006. 01)

H01L 21/3205(2006. 01)

H01L 21/4763(2006. 01)

H01L 21/44(2006. 01)

(56) 对比文件

US 4599789 A, 1986. 07. 15, 全文.

US 5824578 A, 1998. 10. 20, 全文.

US 6589836 B1, 2003. 07. 08, 说明书第 2 栏  
第 51 行至第 5 栏第 15 行和附图 4-7.

US 6787464 B1, 2004. 09. 07, 全文.

US 5989950 A, 1999. 11. 23, 全文.

审查员 陈源

权利要求书 3 页 说明书 8 页 附图 18 页

(54) 发明名称

在 CMOS 技术中形成自对准双重硅化物的方法

(57) 摘要

一种制造互补金属氧化物半导体 (CMOS) 器件的方法, 其中该方法包括如下步骤: 在半导体衬底 (102) 中形成用于容纳第一类型半导体器件 (130) 的第一阱区 (103); 在半导体衬底 (102) 中形成用于容纳第二类型半导体器件 (140) 的第二阱区 (104); 用掩模 (114) 屏蔽第一类型半导体器件 (130); 在第二类型半导体器件 (140) 上淀积第一金属层 (118); 在第二类型半导体器件 (140) 上形成第一自对准硅化物; 去除掩模 (114); 在第一和第二类型半导体器件 (130、140) 上淀积第二金属层 (123); 和在第一类型半导体器件 (130) 上形成第二自对准硅化物。该方法只需要一个图案层次, 并消除了图案重叠, 这还简化了在不同器件上形成不同硅化物材料的工艺。

1. 一种制造互补金属氧化物半导体 CMOS 器件的方法,所述方法包括以下步骤:  
在半导体衬底 (102) 中形成用于容纳第一类型半导体器件 (130) 的第一阱区 (103);  
在所述半导体衬底 (102) 中形成用于容纳第二类型半导体器件 (140) 的第二阱区 (104);  
用掩模 (114) 屏蔽所述第一类型半导体器件 (130);  
在所述第一和第二类型半导体器件 (130、140) 上淀积第一金属层 (118);  
在所述第二类型半导体器件 (140) 上形成第一自对准硅化物;  
去除所述掩模 (114);  
在第一和第二类型半导体器件 (130、140) 上淀积第二金属层 (123);和  
在所述第一类型半导体器件 (130) 上形成第二自对准硅化物。
2. 根据权利要求 1 所述的方法,还包括从所述第二类型半导体器件 (140) 去除所述第二金属层 (123) 的步骤。
3. 根据权利要求 1 所述的方法,其中所述第一阱区 (103) 被构成为 NFET 即 N 型场效应晶体管阱区,所述第二阱区 (104) 被构成为 PFET 即 P 型场效应晶体管阱区。
4. 根据权利要求 1 所述的方法,其中所述第一阱区 (103) 被构成为 PFET 即 P 型场效应晶体管阱区,所述第二阱区 (104) 被构成为 NFET 即 N 型场效应晶体管阱区。
5. 根据权利要求 1 所述的方法,其中所述第一金属层 (118) 由不同于所述第二金属层 (123) 的材料形成。
6. 根据权利要求 1 所述的方法,其中所述第一类型半导体器件 (130) 是通过以下步骤形成的:  
在所述第一阱区 (103) 上构成绝缘层 (112);  
在所述绝缘层 (112) 上构成栅区 (114);  
在所述栅区 (114) 的相对侧上形成绝缘间隔物 (111);和  
在所述第一阱区 (103) 中注入源 / 漏区 (129)。
7. 根据权利要求 1 所述的方法,其中所述第二类型半导体器件 (140) 是通过以下步骤形成的:  
在所述第二阱区 (104) 上构成绝缘层 (107);  
在所述绝缘层 (107) 上构成栅区 (108);  
在所述栅区 (108) 的相对侧上形成绝缘间隔物 (109);和  
在所述第二阱区 (104) 中注入源 / 漏区 (128)。
8. 根据权利要求 1 所述的方法,还包括在所述第一金属层 (118) 和所述第二金属层 (123) 中的每一个上形成覆盖层的步骤。
9. 根据权利要求 8 所述的方法,其中所述覆盖层包括 TiN、Ti 和 TaN 中的任何一种。
10. 根据权利要求 1 所述的方法,其中所述第一金属层 (118) 和所述第二金属层 (123) 包括 Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb 及其合金中的任何一种。
11. 一种在半导体衬底上形成集成电路的方法,所述方法包括以下步骤:  
在所述半导体衬底 (102) 上形成第一和第二类型半导体器件 (130、140) 中的每一个;  
在所述第一和第二类型半导体器件 (130、140) 上淀积第一金属层 (118);  
只在所述第二类型半导体器件 (140) 上形成第一自对准硅化物;

在所述第一和第二类型半导体器件 (130、140) 上淀积第二金属层 (123) ;和  
只在所述第一类型半导体器件 (130) 上形成第二自对准硅化物。

12. 根据权利要求 11 所述的方法,还包括在淀积所述第一金属层 (118) 之前用掩模 (114) 屏蔽所述第一类型半导体器件 (130) 的步骤。

13. 根据权利要求 12 所述的方法,还包括在形成所述第一自对准硅化物之后去除所述掩模 (114)。

14. 根据权利要求 11 所述的方法,还包括从所述第二类型半导体器件 (140) 上去除所述第二金属层 (123)。

15. 根据权利要求 11 所述的方法,其中所述第一金属层 (118) 由不同于所述第二金属层 (123) 的材料形成。

16. 根据权利要求 11 所述的方法,其中所述第一类型半导体器件 (130) 是通过如下步骤形成的:

在第一阱区 (103) 上构成绝缘层 (112);  
在所述绝缘层 (112) 上构成栅区 (114);  
在所述栅区 (114) 的相对侧上形成绝缘间隔物 (111);和  
在所述第一阱区 (103) 中注入源 / 漏区 (129)。

17. 根据权利要求 16 所述的方法,其中所述第一阱区 (103) 被构成为 NFET 即 N 型场效应晶体管阱区和 PFET 即 P 型场效应晶体管阱区中的任何一个。

18. 根据权利要求 11 所述的方法,其中所述第二类型半导体器件 (140) 是通过如下步骤形成的:

在第二阱区 (104) 上构成绝缘层 (107);  
在所述绝缘层 (107) 上构成栅区 (108);  
在所述栅区 (108) 的相对侧上形成绝缘间隔物 (109);和  
在所述第二阱区 (104) 中注入延伸区和源 / 漏区 (128)。

19. 根据权利要求 18 所述的方法,其中所述第二阱区 (140) 被构成为 NFET 即 N 型场效应晶体管阱区和 PFET 即 P 型场效应晶体管阱区中的任何一个。

20. 根据权利要求 11 所述的方法,还包括在所述第一金属层 (118) 和所述第二金属层 (123) 中的每一个上形成覆盖层。

21. 根据权利要求 20 所述的方法,其中所述覆盖层包括 TiN、Ti 和 TaN 中的任何一种。

22. 根据权利要求 11 所述的方法,其中所述第一金属层 (118) 和第二金属层 (123) 包括 Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb 及其合金中的任何一种。

23. 一种在半导体衬底上形成金属硅化物层的方法,所述方法包括以下步骤:

在所述半导体衬底 (202) 中形成用于容纳第一类型半导体器件 (230) 的第一阱区 (203);

在所述半导体衬底 (202) 中形成用于容纳第二类型半导体器件 (240) 的第二阱区 (204);

在所述第二类型半导体器件 (240) 上选择性地形成第一金属层 (221);

在所述第一金属层 (221) 上淀积覆盖层 (222);

在所述覆盖层 (222) 和所述第一和第二类型半导体器件 (230、240) 上淀积第二金属层

(223) ;和

在所述第一和第二类型半导体器件 (230、240) 上形成自对准硅化物。

24. 根据权利要求 23 所述的方法,其中所述的在所述第一和第二类型半导体器件上形成所述自对准硅化物是通过以下步骤实现的:

对第一和第二金属层 (221、223) 进行退火;

去除所述覆盖层 (222) ;和

从所述第一和第二类型半导体器件 (230、240) 上去除未反应的金属。

25. 根据权利要求 23 所述的方法,其中所述第一阱区 (203) 被构成为 NFET 即 N 型场效应晶体管阱区,所述第二阱区 (204) 被构成为 PFET 即 P 型场效应晶体管阱区。

26. 根据权利要求 23 所述的方法,其中所述第一阱区 (203) 被构成为 PFET 即 P 型场效应晶体管阱区,所述第二阱区 (204) 被构成为 NFET 即 N 型场效应晶体管阱区。

27. 根据权利要求 23 所述的方法,其中所述第一金属层 (221) 由不同于所述第二金属层 (223) 的材料形成。

28. 根据权利要求 23 所述的方法,其中所述第一类型半导体器件 (230) 是通过如下步骤形成的:

在所述第一阱区 (203) 上构成绝缘层 (212) ;

在所述绝缘层 (212) 上构成栅区 (213) ;

在所述栅区 (213) 的相对侧上形成绝缘间隔物 (211) ;和

在所述第一阱区 (203) 中注入源 / 漏区 (229) 。

29. 根据权利要求 23 所述的方法,其中所述第二类型半导体器件 (240) 是通过如下步骤形成的:

在所述第二阱区 (204) 上构成绝缘层 (207) ;

在所述绝缘层 (207) 上构成栅区 (208) ;

在所述栅区 (208) 的相对侧上形成绝缘间隔物 (209) ;和

在所述第二阱区 (204) 中注入源 / 漏区 (228) 。

30. 根据权利要求 23 所述的方法,还包括在所述形成所述自对准硅化物之前,在所述第二金属层 (223) 上形成第二覆盖层。

31. 根据权利要求 30 所述的方法,其中所述覆盖层 (222) 和所述第二覆盖层包括 TiN、Ti 和 TaN 中的任何一种。

32. 根据权利要求 23 所述的方法,其中所述第一金属层 (221) 和第二金属层 (223) 包括 Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb 及其合金中的任何一种。

## 在 CMOS 技术中形成自对准双重硅化物的方法

[0001] 对相关申请的交叉参考

[0002] 本申请涉及与本申请同时提交的名称为“在 CMOS 器件中形成自对准双重全硅化物栅极的方法”的共同未审美国专利申请（案卷号 FIS920040183US1），这里引入其全部内容供参考。

### 技术领域

[0003] 本发明的实施例一般涉及互补金属氧化物半导体（CMOS）器件制造，特别涉及在 CMOS 技术中形成双重自对准硅化物的方法以提高器件性能。本发明在半导体制造领域中有应用。

### 背景技术

[0004] 代表 Self-ALigned siliCIDE 的术语自对准硅化物（salicide）指的是用自对准方法形成的硅化物。自对准硅化物通常通过在硅层上淀积金属层（如 Ti、Co、Ni 等），然后对该半导体结构进行退火形成。在金属与露出的硅或多晶硅接触的地方形成硅化物。然后选择性地刻蚀掉未反应的金属，留下与下置导电栅极（通常是多晶硅）和源 / 漏结构自动对准的硅化物。术语“硅化物（silicide）”和“自对准硅化物（salicide）”在这里可以互换使用。自对准硅化物工艺通常在 MOS（金属氧化物半导体）和 CMOS 工艺中实施，以便减少接触电阻和表面电阻。

[0005] 图 1 表示在器件 51 的每侧（NFET（N 型场效应晶体管）80 和 PFET（P 型场效应晶体管）70 侧）上具有相同硅化物的常规 CMOS 器件 51。CMOS 器件 51 由具有分别在其中构成的 N 阱（N 型倒置阱）和 P 阱（倒置阱）区 53、54 的衬底 52 构成。浅沟槽隔离区 55 也被包含于 CMOS 器件 51 中。CMOS 器件 51 的 NFET 部分 80 包括由硅化物层 60 覆盖的 NFET 栅极 58。此外，绝缘侧壁间隔物（spacer）59 在 NFET 栅极 58 的周围构成。NFET 栅极电介质 57 位于 NFET 栅极 58 的下面。而且，包括 NFET 源 / 漏硅化物接触部 56 的 NFET 源 / 漏注入区 68 也形成在 NFET 栅极 58 的相对侧上的 P 阱区 54 中。同样，CMOS 器件 51 的 PFET 部分 70 包括由硅化物层 67 覆盖的 PFET 栅极 63。此外，绝缘侧壁间隔物 61 在 PFET 栅极 63 的周围构成。PFET 栅极电介质 62 位于 PFET 栅极 63 的下面。另外，包括 PFET 源 / 漏硅化物接触部 66 的 PFET 源 / 漏注入区 69 也形成在 PFET 栅极 63 的相对侧上的 N 阱区 53 中。如图 1 的均匀阴影部分所示，NFET 源 / 漏硅化物 56、NFET 栅极硅化物层 60、PFET 源 / 漏硅化物 66 和 PFET 栅极硅化物层 67 都包括相同的硅化物材料。

[0006] 然而，这种方案的缺陷之一是：与双重自对准硅化物方案相比时具有非优化的器件性能。事实上，CMOS 器件中的 NFET 和 PFET 区（用于源 / 漏和栅极区）的性能可以通过在各个 NFET 和 PFET 区中施加不同种类的硅化物（双重自对准硅化物工艺）来优化。

[0007] 图 2 到 4 表示形成常规双重自对准硅化物 CMOS 器件 1（即，由两种不同硅化物材料形成的 CMOS 器件 1）的重复步骤。一般情况下，如图 2 所示，双重自对准硅化物工艺涉及在整个器件 1 上淀积第一硅化物阻挡膜（如氧化物或氮化物膜）14。然后，进行第一光刻图案

化和刻蚀工艺,从而去除器件 1 的 NFET 区 40 上的一部分阻挡膜 14。NFET 区 14 由形成在衬底 2 中的 P 阱 4 构成,其中在 P 阱 4 中形成 NFET 源 / 漏注入区 18、在 P 阱 4 上形成 NFET 栅极电介质 7、在栅极电介质 7 上形成 NFET 栅极 8。一对绝缘侧壁 9 也形成在 NFET 栅极 8 的周围。此外,CMOS 器件 1 中也包括浅沟槽隔离区 5。膜 14 的其余部分用于保护器件 1 的 PFET 区 30。PFET 区 30 与 NFET 区 40 类似地构成,其中 PFET 区 30 由形成在衬底 2 中的 N 阱 3 构成,在 N 阱 3 中形成 PFET 源 / 漏注入区 19、在 N 阱 3 上形成 PFET 栅极电介质 12、以及在 PFET 栅极电介质 12 上形成 PFET 栅极 13。一对绝缘侧壁 11 也形成在 PFET 栅极 13 的周围。在 NFET 区 40 上进行自对准硅化物工艺,从而在 NFET 栅极 8 上形成硅化物层 10,并且形成 NFET 源 / 漏硅化物接触部 6。

[0008] 接着,如图 3 所示,从器件 1 去除第一阻挡膜 14,在整个器件 1 上淀积第二硅化物阻挡膜(如氧化物或氮化物膜)15。然后,执行第二光刻图案化和刻蚀工艺,从而去除器件 1 的 PFET 区 30 上方的一部分阻挡膜 15。之后,在 PFET 区 30 上执行自对准硅化物工艺,从而在 PFET 栅极 13 上形成硅化物层 17,并形成 PFET 源 / 漏硅化物接触部 16。如图 4 所示,器件 1 的 NFET 部分 40 上的硅化物不同于器件 1 的 PFET 部分 30 上的硅化物。

[0009] 然而,图 2-4 中所提供的常规两光刻层次的双重自对准硅化物工艺所存在的问题之一是在两个光刻层次之间的处理期间引起的未对准,如图 5 所示(虚线圆圈表示发生未对准的器件 1 的区域)。NFET 区 40 和 PFET 区 30 之间的这种未对准导致器件 1 的向下延伸(在图 5 中表示为 SRAM(同步随机存取存储器)单元布局),这可能导致器件中的高表面电阻或开路 and / 或电路面积,由此导致不良的器件 / 电路性能。因此,需要一种克服这种未对准问题的新的双重自对准硅化物工艺。

## 发明内容

[0010] 鉴于上述原因,本发明的实施例提供一种制造 CMOS 器件的方法,其中该方法包括在半导体衬底中形成用于容纳第一类型半导体器件的第一阱区;在半导体衬底中形成用于容纳第二类型半导体器件的第二阱区;用掩模屏蔽第一类型半导体器件;在第二类型半导体器件上方淀积第一金属层;在第二类型半导体器件上形成第一自对准硅化物;去除掩模;在第一和第二类型半导体器件上淀积第二金属层;以及在第一类型半导体器件上形成第二自对准硅化物。该方法还包括从第二类型半导体器件去除第二金属层。在第一实施例中,第一阱区构成为 NFET 阱区,第二阱区构成为 PFET 阱区。在第二实施例中,第一阱区构成为 PFET 阱区,第二阱区构成为 NFET 阱区。

[0011] 此外,第一金属层由不同于第二金属层的材料形成。此外,第一类型半导体器件是通过如下步骤形成的:在第一阱区上构成绝缘层;在绝缘层上构成栅区;在栅区的相对侧上形成绝缘间隔物;和在第一阱区中注入源 / 漏区。而且,第二类型半导体器件是通过如下步骤形成的:在第二阱区上构成绝缘层;在绝缘层上构成栅区;在栅区的相对侧上形成绝缘间隔物;和在第二阱区中注入源 / 漏区。该方法还包括在第一金属层和第二金属层的每个上形成覆盖层,其中覆盖层包括 TiN、Ti 和 TaN 中的任何一种,并且第一金属层和第二金属层包括 Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb 及其合金中的任何一种。

[0012] 本发明的另一方面提供一种在半导体衬底上形成集成电路的方法,其中该方法包括在半导体衬底上形成第一和第二类型半导体器件中的每一个;在第二类型半导体器件上

形成第一金属层；只在第二类型半导体器件上形成第一自对准硅化物；在第一和第二类型半导体器件上淀积第二金属层；和只在第一类型半导体器件上形成第二自对准硅化物。该方法还包括在淀积第一金属层之前用掩模屏蔽第一类型半导体器件，并在形成第一自对准硅化物之后去除该掩模。此外，该方法还包括从第二类型半导体器件去除第二金属层。而且，第一金属层由不同于第二金属层的材料形成。此外，第一类型半导体器件是通过如下步骤形成的：在第一阱区上构成绝缘层；在绝缘层上构成栅区；在栅区的相对侧上形成绝缘间隔物；和在第一阱区中注入源 / 漏区。

[0013] 另外，根据第一实施例，第一阱区构成为 NFET 阱区和 PFET 阱区中的任何一个。而且，第二类型半导体器件通过如下步骤形成：在第二阱区上构成绝缘层；在绝缘层上构成栅区；在栅区的相对侧上形成绝缘间隔物；和在第二阱区中注入源 / 漏区。根据第二实施例，第二阱区构成为 NFET 阱区和 PFET 阱区中的任何一个。该方法还包括在第一金属层和第二金属层中的每一个上形成覆盖层，其中覆盖层包括 TiN、Ti 和 TaN 中的任何一种，并且第一金属层和第二金属层包括 Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb 及其合金中的任何一种。

[0014] 本发明的另一实施例提供一种在半导体衬底上形成金属硅化物层的方法，其中该方法包括以下步骤：在半导体衬底中形成用于容纳第一类型半导体器件的第一阱区；在半导体衬底中形成用于容纳第二类型半导体器件的第二阱区；在第二类型半导体器件上选择性地形成第一金属层；在第一金属层上淀积覆盖层；在覆盖层和第二类型半导体器件上淀积第二金属层；和在第一和第二类型半导体器件上形成自对准硅化物，其中在第一和第二类型半导体器件上形成自对准硅化物是通过以下步骤实现的：对第一和第二金属层退火；去除覆盖层；和从第一和第二类型半导体器件去除未反应的金属。在第一实施例中，第一阱区构成为 NFET 阱区，第二阱区构成为 PFET 阱区。在第二实施例中，第一阱区构成为 PFET 阱区，第二阱区构成为 NFET 阱区。而且，第一金属层由不同于第二金属层的材料形成。

[0015] 另外，第一类型半导体器件是通过如下步骤形成的：在第一阱区上构成绝缘层；在绝缘层上构成栅区；在栅区的相对侧上形成绝缘间隔物；和在第一阱区中注入源 / 漏区。此外，第二类型半导体器件是通过如下步骤形成的：在第二阱区上构成绝缘层；在绝缘层上构成栅区；在栅区的相对侧上形成绝缘间隔物；和在第二阱区中注入源 / 漏区。该方法还包括在形成自对准硅化物的工艺之前，在第二金属层上形成第二覆盖层，其中所述覆盖层和第二覆盖层包括 TiN、Ti 和 TaN 中的任何一种，并且第一金属层和第二金属层包括 Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb 及其合金中的任何一种。

[0016] 总的来说，本发明的这些实施例提供只利用一个光刻层次的、在用于 CMOS 器件的 NFET 和 PFET 区的源 / 漏区和栅区上形成双重自对准硅化物（即形成不同的自对准硅化物）的双重自对准技术，其中自对准硅化物例如是 NiSi、CoSi<sub>2</sub>、TiSi<sub>2</sub>、WSi<sub>2</sub>、PdSi、PtSi、TaSi<sub>2</sub>、ReSi 等及其合金。这样，本发明的这些实施例减少了所需的光刻层次，大大简化了双重自对准硅化物形成工艺，并消除了一些常规技术所涉及的未对准问题。而且，本发明的这些实施例通过在 NFET 区中形成一种自对准硅化物和 PFET 区中形成不同的自对准硅化物而能够优化 CMOS 器件的性能。

[0017] 按照下面的说明和附图将更容易理解本发明的这些实施例的这些和其它方案。然而，应该理解的是，在表示本发明优选实施例和其各个特定细节的同时，下面的说明只是示意性的，而不限本发明。在不脱离本发明的精神的情况下可以在本发明实施例的范围内

做很多改变和修改,并且本发明的这些实施例包括所有这些修改方式。

## 附图说明

[0018] 通过下面参照附图的详细说明将更好地理解本发明,其中:

[0019] 图 1 是表示在器件的每侧具有相同硅化物的常规自对准硅化物 CMOS 器件的示意图;

[0020] 图 2-4 是表示制造常规双重自对准硅化物 CMOS 器件的重复步骤的示意图;

[0021] 图 5 是表示 CMOS 器件的常规 SRAM 单元布局的示意图;

[0022] 图 6-9 是表示根据本发明第一实施例的制造双重自对准硅化物 CMOS 器件的重复步骤的示意图;

[0023] 图 10-13 是表示根据本发明第二实施例的制造双重自对准硅化物 CMOS 器件的重复步骤的示意图;

[0024] 图 14(A)-14(F) 是表示根据本发明实施例的制造自对准双重硅化物 CMOS 器件的重复步骤的示意图;

[0025] 图 15 是表示根据本发明实施例的硅化物表面电阻的曲线图;

[0026] 图 16 是表示图 14(F) 所示的自对准双重硅化物结构的相对浓度百分比与溅射时间的曲线图;

[0027] 图 17 是表示根据本发明第一实施例的优选方法的流程图;和

[0028] 图 18 是表示根据本发明第二实施例的优选方法的流程图。

## 具体实施方式

[0029] 下面参照附图中所示和在下面说明中介绍的非限制性的实施例更全面地解释本发明的实施例和各个特征及其有利的细节。应该指出的是,附图中所示的特征不一定是按比例绘制的。为了不使本发明的实施例模糊不清而省略了公知元件和处理技术的说明。这里使用的例子只用于帮助理解实施本发明的实施例的方式并进一步使本领域技术人员能够实施本发明实施例。因此,这些例子不应被解释为对本发明实施例范围的限制。

[0030] 如上所述,需要一种新的双重自对准硅化物工艺,克服常规双重自对准硅化物处理中常见的未对准问题。本发明的这些实施例通过提供简化制造方法以在不同器件上形成不同的硅化物材料来满足上述需求,这只需要一个图案层次,由此消除了图案重叠。现在参照附图,特别是图 6-18,其中所有附图中的相似的附图标记一直表示相应的特征,这些附图中示出了本发明的优选实施例。

[0031] 图 6-9 表示根据本发明第一实施例的制造双自对准硅化物 CMOS 器件 101 的重复步骤。如图 6 所示,根据本发明第一实施例的双自对准硅化物工艺包括在整个器件 101 上淀积第一硅化物阻挡膜(例如氧化物、氮化物和 TiN 膜)114。然后,进行第一(和唯一的)光刻图案化和刻蚀工艺,从而去除器件 101 的 NFET 区 140 上的一部分阻挡膜 114。NFET 区 140 包括形成在衬底 102 中的 P 阱 104,其中在 P 阱 104 中形成 NFET 源/漏注入区 128、在 P 阱 104 上形成 NFET 栅极电介质 107、在栅极电介质 107 上形成 NFET 栅极 108。围绕 NFET 栅极 108 还形成一对绝缘侧壁 109。另外,在 CMOS 器件 101 中也包括浅沟槽隔离区 105,以提供 CMOS 器件 101 中的各个器件之间的电气隔离。然后在器件 101 上淀积第一金属层 118。



可选地,可以在第一金属层 118 上形成覆盖层(未示出),从而在后续的退火工艺期间防止硅化物氧化。此外,本领域技术人员很容易理解如何在第一金属层 118 上加入可选的覆盖层。

[0032] 在一个实施例中,衬底 102 包括单晶硅层。或者,衬底 102 可包括任何合适的半导体材料,包括但不限于:硅(Si)、锗(Ge)、磷化镓(GaP)、砷化镓(InAs)、磷化铟(InP)、硅锗(SiGe)、砷化镓(GaAs)、或其它半导体。膜 114 的其余部分保护器件 101 的 PFET 区 130。PFET 区 130 与 NFET 区 140 相似地构成,其中 PFET 区 130 包括形成在衬底 102 中的 N 阱 103,PFET 源/漏注入区 129 形成在 N 阱 103 中,PFET 栅极电介质 112 形成在 N 阱 103 上,以及 PFET 栅极 113 形成在 PFET 栅极电介质 112 上。一对绝缘侧壁 111 也形成在 PFET 栅极 113 周围。而且,倒置阱区(P 阱 104 和 N 阱 103)可使用任何公知技术如高能离子注入和退火来形成。在 NFET 区 140 上进行自对准硅化物工艺,从而在 NFET 栅极 108 上形成硅化物层 110,并形成 NFET 源/漏硅化物接触部 106,如图 7 所示。

[0033] 接着,如图 8 所示,从器件 101 去除硅化物阻挡膜 114,并在整个器件 101 上(即在 NFET 区 140 和 PFET 区 130 上)沉积第二金属层 123。可选地,在第二金属层 123 上形成覆盖层(未示出),以便在后续的退火工艺期间防止硅化物氧化。此外,本领域技术人员将很容易理解如何在第二金属层 123 上加入可选的覆盖层。之后,如图 9 所示,进行退火工艺之后,在 PFET 栅极 113 的相对侧上形成源/漏硅化物接触部 116 并且在 PFET 栅极 113 上形成最终的硅化物层 117。如图 9 所示,器件 101 的 NFET 部分 140 上的硅化物不同于器件 101 的 PFET 部分 130 上的硅化物。而且,只需要在硅化物阻挡膜 114 上执行一个光刻图案化和刻蚀工艺来执行由本发明第一实施例提供的双重自对准硅化物工艺。这样就不需要第二阻挡膜,这与常规技术相反,因此不需要第二图案化工艺。而且,由于只需要一个图案化工艺,因此不存在未对准的问题,由此克服了在常规器件中经常发现的上述未对准问题。

[0034] 上面的说明和附图表示 NFET 区 140 首先经受自对准硅化物工艺,但是本发明实施例不限于这种顺序。此外,PFET 区 130 可以同等地和优选地首先经受自对准硅化物工艺,并且本发明实施例不限于任何特定顺序。事实上,优选地首先在需要较高热预算的器件 101 的一侧(NFET 侧 140 或 PFET 侧 130)上形成硅化物。通过这种方式,可以使在形成第二硅化物期间对第一硅化物造成的影响最小。在本发明实施例中,使用快速热处理(RTP)可以降低热预算。

[0035] 图 10-13 表示根据本发明第二实施例的制造双重自对准硅化物 CMOS 器件 201 的重复步骤,如果这些硅化物(器件两侧上的)具有共同的硅化温度窗口,该实施例使用起来更有利。如图 10 所示,根据本发明第二实施例的双重自对准硅化物工艺包括在整个器件 201 上形成第一金属层 221。然后,在第一金属层 221 上形成覆盖层 222,如 TiN。图 10 所示的 CMOS 器件 201 一般包括 NFET 区 240 和 PFET 区 230,更具体地,包括形成在衬底 202 中的 P 阱 204,在 P 阱 204 中形成 NFET 源/漏注入区 228、在 P 阱 204 上形成 NFET 栅极电介质 207、以及在栅极电介质 207 上形成 NFET 栅极 208。同样,PFET 区 230 包括形成在衬底 202 中的 N 阱 203,在 N 阱 203 中形成 PFET 源/漏注入区 229、在 N 阱 203 上形成 PFET 栅极电介质 212、以及在栅极电介质 212 上形成 PFET 栅极 213。一对绝缘侧壁 211 形成在 PFET 栅极 213 周围,并且一对绝缘侧壁 209 形成在 NFET 栅极 208 周围。此外,在 CMOS 器件 201 中也包含浅沟槽隔离区 205,以便提供 CMOS 器件 201 中的各个器件之间的电气隔离。

[0036] 然后,如图 11 所示,进行第一(并且是唯一的)光刻图案化和刻蚀工艺(优选各向异性干刻蚀工艺),以便去除器件 201 的 PFET 区 230 上的一部分金属层 221 和覆盖层 222。接着,如图 12 所示,在整个器件 201 上淀积第二金属层 223。可以在第二金属层 223 上淀积附加的覆盖层(未示出)。附加的覆盖层(未示出)可以在包括退火的下一工艺步骤期间防止硅化物氧化。此外,本领域技术人员很容易理解如何在第二金属层 223 上加入可选的覆盖层。

[0037] 接下来,如图 13 所示,在形成的这些硅化物(即 NFET 区 240 中的硅化物和 PFET 区 230 中的硅化物)上进行退火工艺,最终得到 NFET 栅极 208 上的硅化物层 210, PFET 栅极 213 上的硅化物层 217,以及 NFET 栅极 208 的相对侧上的源/漏硅化物接触部 206 以及 PFET 栅极 213 的相对侧上的源/漏硅化物接触部 216。如图 13 所示,器件 201 的 NFET 部分 240 上的硅化物不同于器件 201 的 PFET 部分 230 上的硅化物。之后,在刻蚀工艺中选择性地剥离掉未反应的覆盖层 222(如果也淀积了第二可选覆盖层,则包括这些覆盖层)和金属,从而形成如图 13 所示的双重自对准硅化物 CMOS 器件 201。此外,硅化物材料可包括 NiSi、CoSi<sub>2</sub>、TiSi<sub>2</sub>、WSi<sub>2</sub>、PdSi、PtSi、TaSi<sub>2</sub>、ReSi 等及其合金。

[0038] 与本发明第一实施例一样,尽管第二实施例的上面说明和附图表示 PFET 区 230 首先经受自对准硅化物工艺,但是本发明实施例不限于这种顺序。同样, NFET 区 240 可以同等地和优选地首先经受自对准硅化物工艺,并且本发明实施例不限于任何特定顺序。

[0039] 图 14(A)-14(F) 表示根据本发明实施例的制造自对准双重硅化物 CMOS 器件的重复步骤。例如,对于 CoSi<sub>2</sub> 上的 NiSi,可以执行以下顺序(如图 14(A)-14(F) 所示)。该工艺开始于 Si 基底 301(图 14(A)),然后在硅基底 301 上淀积 Co/TiN 层 302(图 14(B))。然后,如图 14(C) 所示,执行第一 RTP,从而形成 CoSi 层 303。接着,剥离 TiN 和未反应的 Co 并进行第二 RTP,从而形成 CoSi<sub>2</sub> 层 304(图 14(D))。之后,在 CoSi<sub>2</sub> 层 304 上淀积 Ni/TiN 层 305,如图 14(E) 所示。接着,执行第三 RTP 以模仿形成 NiSi 的条件。而且,在剥离掉 TiN 层和未反应的 Ni 层之后,可能在第一硅化物 304(这里为 CoSi<sub>2</sub>) 顶部留下包含一部分 NiSi 的非常薄的层 306,如图 14(F) 所示。

[0040] 图 15 表示图 14(A)-14(F) 中所示的 CoSi<sub>2</sub> 上 NiSi 工艺中的三个步骤期间的硅化物表面电阻。如图 15 所示,从第一阶段(CoSi<sub>2</sub> 形成之后)到第二阶段(CoSi<sub>2</sub> 形成之后+50ABHF(缓冲氢氟酸;即 BOE(缓冲氧化物刻蚀)清洗))到第三阶段(CoSi<sub>2</sub> 之后+50ABHF 清洗+NiSi 形成退火),表面电阻没有明显变化。实际上,表面电阻在这三个阶段期间相当恒定地保持在大约 8.1-8.2 欧姆/sq。没有明显的表面电阻变化是有利的,因为这表明在第一硅化物(CoSi<sub>2</sub>) 上几乎没有形成第二硅化物(NiSi)。这通过图 16 所示的俄歇电子深度分布分析被确认。

[0041] 图 16 表示图 14(F) 所示的最终双重自对准硅化物结构的各种材料的相对浓度(%)的深度分布图。它表示具有混合在 Co 硅化物中的一些 Ni 的最终硅化物的顶部只有一个薄层。图 16 表明通过本发明实施例在不同器件区域可以形成不同的硅化物。

[0042] 图 17 和 18 中示出了本发明第一和第二实施例的工艺流程图,其包括参照图 6-16 中提供的元件的文字说明,由此图 17 表示根据本发明第一实施例的制造 CMOS 器件 101 的方法,其中该方法包括在半导体衬底 102 中形成用于容纳第一类型半导体器件 130 的第一阱区 103(401);在半导体衬底 102 中形成用于容纳第二类型半导体器件 140 的第二阱区

104(403) ;用掩模 114 屏蔽第一类型半导体器件 130(405) ;在第二类型半导体器件 140 上淀积第一金属层 118(407) ;在第二类型半导体器件 140 上形成第一自对准硅化物 (409) ;去除掩模 114(411) ;在第一和第二类型半导体器件 130、140 上淀积第二金属层 123(413) ;以及在第一类型半导体器件 130 上形成第二自对准硅化物 (415)。

[0043] 该方法还包括从第二类型半导体器件 140 去除第二金属层 123。在一个实施例中,第一阱区 103 构成 NFET 阱区,第二阱区 104 构成 PFET 阱区。在另一实施例中,第一阱区 103 构成 PFET 阱区,第二阱区 104 构成 NFET 阱区。此外,第一金属层 118 由不同于第二金属层 123 的材料形成。此外,第一类型半导体器件 130 是通过以下步骤形成的:在第一阱区 103 上构成绝缘层 112 ;在绝缘层 112 上构成栅区 114 ;在栅区 114 的相对侧上形成绝缘间隔物 111 ;和在第一阱区 103 中注入延伸和源 / 漏区 129。而且,第二类型半导体器件 140 是通过以下步骤形成的:在第二阱区 104 上构成绝缘层 107 ;在绝缘层 107 上构成栅区 108 ;在栅区 108 的相对侧上形成绝缘间隔物 109 ;和在第二阱区 104 中注入源 / 漏区 128。该方法还包括在第一金属层 118 和第二金属层 123 的每个上可选地形成覆盖层 (未示出),其中覆盖层 (未示出) 包括 TiN、Ti 和 TaN 中的任何一种,并且第一金属层 118 和第二金属层 123 包括 Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb 及其合金中的任何一种。

[0044] 图 18 表示根据本发明第二实施例的工艺流程图,其描述了在半导体衬底 202 上形成金属硅化物层的方法,其中该方法包括在半导体衬底 202 中形成用于容纳第一类型半导体器件 230 的第一阱区 203(501) ;在半导体衬底 202 中形成用于容纳第二类型半导体器件 240 的第二阱区 204(503) ;在第二类型半导体器件 240 上选择性地形成第一金属层 221(505) ;在第一金属层 221 上淀积覆盖层 222(507) ;在覆盖层 222 和第一类型半导体器件 230 上淀积第二金属层 223(509) ;和在第一和第二类型半导体器件 230、240 上形成自对准硅化物 (511),其中形成自对准硅化物的工艺 (511) 是通过以下步骤实现的:对第一和第二金属层 221、223 进行退火,去除覆盖层 222,和从第一和第二类型半导体器件 230、240 去除未反应的金属。该方法还包括在形成自对准硅化物的工艺 (511) 之前可选地在第二金属层 223 上形成第二覆盖层 (未示出),其中覆盖层 222 和第二覆盖层 (未示出) 包括 TiN、Ti 和 TaN 中的任何一种,并且第一金属层 221 和第二金属层 223 包括 Ti、Co、Ni、Pt、Re、W、Pd、Ta、Nb 及其合金中的任何一种。

[0045] 在一个实施例中,第一阱区 203 构成 NFET 阱区,第二阱区 204 构成 PFET 阱区。在另一实施例中,第一阱区 203 构成 PFET 阱区,第二阱区 204 构成 NFET 阱区。而且,第一金属层 221 由不同于第二金属层 223 的材料形成。此外,第一类型半导体器件 230 是通过以下步骤形成的:在第一阱区 203 上构成绝缘层 212 ;在绝缘层 212 上构成栅区 213 ;在栅区 213 的相对侧上形成绝缘间隔物 211 ;和在第一阱区 203 中注入源 / 漏区 229。此外,第二类型半导体器件 240 是通过以下步骤形成的:在第二阱区 204 上构成绝缘层 207 ;在绝缘层 207 上构成栅区 208 ;在栅区 208 的相对侧上形成绝缘间隔物 209 ;和在第二阱区 204 中注入源 / 漏区 228。

[0046] 总地来说,本发明的实施例提供只利用一个光刻层次在用于 CMOS 器件的 NFET 和 PFET 区的源 / 漏区和栅区上形成双重自对准硅化物 (即形成不同的自对准硅化物) 的双重自对准技术,其中自对准硅化物例如是 NiSi、CoSi<sub>2</sub>、TiSi<sub>2</sub>、WSi<sub>2</sub>、PdSi、PtSi、TaSi<sub>2</sub>、ReSi 等及其合金。这样,本发明的这些实施例减少了所需的光刻层次,大大简化了双重自对准硅

化物形成工艺,并消除了一些常规技术所涉及的未对准问题。而且,本发明的这些实施例通过在 NFET 区中形成一种自对准硅化物和 在 PFET 区中形成不同的自对准硅化物而能够优化 CMOS 器件的性能。

[0047] 这些特殊实施例的前述说明如此全面地揭示了本发明的一般原则,通过应用目前的技术,在不脱离一般概念的情况下,很容易修改和 / 改变以适合于这些特殊实施例的各种应用,因此这种改变和修改应该包含在所公开的实施例的等同物的含义和范围内。应该理解的是,这里采用的措词或技术术语只是用于说明目的,而不是限制。因此,前面已经利用优选实施例介绍了本发明,本领域技术人员将认识到,在所附权利要求的精神和范围内可以修改本发明的这些实施例。

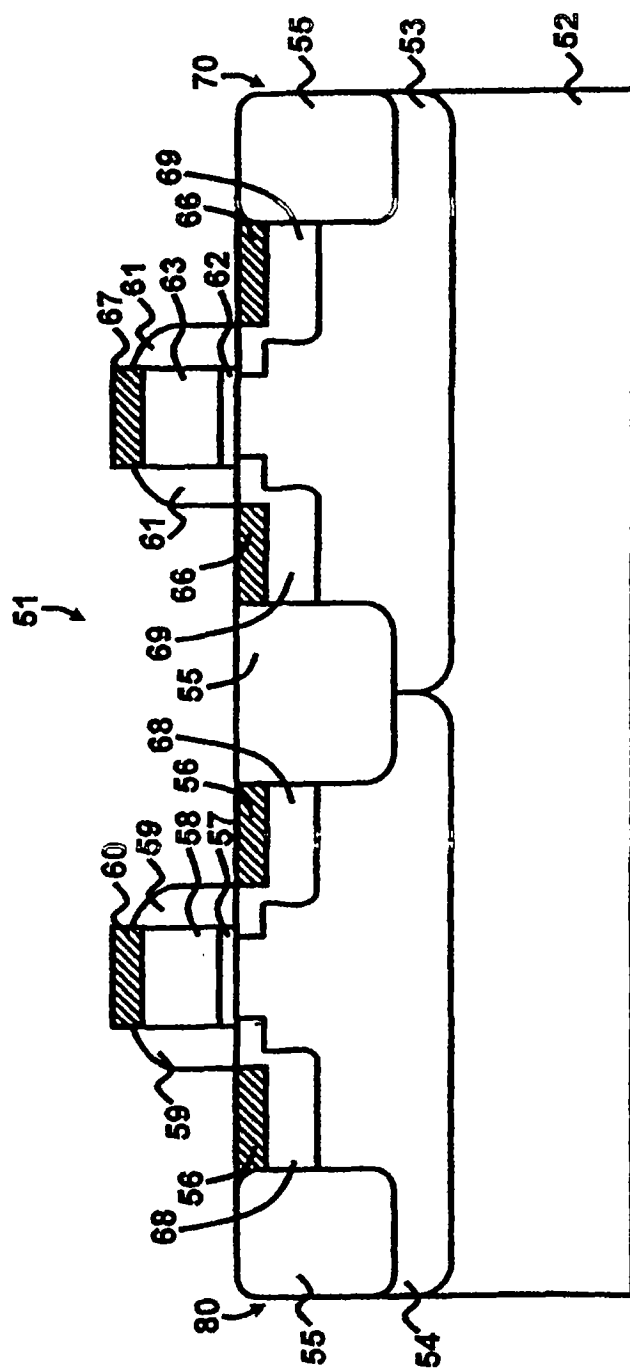


图1  
(现有技术)

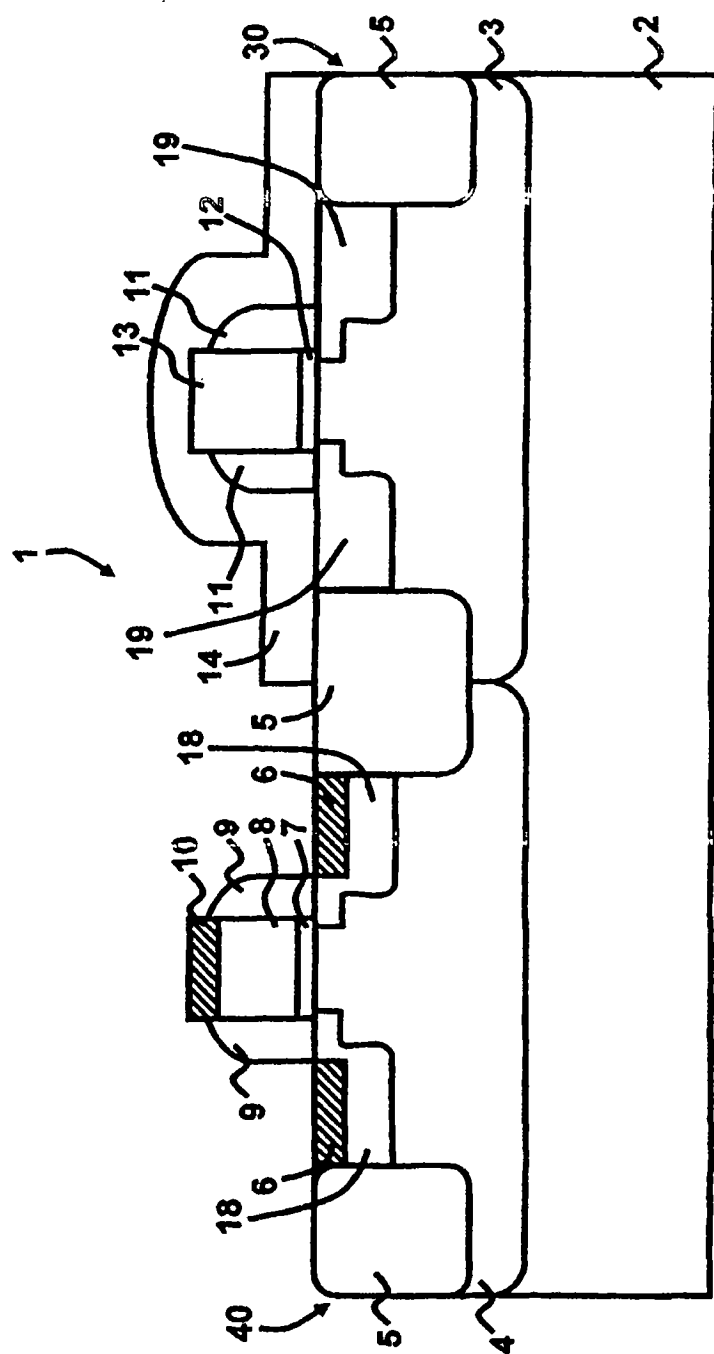


图2  
(现有技术)

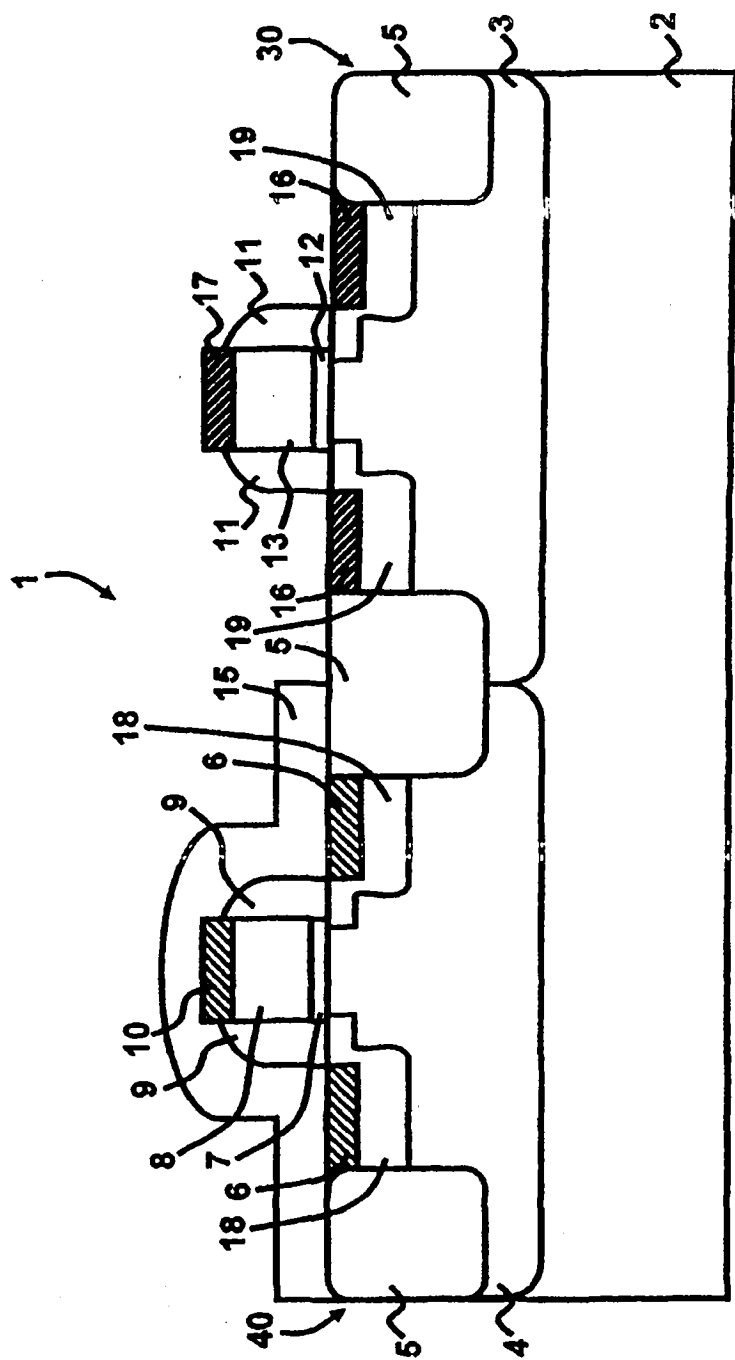


图3  
(现有技术)

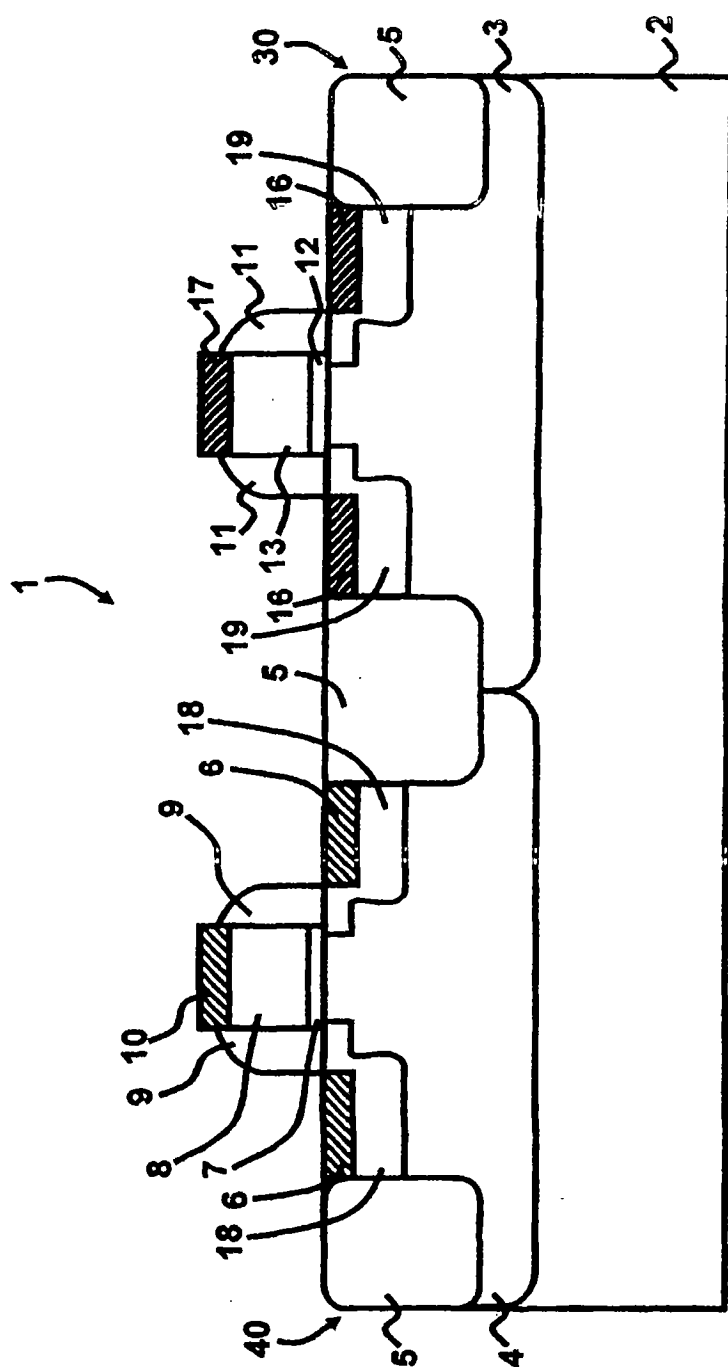


图4  
(现有技术)



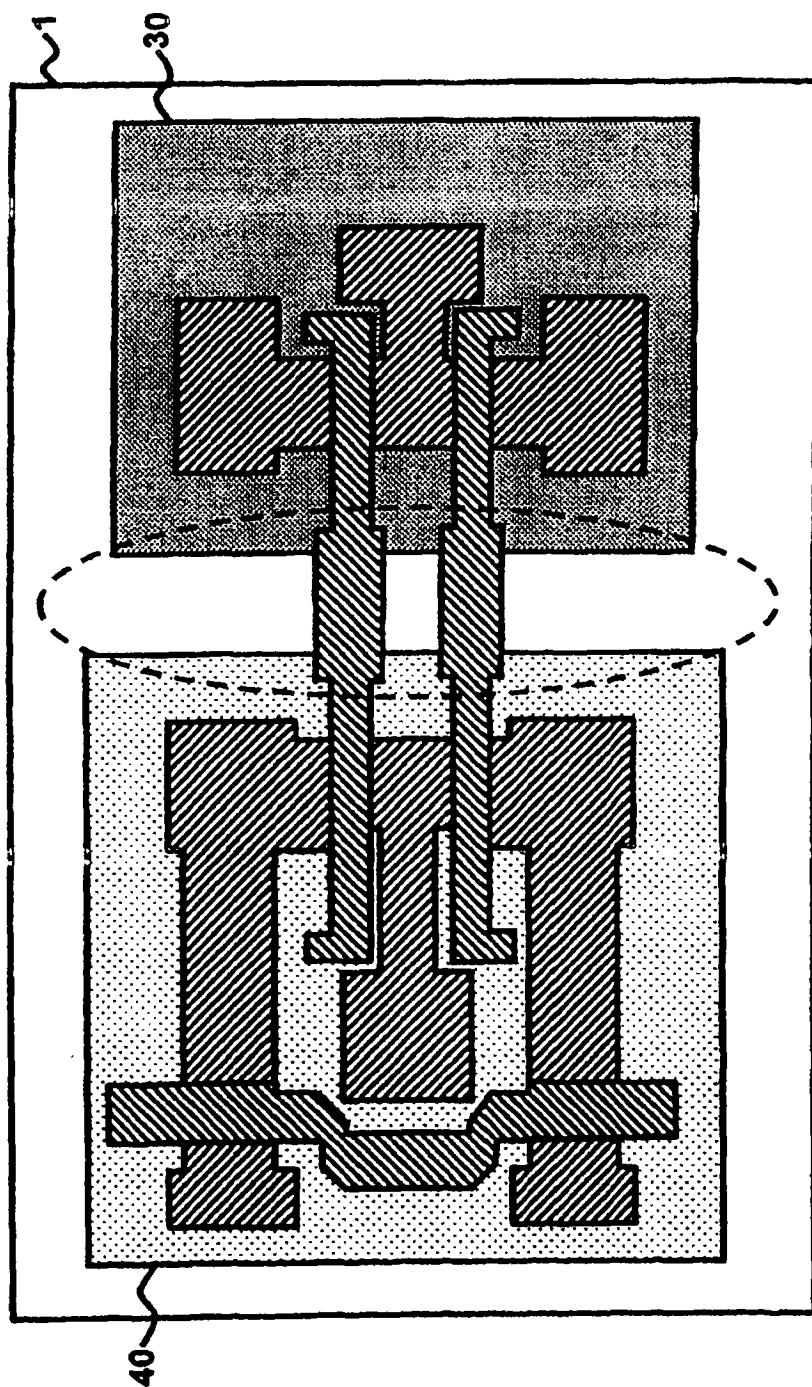


图5 (现有技术)

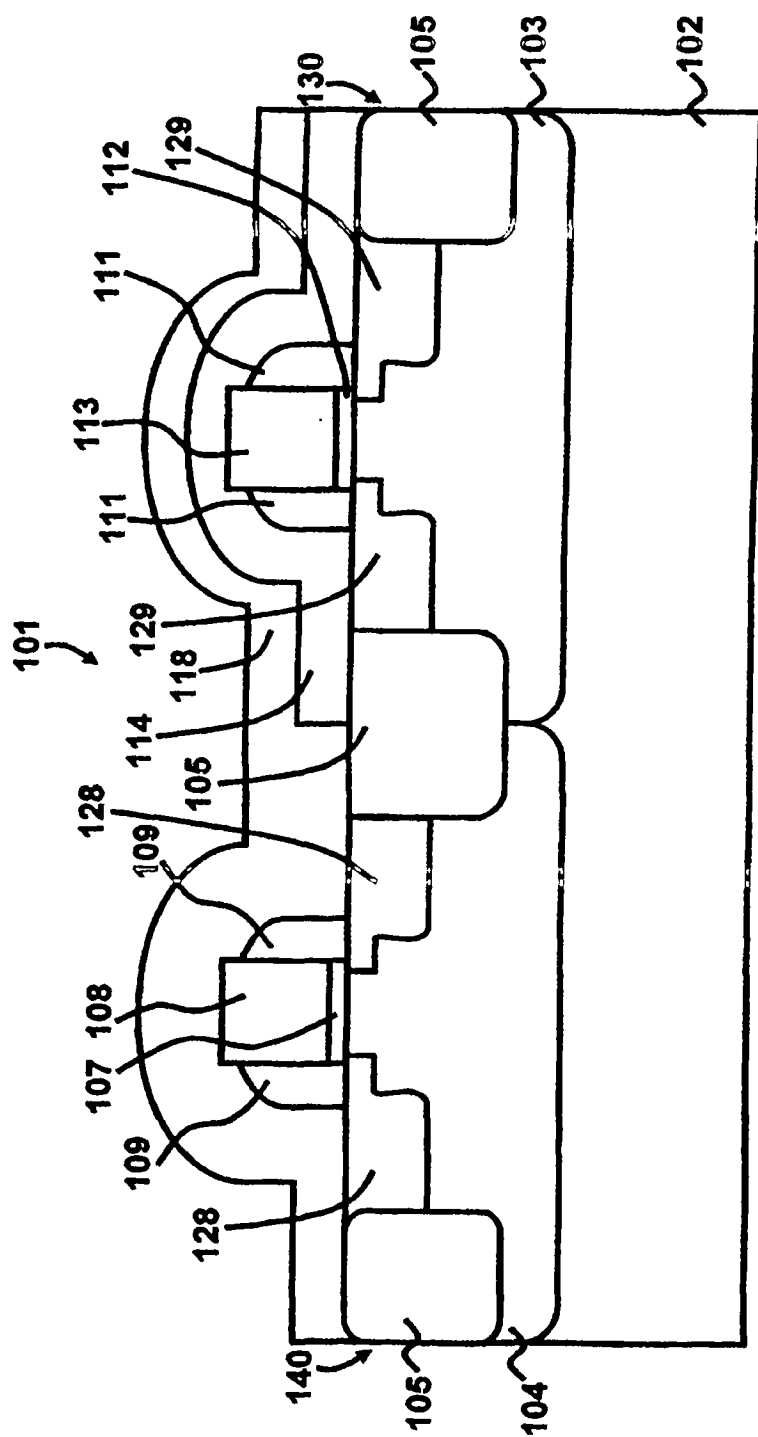


图6

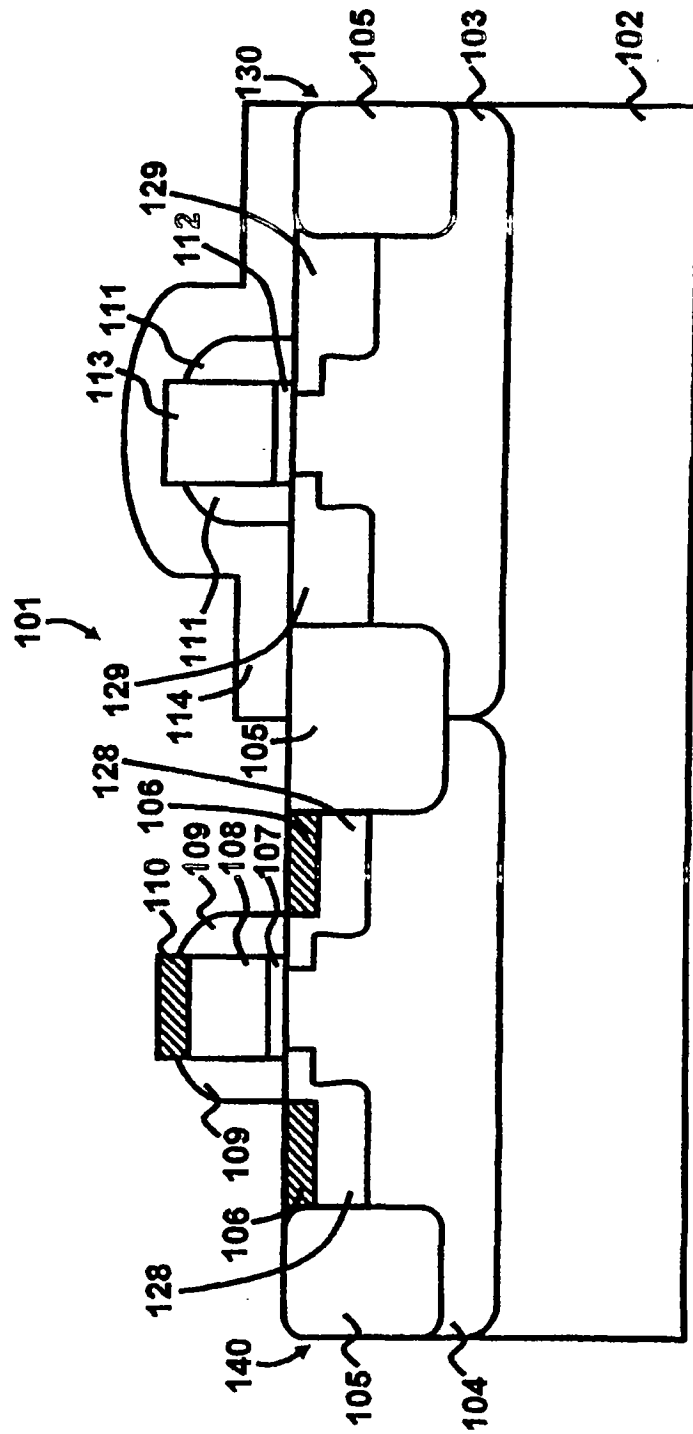
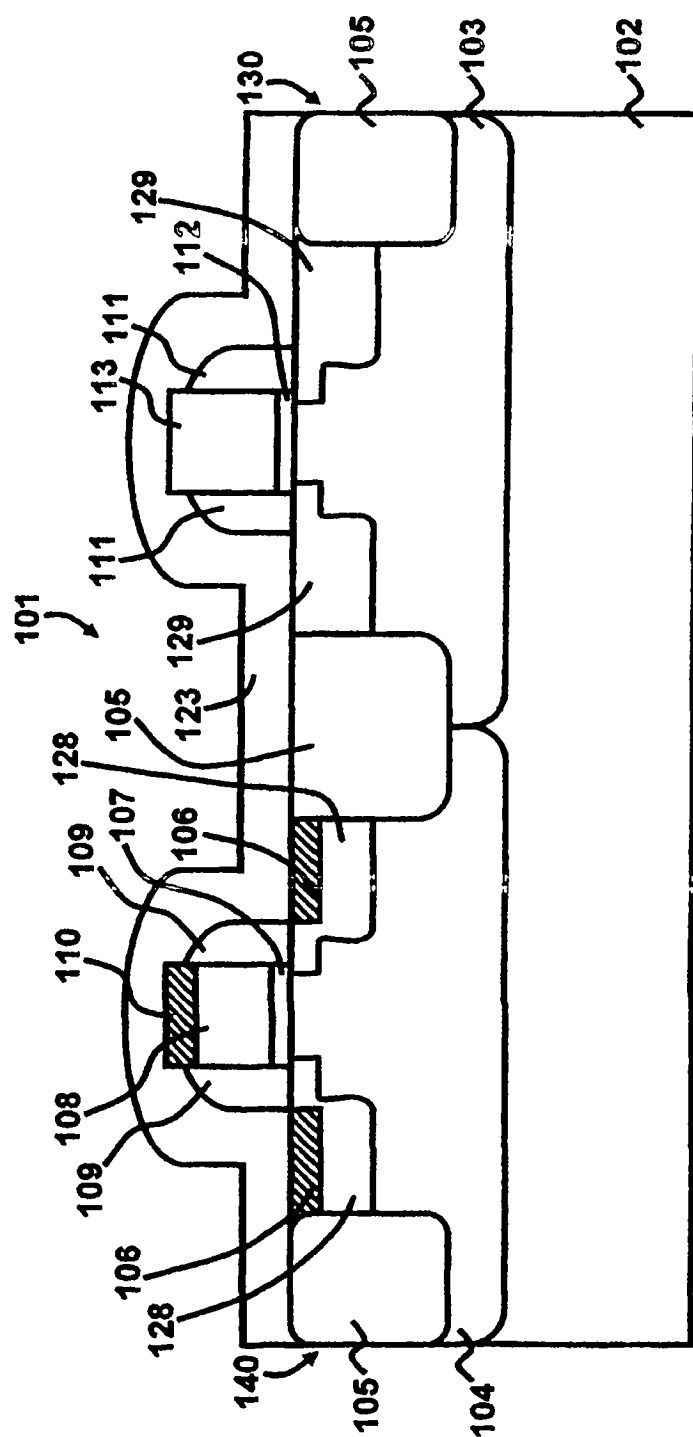
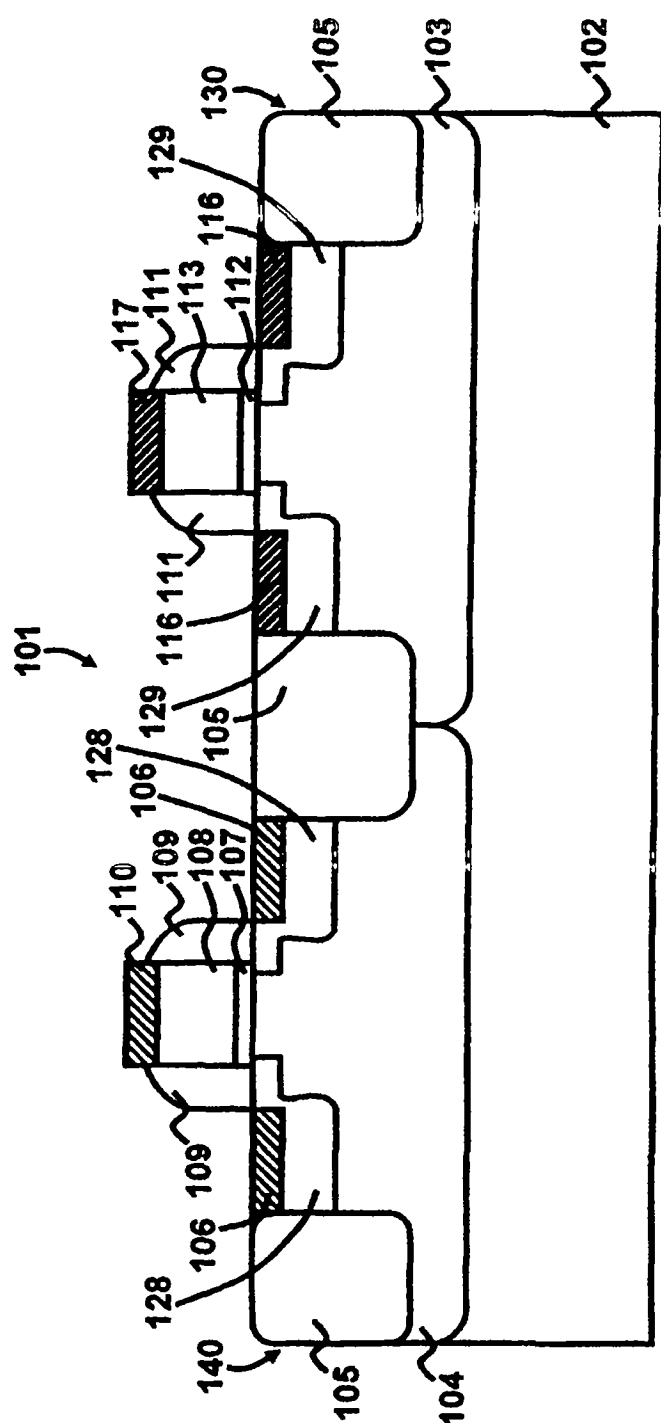


图7



8  
[X]



9

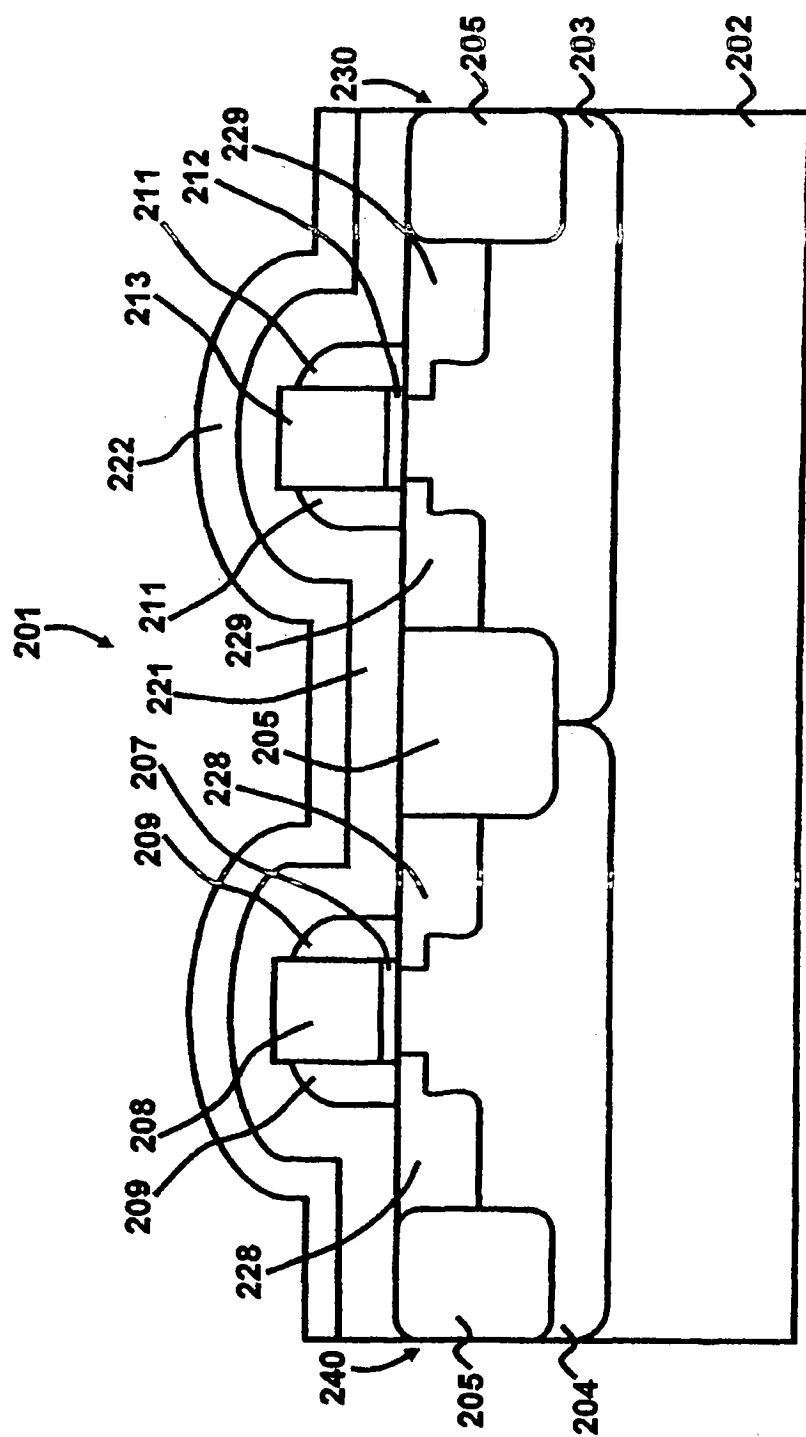


图 10

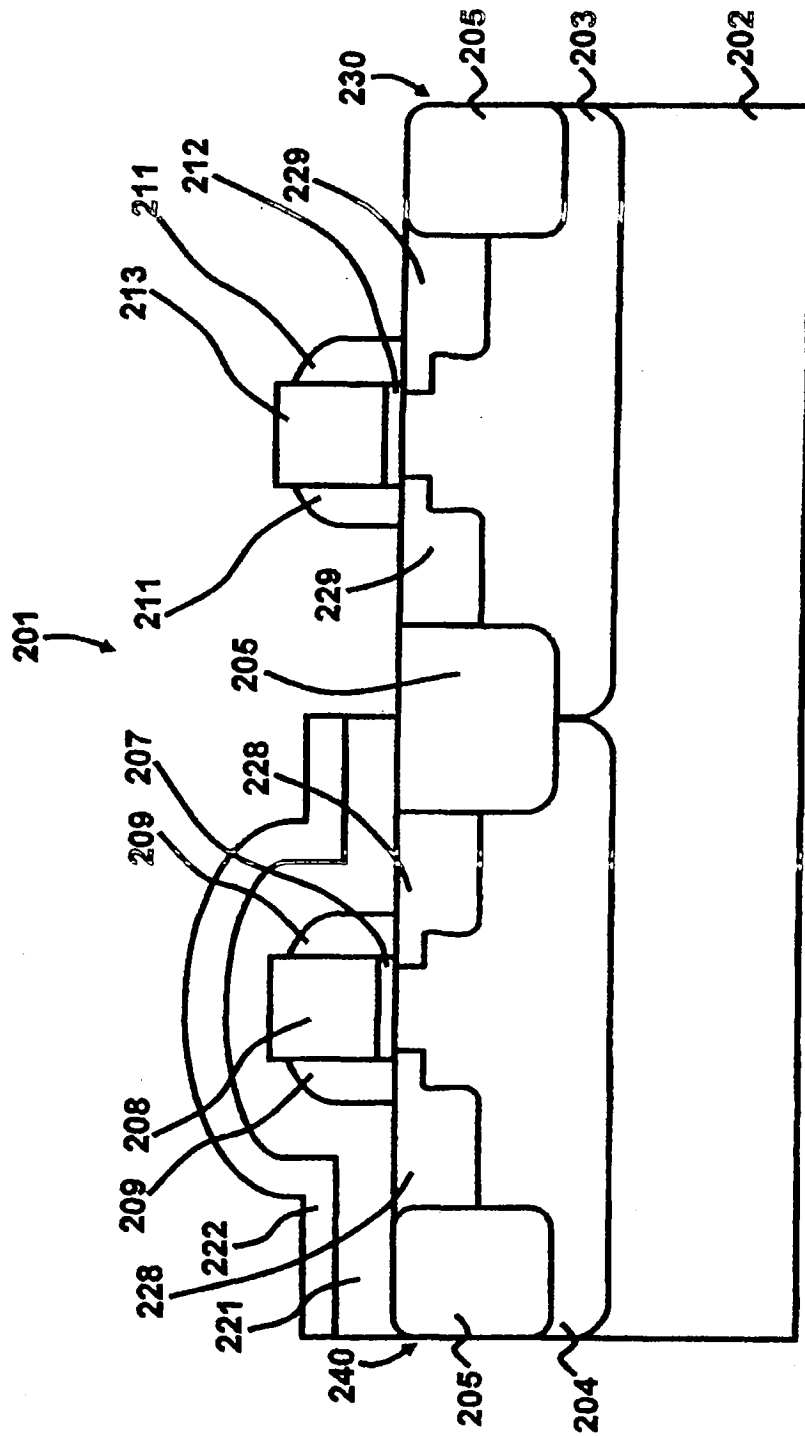


图11

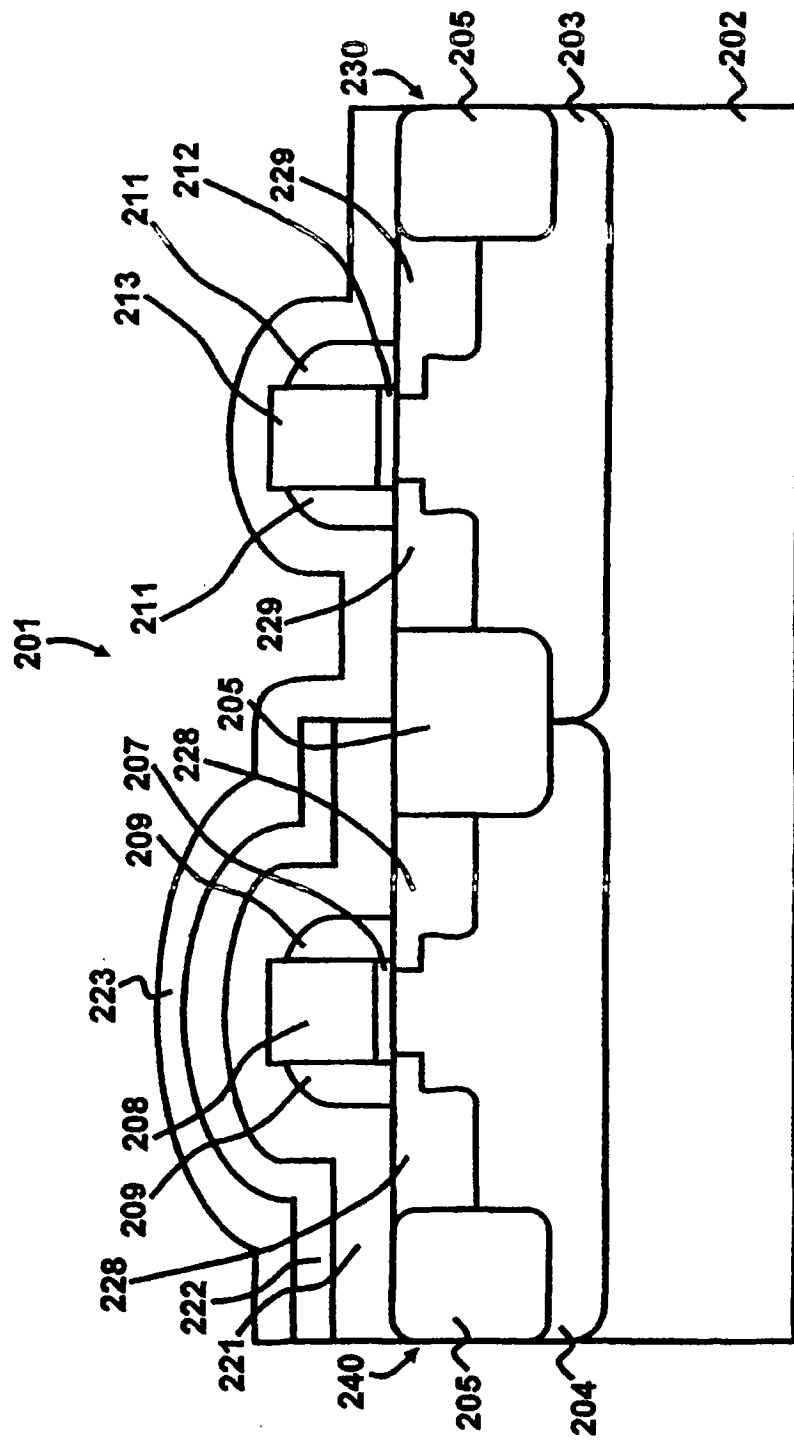


图12



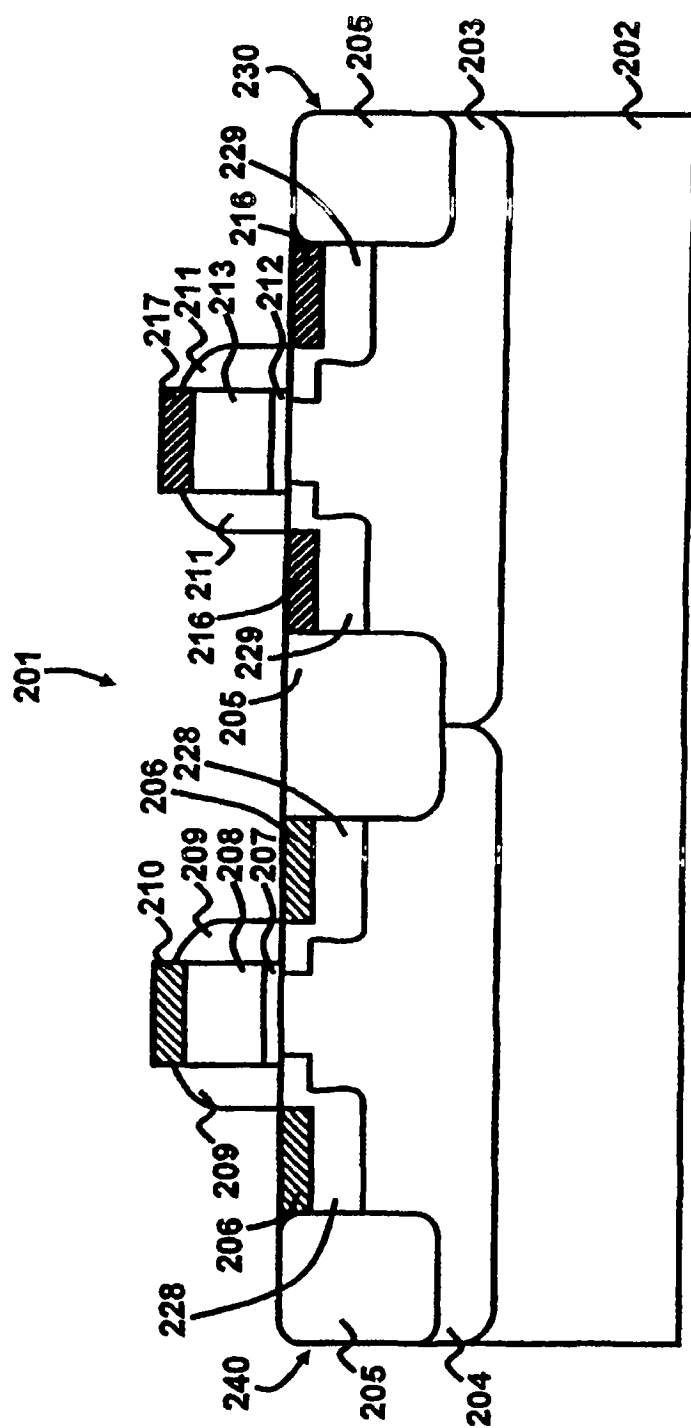


图13

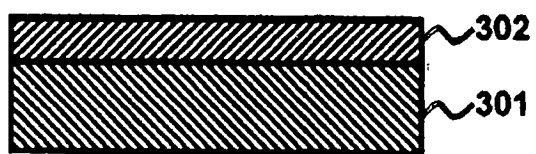


图 14 (B)

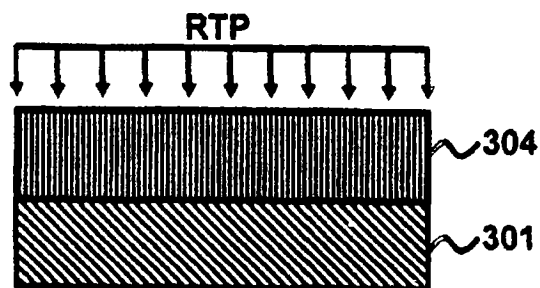


图 14 (D)

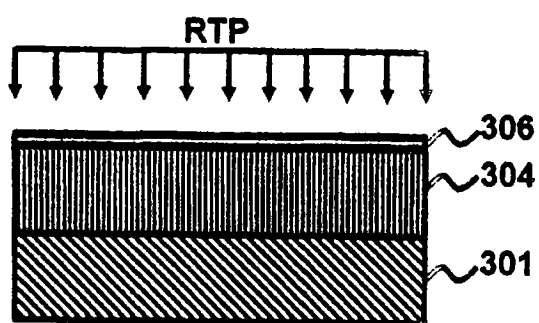


图 14 (F)



图 14 (A)

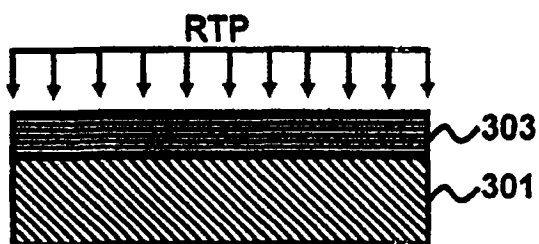


图 14 (C)

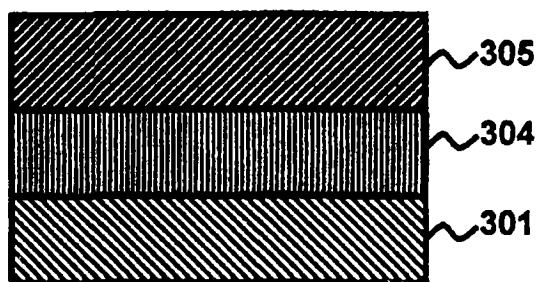


图 14 (E)

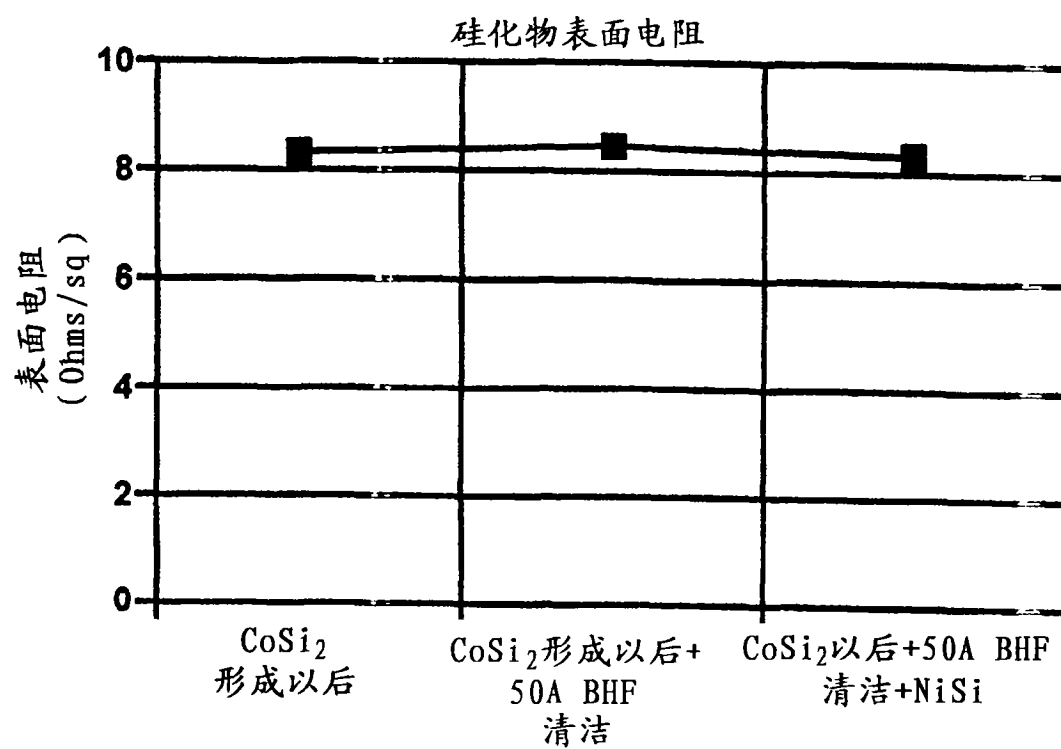


图15

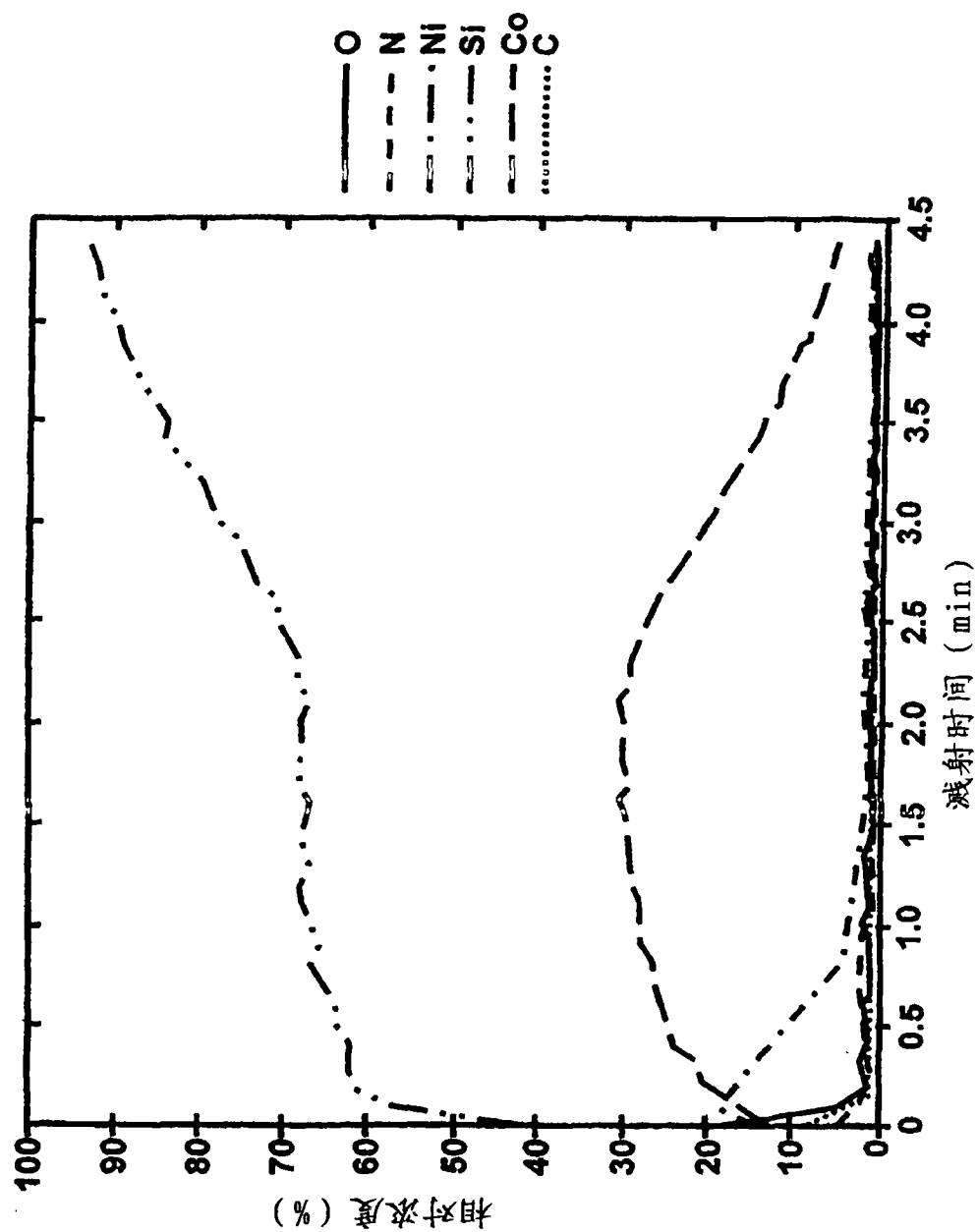


图16

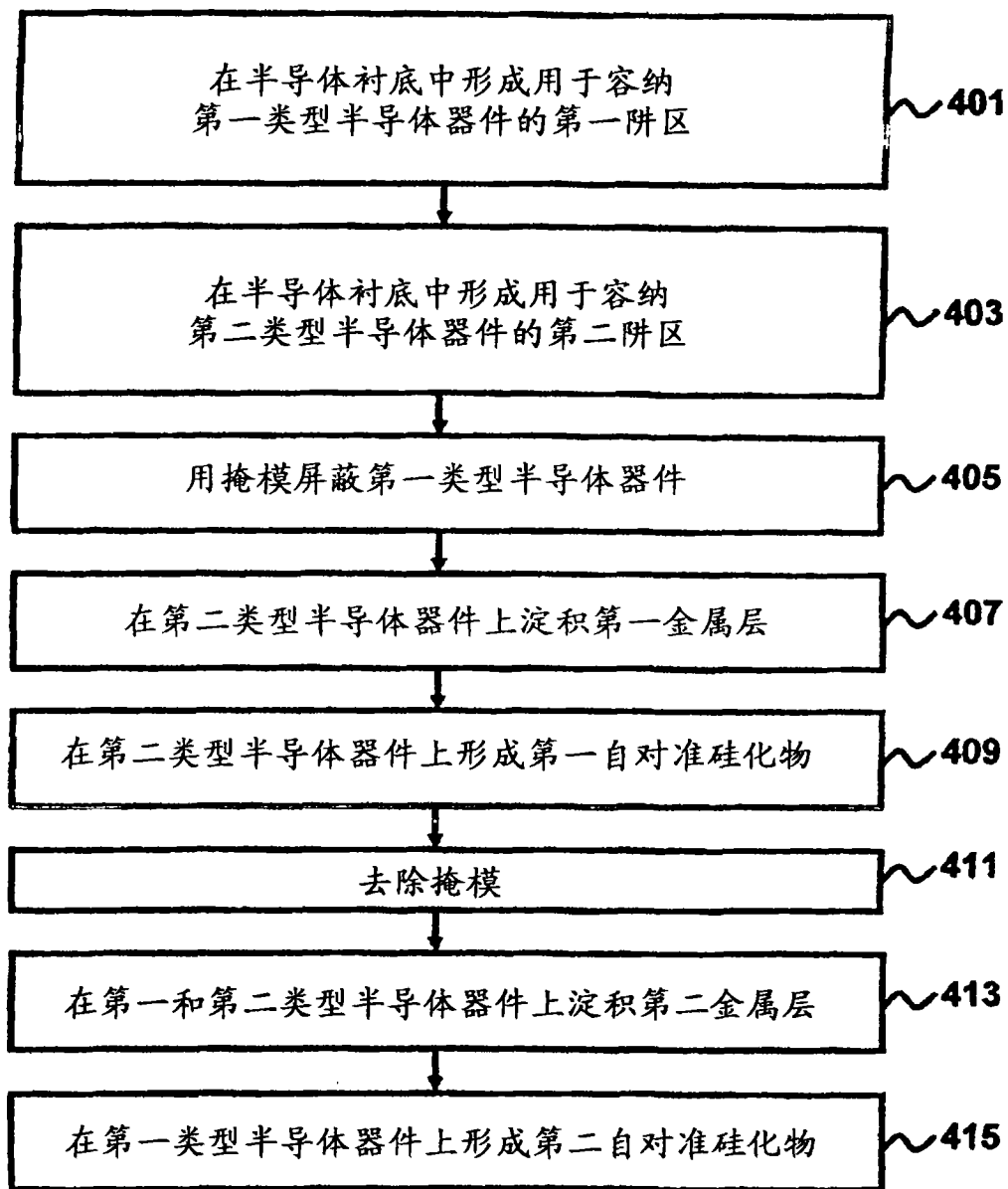


图 17

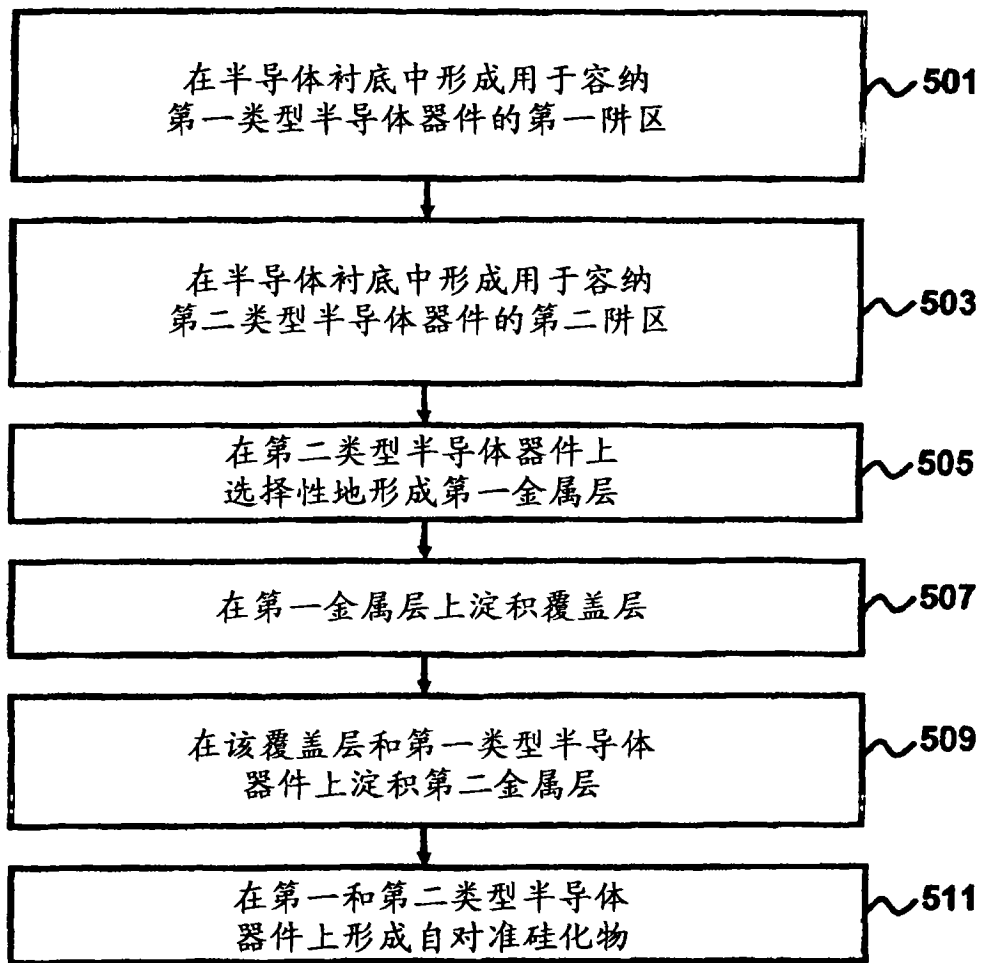


图 18