

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 9 月 25 日(25.09.2014)



(10) 国際公開番号

WO 2014/148194 A1

- (51) 国際特許分類:
H01L 21/331 (2006.01) H01L 29/737 (2006.01)
- (21) 国際出願番号: PCT/JP2014/054085
- (22) 国際出願日: 2014 年 2 月 20 日(20.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-056259 2013 年 3 月 19 日(19.03.2013) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 大部 功(OBU, Isao); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 梅本 康成(UMEMOTO, Yasunari); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 黒川 敦(KUROKAWA, Atsushi); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 稲葉 良幸, 外(INABA, Yoshiyuki et al.); 〒1066123 東京都港区六本木 6 - 1 〇 - 1 六

本木ヒルズ森タワー 2 3 階 T M I 総合法律事務所 Tokyo (JP).

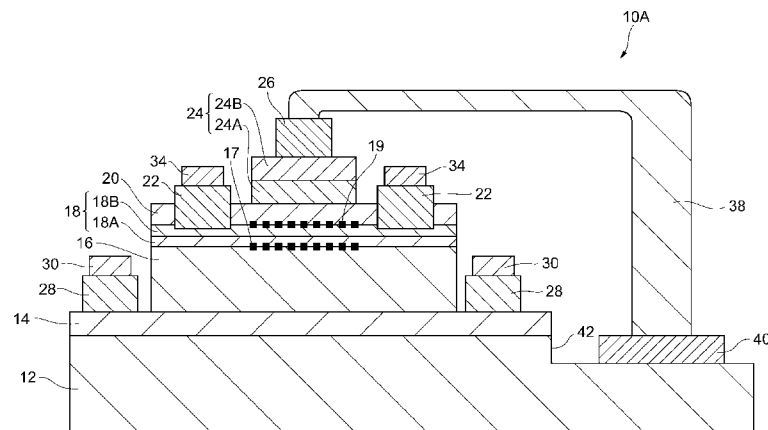
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: HETEROJUNCTION BIPOLAR TRANSISTOR

(54) 発明の名称: ヘテロ接合バイポーラトランジスタ



(57) Abstract: The present invention combines reduced cost with reduced degradation of electrical characteristics and reliability. This heterojunction bipolar transistor (10A) has a collector layer (16), a base layer (18) that contains a first base layer (18A) and a second base layer (18B), and an emitter layer (20). The collector layer (16) comprises a semiconductor, the primary component of which is GaAs. The first base layer (18A) is joined to the collector layer (16) so as to form a heterojunction and comprises a semiconductor, the primary component of which is a material that has a lattice mismatch with respect to the primary component of the collector layer (16). The thickness of the first base layer (18A) is less than the critical thickness at which misfit dislocations would be introduced. The second base layer (18B) is joined to the first base layer (18A) and comprises a semiconductor, the primary component of which is a material that lattice-matches the primary component of the collector layer (16). The emitter layer (20) is joined to the second base layer (18B) so as to form a heterojunction.

(57) 要約:

[続葉有]



WO 2014/148194 A1



低コスト化と、電気的特性及び信頼性の劣化抑制を両立させる。ヘテロ接合バイポーラトランジスタ（１０Ａ）は、GaAsを主成分とした半導体で構成されたコレクタ層（１６）と、コレクタ層（１６）とヘテロ接合され、コレクタ層（１６）の主成分と格子不整合する材料が主成分とした半導体で構成され、且つミスフィット転移が導入される臨界膜厚未満の膜厚である第１ベース層（１８Ａ）と、第１ベース層（１８Ａ）と接合され、コレクタ層（１６）の主成分と格子整合する材料を主成分とした半導体で構成された第２ベース層（１８Ｂ）と、を含むベース層（１８Ａ）と、第２ベース層（１８Ｂ）とヘテロ接合されたエミッタ層（２０）と、を有する。

明 細 書

発明の名称：ヘテロ接合バイポーラトランジスタ

技術分野

[0001] 本発明は、ヘテロ接合バイポーラトランジスタに関する。

背景技術

[0002] 従来から、トランジスタのオフセット電圧を低減するため、ダブルヘテロ接合バイポーラトランジスタ（以下、D H B T : Double Heterojunction Bipolar Transistorと称す。）の開発が試みられている。

[0003] 例えば特許文献1には、I n Pのコレクタ層とヘテロ接合されたG a A s S bの第1ベース層と、I n Pのエミッタ層とヘテロ接合されたI n G a A sの第2ベース層と、からなる2層構造のベース層を有するD H B Tが開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2003-297849号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献1のD H B Tでは、コレクタ層の材料にG a A sに比べて高価なI n Pを使用しているため、D H B Tの低コスト化が困難であるという問題がある。

[0006] 仮に特許文献1のD H B Tにおいてコレクタ層の材料として安価なG a A sを使用すると、コレクタ層上に形成される第1ベース層がコレクタ層と材料の違いにより格子不整合して、第1ベース層の結晶が歪んでしまう。同様に、コレクタ層上に第1ベース層を介して形成される第2ベース層がコレクタ層と格子不整合して、第2ベース層の結晶も歪んでしまう。

[0007] また、移動体通信用のパワーアンプに用いられるD H B Tでは高周波ノイズ抑制の観点からベース層のシート抵抗値を下げるために、ベース層の膜厚

を厚くすることが望まれる。しかしながら、ベース層の膜厚を厚くする際に、コレクタ層と格子不整合した第1ベース層や第2ベース層の膜厚がそれぞれ臨界膜厚以上となると、各層の結晶の歪みを緩和するため当該結晶中にミスフィット転移が導入され、電気的特性及び信頼性を極端に劣化させてしまうという問題がある。

[0008] 本発明はこのような事情に鑑みてなされたものであり、DHBTにおいて、低コスト化と、電気的特性及び信頼性の劣化抑制を両立させることを目的とする。

課題を解決するための手段

[0009] 本発明の一側面に係るヘテロ接合バイポーラトランジスタは、GaAsを主成分とした半導体で構成されたコレクタ層と、前記コレクタ層とヘテロ接合され、前記コレクタ層の主成分と格子不整合する材料を主成分とした半導体で構成され、且つミスフィット転移が導入される臨界膜厚未満の膜厚である第1ベース層と、前記第1ベース層と接合され、前記コレクタ層の主成分と格子整合する材料を主成分とした半導体で構成された第2ベース層と、前記第2ベース層とヘテロ接合されたエミッタ層と、を有する。

発明の効果

[0010] 本発明によれば、DHBTにおいて、低コスト化と、電気的特性及び信頼性の劣化抑制を両立させることが可能となる。

図面の簡単な説明

[0011] [図1]第1実施形態に係るDHBTの平面図である。

[図2]図1のI-I断面図である。

[図3]図2に示すDHBTの変形例を示す図である。

[図4]図2に示すDHBTの他の変形例を示す図である。

[図5]GaAsに対するGaSb_xAs_{1-x}の格子定数差(%)のSbの組成比依存性を、横軸をSbの組成比xとし、縦軸を格子定数差(%)として表したグラフ図である。

[図6]GaSb_xAs_{1-x}の臨界膜厚のSbの組成比依存性を、横軸をSbの組

成比 x とし、縦軸を臨界膜厚 (nm) として表したグラフ図である。

[図7]第1実施形態に係るDHB Tのコレクタ層、第1ベース層、第2ベース層及びエミッタ層の各層の接合前の熱平衡状態における各層のエネルギーバンド構造模式図である。

[図8A]第1実施形態に係るDHB Tのコレクタ層、第1ベース層、第2ベース層及びエミッタ層の各層の接合後の状態における各層のエネルギーバンド構造模式図である。

[図8B]図8Aに示すベース層におけるエネルギーバンド構造模式図の拡大説明図である。

[図9]第3実施形態に係るDHB Tのコレクタ層、第1ベース層、第2ベース層及びエミッタ層の各層の接合前の熱平衡状態における各層のエネルギーバンド構造模式図である。

[図10A]第3実施形態に係るDHB Tのコレクタ層、第1ベース層、第2ベース層及びエミッタ層の各層の接合後の状態における各層のエネルギーバンド構造模式図である。

[図10B]図10Aに示すベース層におけるエネルギーバンド構造模式図の拡大説明図である。

[図11]第2実施形態に係るDHB Tのコレクタ層、第1ベース層、第2ベース層及びエミッタ層の各層の接合前の熱平衡状態における各層のエネルギーバンド構造模式図である。

[図12A]第2実施形態に係るDHB Tのコレクタ層、第1ベース層、第2ベース層及びエミッタ層の各層の接合後の状態における各層のエネルギーバンド構造模式図である。

[図12B]図12Aに示すベース層におけるエネルギーバンド構造模式図の拡大説明図である。

[図13A]第4実施形態に係るDHB Tにおいて、コレクタ層、第1ベース層、第2ベース層及びエミッタ層内のS bの組成比 x の変化を、横軸を距離とし、縦軸をS bの組成比 x として表したグラフ図である。

[図13B]第4実施形態に係るD H B Tにおいて、ベース層におけるエネルギーバンド構造の模式図である。

[図14A]第4実施形態に係るD H B Tにおいて、図13Aに示す組成比 x の変化と異なる組成比 x の変化の一例を表したグラフ図である。

[図14B]第4実施形態に係るD H B Tにおいて、図13Aに示す組成比 x の変化と異なる組成比 x の変化の他の例を表したグラフ図である。

[図14C]第4実施形態に係るD H B Tにおいて、図13Aに示す組成比 x の変化と異なる組成比 x の変化のさらに他の例を表したグラフ図である。

[図15A]第5実施形態に係るD H B Tにおいて、コレクタ層、第1ベース層、第2ベース層及びエミッタ層内のCドーピング濃度の変化を、横軸を距離とし、縦軸をCドーピング濃度として表したグラフ図である。

[図15B]第5実施形態に係るD H B Tにおいて、ベース層におけるエネルギーバンド構造の模式図である。

[図16A]第5実施形態に係るD H B Tにおいて、図15Aに示すCドーピング濃度の変化と異なるCドーピング濃度の変化の一例を表したグラフ図である。

[図16B]第5実施形態に係るD H B Tにおいて、図15Aに示すCドーピング濃度の変化と異なるCドーピング濃度の変化の他の例を表したグラフ図である。

[図16C]第5実施形態に係るD H B Tにおいて、図15Aに示すCドーピング濃度の変化と異なるCドーピング濃度の変化のさらに他の例を表したグラフ図である。

[図16D]第5実施形態に係るD H B Tにおいて、図15Aに示すCドーピング濃度の変化と異なるCドーピング濃度の変化のさらにまた他の例を表したグラフ図である。

[図17A]本発明の第6実施形態に係るD H B Tの平面図である。

[図17B]図17AのI-I断面図である。

[図18A]第6実施形態で説明したD H B Tの製造工程図を示す図である。

[図18B]図18Aから続く、第6実施形態で説明したDHB Tの製造工程図を示す図である。

[図18C]図18Bから続く、第6実施形態で説明したDHB Tの製造工程図を示す図である。

[図18D]図18Cから続く、第6実施形態で説明したDHB Tの製造工程図を示す図である。

[図19A]図18Dから続く、第6実施形態で説明したDHB Tの製造工程図を示す図である。

[図19B]図19Aから続く、第6実施形態で説明したDHB Tの製造工程図を示す図である。

[図19C]図19Bから続く、第6実施形態で説明したDHB Tの製造工程図を示す図である。

[図19D]図19Cから続く、第6実施形態で説明したDHB Tの製造工程図を示す図である。

[図20]第8実施形態に係る電力増幅器のブロック構成を示す図である。

[図21]第8実施形態に係る電力増幅器を構成する電力増幅器モジュールの実装形態を示す平面図である。

[図22]図21のI-I断面図である。

[図23]従来技術（上記特許文献1）のDHB Tにおいて、GaSbAsからなる第1ベース層とInGaAsからなる第2ベース層で構成されたベース層におけるエネルギーバンド模式図である。

発明を実施するための形態

[0012] 以下、図面を参照して本発明の実施の形態を説明する。ただし、以下に説明する実施形態は、あくまでも例示であり、以下に明示しない種々の変形や技術の適用を排除する意図はない。即ち、本発明は、その趣旨を逸脱しない範囲で種々変形（各実施例を組み合わせる等）して実施することができる。また、以下の図面の記載において、同一または類似の部分には同一または類似の符号を付して表している。図面は模式的なものであり、必ずしも実際の

寸法や比率等とは一致しない。図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることがある。

[0013] (第1実施形態)

本発明の第1実施形態に係るダブルヘテロ接合バイポーラトランジスタ(DHBT)は、主として、基板上にコレクタ層、ベース層、及びエミッタ層を備え、コレクタ層とベース層、及び、ベース層とエミッタ層がそれぞれヘテロ接合されて構成されている。このDHBTは、シングルヘテロ接合バイポーラトランジスタ(以下、SHBTと称す。)に比べてオフセット電圧の低減が図られている。

[0014] <構造>

まず、第1実施形態に係るDHBTの構造について説明する。図1は第1実施形態に係るDHBT10Aの平面図であり、図2は図1のI-I断面図である。

[0015] 図1及び図2に示すように、第1実施形態に係るDHBT10Aでは、基板12上に、サブコレクタ層14が形成される。このサブコレクタ層14上に、コレクタ層16、単層の第1ベース層18Aと単層の第2ベース層18Bで構成されるベース層18、エミッタ層20の各層が形成される。これらコレクタ層16と第1ベース層18Aの接合は、ヘテロ接合17とされている。また、第2ベース層18Bとエミッタ層20の接合も、ヘテロ接合19とされている。このエミッタ層20を介して、ベース電極22が配置される。また、エミッタ層20上には、例えば2層構造のコンタクト層24が設けられている。

[0016] コンタクト層24上にはエミッタ電極26が、サブコレクタ層14上にはコレクタ電極28がそれぞれ配置される。コレクタ電極28は、コレクタ配線30を介して金属パッド32と接続されている(図1参照)。ベース電極22は、ベース配線34を介して金属パッド36と接続されている(図1参照)。エミッタ電極26は、エミッタ配線38を介して金属パッド40と接続している。この金属パッド40とコレクタ電極28の間には、アイソレー

ション溝42が形成されている。また、金属パッド32, 36, 40は、HBT10の外部と電氣的接続のために用いられる。

[0017] なお、以上に説明したDHBT10Aの構造は、一例であって限定されるものではない。

[0018] 例えば、DHBT10Aにおいて、後述するように基板12とサブコレクタ層14の材料が異なる場合、基板12とサブコレクタ層14の間には、単層又は多層のバッファ層が設けられてもよい。例えば、図3に示すDHBT10Bのように、基板12とサブコレクタ層14の間には、基板12側から順に第1バッファ層50A、第2バッファ層50B、及び第3バッファ層50Cの3層のバッファ層50が設けられてもよい。

[0019] また、第1ベース層18Aと第2ベース層18Bは、単層でなく少なくとも一方が多層で構成されてもよい。例えば、図4に示すDHBT10Cのように、第2ベース層18Bがコレクタ層16側から順に第1層18Cと第2層18Dの2層で構成されてもよい。

[0020] また、エミッタ層20とコンタクト層24の間には、図示しない単層又は多層の所謂バラスト抵抗層が設けられてもよい。

[0021] <各構成の説明>

次に、以上の構造を備えたDHBT10Aの各構成の材料やバンド構造等について説明する。

[0022] 基板12は、特に限定されないが、半絶縁性材料や半導体材料を主成分として含有していることが好ましい。半絶縁性としては例えばGaAsやInP、SiC、GaN等が挙げられ、半導体材料としては例えばSiが挙げられる。そして、これらの中でも、InP等に比べて安価で大口径化が容易なGaAs又はSiを主成分として含有していることが好ましい。さらに、GaAsよりも安価で大口径化が容易なSiを主成分として含有していることが好ましい。なお、「主成分」とは、ある基板又はある層全体に占める主成分となる材料の割合が80質量%以上であることをいう。したがって、基板12は、主成分以外にも不純物を20質量%未満ならば含有してもよい。た

だし、半絶縁性という特性を保つという観点や低コスト化という観点からは、不純物が少ない方が好ましい。

[0023] 仮に基板12の材料としてSiを用いる場合は、後述するコレクタ層16と材料(GaAs)が異なり格子定数も異なる。したがって、例えば図3に示すように、基板12とコレクタ層16との間に、それぞれアンドープのGaAsを構成材料とした、第1バッファ層50A(例えば膜厚20nm)、第2バッファ層50B(例えば膜厚0.7μm)、及び第3バッファ層50C(例えば膜厚1μm)を設けることが好ましい。

[0024] サブコレクタ層14の材料は、特に限定されないが、例えばn型GaAs(Si濃度 $5 \times 10^{18} \text{ cm}^{-3}$)である。サブコレクタ層14の膜厚も、特に限定されないが、例えば0.6μmである。

[0025] コレクタ層16は、コレクタ層16の材料として従来から使用されているInPよりも安価で低コスト化できるGaAsを主成分とした半導体で構成されている。また、コレクタ層16の半導体は、GaAs以外にも不純物(後述するドーパントを含む)を20質量%未満ならば含有してもよい。また、GaAsの組成比は完全に1:1でなくてもよく、0.01程度ならば1:1からずれてもよい。

[0026] なお、従来のコレクタ層の主成分として使用されている材料には、InP以外にも秩序化InGaPがある。しかし、この秩序化InGaPは、秩序化させるためにエピタキシャル成長において特定の結晶成長温度範囲に制御する必要があり、高度な制御技術を必要とするため工業的な観点でコストダウンが難しい。

[0027] これに対し、コレクタ層16はGaAsを主成分とした半導体で構成されており、InGaPを主成分とするよりも、エピタキシャル成長する際の高度な制御技術を必要としない。したがって、InGaPよりも低コスト化できる。

また、コレクタ層16の主成分とされるGaAsは、従来から使用されている秩序化InGaPに比べて熱伝導率が良いため、コレクタ層16側への放

熱性が向上し、高温動作或いは高出力動作でのトランジスタ特性が改善するという効果もある。

[0028] なお、GaAsを含有するコレクタ層16全体は、n型半導体であっても、p型半導体であってもよい。コレクタ層16がn型半導体である場合は、DHBT10はnpn接合となる。また、コレクタ層16がp型半導体である場合は、DHBT10はpnp接合となる。ただし、GaAsは、電子移動度よりもホール移動度が非常に低いため（電子移動度は約 $0.85\text{ m}^2/(\text{V}\cdot\text{s})$ 、ホール移動度は約 $0.04\text{ m}^2/(\text{V}\cdot\text{s})$ である。）pnp接合より周波数特性が良いという観点から、n型半導体である方が好ましい。なお、コレクタ層16をn型にするためには、コレクタ層16にSiやS, Se, Te、Sn等のドーパントをドーピングする。また、コレクタ層16をp型にするためには、コレクタ層16にCやMg, Be, Zn, Cd等のドーパントをドーピングする。

[0029] このコレクタ層16と第1ベース層18Aとのヘテロ接合17のタイプは、所謂「タイプI」、「タイプII」及び「タイプIII」と呼ばれるもののうち、いずれであってもよい。この接合タイプの判定は、CV（Capacitance-Voltage）法やPL（photoluminescence）法により行うことができる。この接合タイプは、好ましくは、コレクタ層16と第1ベース層18Aとの間の電子に対するエネルギー障壁を抑制するという観点（例えば図8Aの伝導帯下端のエネルギー E_c 参照）から、所謂「タイプII」と呼ばれるものがよい。一方で、エミッタ層20と第2ベース層18Bとのヘテロ接合19のタイプは、所謂「タイプI」、「タイプII」及び「タイプIII」と呼ばれるもののうち、いずれであってもよい。この接合タイプは、好ましくは、電子の走行が速くなるという観点（例えば図8Aの伝導帯下端のエネルギー E_c 参照）から、所謂「タイプI」と呼ばれるものがよい。

[0030] ベース層18は、DHBT10Aを例えば移動体通信用のパワーアンプに用いる場合、そのシート抵抗値が、高周波ノイズ抑制の観点から、 $200\Omega/\text{square}$ 以下であることが好ましい。このシート抵抗値を $200\Omega/\text{square}$

square以下とするには、ベース層18の膜厚をシート抵抗値が $200\ \Omega/\text{square}$ 以下となる膜厚まで厚くすればよい。

- [0031] ベース層18の第1ベース層18Aは、コレクタ層16の主成分(GaAs)と格子不整合する材料を主成分とした半導体で構成されている。なお、本実施形態の「格子整合」とは、2つの材料の格子定数が完全一致する場合だけでなく、2つの材料の格子定数差が無視できる程度の歪みが生じ得る $\pm 0.13\%$ 以内の場合も含むものとする。すなわち、ベース層18の半導体は、上述した「格子整合」の定義により、GaAsの格子定数である約 $5.653\ \text{\AA}$ と $\pm 0.13\%$ 以外の差の格子定数($5.645\ \text{\AA}$ 未満又は $5.660\ \text{\AA}$ 超)を有した材料が第1ベース層18Aの主成分としている。
- [0032] 上記条件を満たす主成分としては、特に限定されないが、例えば $\text{GaSb}_x\text{As}_{1-x}$ (x はSbの組成比で、 $x > 0$)が挙げられる。主成分が $\text{GaSb}_x\text{As}_{1-x}$ であるときは、図5に示すように、Sbの組成比 x がごく僅かな場合(例えば x が 0.01 以下の場合)を除き、GaAsとの格子定数差が $+0.13\%$ 超となるからである。
- [0033] 第1ベース層18Aの膜厚は、第1ベース層18Aの結晶中、特に第1ベース層18Aとコレクタ層16との界面に、ミスフィット転移が導入される臨界膜厚未満とされている。
- [0034] 例えば、第1ベース層18Aの主成分が $\text{GaSb}_x\text{As}_{1-x}$ の場合、図6に示すように、臨界膜厚 $T1$ は、 $T1 = 4.26x^{-1.21}\ (\text{nm})$ で表される。したがって、この場合、第1ベース層18Aの膜厚は、 $T1 = 4.26x^{-1.21}\ (\text{nm})$ 未満とされる。
- [0035] このように、本実施形態では、第1ベース層18Aの膜厚が臨界膜厚 $T1$ 未満なので、第1ベース層18Aの結晶中にミスフィット転移が導入されない。
- [0036] ここで、上述したようにシート抵抗値が $200\ \Omega/\text{square}$ 以下となるベース層18の膜厚を確保するためには、第1ベース層18Aの臨界膜厚 $T1$ 以上必要となる場合がある。例えば参考例として、 $\text{GaSb}_{0.1}\text{As}_{0.9}$

の層（C濃度 $4 \times 10^{19} \text{ cm}^{-3}$ ）のみでDHBTのベース層を形成しようとした場合、 $200 \Omega / \text{square}$ 以下のシート抵抗値を実現するためには 140 nm 以上の膜厚が必要となる。しかしながら、参考例ではGaAsのコレクタ層とGaSb_{0.1}As_{0.9}のベース層との格子定数差が約1%存在するため、ベース層の膜厚が 70 nm を超えると結晶中にミスフィット転位が導入されて電気的特性及び信頼性を極端に悪化させる。

[0037] これに対し、本実施形態に係るDHBT10Aでは、第1ベース層18Aの膜厚を臨界膜厚T1未満とすることで、ミスフィット転位の導入を抑制（回避）し、電気的特性及び信頼性の劣化抑制ができる。これにより、本実施形態に係るDHBT10Aでは、上記低コスト化と、電気的特性及び信頼性の劣化抑制を両立させることができる。

[0038] また、シート抵抗値が $200 \Omega / \text{square}$ 以下となるベース層18の膜厚を確保する場合には、第1ベース層18Aの膜厚を臨界膜厚T1未満としつつ、後述する第2ベース層18Bの膜厚を厚くすることで対応が可能となる。これにより、本実施形態に係るDHBT10Aでは、ミスフィット転位の導入を抑制し、且つ、 $200 \Omega / \text{square}$ 以下のシート抵抗を実現することができる。

[0039] ベース層18の第2ベース層18Bは、第1ベース層18Aと接合され、第1ベース層18Aとは逆に、コレクタ層16の主成分（GaAs）と格子整合する材料を主成分として含有している。すなわち、上述した「格子整合」の定義により、GaAsの格子定数である約 $5.653 \text{ \AA}$ と $\pm 0.13\%$ 以内の差の格子定数（ $5.645 \text{ \AA}$ 以上 $5.660 \text{ \AA}$ 以下）を有した材料が第2ベース層18Bの主成分とされている。

[0040] 上記条件を満たす主成分としては、特に限定されないが、例えばコレクタ層16の主成分と同じGaAsや格子定数が約 5.653 以上 5.660 未満であるAl_yGa_{1-y}As等が挙げられる（ただし、yはAlの組成比であり、 $y > 0$ ）。また、第2ベース層18Bの主成分は、ターンオン電圧のバラツキが改善され歩留まりが向上できるという観点から、3元混晶の材料（

例えば AlGaAs よりも 2 元混晶の材料（例えば GaAs ）であることが好ましい。なぜなら、DHBT10A のターンオン電圧はエミッタ層 20 と接する第 2 ベース層 18B のバンドギャップエネルギーにより決まるからである。より具体的に、主成分が例えば AlGaAs の 3 元混晶の材料だと、III 族元素である Al と Ga の濃度比によりバンドギャップエネルギーが変化し、そのバラツキはエピタキシャル成長技術の制御性に依存してしまうが、主成分が例えば GaAs の 2 元混晶の材料だと、III 族元素は Ga のみでありバンドギャップエネルギーのバラツキが基本的に無いからである。

[0041] なお、特許文献 1 の DHBT では、コレクタ層の材料に格子定数が約 $5.869 \text{ \AA}$ である InP を使用し、格子定数が約 $5.9189 \text{ \AA}$ である $\text{GaSb}_{0.6}\text{As}_{0.4}$ の第 1 ベース層を使用している。

[0042] しかしながら、 InP は、コレクタ層の材料として使われる GaAs に比べて高価であり、DHBT の低コスト化が困難であるという問題がある。

[0043] 仮に特許文献 1 の DHBT においてコレクタ層の材料として安価な GaAs を使用すると、 GaAs の格子定数が約 $5.653 \text{ \AA}$ なので、コレクタ層と第 1 ベース層との格子定数差が約 4.7% となり、上記 0.13% よりも大きくなる。この結果、コレクタ層上に形成される第 1 ベース層がコレクタ層と格子不整合して、第 1 ベース層の結晶が歪んでしまう。同様に、コレクタ層の材料として GaAs を使用すると、コレクタ層と、格子定数が約 $5.86 \text{ \AA}$ である InGaAs の第 2 ベース層との格子定数差が約 3.6% となり、上記 0.13% よりも大きくなる。この結果、コレクタ層上に第 1 ベース層を介して形成される第 2 ベース層がコレクタ層と格子不整合して、第 2 ベース層の結晶も歪んでしまう。

[0044] 一方で、本実施形態では、コレクタ層 16 と格子不整合する第 1 ベース層 18A と、コレクタ層 16 と格子整合する第 2 ベース層 18B とを有しているため、第 2 ベース層 18B には臨界膜厚 T_1 がなく、上述したように、シート抵抗値が例えば $200 \Omega/\text{square}$ 以下となるベース層 18 の膜厚を確保する場合には、第 1 ベース層 18 の膜厚を臨界膜厚 T_1 としつつ、後

述する第2ベース層18Bの膜厚を厚くすることができるようになる。

[0045] 次に、コレクタ層16、第1ベース層18A、第2ベース層18B及びエミッタ層20の各層のバンド構造について説明する。図7は、本実施形態に係るDHBT10Aのコレクタ層16、第1ベース層18A、第2ベース層18B及びエミッタ層20の各層の接合前の熱平衡状態における各層のエネルギーバンド構造模式図である。また図8Aは、本実施形態に係るDHBT10Aのコレクタ層16、第1ベース層18A、第2ベース層18B及びエミッタ層20の各層の接合後の状態における各層のエネルギーバンド構造模式図である。また図8Bは、図8Aに示すベース層18におけるエネルギーバンド構造模式図の拡大説明図である。また図23は、従来技術（上記特許文献1）のDHBTにおいて、GaSbAsからなる第1ベース層とInGaAsからなる第2ベース層で構成されたベース層におけるエネルギーバンド模式図である。

[0046] なお、図7及び図8中の符号は以下の意味を示す。

- 「Ec」：DHBTのバンド構造における伝導帯下端のエネルギー
- 「Ev」：DHBTのバンド構造における価電子帯上端のエネルギー
- 「Ecc」：コレクタ層16の伝導帯下端のエネルギー
- 「Ecb1」：第1ベース層18Aの伝導帯下端のエネルギー
- 「Ecb2」：第2ベース層18Bの伝導帯下端のエネルギー
- 「Ece」：エミッタ層20の伝導帯下端のエネルギー
- 「Evc」：コレクタ層16の価電子帯上端のエネルギー
- 「Evb1」：第1ベース層18Aの価電子帯上端のエネルギー
- 「Evb2」：第2ベース層18Bの価電子帯上端のエネルギー
- 「Eve」：エミッタ層20の価電子帯上端のエネルギー

[0047] 従来技術のnpn接合のDHBTでは、図23に示すように、伝導帯下端エネルギーEcにおいて、エミッタ層20からベース層18に流れる電子に対して、第1ベース層と第2ベース層の界面には、エネルギー障壁60が存在している。電子は、トンネリングによりこのエネルギー障壁60を通過す

るが、トンネル確率の割合で走行が妨げられる電子が存在する。この結果、エネルギー障壁60が電子の走行を阻害してしまう。

[0048] 本実施形態のDHBT10Aでは、特に各層のバンド構造に限定はないが、npn接合である場合、図7に示すように、第2ベース層18Bは、第1ベース層18Aとの接合の前の熱平衡状態で、第2ベース層18Bの伝導帯下端のエネルギー E_{cb2} が、第1ベース層18Aの伝導帯下端のエネルギー E_{cb1} から室温（300K）での自由電子の持つ熱エネルギー分（0.026eV）差し引いた値 E_0 以上に高い値を示すことが好ましい（ $E_{cb2} \geq E_0 = E_{cb1} - 0.026$ ）。これにより、図8A及び図8Bに示すように、伝導帯下端エネルギー E_c において、第1ベース層18Aと第2ベース層18Bの界面62に、エミッタ層20からベース層18に流れる電子64に対するエネルギー障壁60を無くす又は電子の走行に問題のない程度のエネルギー障壁60とすることができるからである。

[0049] なお、エネルギー障壁60を無くすには、第2ベース層18Bの伝導帯下端のエネルギー E_{cb2} が、第1ベース層18Aの伝導帯下端のエネルギー E_{cb1} 以上に高い値を示すように、第1ベース層18Aと第2ベース層18Bの材料を適宜選択すればよい。

このような条件を満たす一例として、他の実施形態で説明するが例えば、図9、図10A及び図12Bに示すように、第1ベース層18Aの材料（主成分）として $GaSb_xAs_{1-x}$ を選択し、第2ベース層18Bの材料（主成分）として $Al_yGa_{1-y}As$ を選択すればよい。

[0050] また、電子の走行に問題のない程度のエネルギー障壁60とするためには、第2ベース層18Bの伝導帯下端のエネルギー E_{cb2} が、第1ベース層18Aの伝導帯下端のエネルギー E_{cb1} から室温での自由電子の持つ熱エネルギー分（0.026eV）差し引いた値 E_0 以上に高く、且つ、第1ベース層18Aの伝導帯下端のエネルギー E_{cb1} よりも低い値を示すように、第1ベース層18Aと第2ベース層18Bの材料を適宜選択すればよい。第2ベース層18Bの伝導帯下端のエネルギー E_{cb2} が上記 E_0 以上に高

いと、電子64が室温での熱によって簡単にエネルギー障壁を乗り越えることができるからである。

[0051] このような条件を満たす一例として、他の実施形態で説明するが例えば、図11、図12A及び図12Bに示すように、第1ベース層18Aの材料（主成分）として $GaSb_xAs_{1-x}$ を選択し、第2ベース層18Bの材料（主成分）としてGaAsを選択すればよい。

[0052] 以上のように、界面62のエネルギー障壁60を無くす又は電子の走行に問題のない程度のエネルギー障壁60とすれば、電子の高速走行が可能となり、DHBT10Aの高速化を図ることができる。

[0053] このDHBT10Aの高速化を図る別の手段及び高速化をさらに図る手段としては、図7に示すように、第1ベース層18Aと第2ベース層18Bの接合の前の熱平衡状態で、第1ベース層18Aの価電子帯上端のエネルギー E_{vb1} から第2ベース層18Bの価電子帯上端のエネルギー E_{vb2} を差し引いた値 ΔE_v2 から、第1ベース層18Aの伝導体下端のエネルギー E_{cb1} から第2ベース層18Bの伝導体下端のエネルギー E_{cb2} を差し引いた値 ΔE_c2 、を差し引いた値 $\Delta E_v2 - \Delta E_c2$ が正の値を示すように、第1ベース層18Aと第2ベース層18Bの材料を適宜選択すればよい。

[0054] このようにすれば、図8Bに示すように、伝導帯下端エネルギー E_c において、第1ベース層と第2ベース層の界面62に、エネルギー段差66が存在するようになる。このエネルギー段差66は、電子に対する内部電界を発生させるため電子を加速し、さらなるDHBT10Aの高速化を実現することができる。

[0055] 他にも、DHBT10Aの高速化を図る別の手段及び高速化をさらに図る手段としては、ベース層18のキャリア濃度を電子又は正孔の流れる方向に向かって小さくなる分布を示すようにすることが挙げられる。例えばDHBT10Aがnpn接合の場合には、第1ベース層18A及び第2ベース層18Bの少なくとも一方のキャリア濃度を、電子の流れる方向であるエミッタ層20側からコレクタ層16側に向かって小さくなる分布を示すようにする

。また例えばDHBT10Aがpnp接合の場合には、第1ベース層18A及び第2ベース層18Bの少なくとも一方のキャリア濃度を、正孔の流れる方向であるコレクタ層16側からエミッタ層20側に向かって小さくなる分布を示すようにする。

[0056] なお、具体的なキャリア濃度の分布の仕方については、他の実施形態で例示する。

[0057] 図2に戻って、エミッタ層20の材料は、半導体であれば特に限定されない。ただし、エミッタ層20は、第2ベース層18Bとヘテロ接合されるため、第2ベース層18Bの主成分と格子整合する材料を主成分とした半導体で構成されることが好ましい。具体的には、第2ベース層18Bの半導体が $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 又は GaAs を主成分としている場合、 InGaP 又は $\text{Al}_y\text{Ga}_{1-y}\text{As}$ を主成分とした半導体で構成されていることが好ましい。ただし、ヘテロ接合を前提としているため、両者の主成分は同一とはならない。

[0058] ベース電極22、エミッタ電極26、コレクタ電極28の材料は、特に限定されないが、例えば Ti/Pt/Au 、 WSi 、又は AuGe/Ni/Au 等である。

[0059] <主な効果>

以上、本発明の第1実施形態に係るDHBT10Aによれば、コレクタ層16の主成分を GaAs とすることで、DHBT10Aの低コスト化を図ることができる。また、DHBT10Aによれば、第1ベース層18Aの膜厚を臨界膜厚 T_1 未満とすることで、電気的特性及び信頼性の劣化抑制ができる。これにより、DHBT10Aでは、低コスト化と、電気的特性及び信頼性の劣化抑制を両立させることができる。

[0060] (第2実施形態)

次に、本発明の第2実施形態に係るDHBTについて説明する。

[0061] 本発明の第2実施形態に係るDHBTは、第1実施形態で説明した図2に示すDHBT10Aの具体例である。

- [0062] 本第2実施形態に係るDHBT10Aは、エミッタサイズが $3\mu\text{m} \times 20\mu\text{m}$ の矩形エミッタを用いたnpn接合のトランジスタである。
- [0063] 本第2実施形態に係るDHBT10Aでは、基板12は、GaAsで構成されている。サブコレクタ層14は、n型GaAs（Siドーピング濃度 $5 \times 10^{18}\text{cm}^{-3}$ 、膜厚 $0.6\mu\text{m}$ ）で構成されている。なお、図示していないが、本第2実施形態では、基板12とサブコレクタ層14との間には、アンドープGaAsで構成されたバッファ層（膜厚 $1\mu\text{m}$ ）が設けられている。
- [0064] コレクタ層16は、n型GaAs（Siドーピング濃度 $1 \times 10^{16}\text{cm}^{-3}$ 、膜厚 $1.0\mu\text{m}$ ）で構成されている。第1ベース層18Aは、p型GaSb_{0.1}As_{0.9}（Cドーピング濃度 $4 \times 10^{19}\text{cm}^{-3}$ 、膜厚 50nm ）で構成されている。第2ベース層18Bは、p型GaAs（Cドーピング濃度 $4 \times 10^{19}\text{cm}^{-3}$ 、膜厚 100nm ）で構成されている。エミッタ層20は、n型In_{0.5}Ga_{0.5}P（Si濃度 $3 \times 10^{17}\text{cm}^{-3}$ 、膜厚 30nm ）で構成されている。
- [0065] コンタクト層24Aは、n型GaAsコンタクト層（Si濃度 $1 \times 10^{19}\text{cm}^{-3}$ 、膜厚 50nm ）で構成されている。コンタクト層24Bは、n型InGa_{0.5}As_{0.5}（Si濃度 $1 \times 10^{19}\text{cm}^{-3}$ 、膜厚 50nm ）で構成されている。コレクタ電極28は、AuGe（膜厚 60nm ）／Ni（膜厚 10nm ）／Au（膜厚 200nm ）を積層して構成されている。ベース電極22は、Ti（膜厚 50nm ）／Pt（膜厚 50nm ）／Au（膜厚 200nm ）を積層して構成されている。
- [0066] 以上、本第2実施形態に係るDHBT10Aによれば、コレクタ層16がn型GaAsで構成されているため、InPや秩序化InGaPで構成する場合に比べて、DHBT10Aの低コスト化を図ることができる。
- [0067] また、第1ベース層18Aがコレクタ層16のGaAsと格子不整合するp型GaSb_{0.1}As_{0.9}で構成されている。この臨界膜厚T1は、図6に示すように、 $T1 = 4.26 \times 10^{-1.21} (\text{nm})$ で表されるため、xに0.1を代入すると、 69.089nm である。第1ベース層18Aの膜厚は 50nm

とされているため、臨界膜厚 $T_1 = 69.089 \text{ nm}$ 未満である。したがって、第1ベース層18Aがコレクタ層16のGaAsと格子不整合するp型 $\text{GaSb}_{0.1}\text{As}_{0.9}$ で構成されても、第1ベース層18Aの結晶中にはミスフィット転移が導入されず、電気的特性及び信頼性の劣化抑制ができる。

[0068] この結果、本第2実施形態に係るDHBT10Aでは、低コスト化と、電気的特性及び信頼性の劣化抑制を両立させることができる。また、エミッタ層20と接する第2ベース層18BがGaAsで構成されているため、3元混晶の材料（例えばAlGaAs）よりも、ターンオン電圧のバラツキが改善され歩留まりが向上できる。さらに、本第2実施形態に係るDHBT10Aでは、第1ベース層18Aの膜厚を臨界膜厚 T_1 以下としつつ、コレクタ層16のGaAsと格子整合するp型GaAsで構成された第2ベース層18Bの膜厚を 100 nm と厚くしている。これにより、ミスフィット転移の導入を抑制し、且つ、高周波ノイズ抑制の観点から望まれる $200 \Omega / \text{square}$ 以下、具体的には $188 \Omega / \text{square}$ のシート抵抗を実現することができる。

[0069] また、本第2実施形態に係るDHBT10Aでは、npn接合なので、エミッタ層20側からコレクタ層側16に向かって電子64が流れる。ここで、本第2実施形態に係るDHBT10Aでは、第1ベース層18Aの材料として $\text{GaSb}_x\text{As}_{1-x}$ を選択し、第2ベース層18Bの材料としてGaAsを選択している。したがって、図11に示すように、第2ベース層18Bの伝導帯下端のエネルギー E_{cb2} が、第1ベース層18Aの伝導帯下端のエネルギー E_{cb1} から室温での自由電子の持つ熱エネルギー分 (0.026 eV) 差し引いた値 E_0 以上に高く、且つ、第1ベース層18Aの伝導帯下端のエネルギー E_{cb1} よりも低い値を示す。

[0070] この結果、本第2実施形態に係るDHBT10Aでは、図12A及び図12Bに示すように、伝導帯下端のエネルギー E_c における第1ベース層18Aと第2ベース層18Bの界面62には、電子の走行に問題のない程度のエネルギー障壁60が存在するようになる。このエネルギー障壁60は、室温

での自由電子の持つ熱エネルギー分よりも低い 0.016 eV なので、エミッタ層20側から流れる電子64が室温での熱によって簡単にエネルギー障壁60を乗り越えることができるからである。これにより、本第2実施形態に係るDHBT10Aでは、電子64の高速走行が可能となり、DHBT10Aの高速化を図ることができる。

[0071] また、本第2実施形態に係るDHBT10Aでは、図11に示すように、第1ベース層18Aと第2ベース層18Bの接合の前の熱平衡状態で、第1ベース層18Aの価電子帯上端のエネルギー E_{vb1} から第2ベース層18Bの価電子帯上端のエネルギー E_{vb2} を差し引いた値 ΔE_v2 (0.18 eV) から、第1ベース層18Aの伝導体下端のエネルギー E_{cb1} から第2ベース層18Bの伝導体下端のエネルギー E_{cb2} を差し引いた値 ΔE_c2 (0.016 eV)、を差し引いた値 $\Delta E_v2 - \Delta E_c2$ が正の値 ($0.18 - 0.016 = 0.164 > 0$) を示す。

[0072] このようにすれば、図12Bに示すように、伝導帯下端エネルギー E_c において、第1ベース層18Aと第2ベース層18Bの界面62に、約 0.16 eV のエネルギー段差66が存在するようになる。このエネルギー段差66は、電子64に対する内部電界を発生させるため電子64を加速し、さらなるDHBT10Aの高速化を実現することができる。

[0073] (第3実施形態)

次に、本発明の第3実施形態に係るDHBTについて説明する。

[0074] 本発明の第3実施形態に係るDHBTは、第1実施形態で説明した図2に示すDHBT10Aの第2実施形態とは異なる他の具体例である。

[0075] 本第3実施形態に係るDHBT10Aの各構成は、第2ベース層18Bの材料を除き、第2実施形態の各構成と同様である。

[0076] 本第3実施形態に係るDHBT10Aでは、第2ベース層18Bは、 p 型 $\text{Al}_{0.05}\text{Ga}_{0.95}\text{As}$ (Cドーピング濃度 $4 \times 10^{19}\text{ cm}^{-3}$ 、膜厚 100 nm) で構成されている。

[0077] 以上、本第3実施形態に係るDHBT10Aによれば、コレクタ層16が

n型GaAsで構成されているため、第2実施形態と同様に、DHBT10Aの低コスト化を図ることができる。また、第1ベース層18Aがコレクタ層16のGaAsと格子不整合するp型GaSb_{0.1}As_{0.9}で構成されているため、第2実施形態と同様に、電気的特性及び信頼性の劣化抑制ができる。この結果、本第3実施形態に係るDHBT10Aでは、低コスト化と、電気的特性及び信頼性の劣化抑制を両立させることができる。

[0078] 本第3実施形態に係るDHBT10Aでは、第2実施形態と同様、高周波ノイズ抑制の観点から望まれる $200\Omega/\text{square}$ 以下、具体的には $197\Omega/\text{square}$ のシート抵抗を実現することができる。

[0079] また、本第3実施形態に係るDHBT10Aでは、第1ベース層18Aの材料としてGaSb_xAs_{1-x}を選択し、第2ベース層18Bの材料としてp型Al_{0.05}Ga_{0.95}Asを選択している。したがって、図9に示すように、第2ベース層18Bの伝導帯下端のエネルギー E_{cb2} が、値 E_0 以上に高く、且つ、第1ベース層18Aの伝導帯下端のエネルギー E_{cb1} よりも高い値を示す。

[0080] この結果、本第3実施形態に係るDHBT10Aでは、図10A及び図10Bに示すように、伝導帯下端のエネルギー E_c における第1ベース層18Aと第2ベース層18Bの界面62には、本第2実施形態と異なりエネルギー障壁60が存在しなくなる。これにより、本第3実施形態に係るDHBT10Aでは、エミッタ層20側から流れる電子64の高速走行が可能となり、DHBT10Aの高速化を図ることができる。

[0081] また、本第3実施形態に係るDHBT10Aでは、図9に示すように、第1ベース層18Aと第2ベース層18Bの接合の前の熱平衡状態で、第1ベース層18Aの価電子帯上端のエネルギー E_{vb1} から第2ベース層18Bの価電子帯上端のエネルギー E_{vb2} を差し引いた値 ΔE_{v2} (0.20 eV) から、第1ベース層18Aの伝導帯下端のエネルギー E_{cb1} から第2ベース層18Bの伝導帯下端のエネルギー E_{cb2} を差し引いた値 ΔE_{c2} (-0.024 eV)、を差し引いた値 $\Delta E_{v2} - \Delta E_{c2}$ が正の値 ($0.$

$20 + 0.024 = 0.224 > 0$) を示す。

[0082] このようにすれば、図10Bに示すように、伝導帯下端エネルギー E_c において、第1ベース層18Aと第2ベース層18Bの界面62に、約0.22eVのエネルギー段差66が存在するようになる。このエネルギー段差66は、電子64に対する内部電界を発生させるため電子64を加速し、さらなるDHBT10Aの高速化を実現することができる。

[0083] (第4実施形態)

次に、本発明の第4実施形態に係るDHBTについて説明する。

[0084] 本発明の第4実施形態に係るDHBTは、第1実施形態で説明した図2に示すDHBT10Aの第2及び第3実施形態とは異なる他の具体例である。

[0085] 本第4実施形態に係るDHBT10Aの各構成は、第1ベース層18Aの組成比を除き、第2実施形態の各構成と同様である。

[0086] 本第4実施形態の第1ベース層18Aは、 $GaSb_xAs_{1-x}$ で構成されており、図13Aに示すように、第1ベース層18A内のSbの組成比 x に対して、電子の流れる方向であるエミッタ層20側からコレクタ層16側に向かって大きくなる分布を示すようにする。より具体的には、第1ベース層18Aがコレクタ層16に接する部分で x を0.1とし、第1ベース層18Aが第2ベース層18Bに接する部分で x を0とし、その間の x を直線的に変化させている。

[0087] 以上、本第4実施形態に係るDHBT10Aによれば、第2実施形態と同様の効果が得られる他、図13Bに示すように、第1ベース層18A内では伝導帯下端のエネルギー E_c が、エミッタ層20側（第2ベース層18B側）からコレクタ層16側に向かって徐々に低くなる傾斜70Aを有した構造となる。この伝導帯下端のエネルギー E_c における傾斜70Aは、電子64に対する内部電界として働くため、電子64は第1ベース層18A内でさらに加速され、DHBT10Aの高速化が実現できる。

[0088] なお、本第4実施形態では、第1ベース層18中のSbの組成比 x を直線的に変化させた例を説明したが、組成比 x がエミッタ層20側からコレクタ

層 1 6 側に向かって大きくなる分布を示すのであれば、どのような変化のさせ方でもよい。例えば、組成比 x を、図 1 4 A に示すようにステップ的に変化させてもよい。他にも、組成比 x を、図 1 4 B に示すように、円弧状のような曲線的に変化させてもよい。また他にも、組成比 x を、図 1 4 C に示すように、2 次関数のような曲線的に変化させてもよい。

[0089] また、第 1 ベース層 1 8 A がコレクタ層 1 6 に接する部分で x を 0. 1 とし、第 1 ベース層 1 8 A が第 2 ベース層 1 8 B に接する部分で x を 0 として説明したが、 x の値はこの限りではない。

[0090] (第 5 実施形態)

次に、本発明の第 5 実施形態に係る D H B T について説明する。

[0091] 本発明の第 5 実施形態に係る D H B T は、第 1 実施形態で説明した図 2 に示す D H B T 1 0 A の第 2 及び第 3 実施形態とは異なる他の具体例である。

[0092] 本第 5 実施形態に係る D H B T 1 0 A の各構成は、第 1 ベース層 1 8 A 及び第 2 ベース層 1 8 B の C ドーピング濃度 (キャリア濃度) を除き、第 2 実施形態の各構成と同様である。

[0093] 本第 5 実施形態の第 1 ベース層 1 8 A 及び第 2 ベース層 1 8 B においては、図 1 5 A に示すように、C ドーピング濃度に対して、電子の流れる方向であるエミッタ層 2 0 側からコレクタ層 1 6 側に向かって小さくなる分布を示すようにする。より具体的には、第 1 ベース層 1 8 A がコレクタ層 1 6 に接する部分で C ドーピング濃度を $4 \times 10^{19} \text{ cm}^{-3}$ とし、第 2 ベース層 1 8 B がエミッタ層 2 0 に接する部分で C ドーピング濃度を $5 \times 10^{19} \text{ cm}^{-3}$ とし、その間の C ドーピング濃度を直線的に変化させている。

[0094] 以上、本第 4 実施形態に係る D H B T 1 0 A によれば、第 2 実施形態と同様の効果が得られる他、図 1 5 B に示すように、第 1 ベース層 1 8 A 内及び第 2 ベース層 1 8 B 内では伝導帯下端のエネルギー E_c が、エミッタ層 2 0 側からコレクタ層 1 6 側に向かって徐々に低くなる傾斜 7 0 B を有した構造となる。この伝導帯下端のエネルギー E_c における傾斜 7 0 B は、電子 6 4 に対する内部電界として働くため、電子 6 4 は第 2 ベース層 1 8 B 内及び第

1 ベース層 18 A 内でさらに加速され、DHBT 10 A の高速化が実現できる。

[0095] なお、本第5実施形態では、第1ベース層18 A 及び第2ベース層18 B 内のCドーピング濃度を直線的に変化させた例を説明したが、Cドーピング濃度がエミッタ層20側からコレクタ層16側に向かって小さくなる分布を示すのであれば、どのような変化のさせ方でもよい。例えば、図16 A に示すように、Cドーピング濃度を第1ベース層18 A 内と第2ベース層18 B 内では一定とし、第1ベース層18 A と第2ベース層18 B の間でステップ的に変化させてもよい。他にも、図16 B に示すように、Cドーピング濃度を第1ベース層18 A 内では一定とし、第2ベース層18 B 内でステップ的に変化させてもよい。また他にも、図16 C に示すように、Cドーピング濃度を第1ベース層18 A 内では一定とし、第2ベース層18 B 内では傾斜させてもよい。さらに他にも、図16 D に示すように、Cドーピング濃度を第2ベース層18 B 内では一定とし、第1ベース層18 A 内では傾斜させてもよい。

[0096] また、第1ベース層18 A がコレクタ層16に接する部分でCドーピング濃度を $4 \times 10^{19} \text{ cm}^{-3}$ とし、第2ベース層18 B がエミッタ層20に接する部分でCドーピング濃度を $5 \times 10^{19} \text{ cm}^{-3}$ として説明したが、Cドーピング濃度の値はこの限りではない。

[0097] (第6実施形態)

次に、本発明の第6実施形態に係るDHBTについて説明する。

[0098] この第6実施形態は、第2実施形態で説明したDHBT 10 A (単位HBT) を並列接続した点が第2実施形態と異なっている。

[0099] 図17 A は本発明の第6実施形態に係るDHBT 100の平面図であり、図17 B は図17 A のI-I断面図である。

[0100] このように単位HBTを並列接続したDHBT 100によると、第2実施形態と同様な効果に加え、大電力を扱うことができる。なお、第3～第5実施形態で説明したDHBT 10 A についても当該DHBT 10 A を並列接続

することにより、同様に、大電力を扱うことが可能になる。

[0101] (第7実施形態)

次に、本発明の第7実施形態に係るDHBTについて説明する。

[0102] この第7実施形態では、上述の第6実施形態で説明したDHBT100を製造する方法について、図18及び図19を参照しながら説明する。

[0103] まず、図18Aに示すように、半絶縁性のGaAsからなる基板12の上に、アンドープGaAsからなるバッファ層50（膜厚 $1\mu\text{m}$ ）、n型GaAsからなるサブコレクタ層14（Siドーピング濃度 $5\times 10^{18}\text{cm}^{-3}$ 、膜厚 $0.6\mu\text{m}$ ）を有機金属気相エピタキシー法により積層させる。

[0104] 次に、サブコレクタ層14の上に、n型GaAsからなるコレクタ層16（Siドーピング濃度 $5\times 10^{16}\text{cm}^{-3}$ 、膜厚 $1.0\mu\text{m}$ ）、p型GaSb_{0.1}As_{0.9}からなる第1ベース層18A（Cドーピング濃度 $4\times 10^{19}\text{cm}^{-3}$ 、膜厚 50nm ）、p型GaAsからなる第2ベース層18B（Cドーピング濃度 $4\times 10^{19}\text{cm}^{-3}$ 、膜厚 100nm ）、及び、n型In_{0.5}Ga_{0.5}Pからなるエミッタ層20（Si濃度 $3\times 10^{17}\text{cm}^{-3}$ 、膜厚 30nm ）を有機金属気相エピタキシー法により積層させる。

[0105] さらに、エミッタ層20の上に、n型GaAsからなるコンタクト層24A（Siドーピング濃度 $1\times 10^{19}\text{cm}^{-3}$ 、膜厚 50nm ）、及び、n型In_{0.5}Ga_{0.5}Asからなるコンタクト層24B（Siドーピング濃度 $1\times 10^{16}\text{cm}^{-3}$ 、膜厚 50nm ）を有機金属気相エピタキシー法により積層させる。

[0106] 次に、図18Bに示すように、高周波スパッタ法を用いてW_{0.7}Si_{0.3}層25（膜厚 $0.3\mu\text{m}$ ）をウエハ全面に堆積する。

[0107] 次に、図18Cに示すように、W_{0.7}Si_{0.3}層25をフォトリソグラフィー及びCF₄を用いたドライエッチングにより加工し、エミッタ電極26を形成する。

[0108] その後、図18Dに示すように、コンタクト層24B、コンタクト層24Aを所望の形状に加工してエミッタ領域を形成する。

[0109] ここで、エミッタ領域を加工する加工方法は、例えば、以下の通りである

。フォトリソグラフィー及びエッチング液（エッチング液の組性例、リン酸：過酸化水素水：水＝１：２：４０）を用いたウェットエッチングによりコンタクト層２４Ｂ及びｎ型ＧａＡｓコンタクト層２４Ａの不要領域を除去する。

[0110] 次に、図１９Ａに示すように、蒸着・リフトオフ法を用いて、エミッタ層２０を貫通して少なくとも第２ベース層１８Ｂ上に、Ｔｉ（膜厚５０ｎｍ）／Ｐｔ（膜厚５０ｎｍ）／Ａｕ（膜厚２００ｎｍ）からなるベース電極２２を形成する。

[0111] 次に、図１９Ｂに示すように、フォトリソグラフィー及びウェットエッチングにより、エミッタ層２０、第２ベース層１８Ｂ、第１ベース層１８Ａ、及びコレクタ層１６の各不要領域を除去して、サブコレクタ層１４を露出させてベース領域を形成する。

[0112] ここで、エッチング液は以下の通りである。エミッタ層２０をエッチングする場合のエッチング液として塩酸を用いる。また、第２ベース層１８Ｂ、第１ベース層１８Ａ、及びコレクタ層１６をエッチングする場合のエッチング液の組性例は、リン酸：過酸化水素水：水＝１：２：４０である。

[0113] その後、図１９Ｃに示すように、蒸着・リフトオフ法を用いて、コレクタ電極２８を形成し、３５０℃にて３０分間アロイを施す。コレクタ電極２８は、ＡｕＧｅ（膜厚６０ｎｍ）／Ｎｉ（膜厚１０ｎｍ）／Ａｕ（膜厚２００ｎｍ）からなる積層体である。

[0114] 次に、図１９Ｄに示すように、ウェットエッチングによりアイソレーション溝４２を形成する。エッチング液の組性例は、リン酸：過酸化水素水：水＝１：２：４０である。

[0115] 次に、図１７Ｂに示すように、単位ＨＢＴ間のエミッタ電極２６同士、ベース電極２２同士、コレクタ電極２８同士を接続する配線を形成する。

[0116] 以上の工程を経ることにより、図１７Ａ及び図１７Ｂに示すＤＨＢＴ１００を製造することができる。このように製造されたＤＨＢＴ１００によると、上述の第６実施形態と同様な効果を奏することができる。なお、この第７

実施形態ではD H B T 1 0 0の製造方法について説明したが、上述の第1～第5実施形態のD H B T 1 0 Aも第7実施形態で説明した技術に由来からある技術を用いることにより製造することができる。

[0117] (第8実施形態)

次に、本発明の第8実施形態について説明する。

[0118] 本第8実施形態では、第2実施形態のD H B T 1 0 Aを実装してなる電力増幅器について説明する。

[0119] 図20は、電力増幅器200のブロック構成を示す図である。図20に示すように、電力増幅器200は、高周波の入力端子である高周波入力端子210、高周波入力端子210からの入力を整合する入力整合回路220、入力整合回路220からの出力を増幅する第1の増幅回路230、第1の増幅回路230からの出力を整合する段間整合回路240、段間整合回路240からの出力を増幅する第2の増幅回路250、第2の増幅回路250からの出力を整合する出力整合回路260、及び出力整合回路260からの出力を高周波として出力する高周波出力端子270を有している。

[0120] 図21は電力増幅器200を構成する電力増幅器モジュール300の実装形態を示す平面図であり、図22は図21のI-I断面図である。

[0121] 図22に示すように、電力増幅器モジュールは300、3つの実装基板311～313と4つの導体層321～324が交互に積層されて構成され、導体層322上にD H B T 1 0 Aが接続されている。また、図21に示すように、電力増幅器モジュール300の導体層322上に接続されたD H B T 1 0 Aは、周囲の導体層321と配線で接続されている。さらに、複数の受動素子301はそれぞれ所定の導体層321を接続するように配置されている。

[0122] 以上、本第8実施形態の電力増幅器200によれば、D H B T 1 0 Aを有するため、低コスト化と電氣的特性及び信頼性の劣化抑制の両立が可能である電力増幅器モジュールを達成することができる。

[0123] なお、第8実施形態では、第2実施形態で説明したD H B T 1 0 Aを電力

増幅器 200 に実装する場合で説明したが、これに限られず、第 3 ～ 第 6 の実施形態で説明した D H B T 10 A 及び D H B T 100 についても同様に実装することが可能である。

[0124] なお、上記第 1 ～ 第 8 実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更／改良され得るとともに、本発明にはその等価物も含まれる。

符号の説明

[0125] 10 A, 10 B, 10 C, 100・・・ダブルヘテロ接合バイポーラトランジスタ（ヘテロ接合バイポーラトランジスタ）、12・・・基板、16・・・コレクタ層、17, 19・・・ヘテロ接合、18 A・・・第 1 ベース層、18 B・・・第 2 ベース層、18 C・・・第 1 層（第 2 ベース層）、18 D・・・第 2 層（第 2 ベース層）、20・・・エミッタ層

請求の範囲

- [請求項1] GaAsを主成分とした半導体で構成されたコレクタ層と、
前記コレクタ層とヘテロ接合され、前記コレクタ層の主成分と格子不整合する材料を主成分とした半導体で構成され、且つミスフィット転移が導入される臨界膜厚未満の膜厚である第1ベース層と、
前記第1ベース層と接合され、前記コレクタ層の主成分と格子整合する材料を主成分とした半導体で構成された第2ベース層と、
前記第2ベース層とヘテロ接合されたエミッタ層と、
を有するヘテロ接合バイポーラトランジスタ。
- [請求項2] 前記コレクタ層は、前記GaAsを含有するn型半導体で構成され、
、
前記第1ベース層及び前記第2ベース層は、それぞれの前記主成分を含有するp型半導体で構成され、
前記エミッタ層は、n型半導体で構成され、
前記第2ベース層では、前記第1ベース層との接合の前の状態で、伝導帯下端のエネルギーが、前記第1ベース層の伝導帯下端のエネルギーから室温での自由電子の持つ熱エネルギー分差し引いた値以上に高い値を示す、
請求項1に記載のヘテロ接合バイポーラトランジスタ。
- [請求項3] 第1ベース層と第2ベース層の接合の前の状態で、第1ベース層の価電子帯上端のエネルギーから第2ベース層の価電子帯上端のエネルギーを差し引いた値から、第1ベース層の伝導帯下端のエネルギーから第2ベース層の伝導帯下端のエネルギーを差し引いた値、を差し引いた値が正の値を示す、
請求項2に記載のヘテロ接合バイポーラトランジスタ。
- [請求項4] 前記第1ベース層の主成分は、 $GaSb_xAs_{1-x}$ (x : Sbの組成比、 $x > 0$)である、
請求項1～請求項3の何れか1項に記載のヘテロ接合バイポーラト

ランジスタ。

[請求項5] 前記第2ベース層の主成分は、 $GaAs$ 又は $Al_yGa_{1-y}As$ ($y:Al$ の組成比、 $y>0$) である、

請求項1～請求項4の何れか1項に記載のヘテロ接合バイポーラトランジスタ。

[請求項6] 前記第2ベース層の主成分は、 $GaAs$ である、

請求項1～請求項5の何れか1項に記載のヘテロ接合バイポーラトランジスタ。

[請求項7] 前記ベース層の厚みは、前記ベース層のシート抵抗が $200\Omega/square$ 以下となる厚みを有する、

請求項1～請求項6の何れか1項に記載のヘテロ接合バイポーラトランジスタ。

[請求項8] 前記コレクタ層に対して前記ベース層の反対側に設けられ、 $GaAs$ 又は Si を主成分とした半導体基板を有する、

請求項1～請求項7の何れか1項に記載のヘテロ接合バイポーラトランジスタ。

[請求項9] 前記エミッタ層は、 $Al_yGa_{1-y}As$ 又は $InGaP$ を主成分とした半導体で構成されている、

請求項5又は請求項6に記載のヘテロ接合バイポーラトランジスタ。

[請求項10] 前記第1ベース層及び前記第2ベース層の少なくとも一方のキャリア濃度は、前記エミッタ層側から前記コレクタ層側に向かって小さくなる分布を示す、

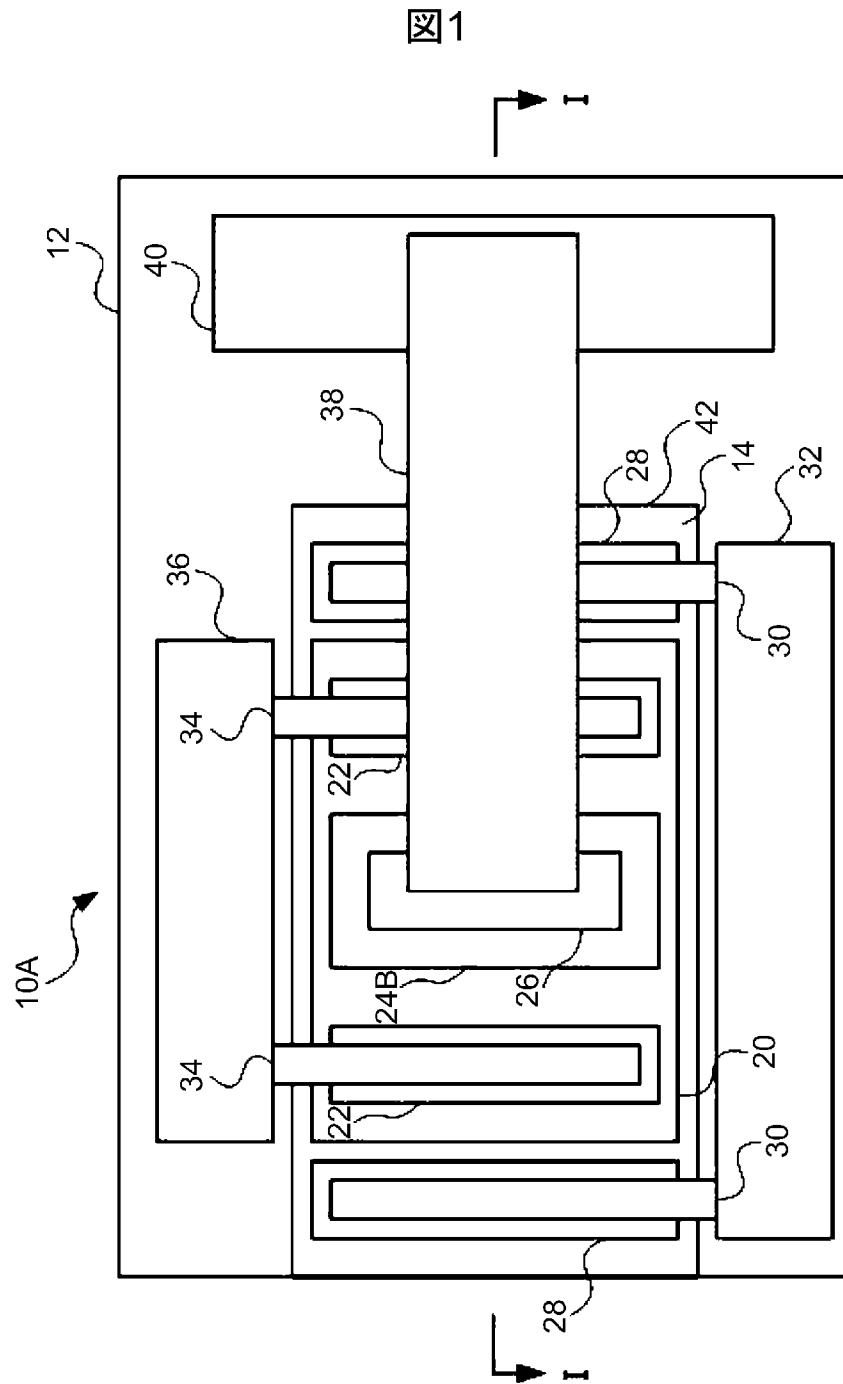
請求項2又は請求項3に記載のヘテロ接合バイポーラトランジスタ。

[請求項11] 前記第1ベース層の Sb 組性は前記エミッタ層側から前記コレクタ層側に向かって大きくなる分布を示す、

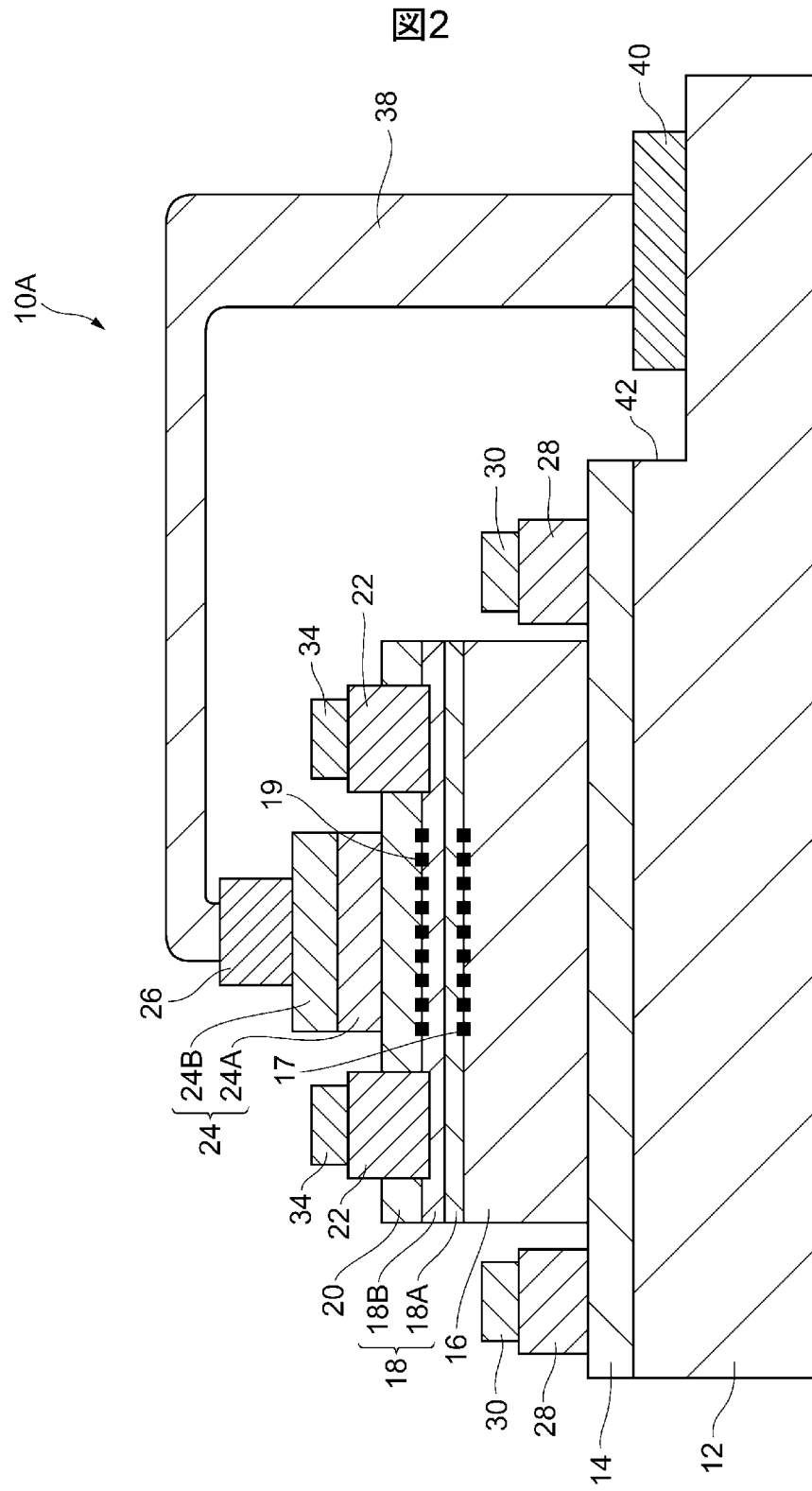
請求項4に記載のヘテロ接合バイポーラトランジスタ。

[請求項12] 請求項1～請求項11の何れか1項に記載のヘテロ接合バイポーラトランジスタを使用した電力増幅器モジュール。

[図1]

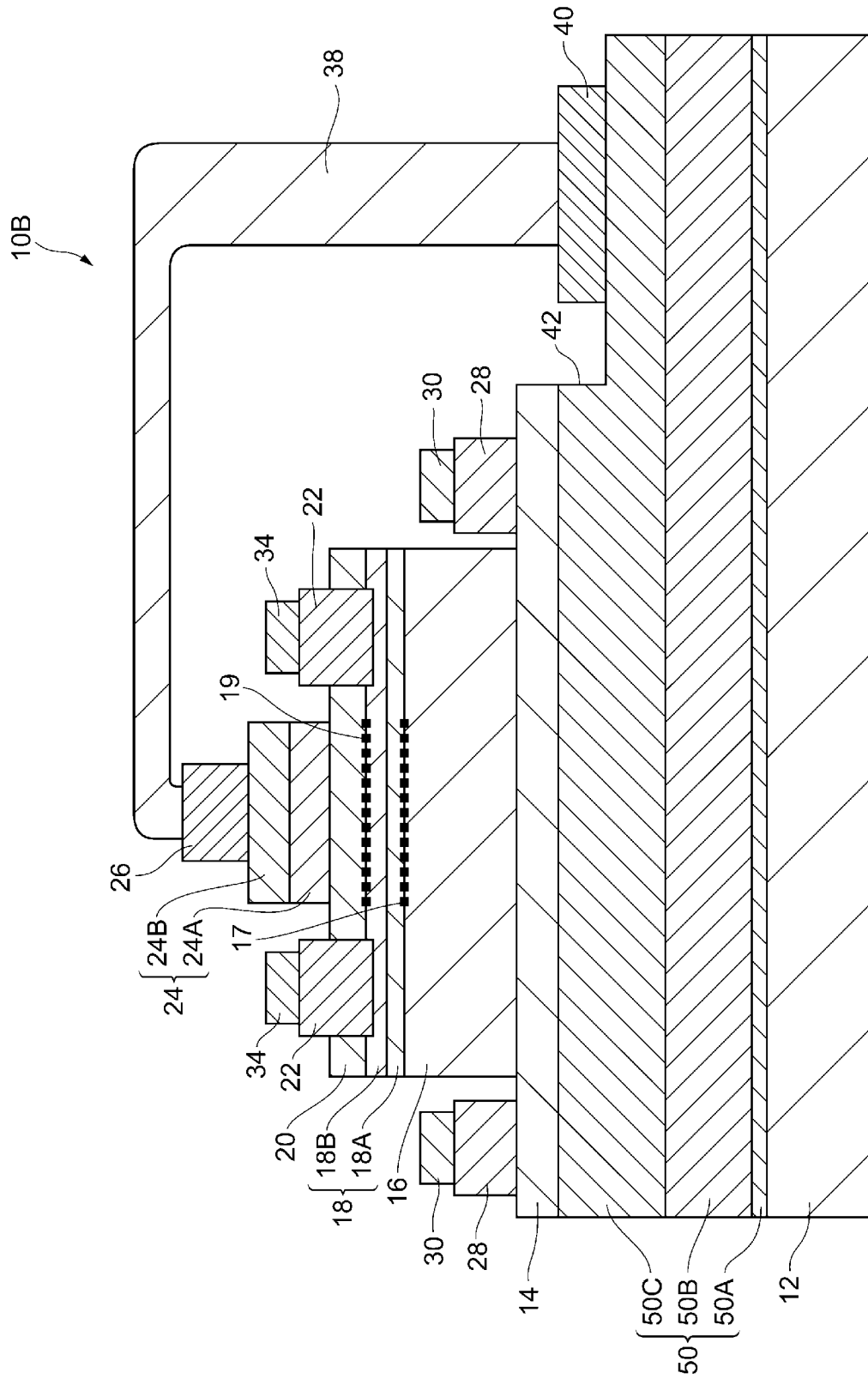


[図2]



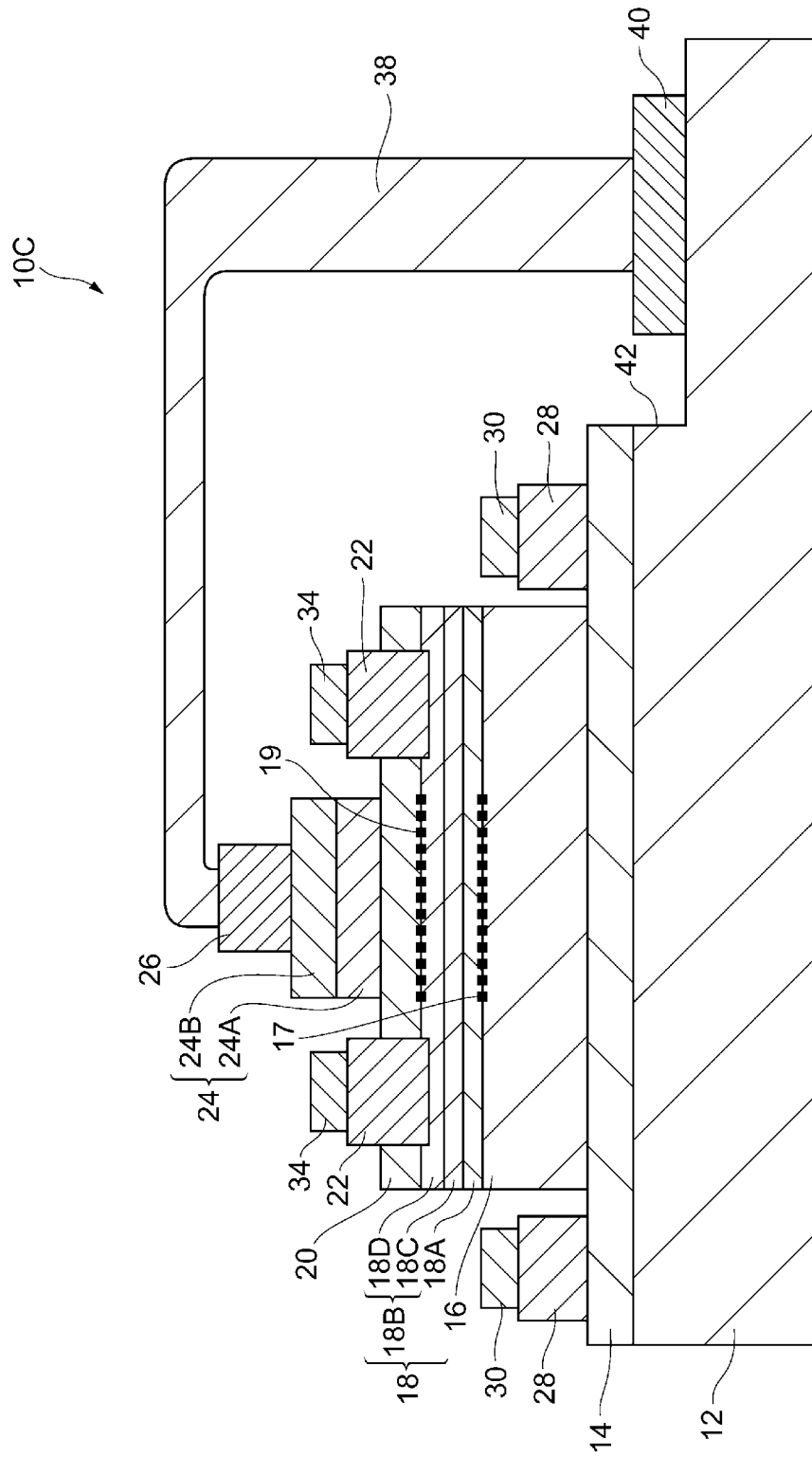
[図3]

図3

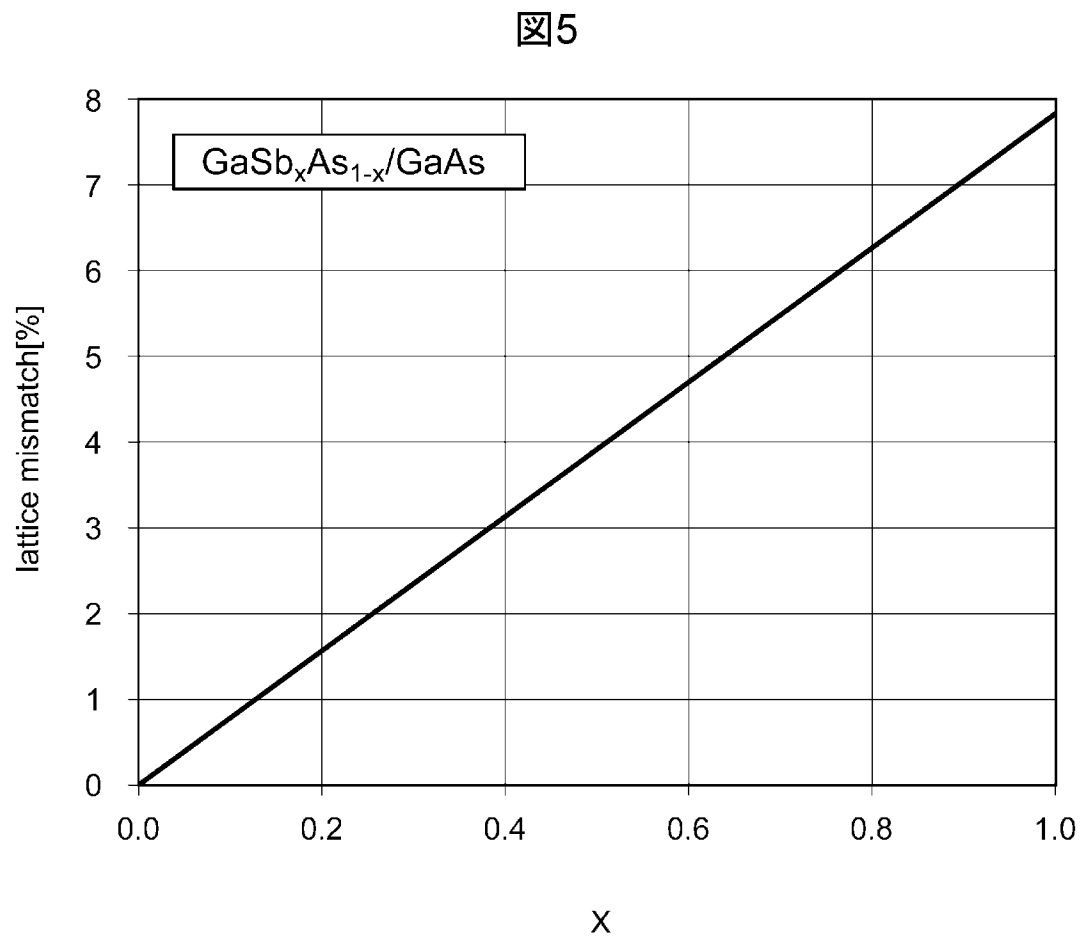


[図4]

図4

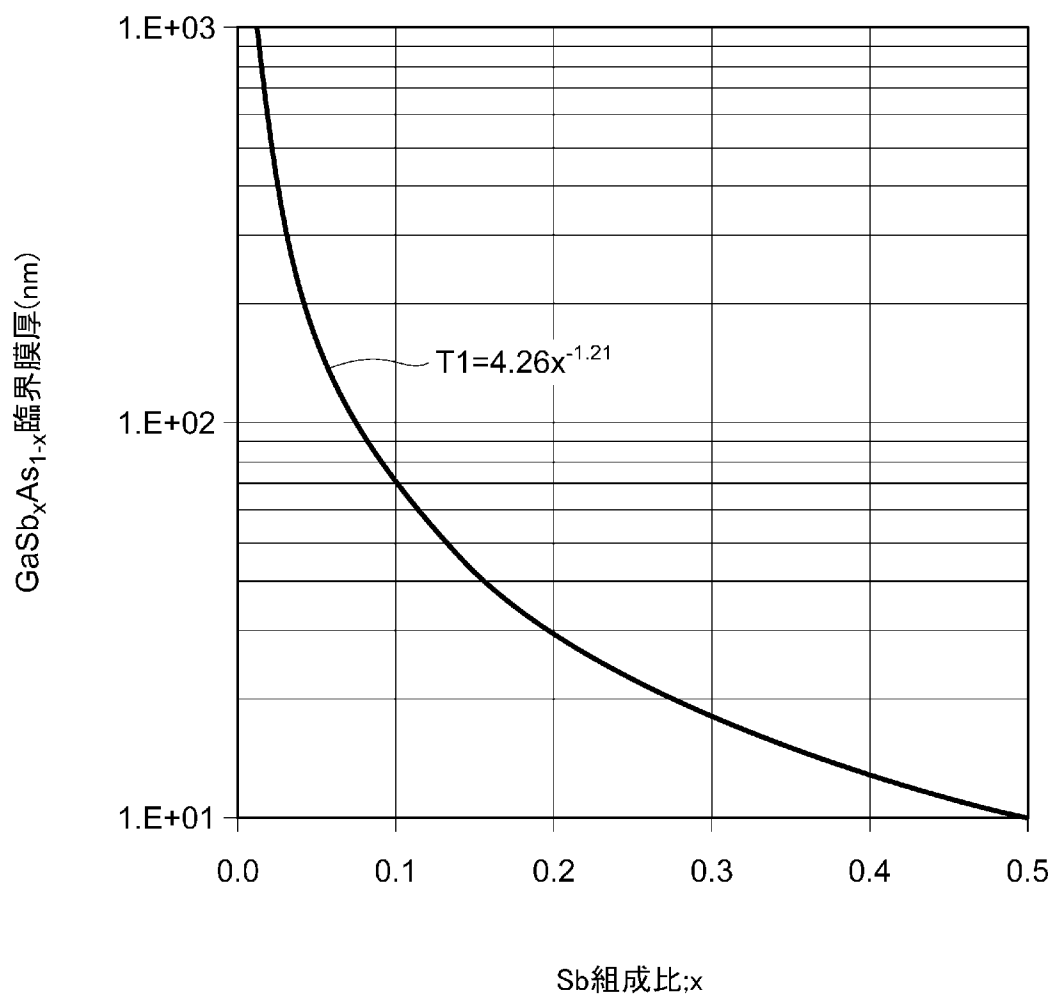


[図5]

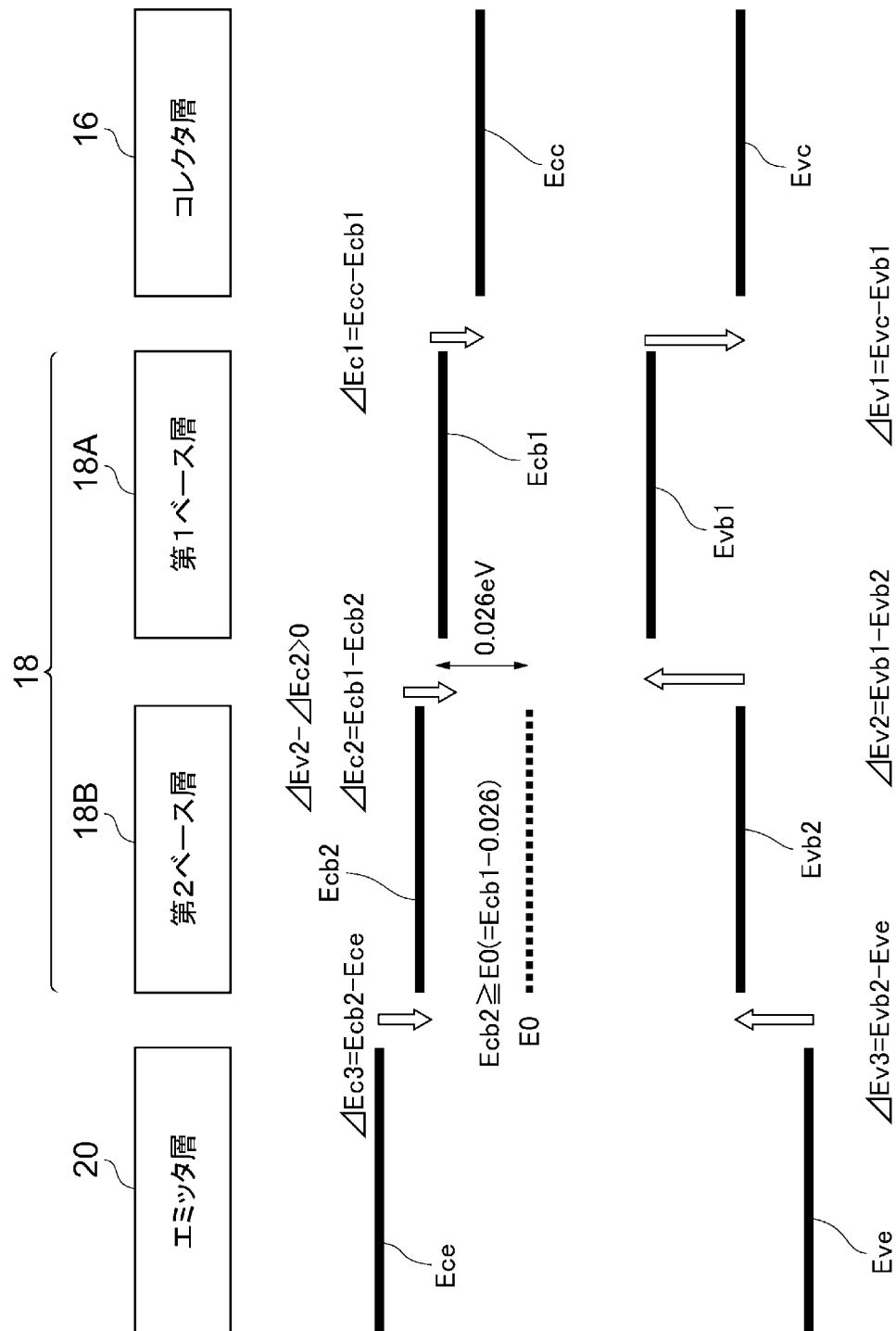


[図6]

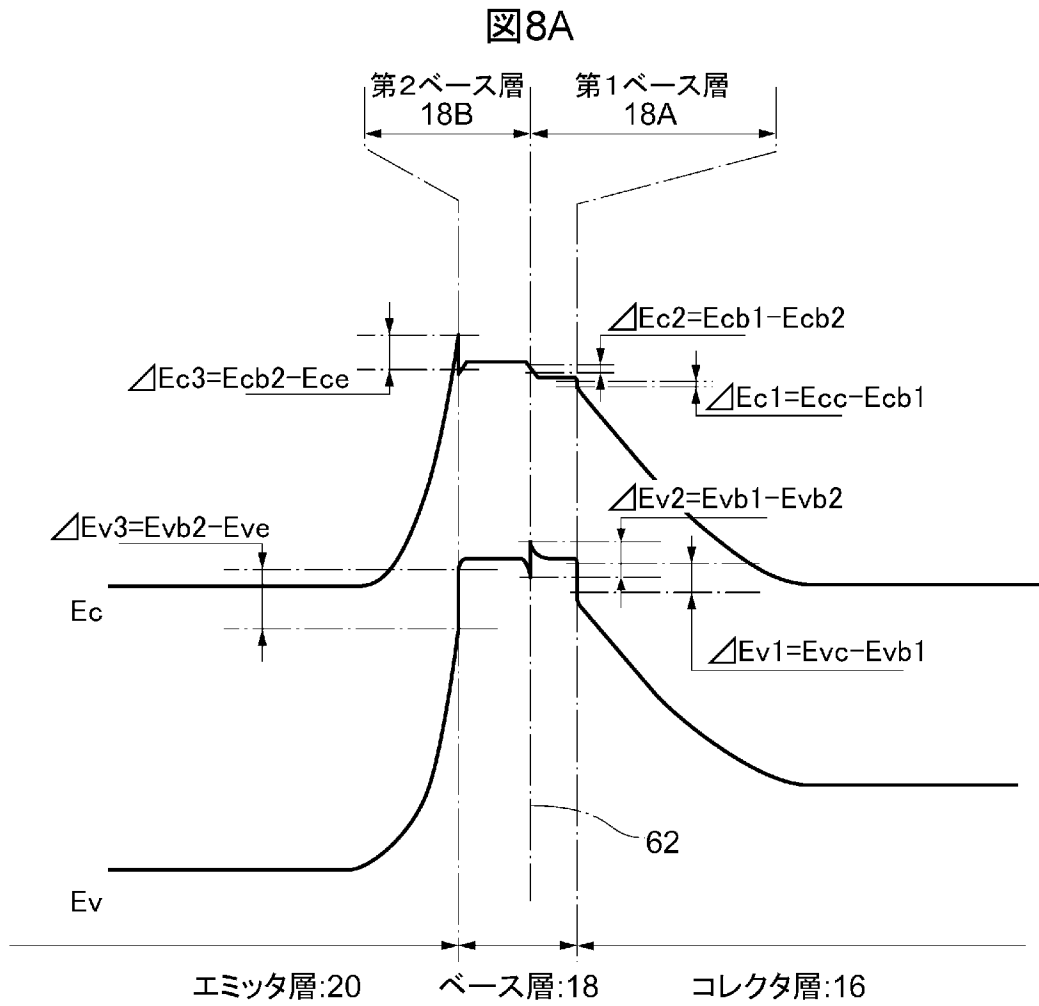
図6



[図7]

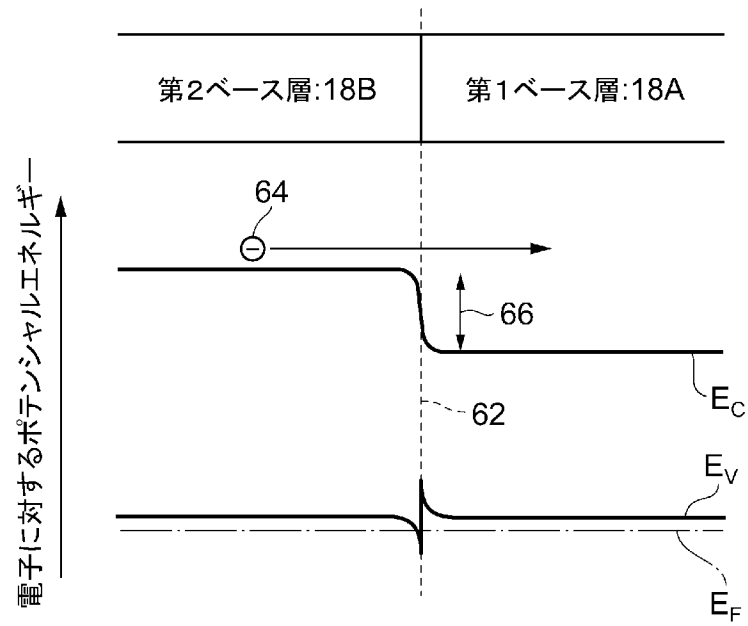


[図8A]



[図8B]

図8B



[図9]

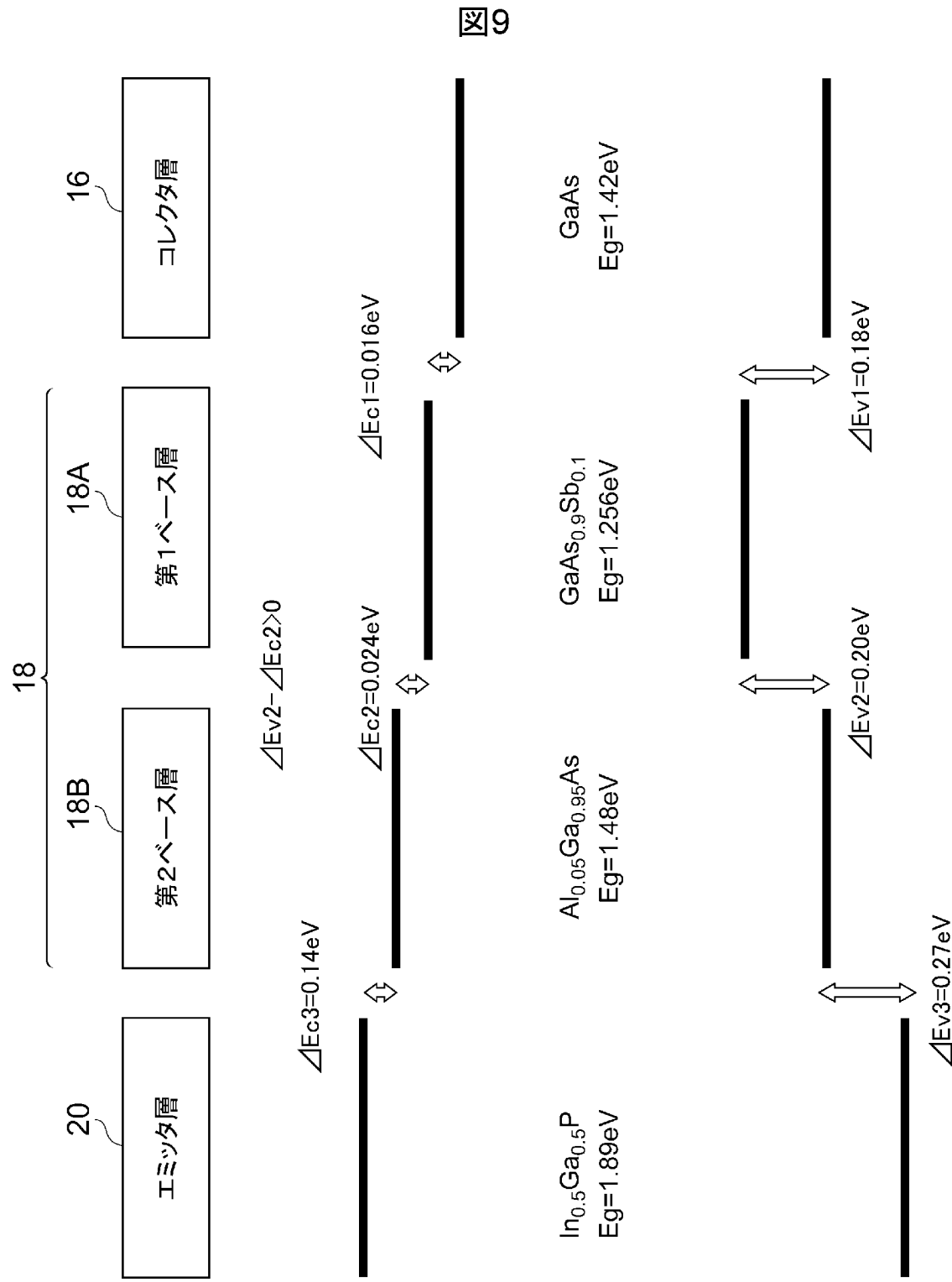
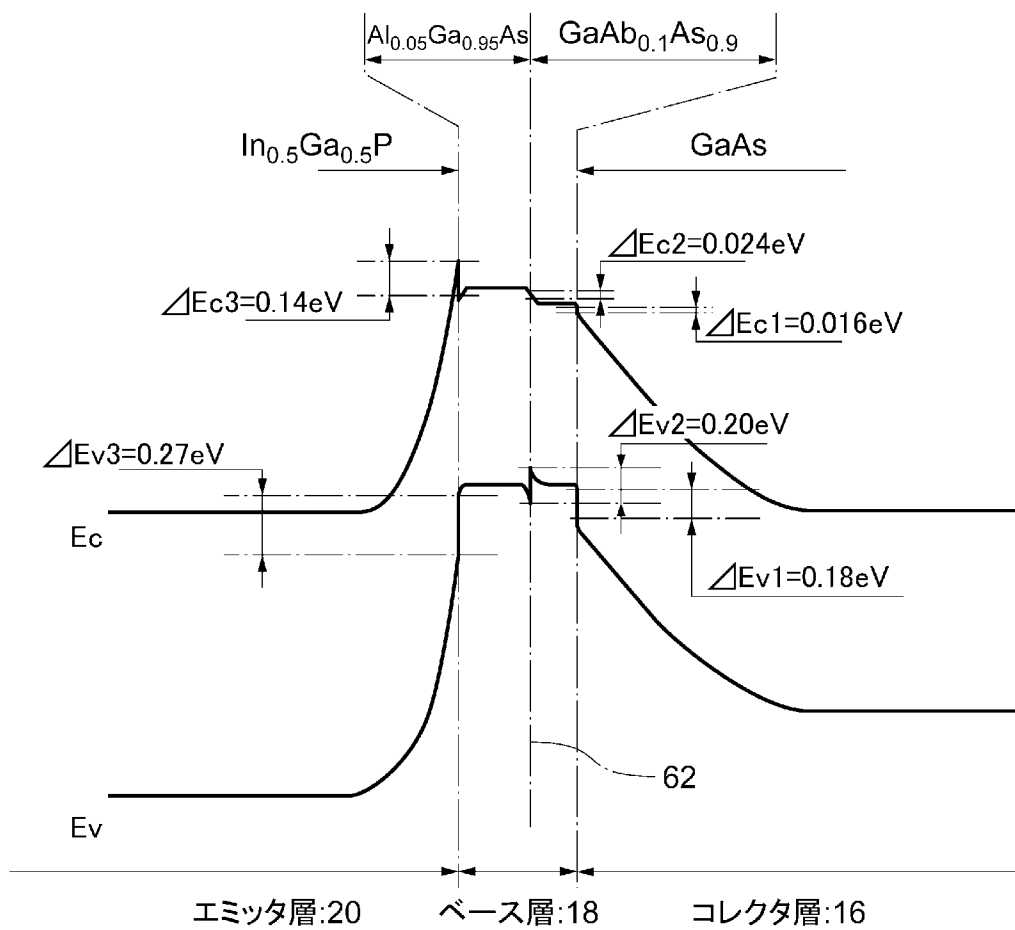


図9

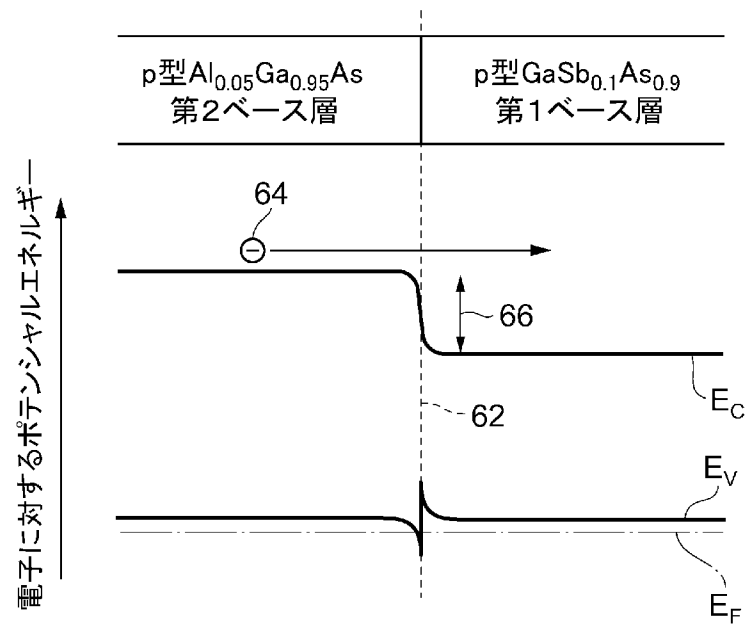
[図10A]

図10A

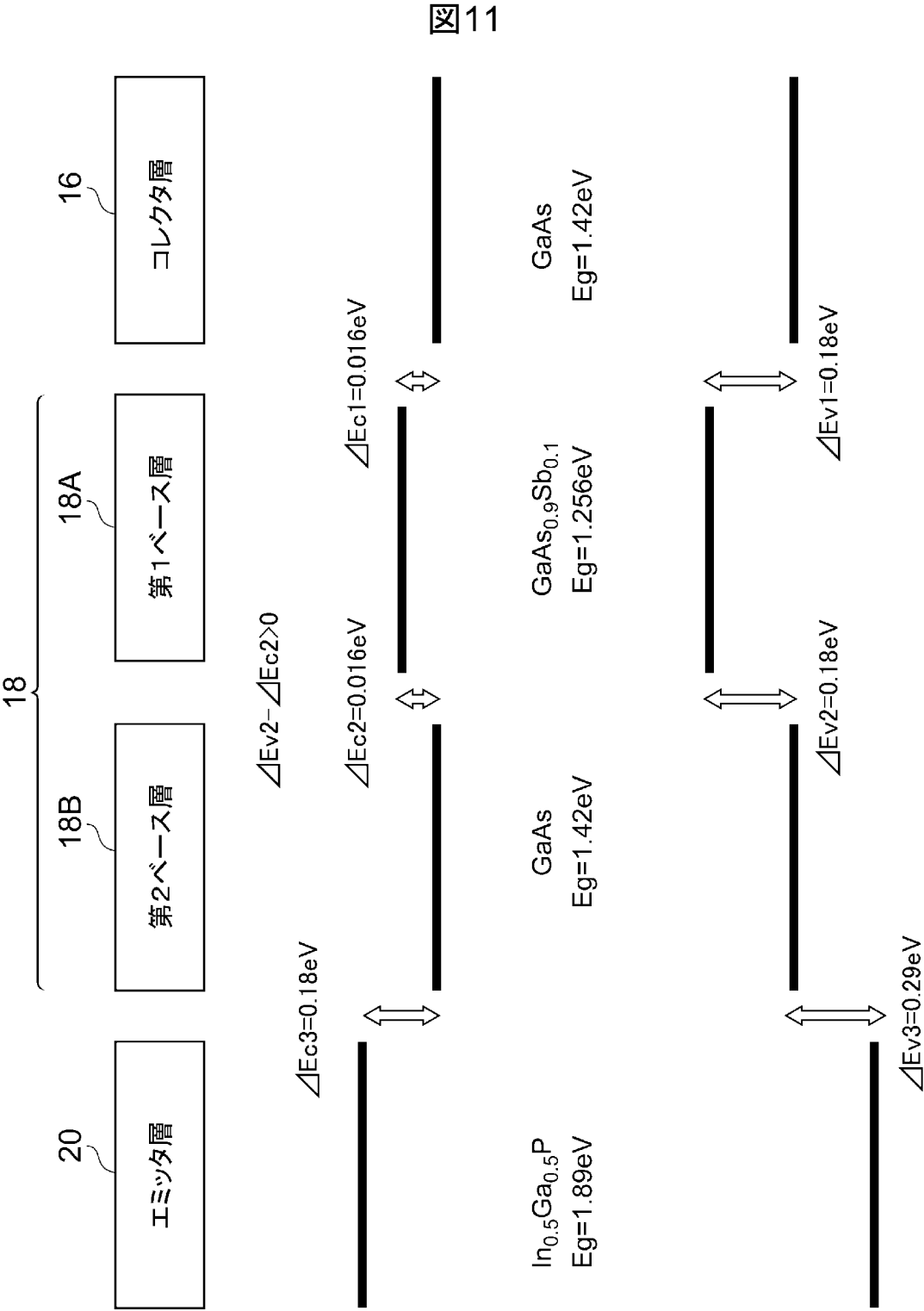


[図10B]

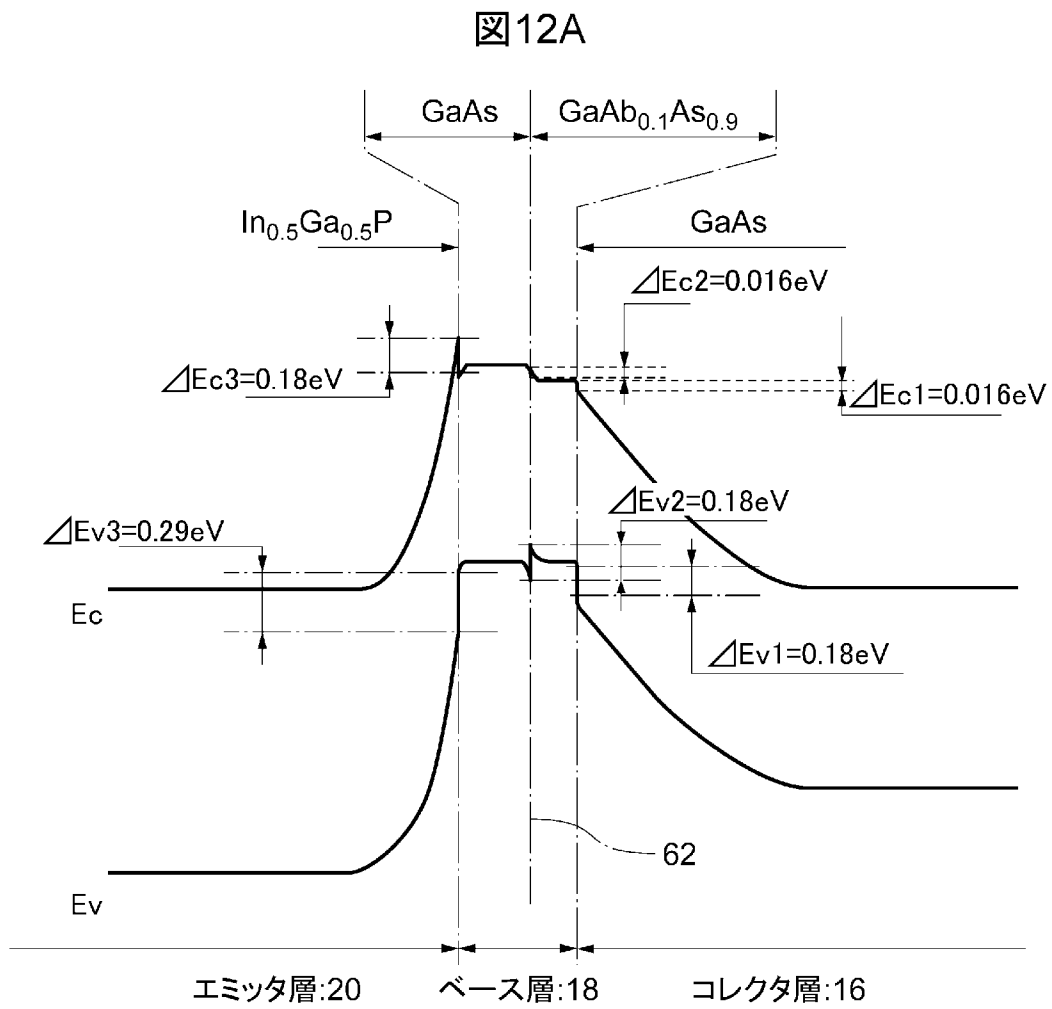
図10B



[図11]

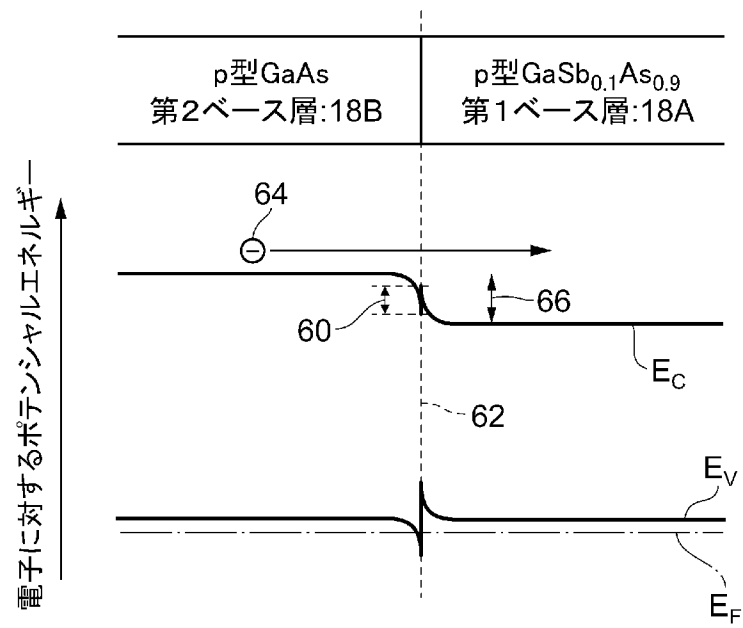


[図12A]



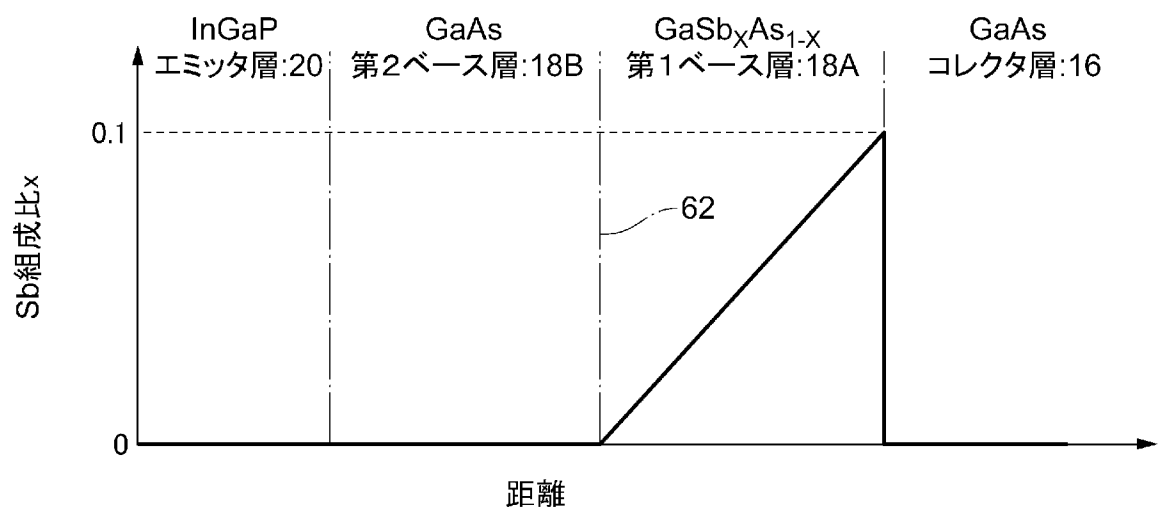
[図12B]

図12B



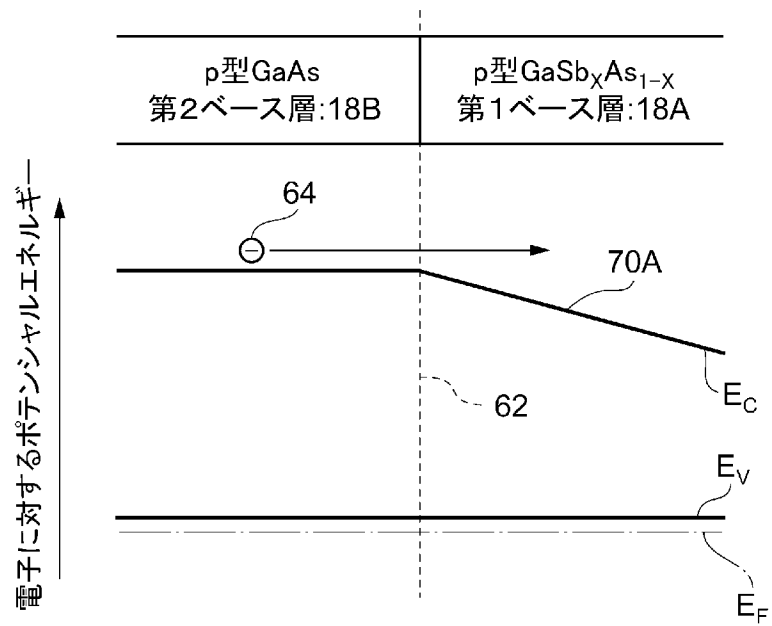
[図13A]

図13A

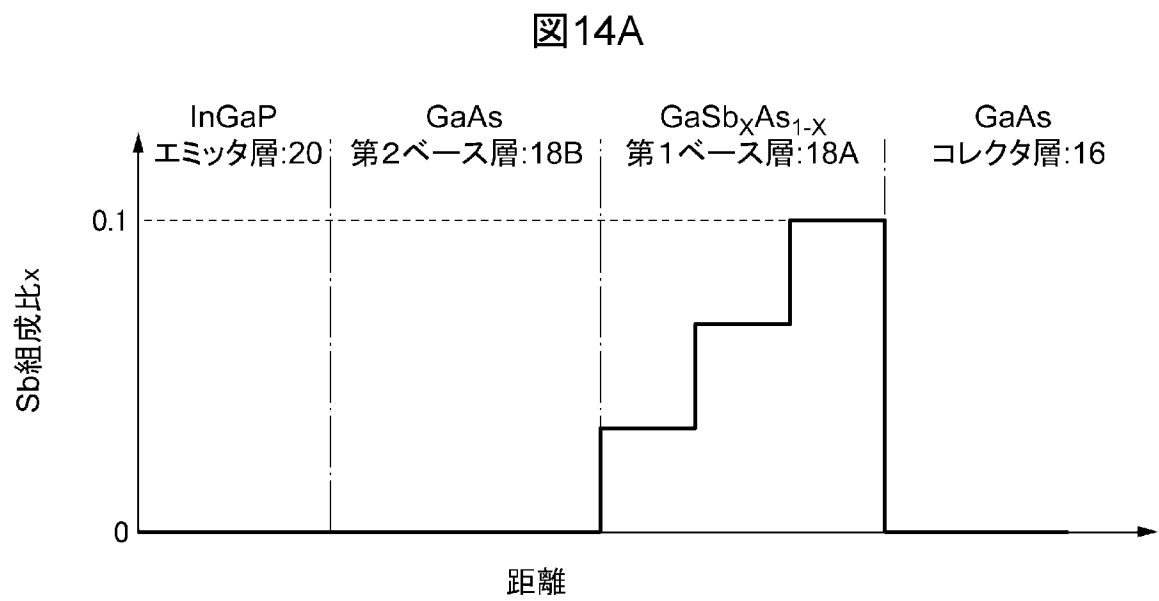


[図13B]

図13B

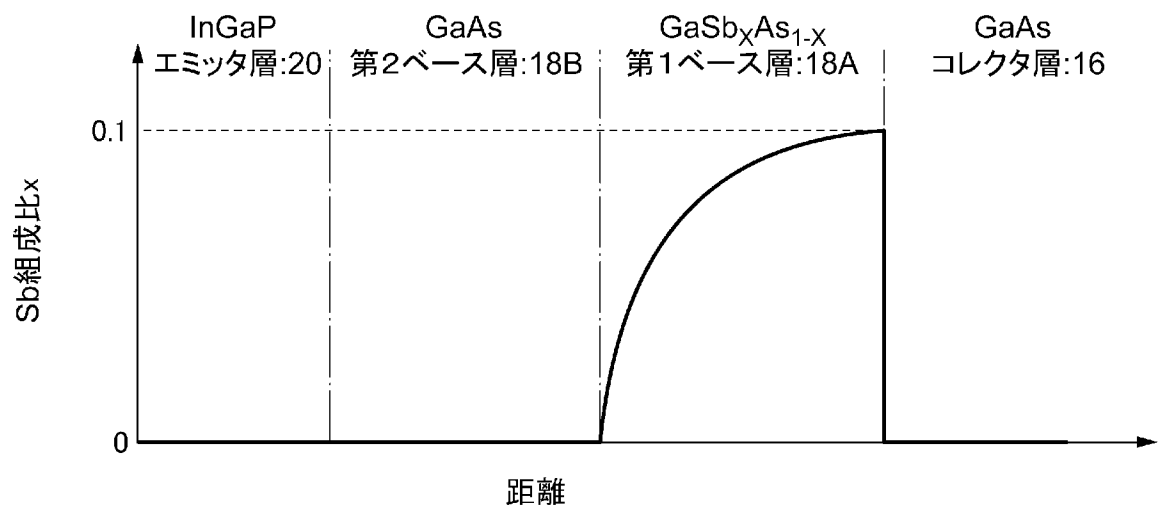


[図14A]



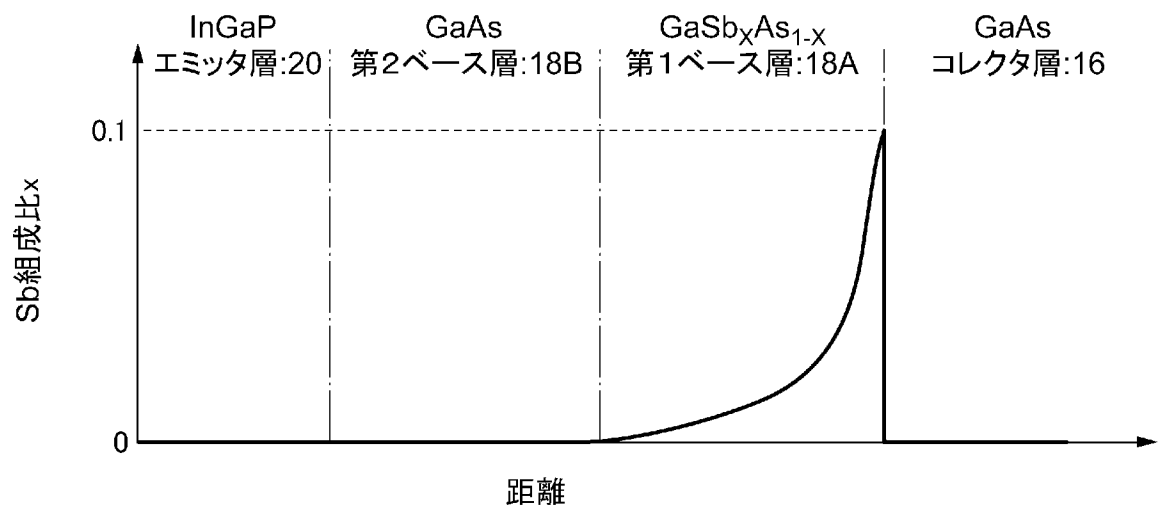
[図14B]

図14B



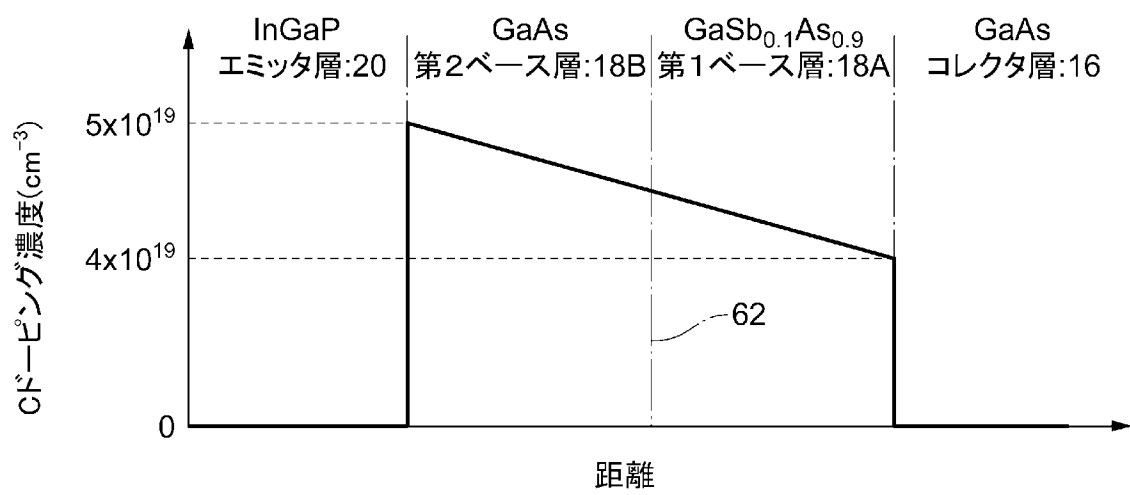
[図14C]

図14C



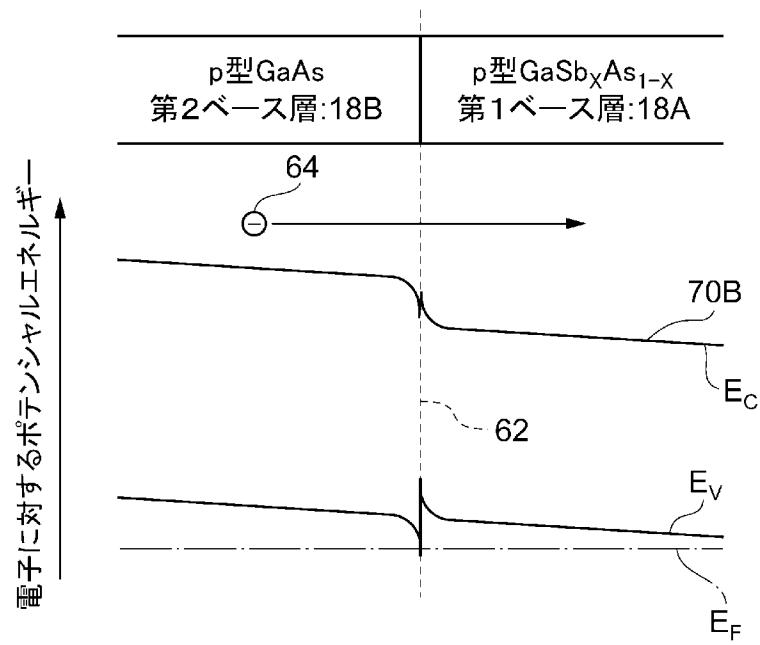
[図15A]

図15A



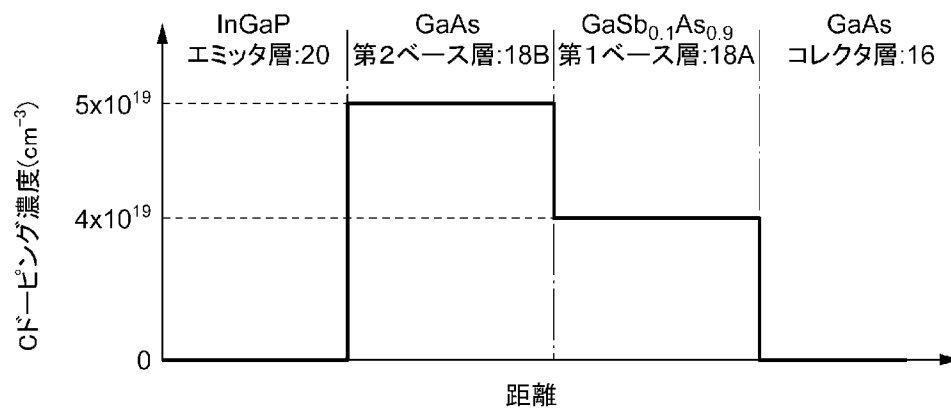
[図15B]

図15B



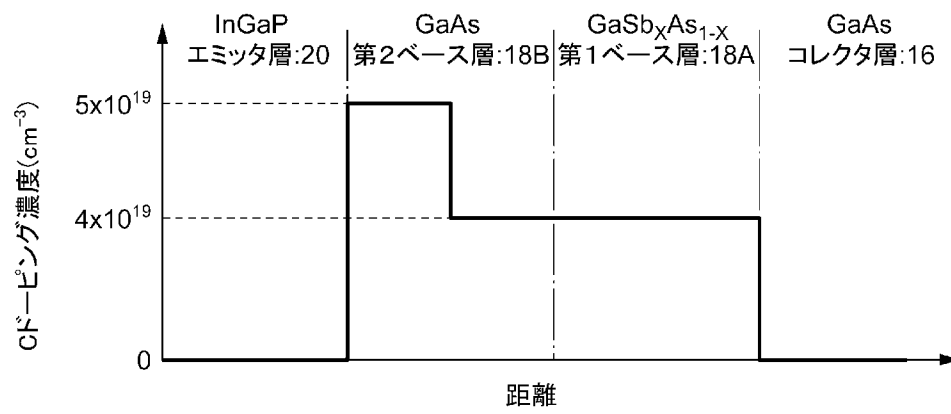
[図16A]

図16A



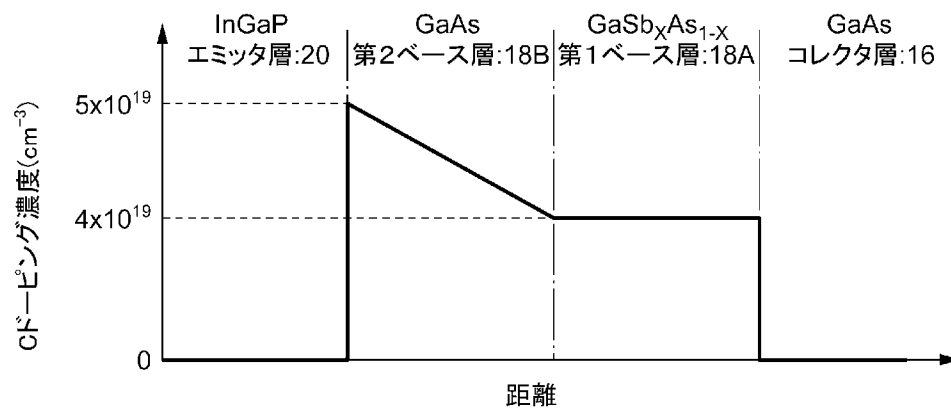
[図16B]

図16B



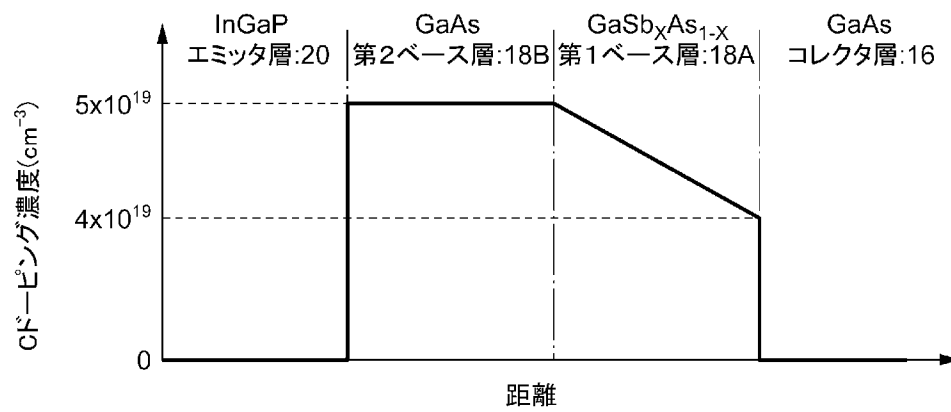
[図16C]

図16C

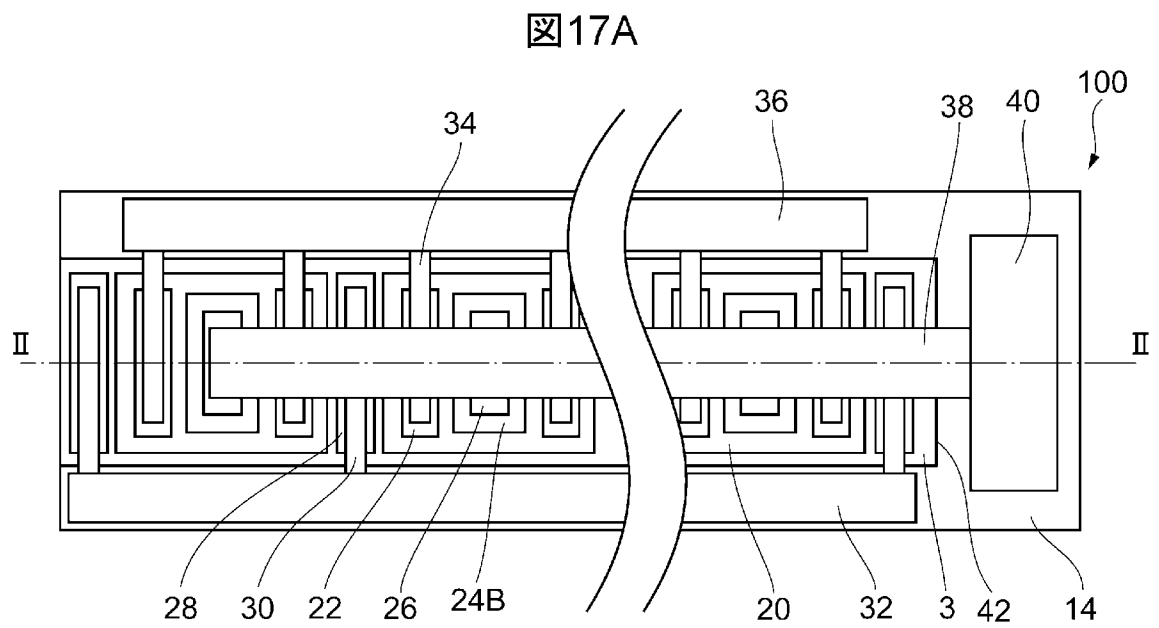


[図16D]

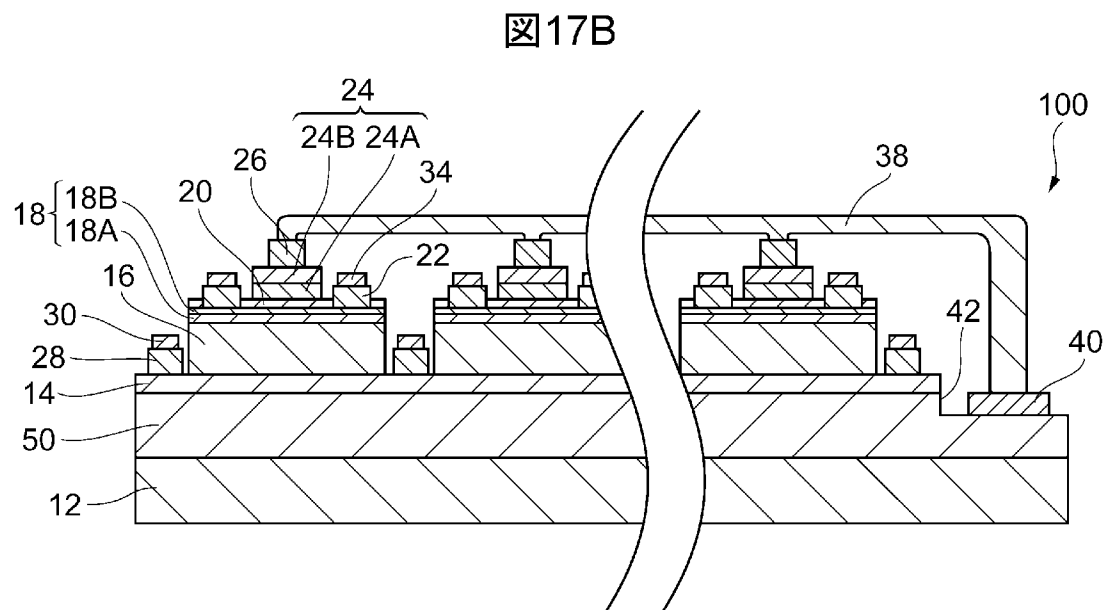
図16D



[図17A]

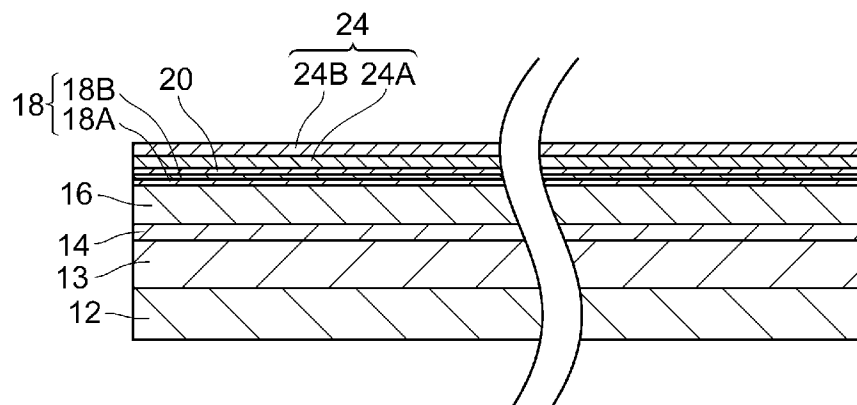


[図17B]



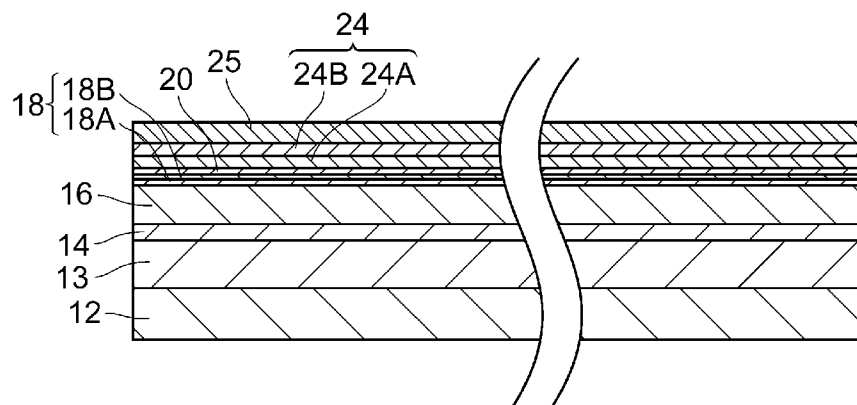
[図18A]

図18A



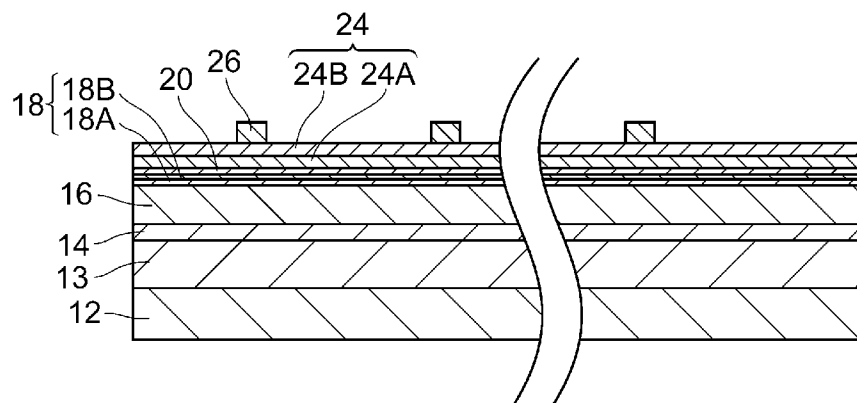
[図18B]

図18B



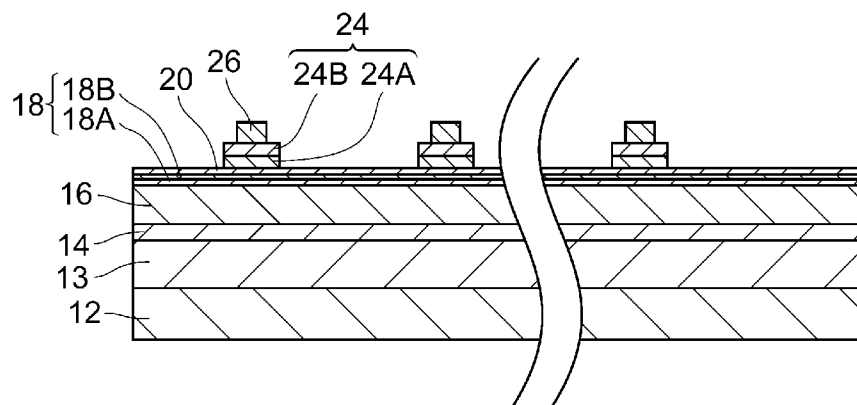
[図18C]

図18C



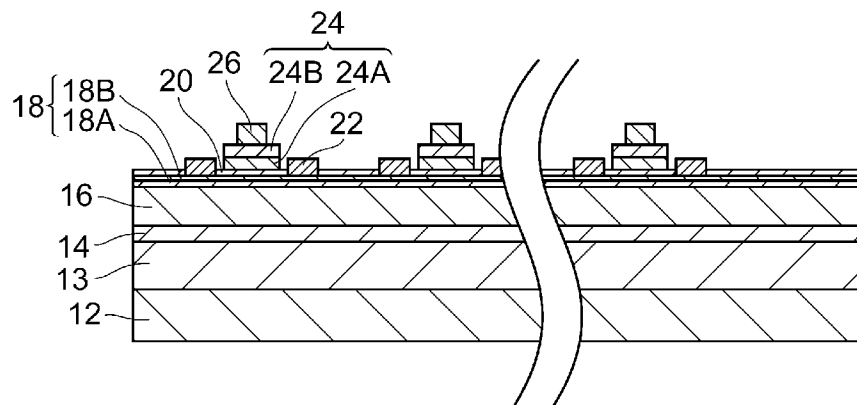
[図18D]

図18D



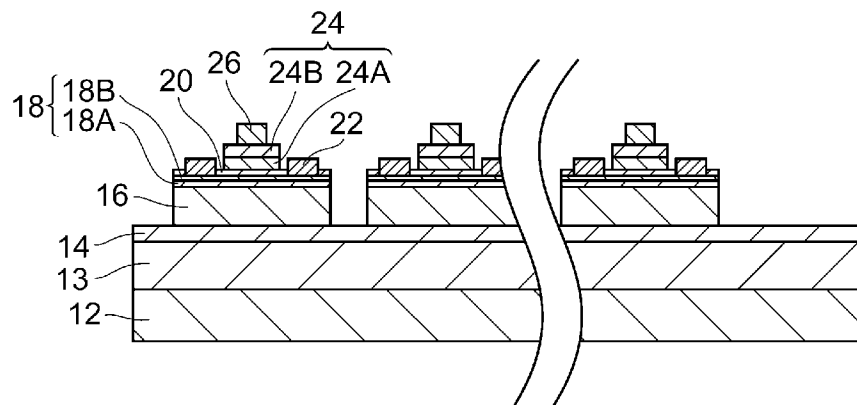
[図19A]

図19A



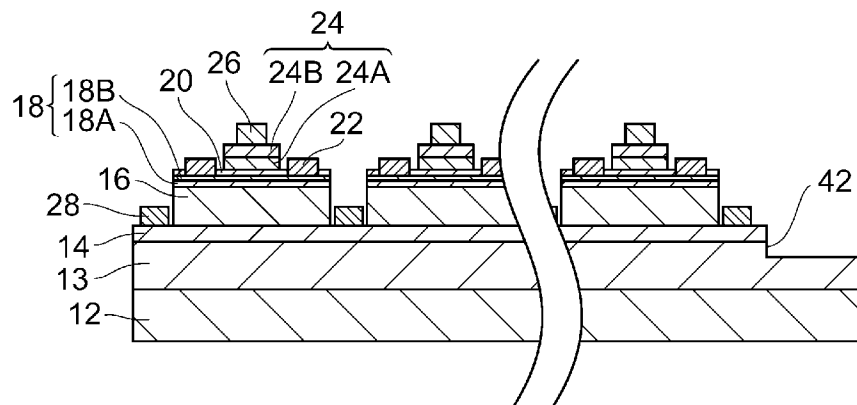
[図19B]

図19B

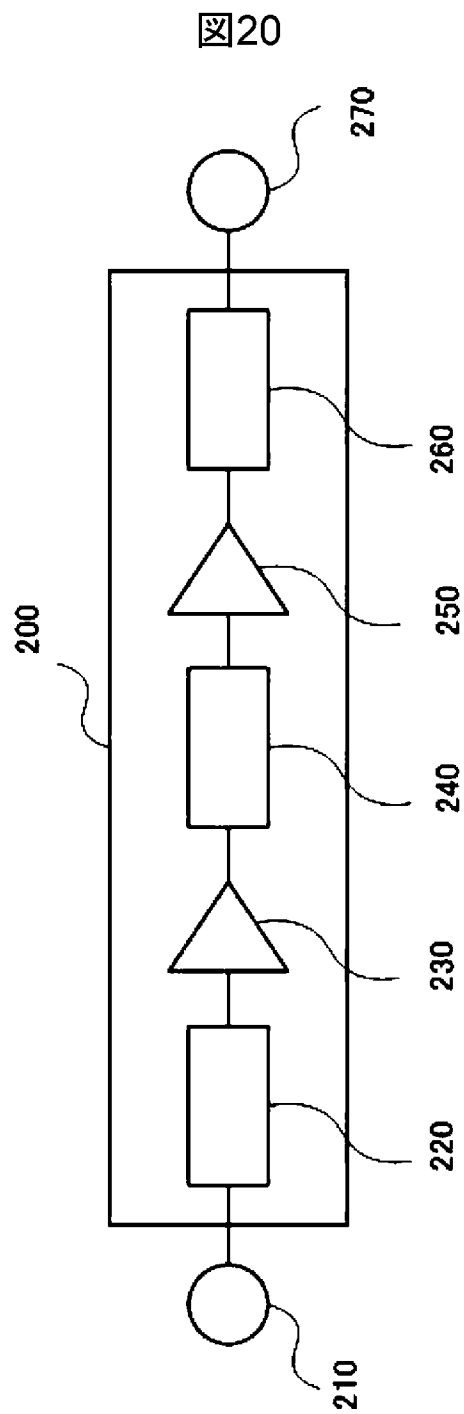


[図19D]

図19D

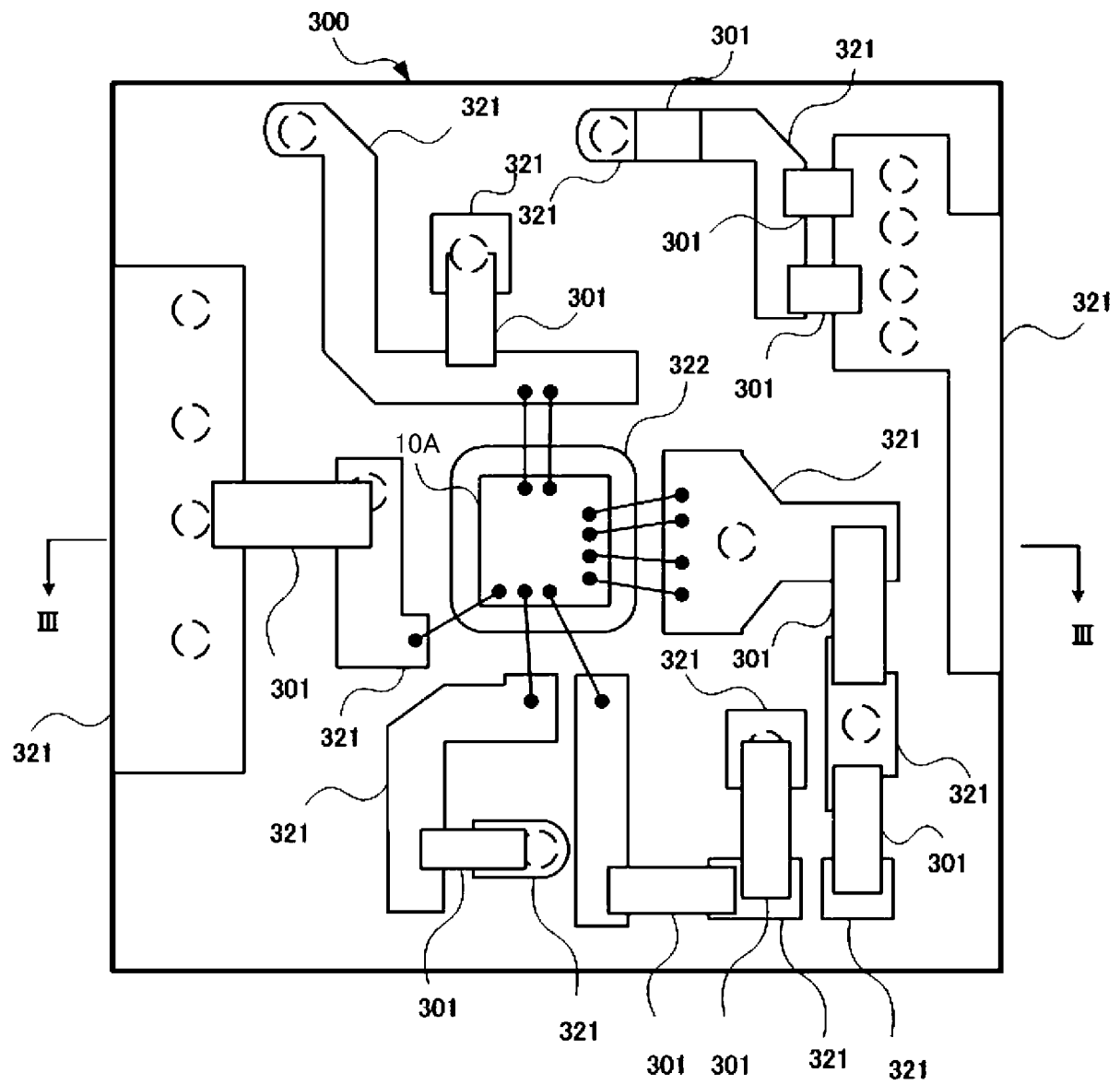


[図20]



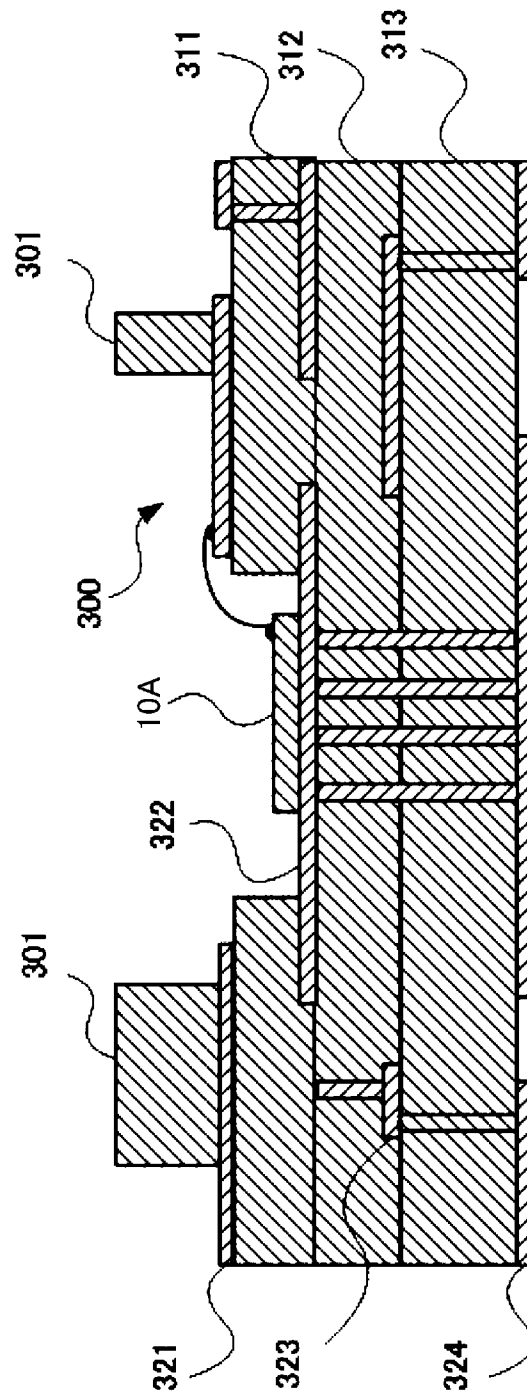
[図21]

図21



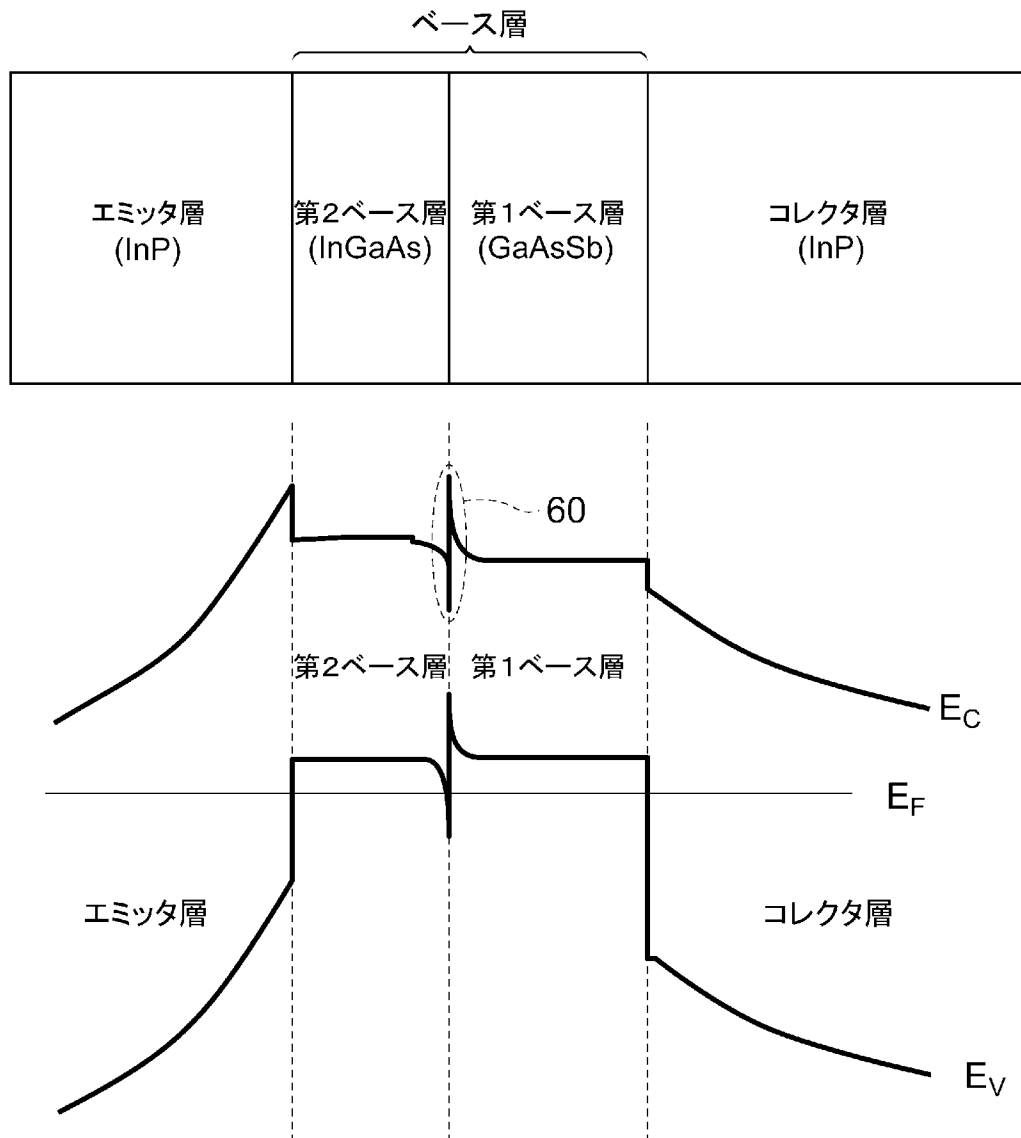
[図22]

図22



[図23]

図23



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054085

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/331(2006.01)i, H01L29/737(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/331, H01L29/737

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 6-37105 A (Nippon Telegraph and Telephone Corp.), 10 February 1994 (10.02.1994), paragraphs [0015] to [0016]; fig. 2 (Family: none)	1-9 4-10, 12 11
X Y A	JP 6-69220 A (The Furukawa Electric Co., Ltd.), 11 March 1994 (11.03.1994), paragraphs [0004] to [0006]; fig. 1 (Family: none)	1-3, 5-9 4-10, 12 11
Y A	Tohru Oka et al., Low turn-on voltage GaAs heterojunction bipolar transistors with a pseudomorphic GaAsSb base, Applied Physics Letters, 2001.01.22, Vol.78, No.4, p.483-485	4-10, 12 11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 May, 2014 (07.05.14)

Date of mailing of the international search report
27 May, 2014 (27.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054085

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-246695 A (Canon Inc.), 30 August 2002 (30.08.2002), paragraph [0009]; fig. 1 (Family: none)	4-10, 12 11
Y A	JP 6-69222 A (Matsushita Electric Industrial Co., Ltd.), 11 March 1994 (11.03.1994), paragraphs [0002], [0021] to [0026]; fig. 1 to 2 & US 5371389 A & US 5429957 A	10, 12 11
A	WO 2003/009339 A2 (MICROLINK DEVICES, INC.), 30 January 2003 (30.01.2003), entire text; fig. 1 to 3 & US 2003/0025179 A1 & AU 2002322581 A	4-12

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/331(2006.01)i, H01L29/737(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/331, H01L29/737

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 6-37105 A（日本電信電話株式会社）1994. 02. 10, 段落【0015】－【0016】及び図2（ファミリーなし）	1-9 4-10, 12 11
X Y A	JP 6-69220 A（古河電気工業株式会社）1994. 03. 11, 段落【0004】－【0006】及び図1（ファミリーなし）	1-3, 5-9 4-10, 12 11

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 5 . 2 0 1 4

国際調査報告の発送日

2 7 . 0 5 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

安田 雅彦

電話番号 03-3581-1101 内線 3514

5 F

9 4 4 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	Tohru Oka et al., Low turn-on voltage GaAs heterojunction bipolar transistors with a pseudomorphic GaAsSb base, Applied Physics Letters, 2001.01.22, Vol.78, No.4, p.483-485	4-10, 12 11
Y A	JP 2002-246695 A (キヤノン株式会社) 2002.08.30, 段落【0009】及び図1 (ファミリーなし)	4-10, 12 11
Y A	JP 6-69222 A (松下電器産業株式会社) 1994.03.11, 段落【0002】, 【0021】－【0026】及び図1－2 & US 5371389 A & US 5429957 A	10, 12 11
A	WO 2003/009339 A2 (MICROLINK DEVICES, INC.) 2003.01.30, 全文及びFigure 1－3 & US 2003/0025179 A1 & AU 2002322581 A	4-12