

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4627850号
(P4627850)

(45) 発行日 平成23年2月9日 (2011.2.9)

(24) 登録日 平成22年11月19日 (2010.11.19)

(51) Int.Cl.

F I

HO 1 S 5/042 (2006.01)

HO 1 L 21/306 (2006.01)

HO 1 S 5/042 6 I O

HO 1 L 21/306 D

請求項の数 8 (全 22 頁)

| | | | |
|--------------|-------------------------------|-----------|--------------------|
| (21) 出願番号 | 特願2000-270989 (P2000-270989) | (73) 特許権者 | 000005049 |
| (22) 出願日 | 平成12年9月7日 (2000.9.7) | | シャープ株式会社 |
| (65) 公開番号 | 特開2001-148534 (P2001-148534A) | | 大阪府大阪市阿倍野区長池町2番22号 |
| (43) 公開日 | 平成13年5月29日 (2001.5.29) | (74) 代理人 | 100064746 |
| 審査請求日 | 平成19年9月5日 (2007.9.5) | | 弁理士 深見 久郎 |
| (31) 優先権主張番号 | 特願平11-255268 | (74) 代理人 | 100085132 |
| (32) 優先日 | 平成11年9月9日 (1999.9.9) | | 弁理士 森田 俊雄 |
| (33) 優先権主張国 | 日本国 (JP) | (74) 代理人 | 100083703 |
| | | | 弁理士 仲村 義平 |
| | | (74) 代理人 | 100096781 |
| | | | 弁理士 堀井 豊 |
| | | (74) 代理人 | 100098316 |
| | | | 弁理士 野田 久登 |
| | | (74) 代理人 | 100109162 |
| | | | 弁理士 酒井 将行 |

最終頁に続く

(54) 【発明の名称】 I I I 族窒化物半導体の電極形成方法

(57) 【特許請求の範囲】

【請求項 1】

p 型 I I I 族窒化物半導体の表面に接する P d からなる 接触金属層をその少なくとも一部に含む電極を前記 p 型 I I I 族窒化物半導体の表面上に形成する方法であって、

前記 p 型 I I I 族窒化物半導体の表面のうち前記接触金属層の形成箇所に フォトリソストを形成する工程と、

前記フォトリソストの表面および前記 p 型 I I I 族窒化物半導体の表面を覆うように、S i O₂ からなる誘電体膜を形成する工程と、

前記誘電体膜を形成する工程の後に、前記誘電体膜の表面上に M o を含む積層金属層を形成する工程と、

前記フォトリソスト上の前記誘電体膜の一部を前記フォトリソストのリフトオフにより前記フォトリソストとともに除去することによって前記 p 型 I I I 族窒化物半導体の表面を露出させる工程と、

前記 p 型 I I I 族窒化物半導体の露出表面に前記接触金属層を形成する工程と、を含み、

前記 p 型 I I I 族窒化物半導体の表面を露出させる工程において、前記積層金属層の一部が前記誘電体膜とともに除去され、

前記 p 型 I I I 族窒化物半導体の表面のうち前記接触金属層の形成箇所が、前記誘電体膜に接することなく 前記電極を形成することを特徴とする I I I 族窒化物半導体の電極形成方法。

【請求項 2】

前記フォトレジストを形成する工程の後に、前記フォトレジストをマスクとして前記 p 型 I I I 族窒化物半導体の一部を除去することによって、リッジを形成する工程を含むことを特徴とする、請求項 1 に記載の I I I 族窒化物半導体の電極形成方法。

【請求項 3】

前記接触金属層の形成箇所以外の前記 p 型 I I I 族窒化物半導体の表面部分を少なくとも除去することによって、前記接触金属層の形成箇所を頂部とするリッジを形成する工程を含むことを特徴とする、請求項 1 または 2 に記載の I I I 族窒化物半導体の電極形成方法。

【請求項 4】

p 型 I I I 族窒化物半導体の表面に接する P d からなる接触金属層をその少なくとも一部に含む電極を前記 p 型 I I I 族窒化物半導体の表面上に形成する方法であって、

前記 p 型 I I I 族窒化物半導体の表面上に第 1 のフォトレジストを形成する工程と、
前記第 1 のフォトレジストをマスクとして前記 p 型 I I I 族窒化物半導体の一部を除去することによって、リッジを形成する工程と、

前記リッジの頂部の前記接触金属層の形成箇所に第 2 のフォトレジストを形成する工程と、

少なくとも前記第 2 のフォトレジストを覆うように、S i O₂ からなる誘電体膜を形成する工程と、

前記誘電体膜を形成する工程の後に、前記誘電体膜の表面上に M o を含む積層金属層を形成する工程と、

前記第 2 のフォトレジスト上の前記誘電体膜の一部を前記第 2 のフォトレジストのリフトオフにより前記第 2 のフォトレジストとともに除去することによって前記 p 型 I I I 族窒化物半導体の表面を露出させる工程と、

前記 p 型 I I I 族窒化物半導体の露出表面に前記接触金属層を形成する工程と、を含み、

前記 p 型 I I I 族窒化物半導体の表面を露出させる工程において、前記積層金属層の一部が前記誘電体膜とともに除去され、

前記 p 型 I I I 族窒化物半導体の表面のうち前記接触金属層の形成箇所が、前記誘電体膜に接することなく前記電極を形成することを特徴とする I I I 族窒化物半導体の電極形成方法。

【請求項 5】

p 型 I I I 族窒化物半導体の表面に接する P d からなる接触金属層をその少なくとも一部に含む電極を前記 p 型 I I I 族窒化物半導体の表面上に形成する方法であって、

前記 p 型 I I I 族窒化物半導体の表面上にフォトレジストを形成する工程と、
前記フォトレジストをマスクとして前記 p 型 I I I 族窒化物半導体の一部を除去することによってリッジを形成する工程と、

少なくとも前記フォトレジストを覆うように、S i O₂ からなる誘電体膜を形成する工程と、

前記フォトレジスト上の前記誘電体膜の一部を前記フォトレジストのリフトオフにより前記フォトレジストとともに除去することによって前記 p 型 I I I 族窒化物半導体の表面を露出させる工程と、

前記 p 型 I I I 族窒化物半導体の露出表面に前記接触金属層を形成する工程と、を含み、

前記 p 型 I I I 族窒化物半導体の表面のうち前記接触金属層の形成箇所が、前記誘電体膜に接することなく前記電極を形成することを特徴とする I I I 族窒化物半導体の電極形成方法。

【請求項 6】

前記誘電体膜を形成する工程の後に、前記誘電体膜の表面上に M o を含む積層金属層を形成する工程を含み、

10

20

30

40

50

前記 p 型 III 族窒化物半導体の表面を露出させる工程において、前記積層金属層の一部が前記誘電体膜とともに除去されることを特徴とする請求項 5 に記載の III 族窒化物半導体の電極形成方法。

【請求項 7】

前記 p 型 III 族窒化物半導体は、Mg をドーパントとして含有する AlGaInN であることを特徴とする請求項 1 から 6 のいずれかに記載の III 族窒化物半導体の電極形成方法。

【請求項 8】

前記積層金属層は、Mo 層、または Mo 層と Au 層との積層体であることを特徴とする、請求項 1 から 7 のいずれかに記載の III 族窒化物半導体の電極形成方法。

10

【発明の詳細な説明】

【0001】

【0002】

【発明の属する技術分野】

本発明は、III 族窒化物からなる化合物半導体素子の電極の形成方法に関する。

【0003】

【従来の技術】

$\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (ただし $x + y + z = 1$ 、 $0 < x, y, z < 1$) で表わされる III 族窒化物半導体は大きなエネルギーバンドギャップや高い熱安定性を有し、発光素子や高温デバイスを初めとして様々な応用展開が可能な有望な材料系である。特に発光素子としては、青～緑の波長域で数 cd の光出力を有する発光ダイオード (Light Emitting Diode; LED) が既に実用化されており、同材料系を用いたレーザダイオード (Laser Diode; LD) の実用化も間近である。

20

【0004】

これらの III 族窒化物系 (以下、GaN 系と記す) 素子を実際の各種機器に搭載して使用する場合には、素子自体が消費する電力、動作する電圧を十分に低くする必要がある。

【0005】

特に GaN 系 LD の場合、GaN 系 LED に比べて電流注入面積が小さく、p 型電極部の電圧降下が素子全体の動作電圧に及ぼす影響を無視できない。従って GaN 系 LD では、この p 型電極のオーミック化・低抵抗化が素子特性の向上に欠かせない。

30

【0006】

現在、GaN 系素子に対する p 型電極としてよく知られている電極構造としては Au/Ni 電極が挙げられる (なお本明細書内では、Au/Ni という表記は Ni 層を Au 層よりも先に形成し、Au 層が電極の表面側に位置しているものとして統一する)。図 1 は、発明者らが試作した p 型 GaN 上の Au/Ni ドット電極の電流 - 電圧特性を示したものである。

【0007】

図 1 に特性を示した電極は、図 2 に示した模式図のような構造で、サファイア基板 201 上にエピタキシャル成長した p 型 GaN 層 202 (Mg 不純物濃度 $2 \times 10^{20} \text{ cm}^{-3}$ 、アクセプタ濃度 $3 \times 10^{19} \text{ cm}^{-3}$) の表面を有機洗浄及び希釈塩酸にて処理したあと、電子ビーム (EB) 真空蒸着装置で Ni を 15 nm、Au を 200 nm 成膜して角型電極 203 を形成してある。電極の大きさは一辺 300 μm の正方形、また電極間の間隔は 50 μm である。さらに、真空雰囲気中にて 550 °C で 10 分間熱処理を施し、電極構造を製作した。

40

【0008】

図 1 に示したとおり、Au/Ni 電極は p 型 GaN 層に対してオーミック特性を示す。また、電極 - p 型 GaN 層間の比コンタクト抵抗を測定したところ、 $5 \times 10^{-3} \text{ cm}^2$ であった。

【0009】

【発明が解決しようとする課題】

50

しかしながら、発明者らが上記のAu/Ni電極をp型電極、p型GaN層をコンタクト層として適用したLD素子を製作し、その電気特性を測定したところ、素子内部のエピタキシャル層のシリーズ抵抗や前記の比コンタクト抵抗から予測されるよりもはるかに大きな動作電圧を示す結果が得られた。具体的には、電流を100mA注入時に予想される動作電圧は6～7V程度であったが、実際に100mAの電流を注入してみると12～13Vの動作電圧が確認された。

【0010】

動作電圧が予想値と違う原因を探るため、いくつかの解析を試みた。このうち、p型電極近傍に対するEBIC(Electron Beam Induced Current)解析を行ったところ、Au/Ni電極の特性がショットキー性を示していることが明らかになった。p型電極が本来のAu/Ni電極の特性を示さず、ショットキー性になっているために、p型電極部分で異常な電圧降下が生じ、その結果、素子の動作電圧を大きく増加させていたのである。

10

【0011】

上記のような解析結果を得て、発明者らは更に該LD素子のp型電極がショットキー性を示す起源がどこにあるのかを探るため、エピタキシャル成長やドライエッチング、電極形成などLDの製作プロセスを見直した。その結果、エピタキシャル成長後のGaN系半導体ウェハに電極やメサ構造などの素子構造を作り込む過程において、絶縁膜もしくはエッチングマスクなどの用途に用いられる誘電体膜が、上記のp型電極のショットキー性の起源となっていることを見出した。以下に、発明者らが用いたLD素子製作プロセスを、図18、図19を参照しながら順を追って記す。

20

【0012】

まず、GaN系LDの基板としてよく用いられるサファイア基板1501を用意し、その上に有機金属気相成長(MOCVD)法により、バッファ層1502、n型クラッド層1503、活性層1504、p型クラッド層1505、p型コンタクト層1506からなるGaN系半導体層構造を結晶成長した。その後、該GaN系半導体層構造表面の全面にわたって、SiO₂層1507を成膜した(図18(a))。

【0013】

次に、フォトリソグラフィプロセス及びHFウェットエッチングプロセスによりSiO₂層1507の一部を除去し、SiO₂層の残した部分をエッチングマスクとして、RIE(Reactive Ion Etching)プロセスにより、前記GaN系半導体層構造をn型クラッド層1503の半ばまで掘り下げ、メサ構造を形成した(図18(b))。

30

【0014】

続いて、マスクとしたSiO₂層1503をHFウェットエッチングにより完全に除去し、改めてSiO₂層1508をメサ構造全体の上に形成した。更に、メサ上部及びメサ底部のSiO₂層1508の一部をフォトリソグラフィプロセス及びHFウェットエッチングプロセスにより除去し、p型及びn型電極用の開口部を形成した(図19(a))。

【0015】

最後に、該開口部にそれぞれp型電極としてAu/Ni電極1509、n型電極としてAl/Ti電極1510を形成し、LD素子を製作した(図19(b))。

40

【0016】

上記に示したプロセスにより製作したLD素子は、図19(b)に明らかなように、絶縁基板上に形成されたメサ構造を有し、p型電極の電流注入部はいわゆる電極ストライプ構造を採っている。この形式のLD素子の場合、p型電極のうち電流注入部として機能するストライプ部分と接するp型コンタクト層表面(図19(b)のS部に示す)は、メサ構造形成時のマスク用及び電極の電流注入部形成用として、2度にわたってSiO₂層により被覆されることになる(よって以下の文中では、上記プロセスを便宜的に2回被覆プロセスと記す)。

【0017】

50

さらに、発明者らは以下の検証実験を行った。図3には、図2に示した構造のAu/Niドット電極と同構造の電極をp型GaN層上に形成する前に、SiO₂による被覆を1回及び2回実施した場合の電流 - 電圧特性を、それぞれ一点鎖線及び点線で示してある。なお図3には、比較のために図1にも示した事前にSiO₂被覆していないAu/Ni電極の特性も同時に示している。

【0018】

図3に示したように、電極形成前にSiO₂でp型GaN表面を2回被覆した場合の特性はオーミック性が損なわれ、電流 - 電圧特性が著しく劣化している。

SiO₂被覆を1回に減らしても、やはり被覆しない場合と比べて特性の劣化とオーミック性の喪失がみられる。

10

【0019】

この検証実験の結果から、上記のLD素子製作プロセスにおけるp型電極のショットキー性は、2度にわたるSiO₂のp型コンタクト層表面への被覆がもたらしたものであることことを明らかになった。

【0020】

上記の例では、すでに述べたようにサファイア基板上の電極ストライプLD素子についてプロセスを記したが、LD素子の素子の別の形式として、GaN基板上のLD素子を製作する場合、上記のプロセスで示したメサ構造の形成は不要だが電流注入部の形成時にはSiO₂による被覆がプロセス上生じる。また、さらに別の素子の形式として、単純な電極ストライプ構造ではなくいわゆるリッジストライプ構造を有するLD素子を製作する場合には、リッジ部分を形成するドライエッチングプロセスにおいて、p型コンタクト層表面をSiO₂などのマスクにより保護してエッチングを行う手法がよく用いられる。

20

【0021】

このように、III族窒化物半導体LD素子の製作プロセスにおいて、SiO₂をはじめとする各種の誘電体膜を電極部分の一部を構成する絶縁層や、ドライエッチング時のエッチングマスクとして利用することはごく一般的に行われている。にも関わらず、誘電体膜をプロセス内で使用することが素子の特性に及ぼす影響や、またその影響を回避する手段等については従来論じられることがなかった。しかし、先に述べたようにGaN系LDにおいてp型電極部分の電圧降下が素子全体の動作電圧に占める割合は大きく、プロセスの違いにより図3に示したほどの特性差がp型電極部分に生じると、素子特性に与える影響は非常に大きい。よって、誘電体膜のプロセス内で使用する際にその影響を回避あるいは低減する手法を規定することは重要である。

30

【0022】

【課題を解決するための手段】

上記の問題点を鑑みると、p型電極異常を解決するには、素子製作プロセスにおいてp型電極形成前のSiO₂誘電体によるp型GaN表面への被覆を行わないようにすれば良いのである。メサエッチ時にはレジストなどをマスク材料として用いたり、電極ストライプ形成時にウェットエッチングではなくリフトオフ法を用いるなど、代替のプロセスを適用することによってSiO₂膜の被覆を回避することで、本発明が課題とすることが解決される。具体的には以下のような方法を用いる。

40

【0023】

本発明のIII族窒化物半導体の電極形成方法は、p型III族窒化物半導体の表面に接するPdからなる接触金属層をその少なくとも一部に含む電極を前記p型III族窒化物半導体の表面上に形成する方法であって、前記p型III族窒化物半導体の表面のうち前記接触金属層の形成箇所にフォトレジストを形成する工程と、前記フォトレジストの表面および前記p型III族窒化物半導体の表面を覆うように、SiO₂からなる誘電体膜を形成する工程と、前記誘電体膜を形成する工程の後に、前記誘電体膜の表面上にMoを含む積層金属層を形成する工程と、前記フォトレジスト上の前記誘電体膜の一部を前記フォトレジストのリフトオフにより前記フォトレジストとともに除去することによって前記p型III族窒化物半導体の表面を露出させる工程と、前記p型III族窒化物半導体の

50

露出表面に前記接触金属層を形成する工程と、を含み、前記 p 型 III 族窒化物半導体の表面を露出させる工程において、前記積層金属層の一部が前記誘電体膜とともに除去され、前記 p 型 III 族窒化物半導体の表面のうち前記接触金属層の形成箇所が、前記誘電体膜に接することなく前記電極を形成することを特徴とする。

【0024】

また、本発明の III 族窒化物半導体の電極形成方法は、前記フォトレジストを形成する工程の後に、前記フォトレジストをマスクとして前記 p 型 III 族窒化物半導体の一部を除去することによって、リッジを形成する工程を含むことを特徴とする。

【0026】

本発明の III 族窒化物半導体の電極形成方法は、前記接触金属層の形成箇所以外の前記 p 型 III 族窒化物半導体の表面部分を少なくとも除去することによって、前記接触金属層の形成箇所を頂部とするリッジを形成する工程を含むことを特徴とする。

【0028】

本発明の III 族窒化物半導体の電極形成方法は、p 型 III 族窒化物半導体の表面に接する Pd からなる接触金属層をその少なくとも一部に含む電極を前記 p 型 III 族窒化物半導体の表面上に形成する方法であって、前記 p 型 III 族窒化物半導体の表面上に第 1 のフォトレジストを形成する工程と、前記第 1 のフォトレジストをマスクとして前記 p 型 III 族窒化物半導体の一部を除去することによって、リッジを形成する工程と、前記リッジの頂部の前記接触金属層の形成箇所に第 2 のフォトレジストを形成する工程と、少なくとも前記第 2 のフォトレジストを覆うように、 SiO_2 からなる誘電体膜を形成する工程と、前記誘電体膜を形成する工程の後に、前記誘電体膜の表面上に Mo を含む積層金属層を形成する工程と、前記第 2 のフォトレジスト上の前記誘電体膜の一部を前記第 2 のフォトレジストのリフトオフにより前記第 2 のフォトレジストとともに除去することによって前記 p 型 III 族窒化物半導体の表面を露出させる工程と、前記 p 型 III 族窒化物半導体の露出表面に前記接触金属層を形成する工程と、を含み、前記 p 型 III 族窒化物半導体の表面を露出させる工程において、前記積層金属層の一部が前記誘電体膜とともに除去され、前記 p 型 III 族窒化物半導体の表面のうち前記接触金属層の形成箇所が、前記誘電体膜に接することなく前記電極を形成することを特徴とする。また、本発明の III 族窒化物半導体の電極形成方法は、p 型 III 族窒化物半導体の表面に接する Pd からなる接触金属層をその少なくとも一部に含む電極を前記 p 型 III 族窒化物半導体の表面上に形成する方法であって、前記 p 型 III 族窒化物半導体の表面上にフォトレジストを形成する工程と、前記フォトレジストをマスクとして前記 p 型 III 族窒化物半導体の一部を除去することによってリッジを形成する工程と、少なくとも前記フォトレジストを覆うように、 SiO_2 からなる誘電体膜を形成する工程と、前記フォトレジスト上の前記誘電体膜の一部を前記フォトレジストのリフトオフにより前記フォトレジストとともに除去することによって前記 p 型 III 族窒化物半導体の表面を露出させる工程と、前記 p 型 III 族窒化物半導体の露出表面に前記接触金属層を形成する工程と、を含み、前記 p 型 III 族窒化物半導体の表面のうち前記接触金属層の形成箇所が、前記誘電体膜に接することなく前記電極を形成することを特徴とする。また、本発明の III 族窒化物半導体の電極形成方法は、前記誘電体膜を形成する工程の後に、前記誘電体膜の表面上に Mo を含む積層金属層を形成する工程を含み、前記 p 型 III 族窒化物半導体の表面を露出させる工程において、前記積層金属層の一部が前記誘電体膜とともに除去されることを特徴とする。

。

【0030】

本発明の III 族窒化物半導体の電極形成方法は、前記 p 型 III 族窒化物半導体は、Mg をドーパントとして含有する AlGaInN であることを特徴とする。

【0031】

本発明の III 族窒化物半導体の電極形成方法は、前記積層金属層が、Mo 層、または Mo 層と Au 層との積層体であることを特徴とする。

【0035】

10

20

30

40

50

なお、図3で示した SiO_2 被覆を1回もしくは2回施した後に形成されたp型電極とp型コンタクト層の界面に対し、SIMS（二次イオン質量分析装置）やAES（オージェ電子分光分析装置）による解析を試みたが、誘電体が残留している痕跡は見られなかった。図3で示した電極のショットキー性は、 SiO_2 のエッチング不足によるp型GaN表面への残留が原因というわけではないと思われる。むしろ、 SiO_2 の被覆によりp型GaN表面が何らかの変成を起こした可能性が考えられる。

【0036】

また、上記の例ではp型コンタクト層表面を被覆する材料として SiO_2 のみを取り上げているが、前述のp型電極特性異常は SiO_2 に限らず、他の誘電体を用いても発生する。発明者らは SiO_2 の他に、 Al_2O_3 、 TiO_2 、 SiN 、 AlN 、 SiO_x 、 SiON 、 ZrO_2 などを含む酸化物あるいは窒化物誘電体で、上記と同様のp型電極特性異常が発生することを確認した。

10

【0037】

また、上記の例ではp型電極としてAu/Ni電極を用いているが、前述のp型電極特性異常はp型コンタクト層に接する側の金属がNiの場合だけでなく、他の金属からなる場合でも発生する。発明者らはAu/Ni電極の他に、Au/Pd電極やAu/Pt電極、Au/Co電極などで、上記と同様にp型電極の特性に異常を来たすことを確認した。

【0038】

また、p型コンタクト層の材質は、GaN系半導体素子のp型コンタクト層としてよく用いられるp型GaNのほかに、AlGaNやInGaN、AlInGaNを用いても、前述のp型電極特性異常が発生することが確認できた。

20

【0039】

【発明の実施の形態】

以下に示す各実施例は、前記の2回被覆プロセスを手直しし、LD素子の特性改善を図るために実施した各種のLD素子製作プロセスである。なお、各実施例において製作したLD素子のp型電極における電流注入部の大きさは、特性の比較のため、すべて幅 $10\mu\text{m}$ 、長さ $500\mu\text{m}$ の長方形に統一した。

（参考例1）図4及び5は、本発明の第1の実施例に係るGaN系LD素子の断面構造を、製作プロセスを追って模式的に示したものである。

【0040】

30

最初に、サファイア基板401上に、GaNバッファ層402、n型AlGaNクラッド層403、MQW（多重量子井戸構造）活性層404、p型AlGaNクラッド層405、p型GaNコンタクト層406をMOCVD法により順次エピタキシャル成長し、GaN系半導体積層構造を製作する。続いて該積層構造上にフォトレジストによるドライエッチングマスク407を形成した後、該マスク407で被覆されていない部分を、RIEによりn型クラッド層403の半ばまで掘り下げ、メサ構造を形成する。（図4（a））。

【0041】

次に、マスク407を完全に除去した後、メサ上部にフォトレジストによるストライプパターン408を形成する。さらに、その上からメサ構造全面にわたって SiO_2 層409を成膜する（図4（b））。

40

【0042】

次に、ストライプパターン408及びその直上に形成された SiO_2 層409の一部をリフトオフプロセスにより除去し、続いてメサ構造の底部に位置する SiO_2 層409の一部をフォトリソグラフィプロセス及びHFウェットエッチングプロセスにより除去し、 SiO_2 層408に開口部を設ける（図5（a））。なおこの際、リフトオフプロセス特有の現象として、開口部端の SiO_2 が若干捲れ上がる場合があるが、素子の特性には特に影響は与えないので問題にしないでよい。

【0043】

最後に、開口部を形成するために形成したフォトレジストマスク410を除去した後、メサ上部及びメサ底部の SiO_2 開口部にそれぞれp型電極としてAu/Ni電極411、

50

n型電極としてAl/Ti電極412を形成し、LD素子を完成する(図5(b))
本実施例のプロセスでは、先に示した2回被覆プロセスから、メサ構造形成のためのRIEマスクとして使用する材料をSiO₂からフォトレジストに変更し、また電流注入用のストライプ部を形成するためにフォトレジストをリフトオフする工程を採用している。このようなプロセスを実施することにより、p型電極のうち電流注入部にあたる部分のp型GaNコンタクト層表面へのSiO₂被覆の履歴を、まったく無くすることができる。

【0044】

本実施例の製作プロセスにより製作されたLD素子と、前記の2回被覆プロセスによるLD素子の動作電圧を比較したところ、注入電流100mAの時それぞれ6.5Vと12Vとなった。これは、本実施例のLD素子製作プロセスの効果が明確に現れた結果であり、p型電極の電流注入部にSiO₂被覆の履歴を付けないことがLD素子の動作電圧低減に非常に有効であることを示すものである。

(参考例2) 本発明の第2の実施例は、第1の実施例で示したようなp型電極の電流注入部へのSiO₂被覆履歴がないLD素子を、第1の実施例とは異なるプロセスで実現したものである。

【0045】

図6及び図7に、本発明の第2の実施例に係るGaN系LD素子の断面構造を、製作プロセスを追って模式的に示す。

【0046】

最初に、サファイア基板601上に、GaNバッファ層602、n型AlGaNクラッド層603、MQW活性層604、p型AlGaNクラッド層605、p型GaNコンタクト層606をMOCVD法により順次エピタキシャル成長し、GaN系半導体積層構造を製作する。続いて、該半導体積層構造の上から全面にわたり、Ni層607、Au層608を成膜する(図6(a))。

【0047】

次に、Ni層607、Au層608を電流注入部を残して王水、希硝酸にてウェットエッチした後、フォトレジストによるドライエッチングマスク609を形成し、該マスク609で被覆されていない部分を、RIEによりn型クラッド層603の半ばまで掘り下げ、メサ構造を形成する(図6(b))。

【0048】

メサ構造形成後、マスク609を完全に除去し、改めてフォトリソグラフィプロセスにより、メサ底部に開口部を有するフォトレジストパターン610を形成する(図7(a))。

【0049】

最後に、メサ構造上面から全面にわたってTi層611、Al層612を順次成膜した後、フォトレジストパターン610をリフトオフしてAl/Ti電極を形成し、LD素子を完成する(図7(b))。

【0050】

本実施例で示したプロセスでは、第1の実施例と異なり、p型電極のうち電流注入部にあたる部分の形成には、フォトレジストによるリフトオフではなく、電極の直接成膜及び電極エッチングという工程を使用している。しかし、該部分のSiO₂による被覆が無いという点では共通しており、製作したLD素子の特性に関しても、100mA通電時に6.7Vと、第1の実施例とほぼ同様の電流-電圧特性が得られた。

【0051】

なお、本実施例においては、p型電極の電流注入部の形成方法として酸によるウェットエッチングを用いたが、電流注入部の形成方法としてはこれに限らず、フォトレジストによるリフトオフ法を用いても良い。

【0052】

すなわち、図8に基づいて説明すると、上記の実施例2と同様にサファイア基板601上に、GaNバッファ層602、n型AlGaNクラッド層603、MQW活性層604、

10

20

30

40

50

p型AlGaInクラッド層605、p型GaNコンタクト層606をMOCVD法により順次エピタキシャル成長し、p型GaNコンタクト層606上面に、開口部を有するフォトリソパターン613を形成する。その後、前記開口部を含む全面にNi層607、Au層608を成膜する(図8(a))。

【0053】

次に、フォトリソパターン613と、Ni層607、Au層608のうちフォトリソパターン613上に形成された分をリフトオフすることで、ストライプ状のp型電極部が形成される(図8(b))。

【0054】

このようにしてp型電極部を形成した場合には、電極部の構造は上記の第2の実施例とほぼ同じとなるが、電極の形成前にp型GaNコンタクト層表面をフォトリソが一回被覆するため、厳密には第2の実施例とはプロセスが異なる。しかしながら、SiO₂による被覆とは異なり、フォトリソによる被覆は、電極の特性になんら影響を与えないので、製作したLD素子の特性は、第2の実施例によるLD素子と概略同じ特性を示す。(参考例3)図9及び図10には、本発明の第3の実施例に係るGaN系LD素子の断面構造を、プロセスを追って模式的に示す。

【0055】

最初に、サファイア基板801上に、GaNバッファ層802、n型AlGaInクラッド層803、MQW活性層804、p型AlGaInクラッド層805、p型GaNコンタクト層806をMOCVD法により順次エピタキシャル成長し、GaN系半導体積層構造を製作する。続いて該積層構造上にフォトリソによるドライエッチングマスク807を形成した後、該マスク807で被覆されていない部分を、RIEによりn型クラッド層803の半ばまで掘り下げ、メサ構造を形成する。(図9(a))。

【0056】

次に、マスク807を完全に除去した後、メサ上部にフォトリソによるストライプパターン808を形成する。さらに、その上からメサ構造全面にわたってSiO₂層809、Mo層810、Au層811を成膜する(図9(b))。

【0057】

次に、ストライプパターン808及びその直上に形成されたSiO₂層809、Mo層810、Au層811の一部をリフトオフプロセスにより除去し、続いてメサ構造の底部に位置するSiO₂層809、Mo層810、Au層811の一部をフォトリソグラフィプロセス及びウェットエッチングプロセスにより除去し、SiO₂層809に開口部を設ける(図10(a))。なおこの際、リフトオフプロセス特有の現象として、開口部端のSiO₂が若干捲れ上がる場合があるが、素子の特性には特に影響は与えないので問題にしないでよい。

【0058】

最後に、開口部を形成するために形成したフォトリソマスクを除去した後、メサ上部及びメサ底部のSiO₂開口部にそれぞれp型電極としてAu/Pd電極812、n型電極としてAl/Ti電極813を形成し、LD素子を完成する(図10(b))

本実施例のプロセスでは、第1及び第2の実施例と同様に、p型電極のうち電流注入部になる部分のp型GaNコンタクト層表面へのSiO₂被覆履歴をまったく無くすることで、電極部分での良好なオーミック性が達成されている。

【0059】

なお、本実施例の製作プロセスにより製作されたLD素子の注入電流100mAの時の動作電圧は5.5Vとなり、第1及び第2の実施例と比較して大幅に低くなった。これはp型電極をAu/Ni電極からAu/Pd電極に変更したことの効果が現れた結果であって、Au/Pd電極はAu/Ni電極と比較して、より低抵抗なオーミック電極をもたらすためである。

【0060】

また、本実施例においては、SiO₂層809の上に、Mo層810及びAu層811を

10

20

30

40

50

成膜しているが、これもまた本実施例が p 電極として Au / Pd 電極を採用している故である。図 10 (b) に示した Au / Pd 電極のうち、電流注入部を除いた部分は Pd と Au / Mo / SiO₂ 積層部が接している。第 1 及び第 2 の実施例と同じように Mo 層 810、Au 層 811 を成膜しなければ、Pd 層は SiO₂ 層と直接接触することになる。しかしながら、Pd は本質的に SiO₂ との密着性が極めて弱いという性質を有しているため、Pd 層が SiO₂ 層と直接接触するように形成すると p 型電極が剥がれてしまう。これを避けるため、本実施例では SiO₂ と密着性の良好な Mo 層をスペーサ層として用いている。

【0061】

本実施例の製作プロセスは、また、次に述べるように、SiO₂ と Pd 層と直接接触する領域が、極めて少なく、事実上 p 電極が剥がれる事がない構造を、簡便に製作できるという効果も有している。

【0062】

即ち、本実施例の製作プロセスに依らずに、例えば、SiO₂ 層に開口部を設けてから、該開口部をフォトレジスト等でマスキングした後に Mo 層を形成し、その後リフトオフプロセスより、該開口部上の Mo 層を除去する場合は、該開口部上にのみ正確にフォトレジストマスクを形成する事が必要であるが、実際には、形成するマスクの位置、幅には、0.1 ~ 0.5 μm 程度のばらつきが生じることが不可避であり、このようなフォトレジストマスクの形成は非常に困難である。また、SiO₂ 層、Mo 層、Au 層を形成してから、Au 層上に開口部を有するフォトレジストマスクを形成し、ウェットエッチングにより、Au や Mo に開口部を設ける場合では、サイドエッチングの影響で、所望の開口部幅よりも、実際にエッチングされる Au や Mo の領域の幅が大きくなってしまい、かつその幅の制御が非常に困難であるため、やはり、本実施例による製作プロセスの場合の様に、該開口部以外の SiO₂ 層上を、完全に Mo 層、Au 層で覆う構造の形成は困難である。

【0063】

これに対し、本実施例の製作プロセスにおいては、SiO₂ 膜 809 に、p 型電極のうちの電流注入部となる開口部を形成するにあたって、ストラップパターン 808 上に、SiO₂ 膜 809、Mo 層 810、Au 層 811 を形成してから、ストラップパターン 808、SiO₂ 膜 809、Mo 層 810、Au 層 811 をリフトオフプロセスにより、同時に除去している。このため、該開口部には、Mo 層 810、Au 層 811 が全く被っておらず、逆に、該開口部以外の SiO₂ 層上は、完全に Mo 層 810、Au 層 811 で覆われている。このため、上に Pd 層を形成してやる際に、SiO₂ と Pd 層と直接接触するのは、開口部で SiO₂ の断面が露出している極めて微小な領域に限られ、事実上、p 電極が剥がれる事はない。

【0064】

また、Au 層 811 の役割は、Mo 層積層後のリフトオフプロセスやフォトリソグラフィプロセスの間、Mo 層 810 の表面を保護することにある。

【0065】

また、本実施例の LD 素子を形成する過程においては、上記のように p 型電極のストライプ状の電流注入部を形成する手法として、第 1 の実施例と同様に SiO₂ 層のリフトオフプロセスを用いているが、第 2 の実施例に記載したプロセスと同様に p 型電極のウェットエッチングを用いて形成しても、本実施例とほぼ同等の特性を有する素子を得ることができ、なんら問題はない。なお、p 型電極の形成手法としてウェットエッチングプロセスを用いる場合には、上記のうち SiO₂ 層 809 を成膜する必要がないので、Mo 層 810、Au 層 811 も不要であることは言うまでもない。

(参考例 4) 図 11、図 12 及び図 13 には、本発明の第 4 の実施例に係る GaN 系 LD 素子の断面構造を、プロセスを追って模式的に示す。

【0066】

最初に、サファイア基板 1001 上に、GaN バッファ層 1002、n 型 AlGaIn クラッド層 1003、MQW 活性層 1004、p 型 AlGaIn クラッド層 1005、p 型 Ga

10

20

30

40

50

Nコンタクト層1006をMOCVD法により順次エピタキシャル成長し、GaN系半導体積層構造1000を製作する。続いて該コンタクト層1006表面の一部に、フォトリソによるエッチングマスクパターン1007を形成した後、該マスクパターン1007で被覆されていない部分を、RIEによりp型クラッド層1005の半ばまで掘り下げ、リッジ構造を形成する。(図11(a))。

【0067】

続いて、マスクパターン1007を完全に除去した後、該リッジ構造を含む半導体積層構造1000の上面の一部に、フォトリソによるドライエッチングマスク1008を形成した後、該マスク1008で被覆されていない部分を、RIEによりn型クラッド層1003の半ばまで掘り下げ、メサ構造を形成する。

10

(図11(b))。

【0068】

次に、マスク1008を完全に除去し、リッジ上部にフォトリソによるストライブパターン1009を形成する。さらに、その上からメサ構造全面にわたってSiO₂層1010、Mo層1011、Au層1012を成膜する(図12(a))。

【0069】

次に、ストライブパターン1009及びその直上に形成されたSiO₂層1010、Mo層1011、Au層1012の一部をリフトオフプロセスにより除去し、続いてメサ構造の底部に位置するSiO₂層1010、Mo層1011、Au層1012の一部をフォトリソグラフィプロセス及びウェットエッチングプロセスにより除去し、SiO₂層1010に開口部を設ける(図12(b))。なおこの際、リフトオフプロセス特有の現象として、開口部端のSiO₂が若干捲れ上がる場合があるが、素子の特性には特に影響は与えないので問題にしないでよい。

20

【0070】

最後に、開口部を形成するために形成したフォトリソマスクを除去した後、メサ上部及びメサ底部のSiO₂開口部にそれぞれp型電極としてAu/Pd電極1013、n型電極としてAl/Ti電極1014を形成し、LD素子を完成する(図13)。

【0071】

本実施例のプロセスでは、第1～第3の実施例と同様に、p型電極のうち電流注入部になる部分のp型GaNコンタクト層表面へのSiO₂被覆履歴をまったく無くすることで、電極部分での良好なオーミック性が達成されている。

30

【0072】

なお、本実施例のLD素子はリッジ構造を採っており、同種のp型電極を有する第3の実施例と比較して電流-電圧特性が改善されている。このため、注入電流100mAの時の動作電圧は5.3Vとなり、第3の実施例よりも更に低くなった。

【0073】

また、本実施例のLD素子を形成する過程においては、上記のようにp型電極のストライブ状の電流注入部を形成する手法として、第1の実施例と同様にSiO₂層のリフトオフプロセスを用いているが、第2の実施例に記載したプロセスと同様にp型電極のウェットエッチングを用いて形成しても、本実施例とほぼ同等の特性を有する素子を得ることができ、なんら問題はない。なお、p型電極の形成手法としてウェットエッチングプロセスを用いる場合には、上記のうちSiO₂層1010を成膜する必要がないので、Mo層1011、Au層1012も不要であることは言うまでもない。

40

【0074】

また、本実施例におけるp型電極としては、第3の実施例と同様にAu/Pd電極を用いているが、第1及び第2の実施例と同様にAu/Ni電極を用いても、本発明の素子製作プロセスの特徴が損なわれるものではない。この場合、素子への注入電流が100mAの時の動作電圧は6.5Vとなる。

(実施例5)

図14及び図15には、本発明の第5の実施例に係るGaN系LD素子の断面構造を、ブ

50

ロセスを追って模式的に示す。

【0075】

最初に、n型Ga_{0.9}N基板1301上に、n型Ga_{0.9}Nバッファ層1302、n型AlGa_{0.3}Nクラッド層1303、MQW活性層1304、p型AlGa_{0.3}Nクラッド層1305、p型Ga_{0.9}Nコンタクト層1306をMOCVD法により順次エピタキシャル成長し、Ga_{0.9}N系半導体積層構造1300を製作する。続いて該コンタクト層1306表面の一部に、フォトレジストによるエッチングマスクパターン1307を形成した後、該マスクパターン1307で被覆されていない部分を、RIEによりp型クラッド層1305の半ばまで掘り下げ、リッジ構造を形成する。(図14(a))。

【0076】

次に、マスクパターン1307を完全に除去した後、リッジ上部にフォトレジストによるストライプ状の電流注入パターン1308を形成する。さらに、その上からリッジ構造全面にわたってSiO₂層1309、Mo層1310、Au層1311を成膜する(図14(b))。

【0077】

最後に、ストライプパターン1308及びその直上に形成されたSiO₂層1309、Mo層1310、Au層1311の一部をリフトオフプロセスにより除去し、リッジ構造上面にp型電極の電流注入部となる開口部を形成する。なおこの際、リフトオフプロセス特有の現象として、開口部端のSiO₂が若干捲れ上がる場合があるが、素子の特性には特に影響は与えないので問題にしないでよい。

【0078】

その後、該開口部を含むリッジ上面及び基板1301裏面にそれぞれp型電極としてAu/Pd電極1312、n型電極としてAl/Ti電極1313を形成し、LD素子を完成する(図15)。

【0079】

本実施例のプロセスでは、第1～第4の実施例とは異なり、LD素子の基板として絶縁性のサファイアではなく、導電性のGa_{0.9}N基板を用いている。このため、n型電極を基板裏面より直接取ることが可能で、第1～第4の実施例で必要であったRIEによるメサ構造の形成が不要になっている。

【0080】

本実施例においても、第3及び第4の実施例と同様、p型電極としてAu/Pd電極を用いているが、素子構造としてリッジ構造をとっており、またGa_{0.9}N基板を使用することで基板とその上のエピタキシャル層の格子不整合及び格子欠陥の発生が抑止され、その結果として第4の実施例よりもさらに電流-電圧特性が改善されている。そのため注入電流100mAの時の動作電圧は5.1Vとなり、第4の実施例と比較して低くなった。

【0081】

また、本実施例のLD素子を形成する過程においては、上記のようにp型電極のストライプ状の電流注入部を形成する手法として、第1の実施例と同様にSiO₂層のリフトオフプロセスを用いているが、第2の実施例に記載したプロセスと同様にp型電極のウェットエッチングを用いて形成しても、本実施例とほぼ同等の特性を有する素子を得ることができ、なんら問題はない。なお、p型電極の形成手法としてウェットエッチングプロセスを用いる場合には、上記のうちSiO₂層1309を成膜する必要がないので、Mo層1310、Au層1311も不要であることは言うまでもない。

【0082】

また、本実施例におけるp型電極としては、第3及び第4の実施例と同様にAu/Pd電極を用いているが、第1及び第2の実施例と同様にAu/Ni電極を用いても、本発明の素子製作プロセスの特徴が損なわれるものではない。この場合、素子への注入電流が100mAの時の動作電圧は6.3Vとなる。

【0083】

また、本実施例のLD素子は第4の実施例と同様にリッジ構造を有しているが、第3の実

10

20

30

40

50

施例のようにリッジ構造を有していない場合でも、本発明の素子製作プロセスの特徴が損なわれるものではない。但しこの場合、リッジ構造による p 型電極直下部での電流狭窄効果は失われるため、LD 素子の特性は本実施例の LD 素子よりも若干悪くなり、素子への注入電流が 100 mA の時の動作電圧は 6.5 V となる。

【0084】

なお、GaN 基板の面方位に関しては、GaN 基板の {0001} 面、{1-100} 面、{11-20} 面、{1-101} 面、{11-22} 面、{01-12} 面を用いることが好ましい。また、各面方位から ±2 度程度の面ずれが生じて、素子特性にはほとんど影響を及ぼさないことが確認できた。

【0085】

(実施例 6)

図 16 と図 17 には、本発明の第 6 の実施例に係る GaN 系 LD 素子の断面構造を、模式的に示す。本実施例は、先述の、本発明の第 1 の実施例に、本発明の第 4 の実施例で用いた、リッジストライプ形成プロセスを組み合わせたものである。

【0086】

最初に、サファイア基板 1401 上に、GaN バッファ層 1402、n 型 AlGaIn クラッド層 1403、MQW 活性層 1404、p 型 AlGaIn クラッド層 1405、p 型 GaN コンタクト層 1406 を、MOCVD 法により順次エピタキシャル成長し、GaN 系半導体積層構造を製作する。続いて、該積層構造上にフォトレジストストライプパターン 1408 を形成した後、該マスクで被覆されていない部分を、RIE により p 型 AlGaIn クラッド層 1405 の半ばまで掘り下げ、リッジ構造を形成する。(図 16(a))

次に、マスクを残したまま、SiO₂ 層 1409、Mo 層 1411、Au 層 1412 を成膜する。次に、前記フォトレジストストライプパターン 1408、及びその直上に形成された SiO₂ 層 1409、Mo 層 1411、Au 層 1412 の一部を、リフトオフプロセスにより除去し、SiO₂ 層 1409 に開口部を設ける。(図 16(b))

次に、該 SiO₂ 層 1409 の開口部とその近傍の Au 層 1412 上に、p 型電極として Au/Pd 電極 1413 を形成する。続いて、該 Au/Pd 電極 1413 およびその近傍の Au 層 1412 上に、フォトレジストによるドライエッチングマスク 1407 を形成した後、まず、王水によるウェットエッチングにより、該マスクで被覆されていない部分の Au 層 1412 を除去し、その後、RIE により、Mo 層 1411、及び SiO₂ 層 1409 を除去し、更に RIE により、GaN 系半導体積層構造を n 型 AlGaIn クラッド層 1403 の半ばまで掘り下げ、メサ構造を形成する。(図 17(a))

最後に、RIE により露出した n 型 AlGaIn クラッド層 1403 の表面に、n 型電極として Al/Ti 電極 1410 を形成し、LD 素子を完成する。(図 17(b))

本実施例のプロセスでは、第 4 の実施例と同様にリッジ構造を有しているが、第 4 の実施例の場合と異なり、リッジ形成後に、ドライエッチングマスクを除去する事なく SiO₂ 層を被覆し、リフトオフにより p 型 GaN コンタクト層上のドライエッチングマスク及び SiO₂ 層を除去する。このため、工程数が減り、より簡便に素子化できる。また、p 型電極をリッジ上面に形成するためのフォトレジストによるストライプパターンを形成する必要がないので、リッジ上面に該ストライプパターンをアライメントする際の位置、線幅のばらつきに起因する特性のばらつきも、全くない。

【0087】

上記の 6 つの実施例では、p 型コンタクト層に接触する金属として Ni、Pd を示したが、発明者らの検討によれば、他にも Pt、Ru、Rh、Os、Ir、Co、Cr といった金属で、本明細書で示したような誘電体膜被覆の影響があることが分かった。従ってこれらの金属を GaN 系半導体素子の p 型電極として用いる場合、本発明の製作プロセスを実施することで、電極部分での電圧降下の低減に大きく寄与する。

【0088】

また上記の 6 つの実施例では、p 型コンタクト層として p 型 GaN を用いて説明したが、発明者らの検討によれば、本発明の効果は GaN に限定されず、In_xGa_yAl_zN (た

10

20

30

40

50

だし $x + y + z = 1$ 、 $0 < x, y, z < 1$) なる組成を満たし、Mg をドーパントとするコンタクト層であれば、有効であることが分かった。

【0089】

また、上記の6つの実施例では、素子製作プロセスでp型電極の電流注入部が被覆を避けなければならない誘電体膜としてSiO₂膜を対象としたが、発明者らの検討によれば、SiO₂に限らず、Al₂O₃、TiO₂、SiN、AlN、SiO_x、SiON、ZrO₂のいずれかを含む酸化物あるいは窒化物誘電体による被覆に関しても、電流 - 電圧特性への影響が確認された。よってSiO₂以外のこれらの誘電体に関しても、上記に示したようなp型電極の電流注入部への被覆を回避する製作プロセスは非常に有益である。

【0090】

また、上記の6つの実施例では、LD素子の基板としてサファイア基板及びn型GaN基板を用いているが、いずれの基板を用いる場合でも、本発明の特徴であるp型電極の電流注入部に対し電極を形成する前の誘電体被覆を回避する素子製作プロセスが有効であることは、既に示した通りである。従って、上記の5つの実施例においてサファイア基板をn型GaN基板に置き換えても、あるいは逆にn型GaN基板をサファイア基板に置き換えても、素子構造や電流 - 電圧特性に違いはあるが、本発明の素子製作プロセスによるp型電極の低抵抗化は確実に達成される。

【0091】

また、上記の実施例1～4及び6では、n型電極を、n型AlGaNクラッド層の上に設けているが、n型GaNバッファ層とn型AlGaNクラッド層の間にn型コンタクト層が挿入された構造とし、n型電極をn型コンタクト層の上に設けても、何ら問題はない。

【0092】

また、実施例3、4、5、及び6に於いては、SiO₂との密着性が良好なスペーサ層として、Moを用いているが、Al、Mg、W、Ni、Fe、Cr、Ta、V、Zr、Tiなどを少なくとも一種類用いても、同様の効果が得られる。

【0093】

【発明の効果】

本発明によれば、LDをはじめとするGaN系半導体素子において、p型電極の電流注入部と接するGaNコンタクト層表面を、電極金属の形成前に誘電体膜で被覆しないことにより、電極部での電流 - 電圧特性を良好に保ち、その結果として素子の動作電圧が大幅に低減される。

【図面の簡単な説明】

【図1】 p型GaNに対するAu/Ni電極の、電流 - 電圧特性を示す模式図である。

【図2】 第1図に特性を示した電極構造の、概観を示す斜視図である。

【図3】 電極の形成前のp型GaNコンタクト層表面へのSiO₂膜被覆回数を变化させた場合の、各Au/Ni電極の電流 - 電圧特性を示す模式図である。

【図4】 本発明の第1の実施例のLD素子製作プロセスを、LD素子断面構造により順を追って示した模式図である。

【図5】 本発明の第1の実施例のLD素子製作プロセスを、LD素子断面構造により順を追って示した模式図である。

【図6】 本発明の第2の実施例のLD素子製作プロセスを、LD素子断面構造により順を追って示した模式図である。

【図7】 本発明の第2の実施例のLD素子製作プロセスを、LD素子断面構造により順を追って示した模式図である。

【図8】 本発明の第2の実施例の変形例である。

【図9】 本発明の第3の実施例のLD素子製作プロセスを、LD素子断面構造により順を追って示した模式図である。

【図10】 本発明の第3の実施例のLD素子製作プロセスを、LD素子断面構造により順を追って示した模式図である。

【図11】 本発明の第4の実施例のLD素子製作プロセスを、LD素子断面構造により順

10

20

30

40

50

を追って示した模式図である。

【図１２】本発明の第４の実施例のＬＤ素子製作プロセスを、ＬＤ素子断面構造により順を追って示した模式図である。

【図１３】本発明の第４の実施例のＬＤ素子製作プロセスを、ＬＤ素子断面構造により順を追って示した模式図である。

【図１４】本発明の第５の実施例のＬＤ素子製作プロセスを、ＬＤ素子断面構造により順を追って示した模式図である。

【図１５】本発明の第５の実施例のＬＤ素子製作プロセスを、ＬＤ素子断面構造により順を追って示した模式図である。

【図１６】本発明の第６の実施例のＬＤ素子作成プロセスを、ＬＤ素子断面構造により順を追って示した模式図である。 10

【図１７】本発明の第６の実施例のＬＤ素子作成プロセスを、ＬＤ素子断面構造により順を追って示した模式図である。

【図１８】本発明に対する従来例のＬＤ素子製作プロセスを、ＬＤ素子断面構造により順を追って示した模式図である。

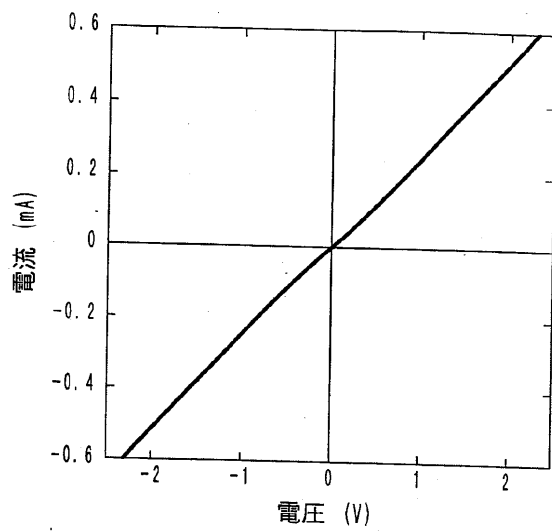
【図１９】本発明に対する従来例のＬＤ素子製作プロセスを、ＬＤ素子断面構造により順を追って示した模式図である。

【符号の説明】

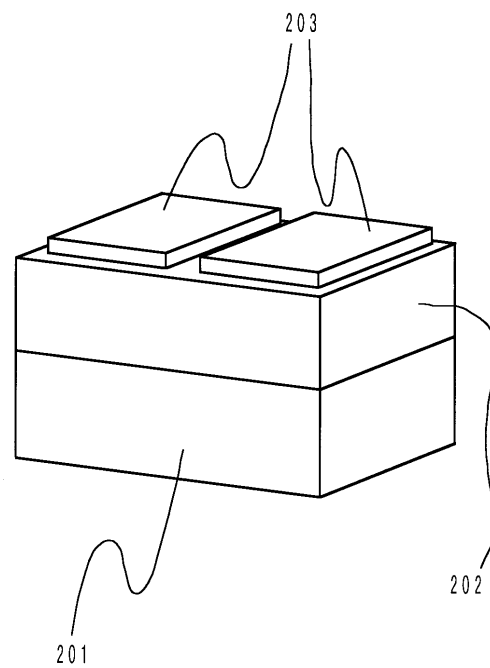
| | | |
|-------------------------------------|------------------------------|----|
| 201 ... | サファイア基板 | |
| 202 ... | p型Ga _{0.9} N層 | 20 |
| 203 ... | Au/Ni電極 | |
| 401、601、801、1001、1401、1501 ... | サファイア基板 | |
| 402、602、802、1002、1402、1502 ... | GaNバッファ層 | |
| 403、603、803、1003、1403、1303、1503 ... | n型AlGa _{0.3} Nクラッド層 | |
| 404、604、804、1004、1304、1404、1504 ... | MQW活性層 | |
| 405、605、805、1005、1305、1405、1505 ... | p型AlGa _{0.3} Nクラッド層 | |
| 406、606、806、1006、1306、1406、1506 ... | p型Ga _{0.9} Nコンタクト層 | 30 |
| 407、807、1008、1407 ... | ドライエッチングマスク | |
| 408、808、1009、1408 ... | フォトレジストストライプパターン | |
| 409、809、1010、1409 ... | SiO ₂ 層 | |
| 410 ... | フォトレジストマスク | |
| 411 ... | Au/Ni電極 | |
| 412、813、1014、1313、1410、1510 ... | Al/Ti電極 | |
| 607 ... | Ni層 | |
| 608 ... | Au層 | |
| 609 ... | ドライエッチングマスク | |
| 610、613 ... | フォトレジストパターン | 40 |
| 611 ... | Ti層 | |
| 612 ... | Al層 | |
| 810、1011、1411 ... | Mo層 | |
| 811、1012、1412 ... | Au層 | |
| 812、1013、1312、1413 ... | Au/Pd電極 | |
| 1007 ... | リッジ構造形成用ドライエッチングマスク | |
| 1301 ... | n型Ga _{0.9} N基板 | |
| 1302 ... | n型Ga _{0.9} Nバッファ層 | |
| 1307 ... | ドライエッチングマスク | |
| 1308 ... | ストライプ状電流注入パターン | 50 |

1 3 0 9 ... S i O₂ 層
1 3 1 0 ... M o 層
1 3 1 1 ... A u 層
1 5 0 7 ... S i O₂ 層
1 5 0 8 ... S i O₂ 層
1 5 0 9 ... A u / N i 電極

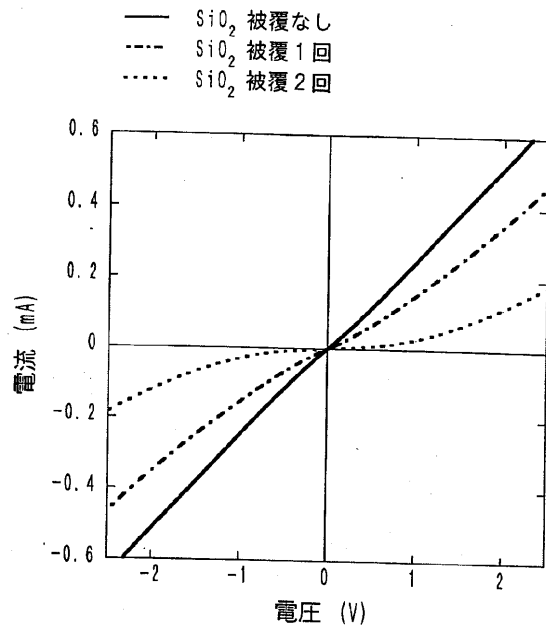
【図 1】



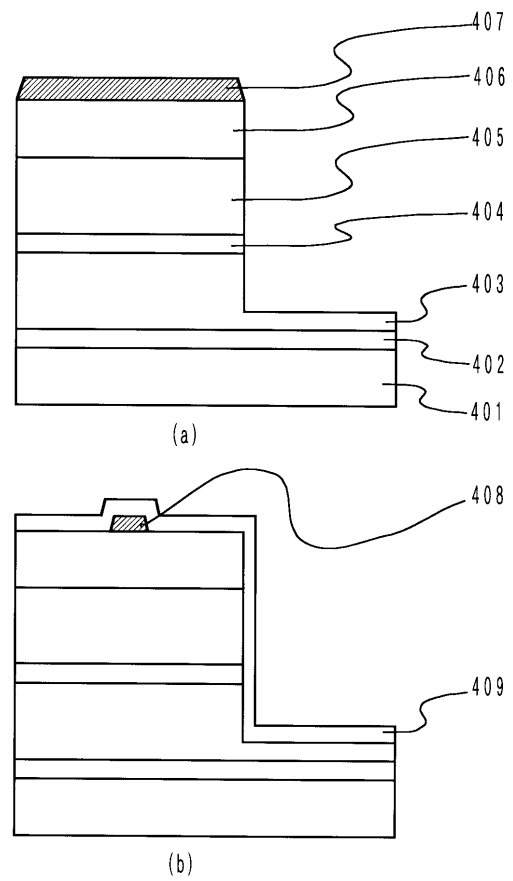
【図 2】



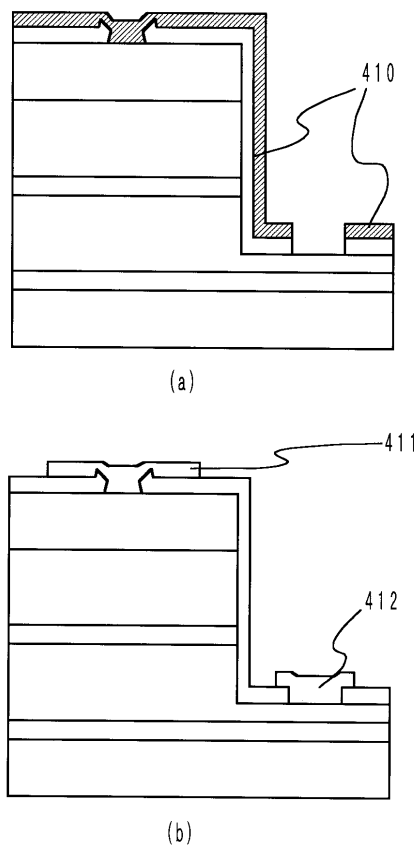
【図 3】



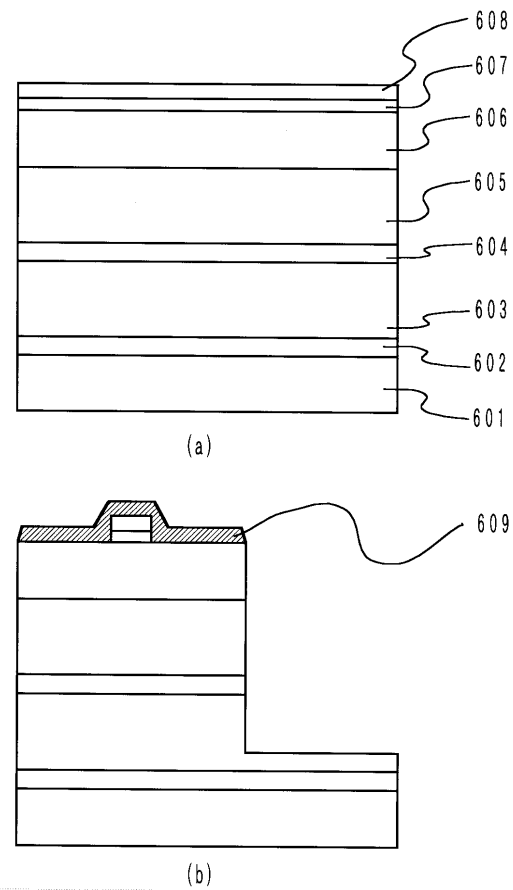
【図 4】



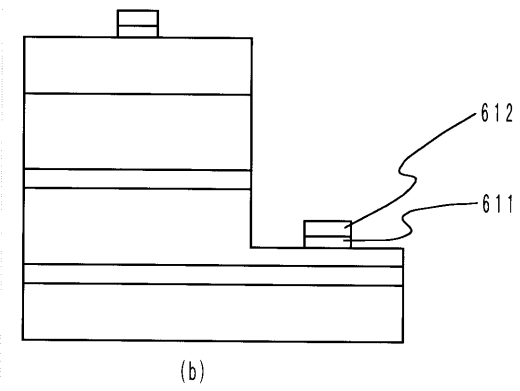
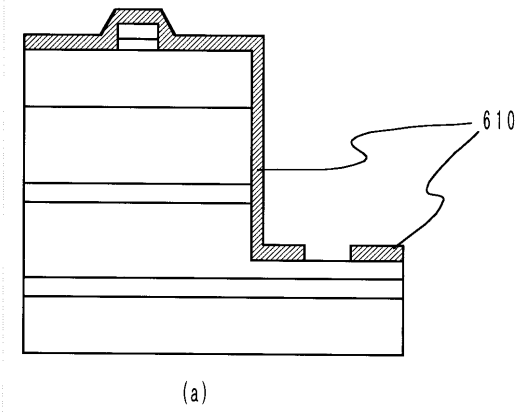
【図 5】



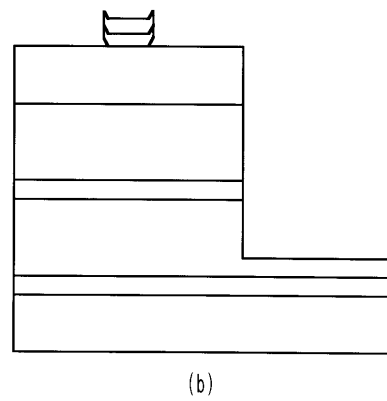
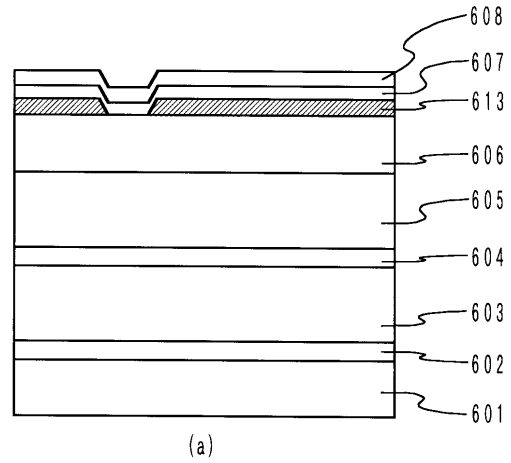
【図 6】



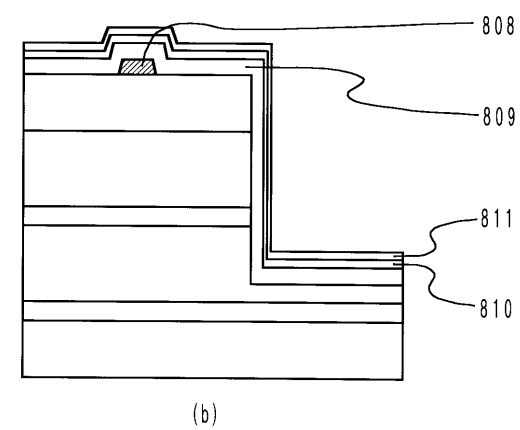
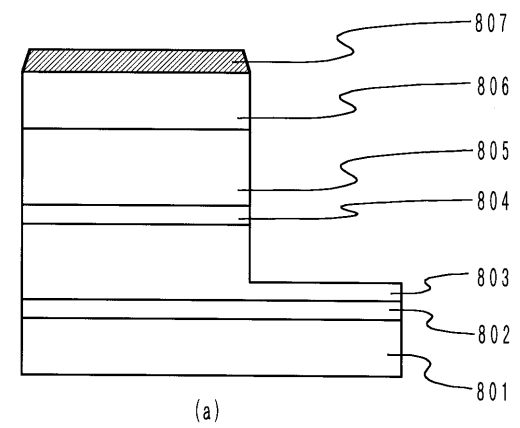
【図 7】



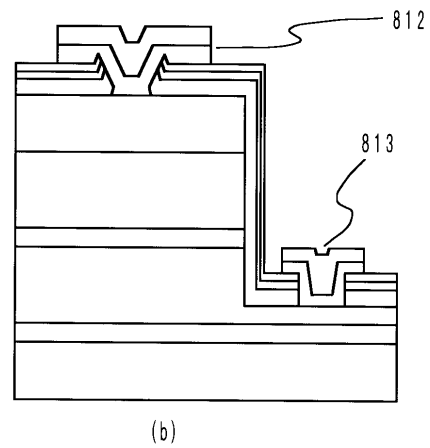
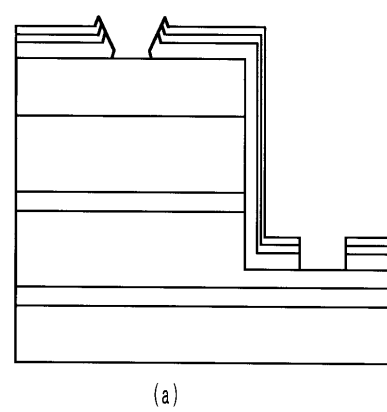
【図 8】



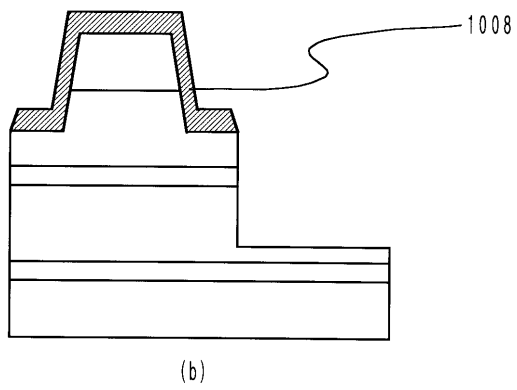
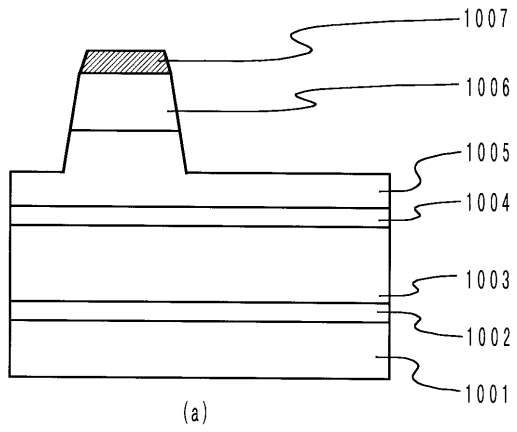
【図 9】



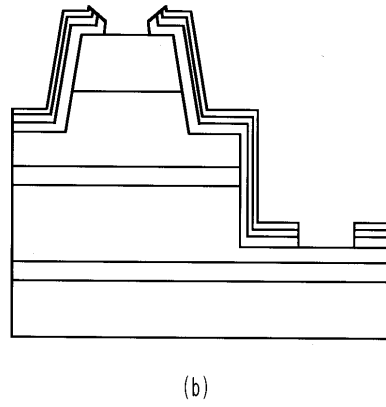
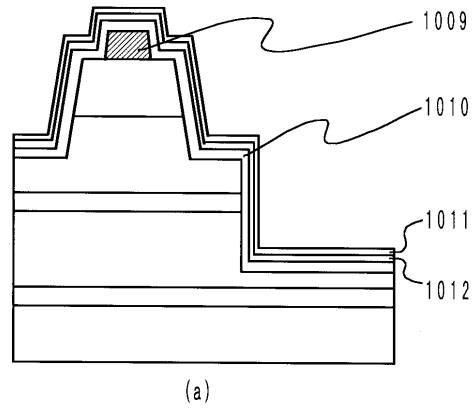
【図 10】



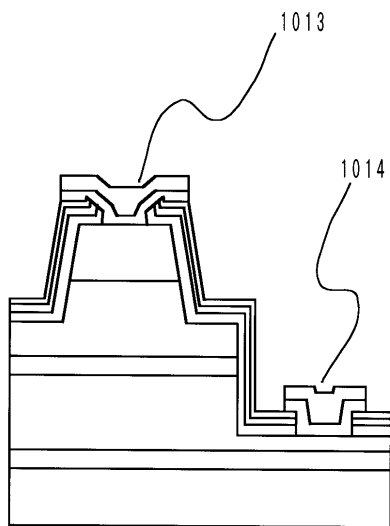
【図 1 1】



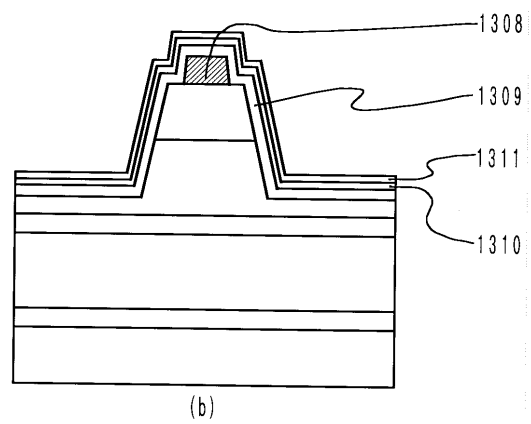
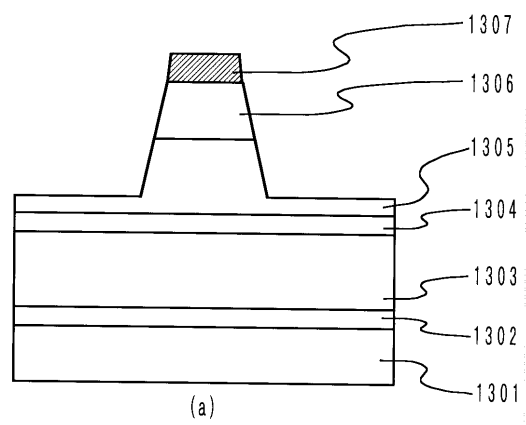
【図 1 2】



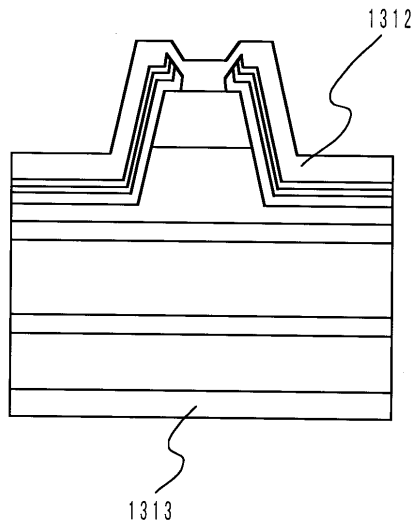
【図 1 3】



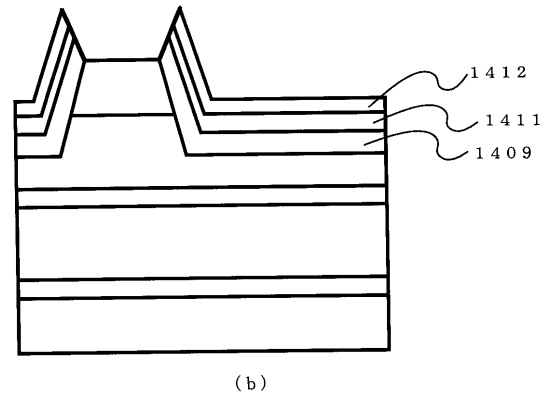
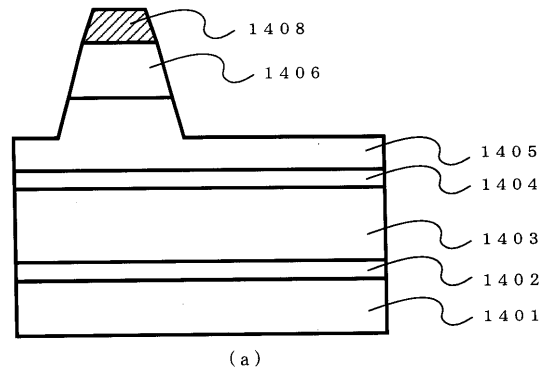
【図 1 4】



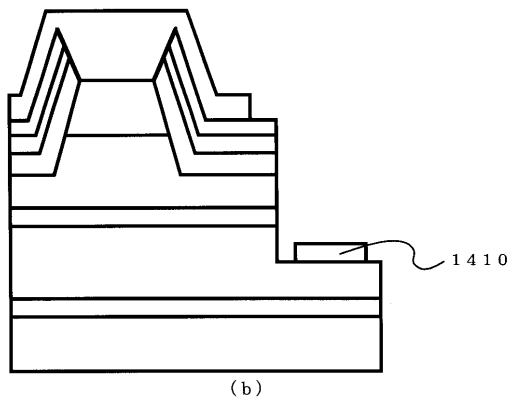
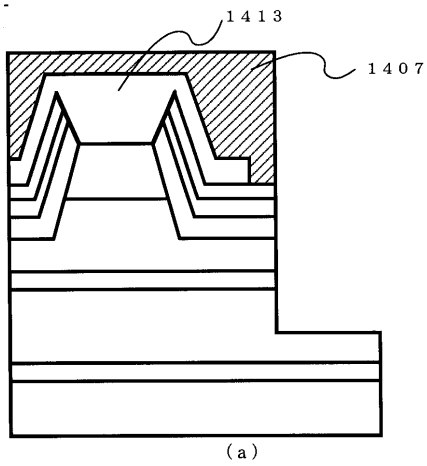
【図 15】



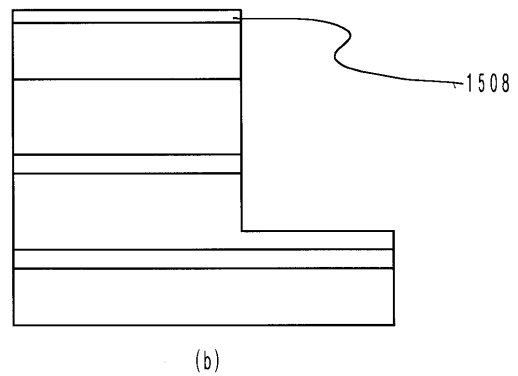
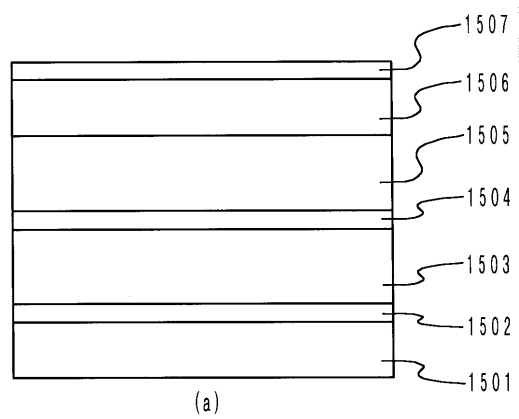
【図 16】



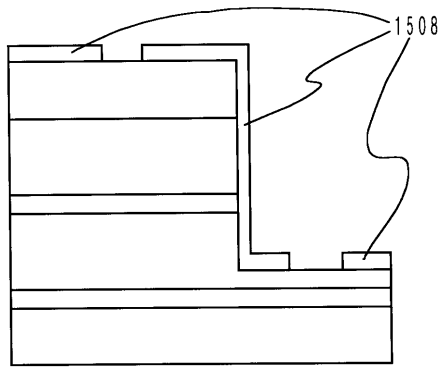
【図 17】



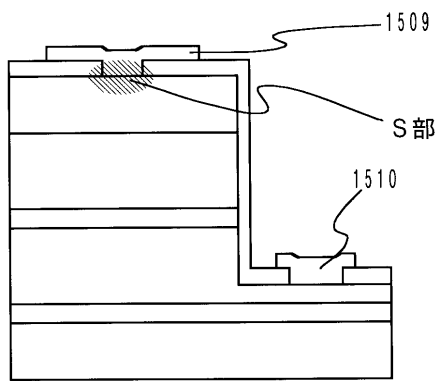
【図 18】



【図 19】



(a)



(b)

フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(74)代理人 100102277

弁理士 佐々木 晴康

(74)代理人 100103296

弁理士 小池 隆彌

(74)代理人 100073667

弁理士 木下 雅晴

(72)発明者 近江 晋

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 高谷 邦啓

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 土屋 知久

(56)参考文献 特開平 1 1 - 1 2 6 7 5 8 (J P , A)

特開平 0 8 - 2 7 9 6 4 3 (J P , A)

特開平 1 1 - 1 4 5 5 1 8 (J P , A)

特開平 1 0 - 2 0 9 5 0 0 (J P , A)

特開平 0 7 - 2 4 9 7 9 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01S 5/00- 5/50