

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-238643
(P2006-238643A)

(43) 公開日 平成18年9月7日(2006.9.7)

(51) Int.Cl.			F I			テーマコード (参考)
H02M	1/08	(2006.01)	H02M	1/08	A	5H007
H02M	7/48	(2006.01)	H02M	7/48	M	5H740
H03K	17/16	(2006.01)	H03K	17/16	H	5J055
H03K	17/687	(2006.01)	H03K	17/687	F	

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願2005-51267 (P2005-51267)	(71) 出願人	000006208
(22) 出願日	平成17年2月25日 (2005.2.25)		三菱重工業株式会社
			東京都港区港南二丁目16番5号
		(74) 代理人	100102864
			弁理士 工藤 実
		(74) 代理人	100117617
			弁理士 中尾 圭策
		(72) 発明者	岡崎 純臣
			神奈川県相模原市田名3000番地 三菱重工業株式会社汎用機・特車事業本部内
		(72) 発明者	森 清
			神奈川県相模原市田名3000番地 エム・エイチ・アイさがみハイテック株式会社内
		最終頁に続く	

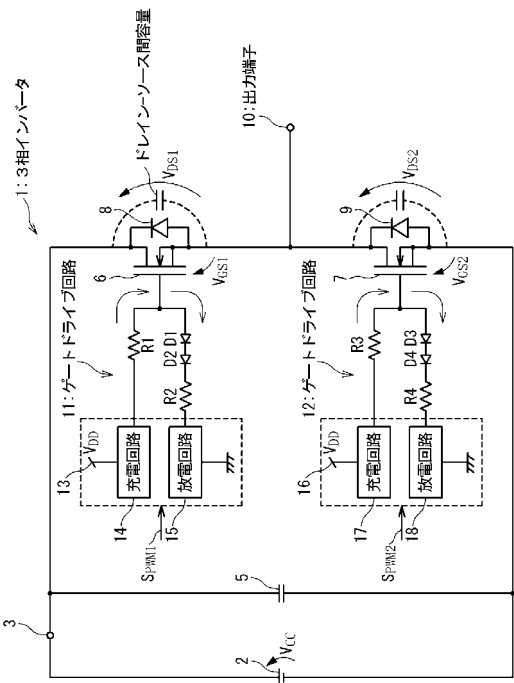
(54) 【発明の名称】 インバータ装置

(57) 【要約】

【課題】 パワーMOSFETのドレイン－ソース間容量と、そのパワーMOSFETに接続されている配線のインダクタンスとの共振に起因するEMIを抑制する。

【解決手段】 インバータ装置（1）は、ソース又はドレインが出力端子に接続されたパワーMOSFET（6、7）と、パワーMOSFET（6、7）のゲートを駆動するゲートドライブ回路（11、12）とを具備する。ゲートドライブ回路（11、12）は、パワーMOSFET（6、7）ゲートと接地端子の間に接続され、且つ、前記ゲートから前記接地端子に電流が流れるのを許容する、直列接続された複数のダイオード（D1～D4）を備えている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

ソース又はドレインが出力端子に接続されたパワー MOS FET と、
前記パワー MOS FET のゲートを駆動するゲートドライブ回路
とを具備し、
前記ゲートドライブ回路は、前記ゲートからの放電電流を流す経路に設けられた、前記
放電電流に対して順方向に、且つ、直列に接続された複数のダイオードを備える
インバータ装置。

【請求項 2】

請求項 1 に記載のインバータ装置であって、
前記複数のダイオードは、シリコンダイオードである
インバータ装置。

10

【請求項 3】

ソース又はドレインの一方が第 1 電源端子に接続され、他方が出力端子に接続された第
1 パワー MOS FET と、
ソース又はドレインの一方が前記出力端子に接続され、他方が第 2 電源端子に接続され
た第 2 パワー MOS FET と、
前記第 1 パワー MOS FET のゲートを駆動する第 1 ゲートドライブ回路と、
前記第 2 パワー MOS FET のゲートを駆動する第 2 ゲートドライブ回路
とを備え、

20

前記第 1 ゲートドライブ回路が前記第 1 パワー MOS FET の前記ゲートをプルダウン
してターンオフし、その後、前記第 2 ゲートドライブ回路が前記第 2 パワー MOS FET
の前記ゲートをプルアップしてターンオンする動作が行われる際、前記第 1 ゲートドライ
ブ回路は、前記第 2 ゲートドライブ回路が前記第 2 パワー MOS FET のゲートーソース
電圧を前記第 2 パワー MOS FET のスレッシュホールド電圧まで増加させた時刻における前
記第 1 パワー MOS FET のゲートーソース電圧が、前記第 1 パワー MOS FET のスレ
ッシュホールド電圧の 30 % 以上 70 % 以下であるように前記第 1 パワー MOS FET のゲ
ートを駆動する
インバータ装置。

【請求項 4】

請求項 3 に記載のインバータ装置であって、
前記第 2 ゲートドライブ回路が前記第 2 パワー MOS FET のゲートーソース電圧を前
記第 2 パワー MOS FET のスレッシュホールド電圧まで増加させた時刻における前記第 1 パ
ワー MOS FET の前記ゲートーソース電圧は、前記第 1 パワー MOS FET のスレッシ
ョールド電圧の 40 % 以上 60 % 以下である
インバータ装置。

30

【請求項 5】

ソース又はドレインの一方が第 1 電源端子に接続され、他方が出力端子に接続された第
1 パワー MOS FET と、ソース又はドレインの一方が前記出力端子に接続され、他方が
第 2 電源端子に接続された第 2 パワー MOS FET とを含むインバータ装置の動作方法で
あって、

40

(a) 前記第 1 パワー MOS FET のゲートをプルダウンしてターンオフするステップ
と、

(b) 前記第 1 パワー MOS FET のゲートのプルダウンが開始された後、前記第 2 パ
ワー MOS FET のゲートをプルアップしてターンオンするステップ
とを具備し、

前記 (b) ステップにおいて、前記第 2 パワー MOS FET のゲートーソース電圧が前
記第 2 パワー MOS FET のスレッシュホールド電圧まで増加された時刻における、前記第 1
パワー MOS FET のゲートーソース電圧は、前記第 1 パワー MOS FET のスレッシ
ョールド電圧の 30 % 以上 70 % 以下である

50

インバータ装置の動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータ装置に関し、特に、インバータ装置の出力段のパワーMOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲートを最適に駆動する技術に関する。

【背景技術】

【0002】

インバータ装置の出力段に設けられるパワーMOSFETのゲートを駆動するゲートドライバ回路は、典型的には、充電回路と放電回路とを備えて構成される。充電回路はパワーMOSFETのゲートを充電してプルアップするために使用され、放電回路は、ゲートを放電してプルダウンするために使用される。

【0003】

充電回路がゲートを充電する経路、及び放電回路がゲートを放電する経路には、一般的には、抵抗素子やダイオードが設けられる。抵抗素子は、充放電の時定数を制御するために使用され、ダイオードは、ゲートを充放電する電流の逆流を阻止するために設けられる。充放電の時定数を制御することは、パワーMOSFETのオン時間、オフ時間を所望の値に設定し、これによってデッドタイムを最適に調整するために重要である。例えば、特開平10-313242号公報 (特許文献1) は、パワーMOSFETのゲートを充電する経路に抵抗素子及びダイオードが直列に接続されて設けられ、当該ゲートを放電する経路に抵抗素子が設けられたインバータ装置を開示している。更に、特開2002-223157号公報 (特許文献1) は、ゲートを放電する経路に共振用インダクタとダイオードとが直列に接続されて設けられたインバータ装置を開示している。

【0004】

インバータ装置に対する一つの要求は、EMI (electromagnetic interference) の抑制である。EMIの一つの原因は、パワーMOSFETがオフされたときに起こり得る、パワーMOSFETのドレイン-ソース間容量と、配線インダクタンスとの共振である。共振が発生すると、高周波の共振電流が流れ、大きなEMIを発生させる。以下では、インバータ装置の出力段の典型的な構成を図1を参照して、ドレイン-ソース間容量と配線インダクタンスとの共振現象についての説明が行われる。

【0005】

ドレイン-ソース間容量と配線インダクタンスとの共振には、パワーMOSFET 101、102に内蔵されているボディダイオード103、104のリカバリー電流が関与している。例えば、パワーMOSFET 101がオン状態からオフ状態にスイッチされ、その後、パワーMOSFET 102がオフ状態からオン状態にスイッチされる場合を考える。パワーMOSFET 101がオフ状態になった後にパワーMOSFET 102がオン状態になると、オフ状態にスイッチされたパワーMOSFET 101に内蔵されているボディダイオード103が逆回復状態となり、ボディダイオード103にリカバリー電流が流れる。このリカバリー電流は、パワーMOSFET 101のドレイン-ソース間容量と、パワーMOSFET 101に接続されている配線のインダクタンスとの共振を引き起こし、高周波の共振電流が流れる原因となる。

【0006】

このような背景から、パワーMOSFETのドレイン-ソース間容量と、配線インダクタンスとの共振に起因するEMIを抑制できるような技術の提供が望まれている。

【特許文献1】 特開平10-313242号公報

【特許文献2】 特開2002-223157号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の目的は、パワーMOSFETのドレインソース間容量と、そのパワーMOSFETに接続されている配線のインダクタンスとの共振に起因するEMIが抑制された、インバータ装置を提供することにある。

【課題を解決するための手段】

【0008】

上記の目的を達成するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために、[発明を実施するための最良の形態]で使用される番号・符号が付加されている。但し、付加された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲を限定的に解釈するために用いてはならない。

【0009】

本発明の一の観点において、インバータ装置(1)は、ソース又はドレインが出力端子(10)に接続されたパワーMOSFET(6、7)と、パワーMOSFET(6、7)のゲートを駆動するゲートドライブ回路(11、12)とを具備する。ゲートドライブ回路(11、12)は、パワーMOSFET(6、7)のゲートからの放電電流を流す経路に設けられた、前記放電電流に対して順方向に、且つ、直列に接続された複数のダイオード(D1～D4)を備えている。直列接続された複数のダイオード(D1～D4)は、パワーMOSFETのターンオフのためにゲートが放電される間、放電電流が流れている限りにおいて、パワーMOSFETのゲートソース電圧を当該複数のダイオード(D1～D4)の順方向電圧の和以上に保つ。これは、ターンオフされたパワーMOSFETのドレインソース間容量を低減させる。ドレインソース間容量の低減は、ドレインソース間容量と配線のインダクタンスとの共振に起因する高周波の共振電流を抑制し、これによってEMIを有効に抑制する。

【0010】

前記複数のダイオード(D1～D4)は、本質的に順方向電圧が高いという性質を有しているシリコンダイオードであることが好ましい。

【0011】

本発明の他の観点において、本発明によるインバータ装置は、ソース又はドレインの一方が第1電源端子(3)に接続され、他方が出力端子(10)に接続された第1パワーMOSFET(6)と、ソース又はドレインの一方が出力端子(10)に接続され、他方が第2電源端子(4)に接続された第2パワーMOSFET(7)と、第1パワーMOSFET(6)のゲートを駆動する第1ゲートドライブ回路(11)と、第2パワーMOSFET(7)のゲートを駆動する第2ゲートドライブ回路(12)とを備えている。第1ゲートドライブ回路(11)は、第1ゲートドライブ回路(11)が第1パワーMOSFET(6)のゲートをプルダウンしてターンオフし、その後、第2ゲートドライブ回路(12)が第2パワーMOSFET(7)のゲートをプルアップしてターンオンする動作が行われる際、第2ゲートドライブ回路(12)が第2パワーMOSFET(7)のゲートソース電圧(V_{GS2})を第2パワーMOSFET(7)のスレッシュホールド電圧(V_{TH})まで増加させた時刻(t_7)における第1パワーMOSFET(6)のゲートソース電圧(V_{GS1})が、第1パワーMOSFET(11)のスレッシュホールド電圧(V_{TH})の30%以上70%以下であるように第1パワーMOSFET(6)のゲートを駆動するように構成されている。このような構成は、ターンオフされたパワーMOSFETのドレインソース間容量を低減させ、EMIの抑制に有効である。

【0012】

上述の時刻(t_7)における第1パワーMOSFET(6)のゲートソース電圧(V_{GS1})は、第1パワーMOSFET(6)のスレッシュホールド電圧の40%以上60%以下であることが好ましい。

【発明の効果】

【0013】

10

20

30

40

50

本発明によれば、パワーMOSFETのドレインソース間容量と、そのパワーMOSFETに接続されている配線のインダクタンスとの共振に起因するEMIが抑制された、インバータ装置を提供することができる。

【発明を実施するための最良の形態】

【0014】

図2は、本発明の一の実施形態に係る3相インバータ1の構成を示す回路図である。図2には、3相交流を出力する出力段のうちu相に対応する部分のみが図示されていることに留意されたい；図示されていないが、他の相（v相、w相）に対応する部分も同様の構成を有している。

【0015】

3相インバータ1は、バッテリー2の正極に接続されている正極端子3と、バッテリー2の負極に接続されている負極端子4と、正極端子3と負極端子4との間に接続されている平滑コンデンサ5と、NチャネルパワーMOSFET6、7とを備えている。バッテリー2が発生する電源電圧 V_{CC} は、典型的には、約48Vである。パワーMOSFET6は、u相電圧を出力する出力端子10をプルアップするために使用され、パワーMOSFET7は、出力端子10をプルダウンするために使用される。より具体的には、パワーMOSFET6は、そのドレインが正極端子3に接続され、ソースが出力端子10に接続されている。一方、パワーMOSFET7は、そのドレインが出力端子10に接続され、ソースが負極端子4に接続されている。パワーMOSFET6、7には、ボディダイオード8、9がそれぞれに内蔵されている。

【0016】

3相インバータ1には、更に、それぞれパワーMOSFET6、7のゲートを駆動するゲートドライブ回路11、12が設けられている。

【0017】

ゲートドライブ回路11は、PWM制御を行う制御装置からPWM信号 S_{PWM1} を受け取り、このPWM信号 S_{PWM1} に応答してパワーMOSFET6のオンオフを制御するコントロール回路13と、抵抗素子R1、R2と、ダイオードD1、D2とを備えている。コントロール回路13は、充電回路14と放電回路15とを備えている。充電回路14は、抵抗素子R1を介してパワーMOSFET6のゲートを電源電位 V_{DD} まで充電し、パワーMOSFET6をターンオンする。一方、放電回路15は、抵抗素子R2、ダイオードD1、D2を介してパワーMOSFET6のゲートを接地電位 V_{SS} まで放電してパワーMOSFET6をターンオフする。ダイオードD1、D2は、パワーMOSFET6のゲートから接地端子に流れる放電電流に対して順方向に、且つ、直列に接続されている。

【0018】

パワーMOSFET7のゲートを駆動するゲートドライブ回路12も、同様の構成を有している。ゲートドライブ回路12は、PWM信号 S_{PWM2} に応答してパワーMOSFET7のオンオフを制御するコントロール回路16と、抵抗素子R3、R4と、ダイオードD3、D4とを備えている。コントロール回路16は、充電回路17と放電回路18とを備えている。充電回路17は、抵抗素子R3を介してパワーMOSFET7のゲートを電源電位 V_{DD} まで充電し、パワーMOSFET7をターンオンする。一方、放電回路18は、抵抗素子R4、ダイオードD3、D4を介してパワーMOSFET7のゲートを接地電位 V_{SS} まで放電し、パワーMOSFET7をターンオフする。ダイオードD3、D4は、パワーMOSFET7のゲートから接地端子に流れる放電電流に対して順方向に、且つ、直列に接続されている。

【0019】

図2に図示されている3相インバータ1の最も重要な特徴は、パワーMOSFET6、7のゲートを放電する経路に複数のダイオードが設けられていることである；パワーMOSFET6のゲートを放電する経路には、順方向に直列に接続されたダイオードD1、D2が設けられ、パワーMOSFET7のゲートを放電する経路には、順方向に直列に接続

10

20

30

40

50

されたダイオード D 3、D 4 が設けられている。

【0020】

これらのダイオードは、パワー MOS FET 6、7 がターンオフされた後のしばらくの時間、パワー MOS FET 6、7 のゲートソース電圧を 0 V よりも多少高い電圧に維持する作用を有している。例えば、パワー MOS FET 6 のゲートソース電圧 V_{GS1} は、ダイオード D 1、D 2 は、パワー MOS FET 6 のゲートを放電する放電電流が流れている限り、ダイオード D 1、D 2 の順方向電圧 V_F の 2 倍よりも高い。より具体的には、ダイオード D 1、D 2 がいずれもシリコンダイオードである場合には、パワー MOS FET 6 のゲートソース電圧 V_{GS1} は、放電電流が流れている限り、少なくとも 0.9 V 以上に保たれる。パワー MOS FET 7 のゲートソース電圧 V_{GS2} についても同様である。 10

【0021】

パワー MOS FET 6、7 のターンオフ後に、それらのゲートソース電圧を 0 よりも多少高い電圧に維持することは、ドレインソース間容量と配線インダクタンスとの共振に起因する EMI を抑制するために有効である。ゲートソース電圧を 0 V よりも多少高い電圧に維持することにより、パワー MOS FET 6、7 がターンオフされているときのパワー MOS FET 6、7 のドレインソース間容量を小さくすることができる。ドレインソース間容量を減少させることは、パワー MOS FET 6、7 を不所望に流れる高周波電流を小さくし、ドレインソース間容量と配線インダクタンスとの共振に起因する EMI を有効に抑制する。以下では、3 相インバータ 1 の動作の詳細、特に、3 相インバータ 1 の動作におけるパワー MOS FET 6、7 のゲートを放電する経路に設けられた複数のダイオードの作用を、図 3 を参照しながら説明する。 20

【0022】

図 3 は、3 相インバータ 1 の動作を示すタイミングチャートであり、パワー MOS FET 6 をターンオフし、その後にパワー MOS FET 7 をターンオンする動作を示している。初期的には、パワー MOS FET 6 のゲートソース電圧 V_{GS1} は電圧 $V_{DD} - V_S$ (V_{DD}) であり、パワー MOS FET 6 はターンオンされている。この状態では、パワー MOS FET 6 のドレインソース電圧 V_{DS1} は、パワー MOS FET 6 に流れるドレイン電流とそのオン抵抗を乗じた値である。一方、パワー MOS FET 7 のゲートソース電圧 V_{GS2} は、おおむね、ダイオード D 3、D 4 の順方向電圧 V_F の和に近い電圧であり、パワー MOS FET 7 はターンオフされている。この状態では、パワー MOS FET 6 のドレインソース電圧 V_{DS2} は、バッテリー 2 が 3 相インバータ 1 に供給する電源電圧 V_{CC} に一致している。 30

【0023】

パワー MOS FET 6 を制御するための PWM 信号 S_{PWM1} が "Low" 電位にプルダウンされると (時刻 t_1)、ゲートドライブ回路 11 の放電回路 15 は、パワー MOS FET 6 のゲートを放電し始める (時刻 t_2)。これにより、パワー MOS FET 6 のゲートソース電圧 V_{GS1} がパワー MOS FET 6 のスレッシュホールド電圧 V_{TH} まで低下する (時刻 t_3)。パワー MOS FET 6 のゲートソース電圧 V_{GS1} がスレッシュホールド電圧 V_{TH} に到達すると、パワー MOS FET 6 がターンオフされ、ドレインソース電圧 V_{DS1} が上昇し始める。パワー MOS FET 6 のターンオフ時には、ゲートソース電圧 V_{GS1} は、ある時間だけスレッシュホールド電圧 V_{TH} に保たれる。図 3 では、時刻 t_3 から時刻 t_4 までの間、ゲートソース電圧 V_{GS1} が一定に保たれている。 40

【0024】

その後、ゲートソース電圧 V_{GS1} は、スレッシュホールド電圧 V_{TH} から 0 V に向かってプルダウンされ始める (時刻 t_4)。しかし、ゲートソース電圧 V_{GS1} の減少は、パワー MOS FET 6 のゲートを放電する経路に複数のダイオード D 1、D 2 が設けられていることによって緩やかに行われる；図 3 の実線は、本実施の形態の 3 相インバータ 1 におけるゲートソース電圧 V_{GS1} の変化を示し、破線は、パワー MOS FET 6 のゲートを放電する経路に、仮に単一のダイオードしか設けられなかったときのゲートソー 50

ス電圧 V_{GS1} の変化を示している。放電電流が流れている限り、ゲートソース電圧 V_{GS1} は、ダイオード $D1$ 、 $D2$ の順方向電圧 V_F の2倍以上に保たれる。

【0025】

パワーMOSFET 6がターンオフされた後、パワーMOSFET 7がターンオンされる。具体的には、パワーMOSFET 7を制御するためのPWM信号 S_{PWM2} が "High" 電位にプルアップされると（時刻 t_5 ）、ゲートドライブ回路12の充電回路17は、パワーMOSFET 7のゲートを充電し始める（時刻 t_6 ）。これにより、パワーMOSFET 7のゲートソース電圧 V_{GS2} がパワーMOSFET 7のスレッシュホールド電圧 V_{TH} まで上昇し、パワーMOSFET 7がターンオンする（時刻 t_7 ）。パワーMOSFET 7がターンオンすると、そのドレインソース電圧 V_{DS2} は、パワーMOSFET 7に流れるドレイン電流とそのオン抵抗を乗じた値にプルダウンされる。パワーMOSFET 7のゲートソース電圧 V_{GS2} は、ある時間だけスレッシュホールド電圧 V_{TH} に保たれた後、電圧 $V_{DD} - V_{SS}$ までプルアップされる。図3では、時刻 t_7 から時刻 t_8 の間、ゲートソース電圧 V_{GS2} がスレッシュホールド電圧 V_{TH} に保たれている。

【0026】

パワーMOSFET 7がターンオンした時に（即ち、パワーMOSFET 7のゲートソース電圧 V_{GS2} がスレッシュホールド電圧 V_{TH} に到達した時刻 t_7 に）、ターンオフされたパワーMOSFET 6のゲートソース電圧 V_{GS1} が、0Vよりも充分に高く保たれていることが重要である。これは、共振が発生する原因となるリカバリー電流がターンオフされたパワーMOSFET 6のボディダイオード8に流れ始めるのが、パワーMOSFET 7がターンオンした時刻 t_7 であるからである。時刻 t_7 におけるパワーMOSFET 6のドレインソース間容量を減少させることがEMIを抑制するために重要であり、このためには、時刻 t_7 におけるパワーMOSFET 6のゲートソース電圧 V_{GS1} を0Vよりも充分に高く保つことが効果的である。

【0027】

時刻 t_7 におけるパワーMOSFET 6のゲートソース電圧 V_{GS1} は、パワーMOSFET 6のスレッシュホールド電圧 V_{TH} の半分程度、より具体的には、30%以上70%以下であることが好適であり、40%以上60%以下であることが一層に好適である。時刻 t_7 におけるパワーMOSFET 6のゲートソース電圧 V_{GS1} があまりに低いと、ドレインソース間容量が充分に減少できない。一方、時刻 t_7 におけるパワーMOSFET 6のゲートソース電圧 V_{GS1} があまりに高いと、パワーMOSFET 6が充分にターンオフされない。

【0028】

時刻 t_7 におけるパワーMOSFET 6のゲートソース電圧 V_{GS1} の調整は、パワーMOSFET 6、7のゲートを放電する経路に設けられているダイオードの数、及び種類で調節可能である。少ない数のダイオードで、時刻 t_7 におけるパワーMOSFET 6のゲートソース電圧 V_{GS1} を充分に高くするためには、パワーMOSFET 6、7のゲートを放電する経路に設けられているダイオード $D1 \sim D4$ は、シリコンダイオードであることが好適である。シリコンダイオードは、本質的に順方向電圧が高い。したがって、シリコンダイオードを使用することにより、少ない数のダイオードで、時刻 t_7 におけるパワーMOSFET 6のゲートソース電圧 V_{GS1} を充分に高くすることが可能である。

【0029】

図3は、パワーMOSFET 6がターンオフされた後、パワーMOSFET 7がターンオンされる動作を示しているが、パワーMOSFET 7がターンオフされた後、パワーMOSFET 6がターンオンされる動作も同様に行われることは、当業者には自明的であろう。

【0030】

図4は、他の実施形態における3相インバータ1Aの構成を示すブロック図である。本実施の形態では、パワーMOSFET 6、7のゲートを放電する経路に複数のダイオード

10

20

30

40

50

に設ける代わりに、パワーMOSFET 6、7のターンオフ後に、それらのゲートソース電圧をある程度の電圧に保つように構成された放電回路15A、18Aが使用される。

【0031】

放電回路15A、18Aは、パワーMOSFET 6、7のターンオフされた後も、パワーMOSFET 6、7のゲートソース電圧を、スレッシュホールド電圧 V_{TH} の半分程度に保つように構成される。より具体的には、放電回路15A、18Aは、パワーMOSFET 6、7のターンオフされた後も、パワーMOSFET 6、7のゲートソース電圧をスレッシュホールド電圧 V_{TH} の30%以上70%以下に保つように構成される。好適な実施形態では、放電回路15A、18Aは、パワーMOSFET 6、7のゲートソース電圧をスレッシュホールド電圧 V_{TH} の40%以上60%以下に保つように構成される。

10

【0032】

図5は、図4の3相インバータ1Aの動作の一例を示すタイミングチャートであり、パワーMOSFET 6がターンオフされた後、パワーMOSFET 7がターンオンされる動作を示している。図3に図示されている動作との相違点は、パワーMOSFET 6をターンオフした後、放電回路15Aは、パワーMOSFET 6のゲートを、ある正の電位 V_A にまでにしかプルダウンしないことである；パワーMOSFET 6のゲートは、接地電位 V_{SS} まではプルダウンされない。これにより、放電回路15Aは、ゲートソース電圧 V_{GS1} を常に電圧 V_{CONST} ($=V_A - V_{SS}$) 以上に保つ。電位 V_A は、電圧 V_{CONST} がスレッシュホールド電圧 V_{TH} の半分程度、より具体的には、30%以上70%以下の範囲に選択されている。言い換えれば、ターンオフ時のパワーMOSFET 6のゲートソース電圧 V_{GS1} は、スレッシュホールド電圧 V_{TH} の30%以上70%以下の範囲に保たれ、これにより、ドレインソース間容量が減少される。既述のように、ドレインソース間容量の減少は、EMIの抑制に有効である。より好適な実施形態では、電圧 V_{CONST} は、スレッシュホールド電圧 V_{TH} の40%以上60%以下に設定される。

20

【0033】

図5は、パワーMOSFET 6がターンオフされた後、パワーMOSFET 7がターンオンされる動作を示しているが、パワーMOSFET 7がターンオフされた後、パワーMOSFET 6がターンオンされる動作も同様に行われることは、当業者には自明的であろう。

【0034】

以上に説明されているように、本実施の形態の3相インバータでは、ターンオフされたパワーMOSFETのゲートソース電圧が、緩やかに低下され、又は、スレッシュホールド電圧 V_{TH} の半分程度の電圧に保たれ、これにより、ターンオフされたパワーMOSFETのドレインソース間容量が減少される。ターンオフされたパワーMOSFETのドレインソース間容量の減少は、ドレインソース間容量と配線インダクタンスの共振に起因するEMIを抑制するために有効である。

30

【図面の簡単な説明】

【0035】

【図1】図1は、3相インバータの出力段の典型的な構成を示す回路図である。

【図2】図2は、本発明の一の実施形態における3相インバータの構成を示す回路図である。

40

【図3】図3は、図2に図示されている3相インバータの動作を示すタイミングチャートである。

【図4】図4は、本発明の他の実施形態における3相インバータの構成を示す回路図である。

【図5】図5は、図4に図示されている3相インバータの動作を示すタイミングチャートである。

【符号の説明】

【0036】

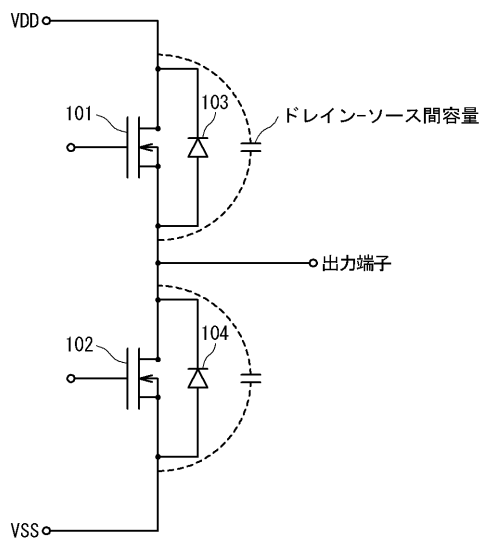
1、1A：3相インバータ

50

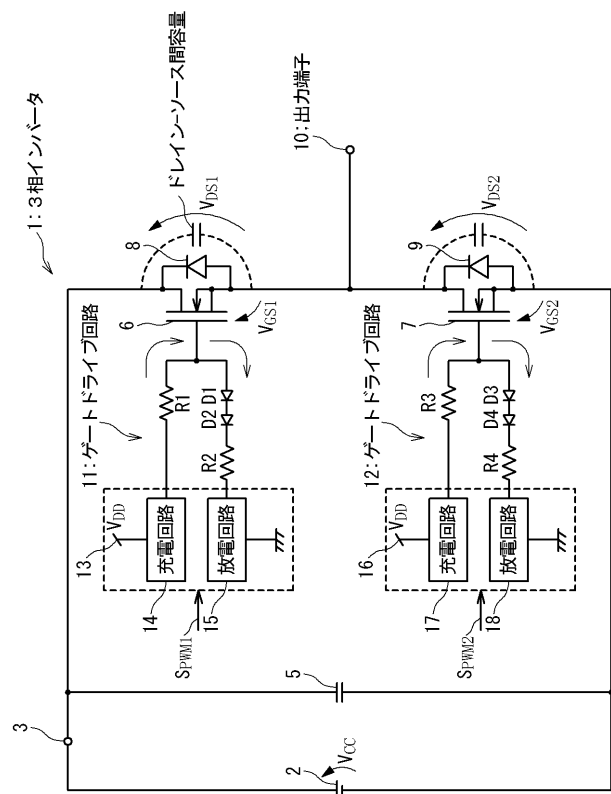
- 2 : バッテリー
 3 : 正極端子
 4 : 負極端子
 5 : 平滑コンデンサ
 6、7 : パワー MOS FET
 8、9 : ボディダイオード
 10 : 出力端子
 11、12 : ゲートドライブ回路
 13、16 : コントロール回路
 14、17 : 充電回路
 15、15A、18、18A : 放電回路
 R1、R2、R3、R4 : 抵抗素子
 D1、D2、D3、D4 : ダイオード
 101、102 : パワー MOS FET
 103、104 : ボディダイオード

10

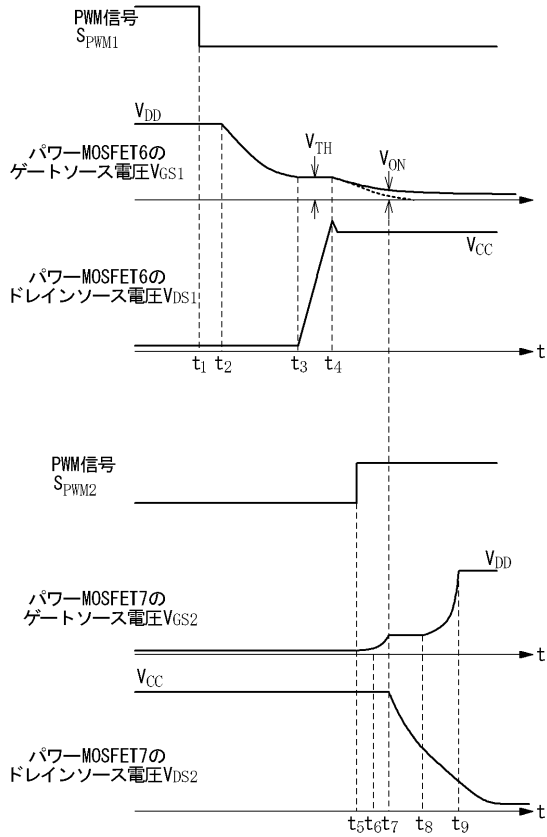
【図 1】



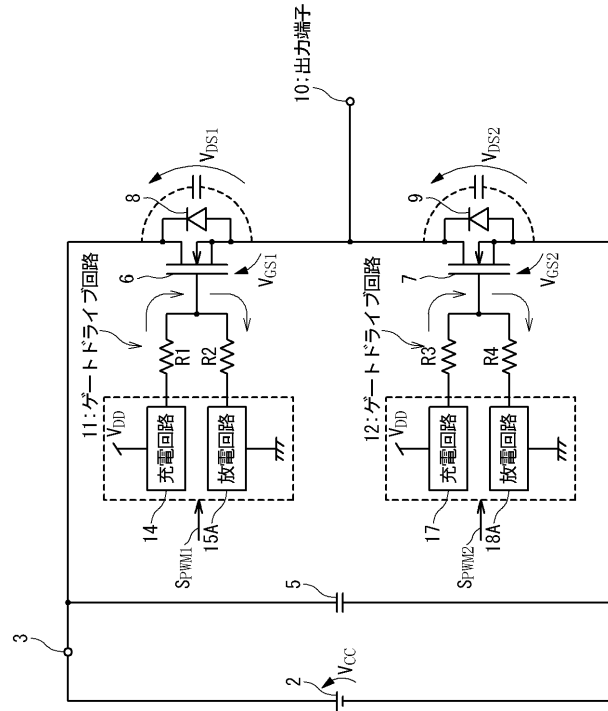
【図 2】



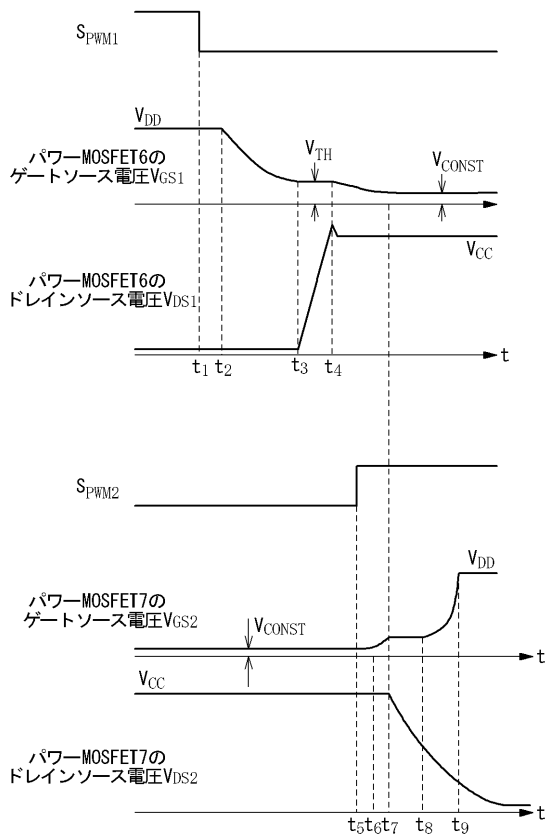
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 山崎 裕幸

神奈川県相模原市田名3000番地 エム・エイチ・アイさがみハイテック株式会社内

Fターム(参考) 5H007 AA17 CA02 CB02 DB03 FA01 FA14

5H740 BA12 BB01 BB08 BC02 HH05 JA01 KK01 MM11

5J055 AX25 BX16 CX07 CX13 DX22 DX72 EX07 EY05 EY10 EY21

EY29 EZ63 FX04 FX13 FX28 FX33 GX01