发明名称：通过加法读出多个像素可变换输出清晰度的摄像装置、其控制方法及摄像系统

摘要

一种摄像装置，多个像素，并通过加法读出其内的每个规定数目的像素，可变换清晰度而输出，各像素包括：光电变换部；放大来自所述光电变换部的信号的放大部件；以及有连接到所述放大部件的输出端的电容。该摄像装置还具有将所述多个像素中的两个以上像素的所述电容之间共用连接的多个开关。
1.一种具有多个像素的摄像装置，其特征在于，各像素包括：
光电变换部；
放大并输出来自所述光电变换部的信号的第1放大部件；以及
具有连接到所述第1放大部件的输出端的电容，
所述摄像装置还包括使所述多个像素中的两个以上像素的所述电容间共用连接的多个第1开关。
2.如权利要求1所述的摄像装置，其特征在于，所述电容的一个端子被连接到所述第1放大部件的输出端，同时另一个端子被设定为固定电位。
3.如权利要求1所述的摄像装置，其特征在于，各像素还具有用于设定固定电位的第2开关，
所述电容的一个端子被连接到所述放大部件的输出端，同时在另一个端子上连接第2开关，
所述第1开关设置在所述两个以上像素的其他端子间。
4.如权利要求1所述的摄像装置，其特征在于，所述第1放大部件是源极跟随器电路。
5.如权利要求3所述的摄像装置，其特征在于，各像素还包括：
连接到所述电容的另一端子的第2放大部件；
连接到所述第2放大部件的输出端，根据来自所述光电变换部的信号来保持来自该第2放大部件的输出的信号保持用电容；以及
保持来自所述第2放大部件的噪声输出的噪声保持用电容。
6.如权利要求1所述的摄像装置，其特征在于，各像素包括：
用于设定规定电位的第2开关；以及
第2放大部件；
所述电容的一个端子连接到所述第1放大部件的输出端，同时另一端子连接到所述第2开关，所述电容的另一端子连接到所述第2放大部件的输入端。
而且各像素还包括:

信号保持用电容，连接到所述第 2 放大部件的输出端，根据来自所述光电变换部的信号来保持来自所述第 2 放大部件的输出；以及

噪声保持用电容，保持来自所述第 2 放大部件的噪声输出；

所述第 1 开关还包括将多个像素中两个以上像素的所述信号保持用电容间共用连接的多个开关，以及将所述信号保持用电容间共用连接的多个开关。

7.一种摄像装置，其特征在于，包括:

二维排列的多个像素；

第 1 开关，将各第 1 像素组内的像素连结，以便加法读出规定数目的像素组成的第 1 像素组的信号；

第 2 开关，将所述第 1 像素组连结，以便加法读出多个所述第 1 像素组组成的第 2 像素组的信号；

第 1 共用控制线，连接到所述多个第 1 像素组内的所述第 1 开关，进行导通/截止的控制；

第 2 共用控制线，连接到第 2 开关，进行导通/截止的控制；以及

控制部件，通过所述第 1 和第 2 共用控制线来控制所述第 1 和第 2 开关；

所述摄像装置具有：分别独立读出来自多个像素的信号的第 1 模式；加法读出每个所述第 1 像素组的信号的第 2 模式；以及加法读出每个所述第 2 像素组的信号的第 3 模式；

所述控制部件进行控制，使得在所述第 1 模式时使所述第 1 和所述第 2 开关截止，在所述第 2 模式时使所述第 1 开关导通、所述第 2 开关截止，而在所述第 3 模式时使所述第 1 和所述第 2 开关导通。

8.如权利要求 7 所述的摄像装置，其特征在于，通过数目比所述各第 1 像素组中包含的像素数目少 1 的所述第 1 开关，来连结所述第 1 像素组中包含的像素。

9.如权利要求 7 或 8 所述的摄像装置，其特征在于，通过数目比所述各第 2 像素组中包含的所述第 1 像素组的数目少 1 的所述第 2 开关，
来连结所述各第 2 像素组中包含的所述第 1 像素组。

10.如权利要求 7 至 9 任何一项所述的摄像装置，其特征在于，
还包括第 3 开关，连续所述多个第 2 像素组，以便加法读出多个
所述第 2 像素组组成的第 2 像素组的信号；
所述摄像装置还具有加法读出每个所述第 3 像素组的信号的第 4
模式，
所述控制部司在所述第 4 模式时进行导通所述第 1 至第 3 开关的
控制。

11.如权利要求 10 所述的摄像装置，其特征在于，
通过数目比所述各第 3 像素组中包含的所述第 2 像素组的数目少 1
的所述第 3 开关，来连结所述各第 3 像素组中包含的所述第 2 像素组。

12.如权利要求 7 至 11 任何一项所述的摄像装置，其特征在于，
各像素包括：
放大输出来自所述光电变换部的信号的放大部件；以及
连接到所述放大部件的输出端的电容；
所述第 1 及第 2 开关将所述电容间共用连接。

13.如权利要求 10 或 11 所述的摄像装置，其特征在于，
各像素包括：
光电变换部；
放大输出来自所述光电变换部的信号的放大部件；以及
连接到所述放大部件的输出端的电容；
所述第 3 开关将所述电容间共用连接。

14.一种摄像装置，其特征在于，包括：
二维排列的多个像素；
第一开关，连结各第 1 像素组内的像素，以便加法读出规定数目的
像素组成的第 1 像素组的信号；
第二开关，连接所述多个第 1 像素组，以便加法读出多个所述第 1
像素组组成的第 2 像素组的信号；
第一共用控制线，连接到所述多个第 1 像素组内的所述第 1 开关，
进行导通/截止的控制；

第 2 共用控制线，连接到所述第 2 开关，进行导通/截止的控制；

选择电路，输出选择排列在规定方向上的多个像素组成的像素列的
选择信号；以及

变换电路，将所述选择信号变换成控制所述第 1 及第 2 开关的控
制信号；

所述摄像装置具有：分别独立读出自多个像素的信号的第 1 模
式；加法读出每个所述第 1 像素组的信号的第 2 模式；以及加法读出
每个所述第 2 像素组的信号的第 3 模式；

所述变换电路将所述选择信号变换成在所述第 1 模式时使所述第 1
和所述第 2 开关截止的信号，在所述第 2 模式时使所述第 1 开关导通。

所述第 2 开关截止的信号，在第 3 模式时使所述第 1 和所述第 2 开关
导通的信号，并输出到所述第 1 和第 2 共用控制线。

15. 如权利要求 14 所述的摄像装置，其特征在于，

所述选择电路在所述第 2 模式时，输出同时选择连接所述各第 1
像素组的各多个像素列的选择信号，在所述第 3 模式时，输出同时选
择连接所述各第 2 像素组的各多个像素列的选择信号。

16. 如权利要求 14 或 15 所述的摄像装置，其特征在于，

还包括第 3 开关，连接所述多个第 2 像素组，以便加法读出多个
所述第 2 像素组组成的第 3 像素组的信号。

所述摄像装置还具有加法读出每个所述第 3 像素组中的信号的第 4
模式，

所述变换电路在所述第 4 模式时，将所述选择信号变换成使所述
第 1 至第 3 开关导通的信号。

17. 如权利要求 16 所述的摄像装置，其特征在于，

所述选择电路在所述第 4 模式时，输出同时选择连接所述各第 3
像素组的各多个像素列的选择信号。

18. 如权利要求 14 至 17 所述的摄像装置，其特征在于，

各像素包括：
光电变换部；
放大来自所述光电变换部的信号的放大部件；以及
连接到所述放大部件的输出端的电容；
所述第 1 和第 2 开关将所述电容间共用地连接。
19. 如权利要求 16 或 17 所述的摄像装置，其特征在于，
各像素包括：
光电变换部；
放大来自所述光电变换部的信号的放大部件；以及
连接到所述放大部件的输出端的电容；
所述第 3 开关将所述电容间共用地连接。
20. 一种摄像装置的控制方法，该摄像装置包括：
二维排列的多个像素；
第 1 开关，连接各第 1 像素组内的像素，以便加法读出规定数目的像素组成的第 1 像素组的信号；
第 2 开关，连接所述多个第 1 像素组，以便加法读出多个所述第 1 像素组组成的第 2 像素组的信号；
第 1 共用控制线，连接到所述多个第 1 像素组内的所述第 1 开关，
进行导通/截止的控制；以及
第 2 共用控制线，连接到所述第 2 开关，进行导通/截止的控制；
所述摄像装置具有：分别独立读出来自多个像素的信号的第 1 模式；加法读出每个所述第 1 像素组的信号的第 2 模式；以及加法读出每个所述第 2 像素组的信号的第 3 模式；
该方法的特征在于，通过所述第 1 及第 2 共用控制线进行控制，
使得在所述第 1 模式时将所述第 1 和所述第 2 开关截止，在所述第 2 模式时将所述第 1 开关导通、所述第 2 开关截止，在第 3 模式时将所述第 1 和所述第 2 开关导通。
21. 如权利要求 20 所述的控制方法，其特征在于，
还包括第 3 开关，连接所述多个第 2 像素组，以便加法读出多个所述第 2 像素组组成的第 3 像素组的信号，还具有加法读出每个所述
第 3 像素组中的信号的第 4 模式，
所述控制方法在所述第 4 模式时，进行使所述第 1 至第 3 开关导通的控制。

22. 一种摄像装置的控制方法，该摄像装置包括：
二维排列的多个像素；
第 1 开关，连接各第 1 像素组内的像素，以便加法读出规定数目的像素组成的第 1 像素组的信号；
第 2 开关，连接所述多个第 1 像素组，以便加法读出多个所述第 1 像素组组成的第 2 像素组的信号；
第 1 共用控制线，连接到所述多个第 1 像素组内的所述第 1 开关，进行导通/截止的控制；
第 2 共用控制线，连接到所述第 2 开关，进行导通/截止的控制；
选择电路，输出选择由排列在规定方向的多个像素组成的像素列的选择信号；以及
变换电路，将所述选择信号变换成控制所述第 1 及第 2 开关的控制信号；
所述摄像装置具有：分别独立读出来自多个像素的信号的第 1 模式；加法读出每个所述第 1 像素组的信号的第 2 模式；以及加法读出每个所述第 2 像素组的信号的第 3 模式；
该方法的其特征在于，通过所述第 1 及第 2 共用控制线进行控制，使得在所述第 1 模式时将所述第 1 和所述第 2 开关截止，在所述第 2 模式时将所述第 1 开关导通、所述第 2 开关截止，在第 3 模式时将所述第 1 和所述第 2 开关导通。

23. 如权利要求 22 所述的控制方法，其特征在于，
还包括第 3 开关，连接所述多个第 2 像素组，以便加法读出多个所述第 2 像素组组成的第 3 像素组的信号，所述摄像装置还具有加法读出每个所述第 3 像素组中的信号的第 4 模式；
所述控制方法在所述第 4 模式时，进行使所述第 1 至第 3 开关导通的控制。
24. 如权利要求 1~19 的任何一项所述的摄像装置，其特征在于，包括:

对该摄像装置进行光成像的光学系统；以及
处理来自该摄像装置的输出信号的信号处理电路。
通过加法读出多个像素可变换输出清晰度的摄像装置、
其控制方法及摄像系统

技术领域

本发明涉及摄像装置、其控制方法、以及摄像系统，特别涉及可对来自多个像素的电荷进行加法运算、变换清晰度（分辨率）并输出的摄像装置、其控制方法、以及摄像系统。

背景技术

作为摄像装置，大致有 CCD 传感器和 CMOS 传感器。CCD 传感器沿垂直方向和水平方向依次传送光电变换后的电荷，而 CMOS 传感器带有将各像素光电变换后的信号放大的放大器，使用垂直扫描电路和水平扫描电路依次输出放大后的信号。

但是，在摄像装置中，除了读出所有像素的标准操作以外，即使清晰度下降，也要求能够以快的帧频（速度）进行读出操作的方式。

还有通过上述 CMOS 传感器控制垂直扫描电路及水平扫描电路的扫描，能够进行 CMOS 传感器的随机存取扫描，将像素内差扫描的方法，但这种情况下，由于舍弃漏读的像素信息，所以不利于灵敏度。

因此，提出了以下方式：用开关使相邻的光电二极管等的光电变换部的输出端耦合来对电荷进行加法运算，换句话说，求电位的平均值，输出该信息。

图 19A 表示抽取摄像装置内的 4 像素的电路图。在图 19A 中，省略了光电二极管 PD 的复位用开关。

如图 19A 所示，通过使加法用开关 SW30、31、32 导通将 4 个光电二极管 PD 的阴极端耦合，对电荷进行加法运算，并通过使选择用
开关 SW20 导通来选择像素，从放大器 Amp20 向垂直输出线 VL 输出电位的平均值。

此外，还有以下方法：如图 19B 所示，使传送用开关 SW21 导通将光电二极管 PD 的电荷传送到电容 FD 后，使传送用开关 SW21 断开，通过使加法用开关导通来与电容 FD 结合，对电荷进行加法运算，并通过使选择用开关 SW20 导通来选择像素，从放大器 Amp20 向垂直输出线 VL 输出电位的平均值。

一般地，光电二极管 PD 的光产生的电荷少，所以为了获得高电位，期望尽量减小光电二极管 PD 的电容或图 19B 所示的电容 FD。

另一方面，在加法用开关 SW 或连接用布线中，多少存在杂散电容 Csw，因而灵敏度下降。此外，kTC 噪声会增加。

此外，在加法用开关 SW 或连接用布线中存在漏泄电流 Isw。因此，使重要的光电荷漏泄。而且，因伴随着漏泄电流的散粒噪声，噪声增大。

即，以提高灵敏度为目的附加的加法用开关 SW 和连接用布线反而导致灵敏度的下降。

此外，图 20 是表示摄像装置的摄像区域中的像素间的现有的加法运算方式的另一例的示意结构图。在图 20 所示的摄像装置中，在排列的像素 P 间配置加法用开关，对每个加法用开关设置解码器 D，以便控制各加法用开关。而且，在摄像装置内布满多个控制线 CL 来控制各解码器 D，在摄像装置的加法模式时控制各解码器 D，并使各加法用开关分别导通截止。

但是，在各像素间设置图 20 所示的加法用开关，或对每个加法用开关设置解码器等开关控制部和控制线，将导致摄像区域中的加法用电路的占有面积的增大。

发明内容

本发明是鉴于上述问题的发明，其第 1 目的在于，在为了清晰度
变换而进行像素的加法读出的情况下，抑制灵敏度的下降。

为了实现上述目的，本发明的摄像装置具有多个像素，其特征在于，各像素包括：光电变换部；放大并输出来自所述光电变换部的信号的第 1 放大部件；以及具有连接到所述第 1 放大部件的输出端的电容，并使所述多个像素中的两个以上像素的所述电容间共用连接的多个第 1 开关。

此外，本发明的第 2 目的在于，减小用于进行像素的加法读出的电路结构。

为了实现上述目的，本发明的摄像装置的特征在于，包括：二维排列的多个像素；第 1 开关，连结各第 1 像素组内的像素，以便加法读出规定数目的像素组成的第 1 像素组的信号；第 2 开关，连接所述多个第 1 像素组，以便加法读出多个所述第 1 像素组组成的第 2 像素组的信号；第 1 共用控制线，连接到所述多个第 1 像素组内的所述第 1 开关，进行导通/截止的控制；第 2 共用控制线，连接到所述第 2 开关，进行导通/截止的控制；选择电路，输出选择排列在规定方向上的多个像素组成的像素列的选择信号；以及变换电路，将所述选择信号变换成为所述第 1 及第 2 开关的控制信号；所述摄像装置具有：分别独立读出来自多个像素的信号的第 1 模式；加法读出每个所述第 1 像素组的信号的第 2 模式；以及加法读出每个所述第 2 像素组的信号的第 3 模式；所述变换电路将所述选择信号变换成为所述第 1 模式时使所述第 1 和所述第 2 开关截止的信号，在所述第 2 模式时使所述第 1 开关导通、所述第 2 开关截止的信号，在第 3 模式时使所述第 1 和所述第 2 开关导通的信号，并输出到所述第 1 和第 2 共用控制线。

此外，提供一种摄像装置的控制方法，该摄像装置包括：二维排列的多个像素；第 1 开关，连结各第 1 像素组内的像素，以便加法读出规定数目的像素组成的第 1 像素组的信号；第 2 开关，连接所述多个第 1 像素组，以便加法读出多个所述第 1 像素组组成的第 2 像素组的信号；第 1 共用控制线，连接到所述多个第 1 像素组内的所述第 1 开关，进行导通/截止的控制；以及第 2 共用控制线，连接到所述第 2
开关，进行导通/截止的控制；所述摄像装置具有：分别独立读出来自多个像素的信号的第 1 模式；加法读出每个所述第 1 像素组的信号的第 2 模式；以及加法读出每个所述第 2 像素组的信号的第 3 模式；该方法的特征在于，通过所述第 1 及第 2 共用控制线进行控制，使得在所述第 1 模式时将所述第 1 和所述第 2 开关截止，在所述第 2 模式时将所述第 1 开关导通、所述第 2 开关截止，在第 3 模式时将所述第 1 和所述第 2 开关导通。

此外，本发明的摄像装置的特征在于，包括：二维排列的多个像素；第 1 开关，将各第 1 像素组内的像素连接，以便加法读出规定数目的像素组成的第 1 像素组的信号；第 2 开关，将所述第 1 像素组连接，以便加法读出多个所述第 1 像素组组成的第 2 像素组的信号；第 1 共用控制线，连接到所述多个第 1 像素组内的所述第 1 开关，进行导通/截止的控制；第 2 共用控制线，连接到第 2 开关，进行导通/截止的控制；以及控制部件，通过所述第 1 和第 2 共用控制线来控制所述第 1 和第 2 开关；所述摄像装置具有：分别独立读出来自多个像素的信号的第 1 模式；加法读出每个所述第 1 像素组的信号的第 2 模式；以及加法读出每个所述第 2 像素组的信号的第 3 模式；所述控制部件进行控制，使得在所述第 1 模式时使所述第 1 和所述第 2 开关截止，在所述第 2 模式时使所述第 1 开关导通、所述第 2 开关截止，而在所述第 3 模式时使所述第 1 和所述第 2 开关导通。

此外，提供一种摄像装置的控制方法，该摄像装置包括：二维排列的多个像素；第 1 开关，连接各第 1 像素组内的像素，以便加法读出规定数目的像素组成的第 1 像素组的信号；第 2 开关，连接所述多个第 1 像素组，以便加法读出多个所述第 1 像素组组成的第 2 像素组的信号；第 1 共用控制线，连接到所述多个第 1 像素组内的所述第 1 开关，进行导通/截止的控制；第 2 共用控制线，连接到所述第 2 开关，进行导通/截止的控制；选择电路，输出选择由排列在规定方向的多个像素组成的像素列的选择信号；以及变换电路，将所述选择信号变换成为控制所述第 1 及第 2 开关的控制信号；所述摄像装置具有：分别独
图 10A~图 10D 是说明本发明第 5 实施例的加法方式的说明图。
图 11 是表示本发明第 6 实施例的摄像元件的结构示意图。
图 12 是表示输出控制本发明第 6 实施例的加法开关用开关和像素
选择用开关的信号的电路的图。
图 13A 和图 13B 是表示图 12 的电路使用的逻辑运算电路及其真值表的图。
图 14 是本发明第 6 实施例的全像素读出模式情况下的定时图。
图 15 是本发明第 6 实施例的 4 像素加法模式情况下的定时图。
图 16 是本发明第 6 实施例的 16 像素加法模式情况下的定时图。
图 17 是本发明第 6 实施例的 64 像素加法模式情况下的定时图。
图 18 是表示将本发明的摄像装置应用于静像摄象机情况下的方框图。
图 19A 和图 19B 是表示现有的摄像装置内的像素结构的电路图。
图 20 是表示一例现有的摄像元件的摄像区域中的像素间的加法方式的示意结构图。

具体实施方式

以下，参照附图详细地说明本发明的优选实施例。

（实施例 1）

图 1 是表示本发明的摄像装置的第 1 实施例的 4 像素的电路结构图。图 2 是将像素排列成矩阵状而构成的摄像装置的电路结构图。再有，在图 1 和图 2 中省略像素的光电二极管的复位用开关。图 2 的区域 A 表示进行加法的 4 像素的像素区域。

如图 1 所示，一像素包括：光电二极管 PD；光电二极管 PD 的阴
极端连接到栅极，放大输出存储在光电二极管 PD 中的信号的晶体管
Tr1（在本第 1 实施例中为 MOS 晶体管）；连接到晶体管 Tr1 的漏极
端的电流源 Il（晶体管 Tr1 和电流源 Il 构成放大部件）；连接到晶体
管 Er1 的漏极端的采样用开关 SW1；保持通过开关 SW1 传输的信号
立读出来自多个像素的信号的第 1 模式；加法读出每个所述第 1 像素组的信号的第 2 模式；以及加法读出每个所述第 2 像素组的信号的第 3 模式；该方法的特征在于，通过所述第 1 及第 2 共用控制线进行控制，使得在所述第 1 模式时将所述第 1 和所述第 2 开关截止，在所述第 2 模式时将所述第 1 开关导通、所述第 2 开关截止，在第 3 模式时将所述第 1 和所述第 2 开关导通。

附图说明

本发明的其他特征和优点通过参照附图的以下说明变得明确。再有，在附图中，对于相同或同样的结构附以相同的参考标号。

附图包含在说明书中，构成其一部分，表示本发明的实施形态，其记述都用于说明本发明的原理。

图 1 是表示本发明第 1 实施例的摄像装置的四像素的电路结构的图。

图 2 是表示将图 1 所示的像素排列成矩阵状而构成的摄像装置的电路结构的图。

图 3A 和图 3B 是表示本发明第 1 实施例的摄像装置的工作情况的定时图。

图 4 是表示本发明第 2 实施例的摄像装置的四像素的电路结构的图。

图 5 是表示本发明第 3 实施例的摄像装置的 1 像素的电路结构的图。

图 6 是表示本发明第 4 实施例的摄像装置的 1 像素的电路结构的图。

图 7 是表示本发明第 5 实施例的摄像装置的结构示意图。

图 8A~图 8C 是表示本发明第 5 实施例的一像素结构的结构图。

图 9A~图 9D 是分别表示本发明第 5 实施例的 4 像素加法状态、16 像素加法状态、64 像素加法状态、256 像素加法状态的示意图。
信号为高电平，开关 SW10、SW11、SW12 为截止状态。于是，各像素的电容 C_H 的电位为按以四像素为单位加法运算前的 4 个像素电容 C_H 电位的平均电位。

接着，使移位寄存器（SR）输出的选择信号每隔 1 行，即 SEL1、SEL3、SEL5、⋯（或 SEL2、SEL4、SEL6、⋯）那样依次为高电平，从施加各选择信号的沿水平方向排列的像素组分别向各个垂直输出线 VL 放大输出电容 C_H 保持的信号。此时，电容 C_H 的电位是以 4 像素为单位的相同电位，所以不需要使选择信号 SEL2、SEL4、SEL6、⋯（或 SEL1、SEL3、SEL5、⋯）为高电平。

在各选择信号分别为高电平期间由水平扫描电路 MUX 每隔 1 列来选择输出到各垂直输出线的信号，4 像素的平均输出被作为输出信号 OUT 输出。

在图 3A 所示的通常模式中，对于水平扫描电路 MUX 输出所有像素的输出来说，在图 3B 所示的加法模式中，仅输出与全像素的 1/4 相当的像素输出，所以 1 帧所需要的时间大约 1/4 即可。即，可以使帧速率提高约 4 倍。

此外，即使增大电容 C_H 的容量，也因晶体管 Er1 的电压输出而使电位不减小。而且，即使在加法用开关 SW 或布线上有杂散电容，电位也不下降。

此外，可以增大电容 C_H，所以即使在加法用开关或布线中有偏移电流，也不招致灵敏度下降，不增大噪声。这种情况下，只要电容 C_H 比光电二极管 PD 具有的电容大，则效率高。

在第 1 实施例中，作为放大部件的晶体管 Er1、Tr2 和电流源 Il、I2 分别构成源跟随器电路，不放大电压，但放大电荷。不用说，即使定放大电压的类型，也有未发明的效果。这种情况下，只要电压的放大率和电容 C_H 之积比光电二极管 PD 具有的电容大，则效果提高。

此外，可以增大电容 C_H，所以也可以增大用于输出到垂直输出线 VL 的源跟随器用的晶体管 Er2（MOS 晶体管）的沟道宽度。以往，如果增大该晶体管 Er2 的沟道宽度，则导致晶体管 Er2 的栅极电容的
的电容 $C_H$；进一步放大输出电容 $C_H$ 中存储的信号的晶体管 Er2（在本第 1 实施例中为 MOS 晶体管）；连接到晶体管 Er2 的源极端的像素选择用开关 SW2；连接到晶体管 Er2 的漏极端的电流源 $I_2$；晶体管 Er2 的漏极端被连接到垂直输出线 VL。

在各像素的电容 $C_H$ 和晶体管 Er2 的栅极之间，通过开关 SW10、SW12 连接沿垂直输出线 VL 的长度方向相邻排列的像素间。此外，在像素的电容 $C_H$ 和晶体管 Er2 的栅极之间，通过开关 SW11 连接沿与垂直输出线 VL 的长度方向垂直的方向相邻排列的像素间。

通过使 ADD 信号为高电平，开关 SW10、SW11、SW12 都导通，开关 SW10、SW11、SW12 连接的连接点（电容 $C_H$ 和晶体管 Er2 的栅极之间）被共用连接。

图 3A 是表示具有上述结构的摄像装置的通常驱动时（通常模式）的定时图，在通常模式中分别独立地读出来自各像素的信号。在通常模式中，使 ADD 信号始终为低电平，开关 SW10、SW11、SW12 为截止状态。

首先，采样保持信号 S/H 为高电平，使开关 SW1 为导通（ON）状态，对光电二极管 PD 中存储的电荷所对应的信号（放大过的信号）进行采样，保持在电容 $C_H$ 中。这里，所有像素集中进行采样和保持。

接着，从垂直扫描电路的移位寄存器 (SR) 输出的选择信号 SEL1、SEL2、SEL3、… 依次为高电平，从施加各选择信号的沿水平方向排列的像素组分别向各个垂直输出线 VL 放大输出电容 $C_H$ 保持的信号。输出到各垂直输出线 VL 的信号在各选择信号分别为高电平期间经水平扫描电路 MUX 被依次选择而作为输出信号 OUT 输出。

图 3B 是表示具有上述结构的摄像装置的加法读出驱动 (加法模式) 的定时图。

首先，使采样保持信号 S/H 为高电平，使开关 SW1 为导通状态，对光电二极管 PD 中存储的电荷所对应的信号（放大过的信号）进行采样，保持在电容 $C_H$ 中。这里，所有像素集中进行采样和保持。

接着，使采样保持信号 S/H 为低电平，使开关 SW1 截止后，ADD
灵敏度下降，所以难以增大。由于 MOS 晶体管的散粒噪声与（沟道宽度 W）×（沟道长度 L）的 1/2 方成反比，所以如果增大 MOS 晶体管 Er2 的沟道宽度 W，则可以将输出到垂直输出线 VL 的源跟随器的噪声减小到可以忽略的程度。

此外，还可以降低接收光电二极管 PD 的输出的源跟随器的 MOS 晶体管 Er1 的散粒噪声和 1/f 噪声。详细地说，期望减小 MOS 晶体管 Er1 的沟道宽度来防止在栅极电容的影响下降低灵敏度，因而会产生某种程度散粒噪声和 1/f 噪声。

通常模式时，该噪声出现在输出中，但在加法模式时，可以通过加法用开关 SW 对具有该噪声的个别像素的电位进行平均，所以噪声电压变小。由于对各个随机噪声进行平均，所以 4 像素平均情况下，噪声被减小到 1/4 的 1/2 方、即 1/2。

再有，在第 1 实施例中，将每 4 像素的输出相加，但也可以将每 9 像素或 16 像素相加来构成，在该情况下，显然该效果增大。

以下，对比说明本发明的第 1 实施例的摄像装置和图 19A 及图 19B 所示的现有的摄像装置。摄像装置的性能一般按（灵敏度/噪声）、即 S/N 比来评价。这里，假设进行 n 像素的加法运算。

现有例的灵敏度 Sp 相对于原来一个光电二极管 PD 的灵敏度 Ss，如果加法用开关的电容造成的下降率为 α（α<1），则有

$$Sp = \alpha \cdot Ss.$$ 

此外，现有例的噪声 Np 相对于加法前的一个光电二极管 PD 的噪声 Ns 和源跟随器的 MOS 晶体管 Er20 的噪声 Nm 为

$$Np = Np^* \times (1/n) + Nm \quad (** 是指数运算符)。NM 不变化的理由在于，为了输出加法后的电荷，必须通过一个源跟随器。

第 1 实施例的灵敏度 Si 因加法用开关的电容而几乎不下降，所以有

$$Si = Ss.$$ 

第 1 实施例的噪声 Ni 如上述那样，可以忽略对垂直输出线 VL 的输出用源跟随器的 MOS 晶体管 Er2 的噪声，如果连接到光电二极管
PD 的源跟随器的 MOS 晶体管 Er1 的噪声为 Nm，则

\[ N_i = (N_s + N_m)^{1/n} \]

即，变成 Sp<Si, Np>Ni，作为性能指针的 S/N 变为 Sp/Np<<Si/Ni。因此，第 1 实施例的效果明显。

在第 1 实施例中，除了上述的 S/N 比提高的效果以外，还有以下效果。即，通过 S/H 信号将信号电荷传送到各像素内的电容 CH，所以在一个摄像装置内的所有像素内都能够根据像素相同的定时传送通过光电二极管 PD 进行光电变换所得的电荷。因此，可以防止图像失真，并防止在将多片摄像装置粘结的大尺寸的感器器板从相邻的摄像装置获得的图像不连续。

（第 2 实施例）

图 4 是本发明的摄像装置的第 2 实施例的 4 像素的电路结构图。再有，在图 4 中具有以下结构：省略像素的光电二极管的复位用开关，但在光电二极管的阴极端连接复位用的 MOS 晶体管，通过使复位用的 MOS 晶体管导通来进行光电二极管进行复位。

如图 4 所示，在第 2 实施例中，在放大并输出来自一像素内的光电二极管 PD 的信号、晶体管 Er1 和电流源 I1 组成的放大用源跟随器与晶体管 Er2 和电流源 I2 组成的电压输出线用源跟随器之间设置在后位用电容 Ccl。该后位用电容 Ccl 用于除去光电二极管 PD 复位时的 kTC 噪声和固定型噪声（FPN）。

噪声除去可以通过以下的操作进行。使开关 SW3 导通，使后位用电容 Ccl 的晶体管 Er2 侧的电极为一定的电位。在该状态下，通过未图示的复位用开关将光电二极管 PD 复位时，噪声分量被存储在后位用电容 Ccl 的晶体管 Er1 侧的电极上。在使开关 SW3 截止后进行光电二极管 PD 的信号电荷存储时，后位用电容 Ccl 的晶体管 Er1 侧的电极的电位进行从光电二极管 PD 的信号（包含噪声分量）中减去噪声分量的变动，在后位用电容 Ccl 的晶体管 Er2 侧也变动除去噪声分量的电位。这样，在后位用电容 Ccl 中保持去除了噪声分量的信号。

在后位用电容 Ccl 的晶体管 Er2 侧与第 1 实施例同样，连接加法
用开关 SW10、SW11、SW12，通过使加法用开关 SW10、SW11、SW12 导通，来使各像素的箝位电容 $C_{CL}$ 的电位成为以 4 像素为单位的加法前 4 个像素的箝位电容 $C_{CL}$ 电位的平均电位。在第 2 实施例中也可以增大箝位电容 $C_{CL}$，所以即使在加法用开关或布线中发生失电电流，也不导致灵敏度的下降，噪声也不增大。这种情况下，只要箝位电容 $C_{CL}$ 比光电二极管 PD 具有的电容大，则效果提高。因而，在第 2 实施例中，在有关 S/N 比方面也可以获得与第 1 实施例同等的效果，即 $Sp/Np << Si/Ni$。

此外，在第 2 实施例中，能够除去光电二极管复位时的 kTC 噪声和固定型噪声（FPN），进一步提高灵敏度。

（第 3 实施例）

图 5 是表示本发明的摄像装置的第 3 实施例的 1 像素部分的电路结构图。

在图 5 中，具有以下结构：设置像素的光电二极管 PD 的复位用开关 $M_R$，在光电二极管 PD 的阳极端连接复位用的 MOS 晶体管 $M_R$，通过使复位用的 MOS 晶体管 $M_R$ 导通，来对光电二极管 PD 进行复位。再有，在第 1 及第 2 实施例中，未示出像素的光电二极管的复位用开关，但可以设置与第 3 实施例的光电二极管的复位用开关 $M_R$ 同样的复位用开关。

如图 5 所示，在第 3 实施例中，设置与第 2 实施例同样的箝位用电容 $C_{CL}$，同时设置信号保持用的电容 $C_{HS}$ 和噪声保持用的电容 $C_{HN}$。向电容 $C_{HS}$ 传送并存储通过传导用的 MOS 晶体管 $M_{4_N}$ 放大的噪声。可以通过分别选择用 MOS 晶体管 $M_{5_S}$、$M_{5_N}$ 导通向垂直输出线 $V_{LS}$、$V_{LN}$ 进行传送。通过使传导用的 MOS 晶体管 $M_{4_S}$、$M_{4_N}$ 截止，可以使光电二极管 PD 和电容 $C_{HS}$、电容 $C_{HN}$ 进行电隔离，所以可以独立地进行光电二极管 PD 的信号存储操作和来自电容 $C_{HS}$、电容 $C_{HN}$ 的信号读出操作。

MOS 晶体管 M1 和与其连接的电流源构成第 1 源跟随器电路（第 1 放大器），MOS 晶体管 M2 和与其连接的电流源构成第 2 源跟随器。
电路（第 2 放大器），MOS 晶体管 M3S 和与其连接的电流源及 MOS 晶体管 M3N 和与其连接的电流源分别构成第 3 及第 4 源跟随器电路（第 3、第 4 放大器）。

在箔位用电容 CCL 的 MOS 晶体管 M2 侧与第 2 实施例同样，连接加法用电开关 SW10、SW11、SW12（SW12 未图示）。因而，在第 3 实施例中，在有关 S/N 比方面也可以获得与第 1 实施例同等的效果，即 Sp/Np<<Si/Ni。

在第 3 实施例中，可以除去光电二极管复位时的 kTC 噪声和固定型噪声（FPN），可以独立进行信号存储操作和信号读出操作，所以可以使所有像素的光电二极管的存储定时相等。此外，将采样保持电路设置为信号用和噪声用这两个电路，所以可以除去 MOS 晶体管 M1、M2 的变动。

（第 4 实施例）

图 6 是表示本发明第 4 实施例的摄像装置的 1 像素部分的电路结构图。第 4 实施例是在图 5 所示的第 3 实施例的结构中，在二系统的采样保持的信号用电容 CHS 和噪声用电容 CHN 的输出端分别设置加法用电开关 SW10S、SW11S、SW12S、加法用电开关 SW10N、SW11N、SW12N（SW12S、SW12N 未图示）。

在第 4 实施例中，与第 3 实施例比较，MOS 晶体管 M2 的散粒噪声、1/f 噪声为

\[(1/n)^{**}(1/2)\]  \hspace{1em} (n 是加法数)，进一步低噪声化。

如以上说明，根据本发明，可以抑制摄像装置的加法操作时的灵敏度下降、抑制噪声产生。

（第 5 实施例）

图 7 是表示本发明摄像装置的第 5 实施例的示意图。这里，示出 8×8 的像素。A11~A88 表示各像素，S1~S8 表示控制加法开关（SW）的控制线，CL 表示多个加法模式控制线，S1~S8 表示解码器，59 表示通过控制解码器 S1~S8，来控制来自像素的电荷读出的控制部。图 8A~图 8C 是表示一像素结构的结构图。图 9A~图 9D 分别是表示 4
像素加法状态、16 像素加法状态、64 像素加法状态、256 像素加法状态的概念图。

如图 9A 所示，在 4 像素加法的情况下，控制部 59 在图 7 所示的控制线 S1、S3、S5、S7 这样的每隔 1 行上形成高电平，使分别连接的加法用开关导通，以 4 像素为单位共用连接像素。例如，在图 9A 所示的区域 A 中使像素 A11、A12、A21、A22 被共用连接，进行信号电荷的加法。

如图 9B 所示，在 16 像素加法的情况下，控制部 59 在如图 7 所示的控制线 S1、S2、S3、S5、S6、S7 那样以每两行隔开一行形成高电平，使分别连接的加法用开关导通，以 16 像素为单位共用连接像素。例如，在图 9B 所示的区域 B 中使像素 A11~A14、A21~A24、A32~A34、A41~A44 被共用连接，进行信号电荷的加法。

如图 9C 所示，在 64 像素加法的情况下，控制部 59 在如图 7 所示的控制线 S1~S7、S9~S15（S9~S15 未图示）那样以每 4 行隔开一行形成高电平，使分别连接的加法用开关导通，以 64 像素为单位共用连接像素。例如，在图 9C 所示的区域 C 中使像素 A11~A88 被共用连接，进行信号电荷的加法。

如图 9D 所示，在 256 像素加法的情况下，控制部 59 在如图 7 所示的控制线 S1~S15、S17~S31（S9~S31 未图示）那样以每 15 行隔开一行形成高电平，使分别连接的加法用开关导通，以 256 像素为单位共用连接像素。

再有，在第 5 实施例中，以图 9A 所示的区域 A 作为第 1 像素组（4 个像素和 3 个加法用开关），第 2 像素组是图 9B 所示的区域 B，第 3 像素组是图 9C 所示的区域 C。此外，以图 9B 所示的区域 B 作为第 2 像素组（16 个像素和 15 个加法用开关），第 3 像素组是图 9C 所示的区域 C。

下面用图 10A~图 10D 说明上述加法方式，4 像素加法的情况如图 10A 所示，使用 3 个加法用开关将 4 个像素（图中，用■表示 1 像素）相加。这里的加法像素单位为加法区域 A。接着，16 像素加法的情况
如图 10B 所示，使用 3 个加法用开关将 4 个 4 像素相加后的加法区域 A 相加。这里的加法像素单位为加法区域 B。接着，64 像素加法的情况如图 10C 所示，使用 3 个加法用开关将 4 个 16 像素相加后的加法区域 B 相加。这里的加法像素单位为加法区域 C。接着，256 像素加法的情况如图 10D 所示，使用 3 个加法用开关将 4 个 64 像素相加后的加法区域 C 相加。这里的加法像素单位为加法区域 D。从图 10A～图 10D 可理解，在第 5 实施例中，形成使 3 个加法用开关导通并连接各个像素或 4 个加法区域的结构。

下面用图 8A～图 8C 来说明一像素的结构例。如图 8A 所示，光电二极管 PD 的阴极端连接到第 1 放大器 Amp61，在第 1 放大器 Amp61 的输出端连接构成采样保持电路的开关（该开关是受采样/保持信号（S/H）控制的采样开关）、电容 C，电容 C 被连接到第 2 放大器 Amp62。第 2 放大器 Amp62 的输出通过受控制信号 G 控制的开关输出到垂直输出线 SL。第 1 放大器 Amp61 例如图 8B 所示，由 MOS 晶体管 M61 和电流源 I61 构成的源跟随器电路构成。第 2 放大器 Amp62 例如图 8C 所示，由 MOS 晶体管 M62 和连接到其源极端（受施加控制线 GL 上的控制信号 G 控制）MOS 晶体管 M63 构成。像素的加法通过用加法开关（SW）将像素的电容 C 之间连接来进行，将电容 C 中存储的电荷相加，换句话说，可以作为电位的平均值输出。

再有，各像素的结构不限于图 8A～图 8C 所示的结构，也可以是具有公知结构的像素。此外，例如，在第 1～第 4 实施例中能够采用具有上述结构的像素。

以上，说明了像素的加法读出操作，但通过使加法用开关都截止，可以进行从全像素读出输出的操作。

根据上述的第 5 实施例，可以将进行像素的加法读出的开关控制的解码器共用化，所以可以减小电路结构。

（第 6 实施例）

在上述第 5 实施例中，示出了将用于控制对像素进行加法运算的加法用开关的解码器与用于读出来自像素的信号的扫描电路分别设置
的情况。在第6实施例中，说明以下实例：使用来自用于读出来自像素的信号移位寄存器等扫描电路的信号，来控制对像素进行加法运算的加法用开关。

再有，对于第6实施例的各像素的结构来说，与上述第5实施例同样，可采用具有公用结构的像素，例如图8A~图8C，也可以采用第1~第4实施例中具有上述结构的像素。

图11是表示本发明第6实施例的摄像装置的示意结构图。在图11中，Sw81~Sw88是控制加法开关的信号线及向该信号线供给的信号，G1~G8是从单方向排列的像素组进行各个信号输出控制的信号。信号G1~G8的各信号例如施加在图8A所示的控制线GL上。图12是表示用于输出控制加法用开关和像素选择用开关的信号的电路图。图13A及图13B是表示图12中使用的逻辑运算电路及其真值表的图。

图14是通常模式（全像素读出）情况下的定时图，图15是4像素加法模式（全像素读出）情况的定时图，图16是16像素加法模式情况的定时图，图17是64像素加法模式情况的定时图。

如图12所示，用于输出控制加法用开关和像素选择用开关的信号的电路由输出信号Q1~Q8的移位寄存器71和逻辑运算电路70构成。逻辑运算电路70由图13A所示的逻辑门电路1和图13B所示的逻辑门电路2（“与”门）构成，逻辑门电路1、2的输入端分别连接在输出移位寄存器的信号Q1~Q8的端子间，从逻辑门电路1的输出端输出控制信号G1~G8，从逻辑门电路2的输出端输出控制信号Sw81~Sw88。OE是对移位寄存器71的输出进行通断控制的信号。此外，SIN是移位寄存器71控制取入从CLK电路72供给的CLK信号的定时的信号，OE信号和SIN信号从定时发生部(TG)73输出。TG73按照从CLK电路72供给的CLK信号和表示由未图示的模式切换开关切换后的读出模式的模式切换信号，输出图14~图17的某一个所示的OE信号及SIN信号。

在图14所示的通常模式（全像素读出）中，在SIN为高电平时，仅在1个脉冲取入中使时钟CLK起作用，所以按照从移位寄存器71
输出的信号 Q1~Q8，控制信号 G1~G8 依次变为高电平，控制信号
Sw1~Sw8 都以低电平保持，加法开关全部为截止状态，所以对每个
像素行从各像素向垂直输出线输出信号。

在图 15 所示的 4 像素加法模式中，在 SIN 为高电平时时钟 CLK
为 2 脉冲输入，所以在移位寄存器 71 内部生成两个移位脉冲。从移位
寄存器 71 同时双脉冲输出信号 Q1 和 Q2、Q3 和 Q4、…，按照该脉
冲，控制信号 G2、G4、G6、G8 变为高电平，控制信号 Sw1、Sw3、
Sw5、Sw7 变为高电平，由控制信号 Sw1、Sw3、Sw5、Sw7 控制的加法开关变为导通状态，所以进行图 9A 所示的 4 像素加法处理，
例如输出图 9A 的区域 A 内的像素的电荷加法（平均电位）值。

在图 16 所示的 16 像素加法模式中，在 SIN 为高电平时时钟 CLK
为 4 脉冲输入，所以在移位寄存器 71 内部生成 4 个移位脉冲。从移位
寄存器 71 同时四脉冲输出信号 Q1~Q4、Q5~Q8，按照该脉冲，控制
信号 G4、G8 变为高电平，控制信号 Sw1~Sw3、Sw5~Sw7 变为高
电平，由控制信号 Sw1~Sw3、Sw5~Sw7 控制的加法开关变为导通
状态，所以进行图 9B 所示的 16 像素加法处理，例如输出图 9B 的区
域 B 内的像素的电荷加法（平均电位）值。

在图 17 所示的 64 像素加法模式中，在 SIN 为高电平时时钟 CLK
为 8 脉冲输入，所以在移位寄存器 71 内部生成 8 个移位脉冲。从移位
寄存器 71 同时八脉冲输出信号 Q1~Q8，按照该脉冲，控制信号 G8
变为高电平，控制信号 Sw1~Sw7 变为高电平，由控制信号
Sw1~Sw7 控制的加法开关变为导通状态，所以进行图 9C 所示的 64
像素加法处理，例如输出图 9C 的区域 C 内的像素的电荷加法（平均
电位）值。

在以上说明的第 6 实施例中，由排列的 4(a=4)个像素、3(a-1=3)
个第 1 开关构成第 1 像素组，由排列的 4(b=4)个像素、3(b-1=3)
个第 2 开关构成第 2 像素组，由排列的 4(c=4)个第 2 像素组和 3(b-1=3)
个第 3 开关构成第 3 像素组的情况为例，来进行 4 像素加法、16 像素
加法、64 像素加法，但像素或像素组的数目不限于 4 个，也可以是 2、
3 或 5 以上的像素或像素组。

根据上述第 6 实施例，可以使用共用的移动寄存器和逻辑运算电路来进行用于像素的加法读出的开关控制，所以可以减小电路结构。

（第 7 实施例）

下面说明使用上述第 1 至第 6 摄像装置的摄像系统。根据图 18，详细说明将本发明的摄像装置应用于静止摄像机情况下的一实施例。

图 18 是表示将本发明的摄像装置应用于“静止摄像机”情况下的方框图。

在图 18 中，101 是兼备透镜的保护器和主开关的挡板，102 是将被摄体的光学像成像在摄像元件（摄像装置）104 上的透镜，103 是可改变通过透镜 102 的光量的光圈，104 是将用透镜 102 成像的被摄体作为图像信号取入的摄像元件，106 是进行从摄像元件 104 输出的图像信号的模-数变换的 A/D 变换器，107 是对从 A/D 变换器 106 输出的图像数据进行各种校正并对数据进行压缩的信号处理部，108 是向摄像元件 104、摄像信号处理电路 105、A/D 变换器 106、信号处理部 107 输出各种定时信号的定时发生部，109 是控制各种运算和静止摄像机整体的控制-运算部，110 是暂时存储图像数据的存储部，111 是用于在记录媒体上进行记录或读出的接口部，112 是用于进行数据的记录或读出的可装卸半导体存储器等记录媒体，113 是用于与外部计算机等进行通信的接口部。

下面说明上述结构的摄像时的静止摄像机的工作情况。

挡板 101 打开后主电源被导通，接着控制系统系统的电源导通，进而，A/D 变换器 106 等的摄像系统电路的电源被导通。

接着，为了控制曝光量，整体控制-运算部 109 打开光圈 103，从摄像元件 104 输出的信号经 A/D 变换器 106 变换后，被输入到信号处理部 107。根据该数据，整体控制-运算部 109 进行露出的运算。

根据进行该测光后的结果来判断亮度，按照其结果，整体控制-运算部 109 控制光圈。

接着，根据从摄像元件 104 输出的信号，由整体控制-运算部 109
取出高频分量，并运算至被摄体的距离。然后，驱动透镜 102 并判断是否聚焦，在判断为不聚焦时，再次驱动透镜并进行测距。

然后，在确认了聚焦后开始曝光。曝光结束后，从摄像元件 104 输出的图像信号由 A/D 变换器 106 进行 A-D 变换，通过信号处理部 107，由整体控制-运算部 109 写入到存储部 110。然后，存储在存储部 110 中的数据通过整体控制-运算部 109 的控制，经记录媒体控制 I/F 被记录在可装卸的半导体存储器等记录媒体 112 上。或者，也可以经外部 I/F 部 113 直接输入到计算机等中，进行图像的加工。

本发明不限于上述实施例，在不脱离本发明的精神和范围的情况下，能够进行各种变更和变形。因此，为了公正地划分本发明的范围，可参见所附权利要求书。
图 1
图2
图 4
图 5
### 图9B

<table>
<thead>
<tr>
<th>A81</th>
<th>A82</th>
<th>A83</th>
<th>A84</th>
<th>A85</th>
<th>A86</th>
<th>A87</th>
<th>A88</th>
</tr>
</thead>
<tbody>
<tr>
<td>A41</td>
<td>A42</td>
<td>A43</td>
<td>A44</td>
<td>A45</td>
<td>A46</td>
<td>A47</td>
<td>A48</td>
</tr>
<tr>
<td>A21</td>
<td>A22</td>
<td>A23</td>
<td>A24</td>
<td>A25</td>
<td>A26</td>
<td>A27</td>
<td>A28</td>
</tr>
</tbody>
</table>

### 图9C

<table>
<thead>
<tr>
<th>A61</th>
<th>A62</th>
<th>A63</th>
<th>A64</th>
<th>A65</th>
<th>A66</th>
<th>A67</th>
<th>A68</th>
</tr>
</thead>
<tbody>
<tr>
<td>A41</td>
<td>A42</td>
<td>A43</td>
<td>A44</td>
<td>A45</td>
<td>A46</td>
<td>A47</td>
<td>A48</td>
</tr>
<tr>
<td>A21</td>
<td>A22</td>
<td>A23</td>
<td>A24</td>
<td>A25</td>
<td>A26</td>
<td>A27</td>
<td>A28</td>
</tr>
</tbody>
</table>

### 图9D

<table>
<thead>
<tr>
<th>A81</th>
<th>A82</th>
<th>A83</th>
<th>A84</th>
<th>A85</th>
<th>A86</th>
<th>A87</th>
<th>A88</th>
</tr>
</thead>
<tbody>
<tr>
<td>A41</td>
<td>A42</td>
<td>A43</td>
<td>A44</td>
<td>A45</td>
<td>A46</td>
<td>A47</td>
<td>A48</td>
</tr>
<tr>
<td>A21</td>
<td>A22</td>
<td>A23</td>
<td>A24</td>
<td>A25</td>
<td>A26</td>
<td>A27</td>
<td>A28</td>
</tr>
</tbody>
</table>

### 图9A

<table>
<thead>
<tr>
<th>A61</th>
<th>A62</th>
<th>A63</th>
<th>A64</th>
<th>A65</th>
<th>A66</th>
<th>A67</th>
<th>A68</th>
</tr>
</thead>
<tbody>
<tr>
<td>A41</td>
<td>A42</td>
<td>A43</td>
<td>A44</td>
<td>A45</td>
<td>A46</td>
<td>A47</td>
<td>A48</td>
</tr>
<tr>
<td>A21</td>
<td>A22</td>
<td>A23</td>
<td>A24</td>
<td>A25</td>
<td>A26</td>
<td>A27</td>
<td>A28</td>
</tr>
</tbody>
</table>
图 15
图 19A

图 19B

至加法开关
图 20

D 解码器
P 一个像素