

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2022-540468

(P2022-540468A)

(43)公表日 令和4年9月15日(2022.9.15)

(51)国際特許分類

H 0 1 L 25/065(2006.01)

F I

H 0 1 L 25/08

C

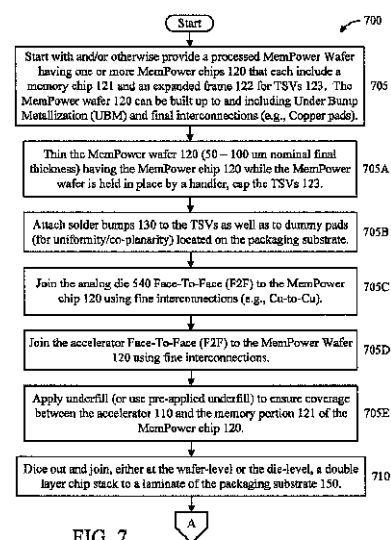
審査請求 未請求 予備審査請求 未請求 (全22頁)

(21)出願番号	特願2022-501110(P2022-501110)	(71)出願人	390009531
(86)(22)出願日	令和2年6月16日(2020.6.16)		インターナショナル・ビジネス・マシー
(85)翻訳文提出日	令和4年1月7日(2022.1.7)		ンズ・コーポレーション
(86)国際出願番号	PCT/IB2020/055605		INTERNATIONAL BUSI
(87)国際公開番号	WO2021/009580		NESS MACHINES CORPO
(87)国際公開日	令和3年1月21日(2021.1.21)		RATION
(31)優先権主張番号	16/515,877		アメリカ合衆国10504 ニューヨー
(32)優先日	令和1年7月18日(2019.7.18)		ク州 アーモンク ニュー オーチャード
(33)優先権主張国・地域又は機関	米国(US)		ロード
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA		New Orchard Road, A
	,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(		rmonk, New York 105
	AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A		04, United States of
	T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR	(74)代理人	America
	,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,	100112690	
		弁理士 太佐 種一	
	最終頁に続く		最終頁に続く

(54)【発明の名称】 3D半導体メモリ構造体を形成する方法、構造体

(57)【要約】

3D半導体メモリ構造体と3D半導体メモリ構造体を形成する方法、構造体であって、3D半導体メモリ構造体は、メモリおよびシリコン貫通ビア(TSV)を含むチップを含む。3D半導体メモリ構造体は、上記チップ上に配列され、上記チップに対面して結合されたハードウェア・アクセラレータをさらに含む。3D半導体メモリ構造体は、3D半導体メモリ構造体およびハードウェア・アクセラレータの下に配列され、TSVと、メモリ・チップおよびハードウェア・アクセラレータの外部入出力部に取り付けられた基板をさらに含む。



10

20

【特許請求の範囲】**【請求項 1】**

3次元(3D)半導体メモリ構造体であって、
メモリおよびシリコン貫通ビア(TSV)を含むメモリ・チップと、
前記チップ上に配列され、前記チップに結合されたハードウェア・アクセラレータと、
前記3D半導体メモリ構造体および前記ハードウェア・アクセラレータの下に配列され、
前記TSVと、前記メモリ・チップおよび前記ハードウェア・アクセラレータの外部入力部および出力部とに取り付けられた基板と
を含む、3次元(3D)半導体メモリ構造体。

【請求項 2】

前記ハードウェア・アクセラレータが、前記メモリ・チップに対面して結合される、請求項1に記載の構造体。

【請求項 3】

前記TSVが、前記メモリ・チップの周囲に配列される、請求項2に記載の構造体。

【請求項 4】

前記メモリ・チップおよび前記ハードウェア・アクセラレータは、前記基板が取り付けられる中間構造体を形成するように結合される、請求項2に記載の構造体。

【請求項 5】

前記基板が、事前にはんだ付けされたラミネートを含むパッケージング基板である、請求項2に記載の構造体。

【請求項 6】

前記メモリ・チップが、スタティック・ランダム・アクセス・メモリを含む、請求項2に記載の構造体。

【請求項 7】

前記基板に結合され、メモリ動作を実行するように構成された補助高帯域幅メモリ(HBM)をさらに含む、請求項2に記載の構造体。

【請求項 8】

前記補助HBMが、事前にはんだ付けされたラミネートを使用して前記基板に結合される、請求項7に記載の構造体。

【請求項 9】

前記メモリ・チップが、前記メモリ動作を制御するためのメモリ・コントローラをさらに含む、請求項8に記載の構造体。

【請求項 10】

前記メモリ・チップが、HBM PHYおよびHBMメモリ・コントローラをさらに含み、前記HBM PHYおよび前記HBMメモリ・コントローラが、前記補助HBMをサポートし、バック・エンド・オブ・ライン(BEOL)金属ラインを使用して前記補助HBMに直接電氣的に結合される、請求項8に記載の構造体。

【請求項 11】

前記HBM PHYおよび前記HBMメモリ・コントローラが、ウェハのBEOLの中間層誘電体層に配置される、請求項10に記載の構造体。

【請求項 12】

前記TSVが、前記メモリ・チップの周囲領域を通過する、請求項2に記載の構造体。

【請求項 13】

前記メモリ・チップと前記ハードウェア・アクセラレータとの間に配列され、前記ハードウェア・アクセラレータに対面して結合されたアナログ・チップを含み、前記基板が、前記構造体、前記ハードウェア・アクセラレータ、および前記アナログ・チップの下にある、請求項1に記載の構造体。

【請求項 14】

前記アナログ・チップが、Cuピラーおよびはんだキャップを使用して前記ハードウェア・アクセラレータに結合される、請求項13に記載の構造体。

10

20

30

40

50

【請求項 15】

前記アナログ・チップには、TSVがない、請求項 13 に記載の構造体。

【請求項 16】

前記アナログ・チップが、1つまたは複数のTSVを含む、請求項 13 に記載の構造体。

【請求項 17】

前記ハードウェア・アクセラレータが、銅対銅ボンドで使用される銅ピラーによって前記メモリ・チップに結合される、請求項 13 に記載の構造体。

【請求項 18】

3次元(3D)半導体メモリ構造体を形成するための方法であって、
メモリおよびシリコン貫通ビア(TSV)を含むメモリ・チップを受け取るステップと、
ハードウェア・アクセラレータを、前記メモリ・チップに結合させるように前記メモリ・チップ上に配列するステップと、
基板を、前記3D半導体メモリ構造体および前記ハードウェア・アクセラレータの下に配列し、前記TSVと、前記メモリ・チップおよび前記ハードウェア・アクセラレータの外部入力部および出力部とに取り付けるステップとを含む、方法。

【請求項 19】

前記ハードウェア・アクセラレータが、前記メモリ・チップに対面して結合される、請求項 18 に記載の方法。

【請求項 20】

前記TSVが、前記メモリ・チップの周囲に配列される、請求項 19 に記載の方法。

【請求項 21】

前記チップおよび前記ハードウェア・アクセラレータは、前記基板が取り付けられる中間構造体を形成するように結合される、請求項 19 に記載の方法。

【請求項 22】

前記チップによりメモリ動作を実行するように構成された補助高帯域幅メモリ(HBM)を前記基板に結合させるステップをさらに含む、請求項 19 に記載の方法。

【請求項 23】

前記方法が、
アナログ・チップを、前記メモリ・チップと前記ハードウェア・アクセラレータとの間に配列し、前記ハードウェア・アクセラレータに対面して結合させるステップをさらに含む、
前記基板が、前記構造体、前記ハードウェア・アクセラレータ、および前記アナログ・チップの下に配列される、請求項 18 に記載の方法。

【請求項 24】

前記配列するステップの前に前記アナログ・チップを薄くするステップをさらに含む、請求項 23 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、機械学習に関し、より詳細には、人工知能のための異種集積構造体(heterogeneous integration structure)に関する。

【背景技術】

【0002】

人工知能ワークロードの普及の高まりにより、メモリへの高帯域幅相互接続性を有する専用のアクセラレータ(accelerator)の必要性が強まっている。これらのアクセラレータは改善し続けているが、外部帯域幅が計算エンジンにデータを十分に速く供給できなければ、全体的なシステム性能は悪化することになる。

10

20

30

40

50

【 0 0 0 3 】

したがって、アクセラレータとメモリ・チップとの間には、高帯域幅通信が必要とされる。チップをS i インタポーザにはんだ相互接続によって接合する、いわゆる2 . 5 D 集積 (2.5D integration) を使用する従来の集積方法は、スケール変更することが困難であり、費用がかかる。S i インタポーザ解決策のスケラビリティは、各チップのピンの数と、S i インタポーザに配置できるチップの数の両方によって限定される。追加として、高帯域幅メモリ (H B M) が、大容量メモリを可能にするために利用できる場合、H B M P H Y インタフェースが、アクセラレータ・チップのすぐ近くに配置されなければならない。これらの相反する、しかし同様に重要な要件は、空間構成の課題と、克服されなければならない集積の課題の両方をもたらす。したがって、メモリとアクセラレータとの間の高帯域幅通信において、これらの課題を克服する解決策が求められている。

【 発明の概要 】

【 0 0 0 4 】

本発明の一態様によれば、3次元 (3 D) 半導体メモリ構造体が提供される。3 D 半導体メモリ構造体は、メモリおよびシリコン貫通ビア (T S V : Through-Silicon Via) を含むチップを含む。3 D 半導体メモリ構造体は、上記チップ上に配列され、上記チップに対面して (face-to-face) 結合されたハードウェア・アクセラレータをさらに含む。3 D 半導体メモリ構造体は、3 D 半導体メモリ構造体およびハードウェア・アクセラレータの下に配列され、T S V と、メモリ・チップおよびハードウェア・アクセラレータの外部入出力部に取り付けられた基板をさらに含む。

【 0 0 0 5 】

本発明の別の態様によれば、3次元 (3 D) 半導体メモリ構造体を形成するための方法が提供される。この方法は、メモリおよびシリコン貫通ビア (T S V) を含むチップを受け取るステップを含む。この方法は、ハードウェア・アクセラレータを、上記チップに対面して結合させるように上記チップ上に配列するステップをさらに含む。この方法は、基板を、3 D 半導体メモリ構造体およびハードウェア・アクセラレータの下に配列し、T S V と、メモリ・チップおよびハードウェア・アクセラレータの外部入力部および出力部とに取り付けるステップをさらに含む。

【 0 0 0 6 】

本発明のさらなる別の態様によれば、3次元 (3 D) 半導体メモリ構造体が提供される。3 D 半導体メモリ構造体は、メモリおよびシリコン貫通ビア (T S V) を含むメモリ・チップを含む。3 D 半導体メモリ構造体は、チップ上に配列され、チップに結合されたハードウェア・アクセラレータをさらに含む。3 D 半導体メモリ構造体は、メモリ・チップとハードウェア・アクセラレータとの間に配列され、ハードウェア・アクセラレータに対面して結合されたアナログ・チップをさらに含む。3 D 半導体メモリ構造体は、追加として、3 D 半導体メモリ構造体、ハードウェア・アクセラレータ、およびアナログ・チップの下に配列され、T S V と、メモリ・チップおよびハードウェア・アクセラレータの外部入力部および出力部とに取り付けられた基板を含む。

【 0 0 0 7 】

本発明のさらなる別の態様によれば、3次元 (3 D) 半導体メモリ構造体を形成するための方法が提供される。この方法は、メモリおよびシリコン貫通ビア (T S V) を含むメモリ・チップを受け取るステップを含む。この方法は、ハードウェア・アクセラレータを、メモリ・チップに結合させるようにメモリ・チップ上に配列するステップをさらに含む。この方法は、アナログ・チップを、ハードウェア・アクセラレータに対面して結合させるようにウェハとハードウェア・アクセラレータとの間に配列するステップをさらに含む。この方法は、基板を、3 D 半導体メモリ構造体、ハードウェア・アクセラレータ、およびアナログ・チップの下に配列し、T S V と、メモリ・チップおよびハードウェア・アクセラレータの外部入力部および出力部とに取り付けるステップをさらに含む。

【 0 0 0 8 】

これらのおよび他の特徴および利点は、添付の図面に関連して読まれるべきその例示的

な実施形態の以下の詳細な説明から明らかになるであろう。

【 0 0 0 9 】

以下の説明は、以下の図を参照して好ましい実施形態の詳細を提供する。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】本発明の一実施形態による、人工知能計算 (artificial intelligence computing) のための例示的な異種集積構造体を示す線図である。

【図 2】本発明の一実施形態による、図 1 の異種集積構造体を形成する例示的な方法を記載する流れ図である。

【図 3】本発明の一実施形態による、高帯域メモリ (HBM) を使用する人工知能計算のための例示的な異種集積構造体を示す線図である。 10

【図 4】本発明の一実施形態による、図 3 の異種集積構造体を形成する例示的な方法を示す流れ図である。

【図 5】本発明の一実施形態による、アナログ・ダイがメイン・アクセラレータ・ダイに接合された例示的な異種集積構造体を示す線図である。

【図 6】本発明の一実施形態による、アナログ・ダイがメイン・アクセラレータ・ダイに接合された別の例示的な異種集積構造体 600 を示す線図である。

【図 7】本発明の一実施形態による、図 5 および図 6 の異種集積構造体を形成する例示的な方法を示す流れ図である。

【図 8】本発明の一実施形態による、図 5 および図 6 の異種集積構造体を形成する例示的な方法を示す流れ図である。 20

【発明を実施するための形態】

【 0 0 1 1 】

本発明は、人工知能のための異種集積構造体に関する。

【 0 0 1 2 】

一実施形態では、本発明は、3次元 (3D) 構成の課題を克服しながらその利点を活用することができる新しい構造体を提供する。

【 0 0 1 3 】

一実施形態では、本発明は、メモリの上に積み重ねられたアクセラレータを提供する。メモリの上にアクセラレータを配置することにより、アクセラレータの効率的な冷却が可能になる。 30

【 0 0 1 4 】

一実施形態では、信号および電力の送出は、MemPowerチップ (例えば、例えば電力TSVおよび非電力TSV (power and non-power TSVs) を含むTSVのための拡大フレームに結合されたメモリ) のシリコン貫通ビア (TSV) により (例えば、全体にわたってまたは周囲で) 達成され、したがって、計算コア (例えば、アクセラレータの) が存在する上述の区域に影響を与えない。結果として得られた構造体の上にアクセラレータを配列することによって、アクセラレータを直接冷却する機会が与えられ、高度な熱技術とそれに関連するコストおよび欠陥とを避けることができる。

【 0 0 1 5 】

一実施形態では、非常に高い帯域を、より短い垂直の接続によって、インタポーザ構成 (例えば、比較的長い距離にわたるアクセラレータとメモリとの間の横方向接続による構成) に対してより低い電力で、計算コアとメモリとの間で達成することができる。 40

【 0 0 1 6 】

一実施形態では、潜在的な熱の問題は、より高い電力の計算チップ (例えば、アクセラレータ・チップ) をヒートシンク (図示せず) に近接して上に配置することによって、避けられ、またはそうでない場合は緩和され、あるいはその両方である。

【 0 0 1 7 】

一実施形態では、本発明は、計算に必要な技術と、メモリおよび入力/出力 (I/O) に必要な技術とを切り離す。 50

【0018】

一実施形態では、補助メモリを追加して、MemPowerチップのメモリ部分に高帯域幅接続を行うことができる。

【0019】

図1は、本発明の一実施形態による、人工知能計算のための例示的な異種集積構造体100を示す線図である。

【0020】

構造体100は、アクセラレータ・チップ110（以下、「アクセラレータ」）と、MemPowerチップ120を含む。構造体100において、アクセラレータ110を効率的に冷却し、アクセラレータ110を冷却するための高度な冷却技術の必要性を避けるために、アクセラレータ110は上部に配列される。MemPowerチップ120は、メモリ・チップ121として実装されたメモリ部分を含み、電力シリコン貫通ビア123（TSV）のための拡大フレーム122をさらに含む。アクセラレータ110は、MemPowerチップ120に対面して配列され、それに接続される。

【0021】

MemPowerチップ120は、メモリBEOL中間層誘電体（ILD）124、メモリ太線BEOL配線（memory thick wire BEOL wiring）125、およびメモリ細線BEOL配線126をさらに含む。

【0022】

一実施形態では、MemPowerチップ120は薄くされ（例えば、公称で50～100μm）、TSV123はキャップされ、はんだバンプ130が、パッド131を介して（裏側で）TSV123に、ならびに均一性／共平面性のためのパッケージング基板150上のダミーパッド151に取り付けられる。

【0023】

TSV123は、パッケージング基板150上のラミネートからメモリ・チップ121に、およびBEOL再分配層（RDL）127を介してアクセラレータ110に電力を運ぶ。

【0024】

TSV123は、MemPowerチップ120の最後から2番目の太さのBEOLレベルまで形成することができる。そのような構成は、既存のメモリ設計への妨害が最も少ない。その結果、変更は、MemPowerチップ120の上部の太線BEOLレベル（1つまたは2つの上部レベル）のみに限定することができる。太線は、MemPowerチップ120の上部の1つまたは2つのレベルで再分配されて、アクセラレータ110の周囲の場所（または必要に依って他の場所）に電力を運ぶ。

【0025】

MemPowerチップ120は、微細相互接続（fine interconnection）140、例えば、Cu対Cuボンド〔例えば、限定はされないが、5μmパッド／10μmピッチ〕を使用して、アクセラレータ110に接合される。そのような構成により、アクセラレータ110によるメモリ・チップ121への迅速なアクセスが可能になる。その上、そのような構成により、最も必要とされる場所で、非常に高い帯域が可能になる。

【0026】

図2は、本発明の一実施形態による、図1の異種集積構造体100を形成する例示的な方法200を記載する流れ図である。

【0027】

ブロック205において、各々がTSV123のための拡大フレーム122と一緒に形成されたメモリ・チップ121を含む1つまたは複数のMemPowerチップ120を有する処理済みMemPowerウェハから開始するか、またはそうでない場合は準備するか、あるいはその両方である。例示および明確さのために、MemPowerウェハは、以下、単一のMemPowerチップ120を有するとして説明される。メモリ・チップ121のメモリ設計、すなわち、メモリ部分は、最後から2番目のBEOL太線レベル

10

20

30

40

50

まで全面的に使用することができる。レチクル・サイズを、メモリ・チップ 121 の周囲のまわりに TSV 列を収容するために少しだけ大きくしてもよい。MemPower チップ 120 は、アンダー・バンプ・メタライゼーション (UBM) および最終相互接続 (例えば、銅 (Cu) パッド) までならびにそれらを含めて構築することができる。

【0028】

一実施形態では、MemPower ウェハを構築する 1 つの方法は、メモリ・ウェハを使用し、TSV を周囲領域に追加することである。これらの TSV は、構築プロセスのどの時点でも、例えば、フロント・エンド・オブ・ライン (front-end of line)、ミドル・オブ・ライン、またはバック・エンド・オブ・ラインなどで追加することができる。TSV は、バック・エンド・オブ・ラインの配線を使用してメモリに接続され得る。

10

【0029】

一実施形態では、ブロック 205 は、ブロック 205 A からブロック 205 D のうちの 1 つまたは複数を含むことができる。

【0030】

ブロック 205 A において、MemPower チップ 120 を有する MemPower ウェハがハンドラで所定の位置に保持されている間に MemPower ウェハ (50 ~ 100 μm の公称最終ウェハ厚さ) を薄くし (例えば、エッチングまたは他の材料除去技術 (例えば、研磨、平坦化、化学機械研磨 / 平坦化 (CMP) など) を使用して)、TSV 123 にキャップをかぶせる (例えば、堆積技術を使用して)。この時点 (ブロック 205 A) では、はんだバンプは取り付けられない。

20

【0031】

ブロック 205 B において、TSV に、ならびにパッケージング基板に配置されたダミーパッド (均一性 / 共平面性のための) に、はんだバンプ 130 を取り付け。

【0032】

ブロック 205 C において、微細相互接続を使用して、アクセラレータを MemPower チップ 120 に対面させて (F2F) 接合する。

【0033】

ブロック 205 D において、アクセラレータ 110 と、MemPower チップ 120 のメモリ部分 121 との間のカパレッジを確実にするためにアンダーフィルを適用する (または事前に適用されたアンダーフィルを使用する)。

30

【0034】

これが再構成されたウェハである場合、ダイス後の操作により、ほぼ完全な厚さ (約 785 μm) のダブル・チップ・スタックの選択および配置が可能になる。

【0035】

ブロック 210 において、ウェハレベルまたはダイレベルのいずれかで、二層チップ・スタックをダイスし、パッケージング基板 150 のラミネートに接合する。

【0036】

一実施形態では、ブロック 210 は、ブロック 210 A を含むことができる。

【0037】

ブロック 210 A において、接合を可能にするために、(i) はんだ付き Cu ピラー (Cu pillar with solder) を使用する、または (ii) はんだを用いたアンダー・バンプ・メタラジ (Under Bump Metallurgy) を構築する、または (iii) 事前にはんだ付けされた接合パッドをもつラミネートを使用する。これらの 3 つの方法 (i、ii、および iii) のいずれも、最終結果を達成するために、単独で、または他の方法のうちの 1 つまたは複数と組み合わせて使用することができる。Cu ピラー法は、スタンドオフという追加の利点を与える (すなわち、2 つのチップ・スタックとパッケージング基板との間の歪みを低減し、それゆえに、チップ - パッケージ相互作用 (CPI) 応力を低減する (一般に、12 ~ 15 ppm / C の熱膨張係数 (CTE) の不整合))。

40

【0038】

図 3 は、本発明の一実施形態による、高帯域幅メモリ (HBM) を使用する人工知能計

50

算のための例示的な異種集積構造体 300 を示す線図である。

【0039】

構造体 300 は、図 1 の構造体 100 に類似しているが、補助メモリ（高帯域幅メモリ（HBM））310 と、MemPower チップ 120 上の PHY 320 およびメモリ・コントローラ 330 とをさらに含む。HBM 310 を、メモリ容量を増加させるためにラミネートに接合することができる。

【0040】

補助 HBM 310 のための PHY 320 およびメモリ・コントローラ 330 を、MemPower チップ 120 に配置することができ、それにより、MemPower チップ 120 のメモリ・チップ 121 は、補助 HBM 310 を用いてデータを効率的にロード / 格納することができる。一実施形態では、メモリ・コントローラ 330 を使用して、メモリ・チップ 121 および補助 HBM 310 のメモリ動作を制御することができる。PHY 320 は、通信チャンネル、電力およびデータ管理機能、テスト機能などを含むことができる。

【0041】

HBM 310 は、PHY 320 の狭ピッチ要件（55 μm ピッチ）をサポートする薄膜ラミネートまたは他の高密度パッケージング基板を使用して収容することができる。

【0042】

HBM 310 は、マイクロバンプ 370 を使用してパッケージング基板 510 に取り付けられる。

【0043】

図 4 は、本発明の一実施形態による、図 3 の異種集積構造体 300 を形成する例示的な方法 400 を示す流れ図である。

【0044】

ブロック 405 において、各々がメモリ・チップ 121 と TSV 123 のための拡大フレーム 122 とを含む 1 つまたは複数の MemPower チップ 120 を有する処理済み MemPower ウェハから開始するか、またはそうでない場合は準備するか、あるいはその両方である。例示および明確さのために、MemPower ウェハは、以下、単一の MemPower チップ 120 を有するとして説明される。メモリ・チップ 121 のメモリ設計、すなわち、メモリ部分は、最後から 2 番目の BEOL 太線レベルまで全面的に使用することができる。レチクル・サイズを、メモリ・チップ 121 の周囲のまわりに TSV 列を収容するために少しだけ大きくしてもよい。MemPower チップ 120 は、アンダー・バンプ・メタライゼーション（UBM）および最終相互接続（例えば、銅（Cu）パッド）までならびにそれらを含めて構築することができる。

【0045】

一実施形態では、ブロック 405 は、ブロック 405 A からブロック 405 D のうちの 1 つまたは複数を含むことができる。

【0046】

ブロック 405 A において、MemPower チップ 120 を有する MemPower ウェハがハンドラで所定の位置に保持されている間に MemPower ウェハ 120（50 ~ 100 μm の公称最終ウェハ厚さ）を薄くし（例えば、エッチングまたは他の材料除去技術（例えば、研磨、平坦化、化学機械研磨 / 平坦化（CMP）など）を使用して）、TSV 123 にキャップをかぶせる（例えば、堆積技術を使用して）。

【0047】

ブロック 405 B において、TSV に、ならびにパッケージング基板に配置されたダミーパッド（均一性 / 共平面性のための）に、はんだバンプ 130 を取り付け。

【0048】

ブロック 405 C において、微細相互接続（例えば、Cu 対 Cu（Cu-to-Cu））を使用して、アクセラレータを MemPower チップ 120 に対面させて（F2F）接合する。

10

20

30

40

50

【0049】

ブロック405Dにおいて、アクセラレータ110と、MemPowerチップ120のメモリ部分121との間のカパレッジを確実にするためにアンダーフィルを適用する（または事前に適用されたアンダーフィルを使用する）。

【0050】

これが再構成されたウェハである場合、ダイス後の操作により、ほぼ完全な厚さ（約785 μ m）のダブル・チップ・スタックの選択および配置が可能になる。

【0051】

ブロック410において、ウェハレベルまたはダイレベルのいずれかで、二層チップ・スタックをダイスし、パッケージング基板150のラミネートに接合する。

10

【0052】

一実施形態では、ブロック410は、ブロック410Aおよびブロック410Bのうちの1つまたは複数を含むことができる。ブロック405Bが実行されない場合、ブロック410Aが実行されることを理解されたい。

【0053】

ブロック410Aにおいて、接合を可能にするために、(i)はんだ付きCuピラーを使用する、または(ii)はんだを用いてアンダー・パンプ・メタラジを構築する、または(iii)事前にはんだ付けされた接合パッドをもつラミネートを使用する。これらの3つの方法(i、ii、およびiii)のいずれも、最終結果を達成するために、単独で、または他の方法のうちの1つまたは複数と組み合わせて使用することができる。Cuピラー法は、スタンドオフという追加の利点を与える（すなわち、2つのチップ・スタックとパッケージング基板との間の歪みを低減し、それゆえに、チップ・パッケージ相互作用(CPI)応力を低減する（一般に、12ppm/Cの熱膨張係数(CTE)の不整合））。

20

【0054】

ブロック410Bにおいて、例えば微細接続を使用して、補助メモリ(HBM)をパッケージング基板に取り付ける。

【0055】

図5は、本発明の一実施形態による、メイン・アクセラレータ・ダイに接合されたアナログ・ダイを有する例示的な異種集積構造体500を示す線図である。

30

【0056】

異種集積構造体500は、メイン・アクセラレータ510（以下、交換可能に、「ハードウェア・アクセラレータ」、または「メイン・アクセラレータ」、または「メイン・ダイ」と、MemPowerチップ120と、アナログ・ダイ540と、補助メモリ（高帯域幅メモリ(HBM)）551と、PHY552と、メモリ・コントローラ553とを含む。一実施形態では、メイン・アクセラレータは、デジタル・アクセラレータである。構造体500において、メイン・アクセラレータ510の効率的な冷却を行い、メイン・アクセラレータ510を冷却するための高度な冷却技術の必要性を避けるために、メイン・アクセラレータ510は上部に配列される。

【0057】

40

一実施形態では、アナログ・ダイ540は、例えば、限定はされないが、抵抗処理ユニット(RPU)ベース・アクセラレータなどのアクセラレータを実装することができる。当然、本発明の思想を維持しながら、他のタイプのアナログ・ベース・アクセラレータを使用することができる。アナログ・ダイ540のアナログ信号をデジタル信号に変換するために、アナログ・デジタル変換器(ADC)がアナログ・ダイ540またはメイン・アクセラレータ510に配置されてもよい。ADCは、RPUベース・アクセラレータを形成するRPUデバイスのクロスポイント・アレイの列に結合された電流積分器の出力部に接続することができる。RPUベース・アクセラレータを使用して、ディープ・ニューラル・ネットワークの訓練を加速することができる。これらおよび他の用途は、本発明の思想を維持しながら、当業者によって容易に企図される。

50

【 0 0 5 8 】

MemPowerチップ120は、メモリ・チップ121として実装されたメモリ部分を含み、電力シリコン貫通ビア123(TSV)のための拡大フレーム122をさらに含む。メイン・アクセラレータ510は、MemPowerチップ120およびアナログ・ダイ540に接続されて、中間構造体を形成し、中間構造体は、薄膜、または他の高密度パッケージング基板、またはSiインタポーザに取り付けられる。構造体500の関連するアタッチメントを以下で説明する。

【 0 0 5 9 】

極微細ピッチCu対Cu相互接続(<50μmピッチ)が、メイン・アクセラレータ/アナログ・チップ相互接続に(すなわち、メイン・アクセラレータ510をアナログ・チップ540に接続するために)使用される。

【 0 0 6 0 】

微細ピッチCuピラーおよびはんだキャップ相互接続は、メイン・アクセラレータ/MemPowerチップ相互接続に(すなわち、メイン・アクセラレータ510をMemPowerチップ120に接続するために)使用することができる。

【 0 0 6 1 】

微細ピッチCuピラーおよびはんだキャップ(55μmピッチ)相互接続は、HBM/ラミネート相互接続のために(すなわち、HBM551を薄膜、または他の高密度パッケージング基板、またはSiインタポーザ591(のラミネート)に接続するために)使用することができる。

【 0 0 6 2 】

微細ピッチCuピラーおよびはんだキャップ(55μmピッチ)を使用して、MemPowerチップに接合されたメイン・アクセラレータの中間構造体を、薄膜、または他の高密度パッケージング基板、またはSiインタポーザに取り付けることができる。

【 0 0 6 3 】

PHY552およびメモリ・コントローラ553は、MemPowerチップ120上にある。HBM551は、上述したように、メモリ容量を増加させるためにラミネートに接合することができる。

【 0 0 6 4 】

アナログ・ダイ540は、薄くすることができるが、TSVを含むことができない。アナログ・ダイ540は、F2Fでメモリ・チップ120に接合される。

【 0 0 6 5 】

アナログ・ダイ540は、メイン・アクセラレータ510と直接通信し、メイン・アクセラレータ510から出力を引き出す。

【 0 0 6 6 】

メイン・アクセラレータ510は、アナログ・ダイ540と通信し、MemPowerチップ120から出力を引き出す。

【 0 0 6 7 】

図6は、本発明の一実施形態による、アナログ・ダイがメイン・アクセラレータ・ダイに接合された別の例示的な異種集積構造体600を示す線図である。構造体600は、図6の実施形態のアナログ・チップ640を形成するために、構造体500のアナログ・チップ540が薄くされ、TSVを含むという点で構造体500と異なる。

【 0 0 6 8 】

メイン・ダイは、メイン・アクセラレータ510によって実装される。

【 0 0 6 9 】

構造体600において、アナログ・チップ640は、薄くされ、TSV641を有する。

【 0 0 7 0 】

アナログ・チップ640はメモリ・チップ121に最も近いが、メモリ・チップ121とメイン・アクセラレータ510の両方と直接通信する。

10

20

30

40

50

【 0 0 7 1 】

メイン・アクセラレータ 5 1 0 は、アナログ・チップ 6 4 0 と通信し、MemPower チップ 1 2 0 から出力を引き出す。

【 0 0 7 2 】

アナログ・チップ 6 4 0 は、メイン・アクセラレータ 5 1 0 と直接通信し、メイン・アクセラレータ 5 1 0 から出力を引き出す。

【 0 0 7 3 】

図 7 ~ 図 8 は、本発明の一実施形態による、図 5 および図 6 の異種集積構造体を形成する例示的な方法 7 0 0 を示す流れ図である。

【 0 0 7 4 】

ブロック 7 0 5 において、各々がメモリ・チップ 1 2 1 と T S V 1 2 3 のための拡大フレーム 1 2 2 とを含む 1 つまたは複数の MemPower チップ 1 2 0 を有する処理済み MemPower ウェハから開始するか、またはそうでない場合は準備するか、あるいはその両方である。例示および明確さのために、MemPower ウェハは、以下、単一の MemPower チップ 1 2 0 を有するとして説明される。T S V 1 2 3 のための拡大フレーム 1 2 2 は、T S V チップとして実装することができる。メモリ・チップ 1 2 1 のメモリ設計、すなわち、メモリ部分は、最後から 2 番目の B E O L 太線レベルまで全面的に使用することができる。レチクル・サイズを、メモリ・チップ 1 2 1 の周囲のまわりに T S V 列を収容するために少しだけ大きくしてもよい。MemPower チップ 1 2 0 は、アンダー・パンプ・メタライゼーション (U B M) および最終相互接続 (例えば、銅 (C u) パッド) までならびにそれらを含めて構築することができる。

【 0 0 7 5 】

一実施形態では、ブロック 7 0 5 は、ブロック 7 0 5 A からブロック 7 0 5 E のうちの 1 つまたは複数を含むことができる。

【 0 0 7 6 】

ブロック 7 0 5 A において、MemPower チップ 1 2 0 を有する MemPower ウェハがハンドラで所定の位置に保持されている間に MemPower ウェハ 1 2 0 (5 0 ~ 1 0 0 μ m の公称最終厚さ) を薄くし、T S V 1 2 3 にキャップをかぶせる。

【 0 0 7 7 】

ブロック 7 0 5 B において、T S V に、ならびにパッケージング基板に配置されたダミーパッド (均一性 / 共平面性のための) に、はんだバンプ 1 3 0 を取り付け。

【 0 0 7 8 】

ブロック 7 0 5 C において、微細相互接続 (例えば、C u 対 C u) を使用して、アナログ・ダイ 5 4 0 を MemPower チップ 1 2 0 に対面させて (F 2 F) 接合する。

【 0 0 7 9 】

ブロック 7 0 5 D において、微細相互接続 (例えば、C u 対 C u) を使用して MemPower チップ 1 2 0 に、および極微細相互接続 (例えば、C u 対 C u 、グレード 1) を使用してアナログ・ダイにメイン・アクセラレータ 5 1 0 を接合し、その結果、アナログ・ダイは、メイン・アクセラレータ 5 1 0 と、MemPower チップ 1 2 0 のメモリ・チップ 1 2 1 との間に配列される。

【 0 0 8 0 】

ブロック 7 0 5 E において、メイン・アクセラレータ 5 1 0 、アナログ・ダイ 5 4 0 、および MemPower チップ 1 2 0 のメモリ部分 1 2 1 の間のカバレッジを確実にするために、アンダーフィルを適用する (または事前に適用されたアンダーフィルを使用する) 。

【 0 0 8 1 】

これが再構成されたウェハである場合、ダイス後の操作により、ほぼ完全な厚さ (約 7 8 5 μ m) のダブル・チップ・スタックの選択および配置が可能になる。

【 0 0 8 2 】

ブロック 7 1 0 において、ウェハレベルまたはダイレベルのいずれかで、二層チップ・

10

20

30

40

50

スタックをダイスし、パッケージング基板 150 のラミネートに接合する。

【0083】

一実施形態では、ブロック 710 は、ブロック 710 A およびブロック 710 B のうちの 1 つまたは複数を含むことができる。ブロック 705 B が実行されない場合、ブロック 710 A が実行されることを理解されたい。

【0084】

ブロック 710 A において、接合を可能にするために、(i) はんだ付き Cu ピラーを使用する、または (ii) はんだを用いてアンダー・バンブ・メタラジを構築する、または (iii) 事前にはんだ付けされた接合パッドをもつラミネートを使用する。これらの 3 つの方法 (i、ii、および iii) のいずれも、最終結果を達成するために、単独で、または他の方法のうちの 1 つまたは複数と組み合わせて使用することができる。Cu ピラー法は、スタンドオフという追加の利点を与える (すなわち、2 つのチップ・スタックとパッケージング基板との間の歪みを低減し、それゆえに、チップ・パッケージ相互作用 (CPI) 応力を低減する (一般に、 12 ppm/C の熱膨張係数 (CTE) の不整合))。

10

【0085】

ブロック 710 B において、例えば微細接続を使用して、補助メモリ (HBM) をパッケージング基板に取り付ける。

【0086】

次に、本発明の 1 つまたは複数の実施形態で 사용할 ことができる Cu 対 Cu ピラー・ボンディング技術に関して説明する。微細接続または極微細接続への本明細書における言及は、この Cu 対 Cu ピラー・ボンディング技術を参照することができる。

20

【0087】

最初に、トレンチが、基板または他の材料に形成される。トレンチは、好ましくは、先のとがった底部の代わりに平坦な底部をもつ V 形状を有する。シード層が、トレンチの上に堆積される。銅層が、シード層の上に堆積される。銅ピラーが、トレンチに形成されるか、またはそうでない場合はトレンチに配置されるか、あるいはその両方である。電気接続を形成するために、機械的、熱的、または他の手段を使用して、銅ピラーをトレンチの銅に接合する。

【0088】

次に、本発明の 1 つまたは複数の実施形態により使用されるアンダー・バンブ・メタライゼーション (UBM) に関して説明する。

30

【0089】

従来より、C4 (制御されたコラプス・チップ接続) バンプなどのはんだバンプ (「はんだボール」とも呼ばれる) が、チップをチップ・キャリアにボンディングするために使用されている。本明細書で使用される「はんだ」という用語は、2 つ以上の金属表面と一緒に接合するために、溶融され、次いで、冷却することができる金属、または金属化合物、または合金を指す。一般的に言えば、はんだは、 150 ないし 250 の範囲の溶融温度を有する。はんだバンプは、半導体デバイスの接触区域、相互接続ライン、またはパッドにボンディングされる、はんだの小さい球 (はんだボール) とすることができる。いくつかの実施形態では、はんだバンプは、鉛フリーはんだ混合物、または鉛スズはんだから製作することができる。

40

【0090】

ボール制限メタラジ (BLM: ball limiting metallurgy) (「アンダー・ボール・メタラジ (UBM)」とも呼ばれる) は、はんだボールを電気連通する場所とすることができる、はんだボールと構成要素との間のはんだ付け接続部のサイズおよび区域を画定するはんだ湿潤性端子メタラジである。BLM は、はんだボールの流れを所望の区域に限定する。いくつかの実施形態では、BLM は、チップ配線への接着および接触を行う。いくつかの例では、BLM は、接着剤層、バリア層、および導電層を含むことができ、それにより、デバイスのバック・エンド・オブ・ラインの構造体と、デバイスのバック・エン

50

ド・オブ・ラインの構造体に接続されるべき電氣的構造体との間の、はんだバンプを使用した、相互接続のための経路が提供される。接着剤層、バリア層、および導電層は、デバイスとチップとの間の相互接続のための経路を提供する。接着剤層は、チタン (Ti) のような金属、またはチタン (Ti) とタングステン (W) の合金とすることができる。バリア層は、ニッケル (Ni) から構成することができる。メイン導電層は、一般に、銅 (Cu) である。典型的なめっきされた BLM 層は、スパッタされた Ti と W の合金層、スパッタされた Cu 層、めっきされた Ni 層、およびめっきされた Cu 層を含む金属スタックから成ることができる。このプロセスは、銅シード層の減法エッチングを含む。このプロセスにおいて、銅の上部層の一部は、ウェット・エッチング・プロセスによってエッチングされる。エレクトロマイグレーションの改善が必要とされる場合、Cu 層を 2 ミクロンのニッケルの下に導入して、電流分布を改善し、ピーク電流密度を低減させる。次いで、Cu 層が、最初に、10 ミクロンの厚さにめっきされ、それに続いて、2 ミクロンの Ni 層と、上部 Cu 層とがめっきされる。この構造体の限界のうちの 1 つは、厳しいエレクトロマイグレーション・テストの下では、全部の銅厚さが消費され、それにより、高抵抗または電氣的開路を介して故障をもたらされることがあることである。可能性のある解決策は、Cu ピラーの厚さを 20 ミクロンより大きくなるように増加させることである。このやり方で、はんだは、ボール制限メタラジの底部の界面にぶつかる前に 100% 反応する。これらの厚さの Cu ピラー・システムは非常に硬い相互接続をもたらし、それは、従来のタックおよびリフロー・プロセスでは製造時に白色のバンプを生成することがある。

【0091】

本発明の態様が所与の例示的なアーキテクチャに関して記載されるが、しかしながら、他のアーキテクチャ、構造体、基板材料、ならびにプロセスの特徴およびステップが、本発明の態様の範囲内で変更されてもよいことを理解されたい。

【0092】

層、領域、または基板などの要素が別の要素の「上に (on)」または「上方に (over)」あると言及されている場合、他の要素の直接上にあってもよく、または介在する要素がさらに存在してもよいことをさらに理解されよう。対照的に、要素が、「直接上に」または「直接上方に」と言及されている場合、介在する要素は存在しない。要素が別の要素に「接続されている」または「結合されている」と言及されている場合、その要素は、他の要素に直接接続または結合されてもよく、あるいは介在する要素が存在してもよいことをさらに理解されよう。対照的に、要素が、別の要素に「直接接続されている」または「直接結合されている」と言及されている場合、介在する要素は存在しない。

【0093】

本実施形態は、グラフィカル・コンピュータ・プログラミング言語で作り出し、コンピュータ・ストレージ媒体 (ディスク、テープ、物理的ハード・ドライブ、またはストレージ・アクセス・ネットワーク内などの仮想ハード・ドライブなど) に格納することができる集積回路チップの設計を含むことができる。設計者が、チップ、またはチップを製作するために使用されるフォトリソグラフィック・マスクを製作しない場合、設計者は、結果として得られた設計を物理的手段によって (例えば、設計を格納するストレージ媒体のコピーを提供することによって)、または電子的に (例えば、インターネットを介して)、そのようなエンティティに、直接または間接的に送ることができる。次いで、格納された設計は、フォトリソグラフィック・マスクの製作のために適切なフォーマット (例えば、GDSII) に変換され、それには、一般に、ウェハ上に形成されるべき当該のチップ設計の多数のコピーが含まれる。フォトリソグラフィック・マスクは、エッチングされるかまたはそうでない場合は処理されるべきウェハ (またはその上の層、あるいはその両方) の区域を画定するために利用される。

【0094】

本明細書に記載される方法は、集積回路チップの製作で使用方法を使用することができる。結果として得られる集積回路チップは、製造者により、未加工ウェハ形態で (すなわち、複数個のパッケージ化されていないチップを有する単一のウェハとして)、ペア・ダイとして、

またはパッケージ化された形態で頒布され得る。後者の場合、チップは、単一チップ・パッケージ（マザーボードもしくは他のより高いレベルのキャリアに付けられたリードを有するプラスチック・キャリアなど）に、またはマルチチップ・パッケージ（表面相互接続もしくは埋め込み相互接続のいずれかまたは両方を有するセラミック・キャリアなど）に装着される。いずれの場合も、次いで、チップは、（a）マザーボードなどの中間製品または（b）最終製品のいずれかの一部として、他のチップ、個別の回路要素、または他の信号処理デバイス、あるいはその組合せと一体化される。最終製品は、玩具および他の下位の用途から、ディスプレイ、キーボードまたは他の入力デバイス、および中央プロセッサを有する高度なコンピュータ製品にわたる集積回路チップを含む任意の製品であり得る。

10

【0095】

材料化合物は、列挙された要素、例えば、SiGeに関して説明されることになることをさらに理解されたい。これらの化合物は、化合物内に異なる比率の元素を含み、例えば、SiGeは、 $\text{Si}_x\text{Ge}_{1-x}$ を含み、ここで、 x は1以下である、などである。加えて、他の元素が化合物に含まれてもよく、依然として、本原理に従って機能することができる。追加の元素を有する化合物は、本明細書では合金といわれることになる。

【0096】

本明細書で使用される用語は、特定の実施形態のみを説明するためのものであり、例示の実施形態を限定するように意図されていない。本明細書で使用される「ある（a）」、「1つの（an）」、および「その（the）」という単数形は、文脈が特に明確に指示しない限り、複数形もまた含むように意図されている。本明細書で使用される「備える（comprises）」、「備えている（comprising）」、「含む（includes）」、または「含んでいる（including）」、あるいはその組合せの用語は、明示された特徴、整数、ステップ、動作、要素、または構成要素、あるいはその組合せの存在を指定するが、1つまたは複数の他の特徴、整数、ステップ、動作、要素、構成要素、またはそのグループ、あるいはその組合せの存在または追加を排除しないことをさらに理解されよう。

20

【0097】

「の真下に（beneath）」、「の下方に（below）」、「の下部に（lower）」、「の上方に（above）」、「の上部に（upper）」などのような空間的に相対的な用語が、本明細書において、説明を容易にするために、図に示されるような、ある要素または特徴の別の要素または特徴に対する関係を説明するため使用されることがある。空間的に相対的な用語は、図に示された方位に加えて、使用または動作時のデバイスの異なる方位を包含するように意図されていることを理解されよう。例えば、図中のデバイスがひっくり返される場合、他の要素または特徴「の下方に」または「の真下に」として記載された要素は、他の要素または特徴「の上方に」向けられることになる。したがって、「の下方に」という用語は、「の上方に」と「の下方に」の両方の方位を包含することができる。デバイスは、他の状態に配向させる（90度または他の方位に回転させる）ことができ、本明細書で使用される空間的に相対的な記述子は、それに応じて解釈され得る。加えて、層が2つの層「間」にあると言及される場合、その層が2つの層間の唯一の層であってもよく、または1つまたは複数の介在する層がさらに存在してもよいことをさらに理解されよう。

30

40

【0098】

第1の、第2のなどの用語が、本明細書において、様々な要素を説明するために使用されることがあるが、これらの要素は、これらの用語によって限定されるべきでないことを理解されよう。これらの用語は、単に、ある要素を別の要素と区別するために使用される。したがって、以下で論じられる第1の要素は、本概念の範囲から逸脱することなく、第2の要素と呼ぶことができる。

【0099】

本発明は、可能な技術的詳細レベルの集積におけるシステム、方法、またはコンピュー

50

タ・プログラム製品、あるいはその組合せであり得る。コンピュータ・プログラム製品は、プロセッサに本発明の態様を実行させるためのコンピュータ可読プログラム命令を有する１つのコンピュータ可読ストレージ媒体（または複数の媒体）を含むことができる。

【０１００】

コンピュータ可読ストレージ媒体は、命令実行デバイスによって使用される命令を保持および格納することができる有形のデバイスとすることができる。コンピュータ可読ストレージ媒体は、例えば、限定はされないが、電子ストレージ・デバイス、磁気ストレージ・デバイス、光学ストレージ・デバイス、電磁気ストレージ・デバイス、半導体ストレージ・デバイス、または前述のものの適切な組合せとすることができる。コンピュータ可読ストレージ媒体のより具体的な例の非網羅的なリストには、以下のもの、すなわち、ポータブル・コンピュータ・ディスク、ハード・ディスク、ランダム・アクセス・メモリ（ＲＡＭ）、読出し専用メモリ（ＲＯＭ）、消去可能プログラマブル読出し専用メモリ（ＥＰＲＯＭまたはフラッシュ・メモリ）、スタティック・ランダム・アクセス・メモリ（ＳＲＡＭ）、ポータブル・コンパクト・ディスク読出し専用メモリ（ＣＤ－ＲＯＭ）、デジタル・バーサタイル・ディスク（ＤＶＤ）、メモリ・スティック、フロッピー（Ｒ）・ディスク、パンチカードまたは命令が記録された溝内の隆起構造体などの機械的符号化デバイス、および前述のものの適切な組合せが含まれる。本明細書で使用されるコンピュータ可読ストレージ媒体は、電波もしくは他の自由に伝播する電磁波、導波路もしくは他の伝送媒体を通して伝搬する電磁波（例えば、光ファイバ・ケーブルを通過する光パルス）、またはワイヤを通して伝送される電気信号などのそれ自体一過性信号であると解釈されるべきではない。

【０１０１】

本明細書に記載されるコンピュータ可読プログラム命令は、コンピュータ可読ストレージ媒体からそれぞれのコンピューティング／処理デバイスに、あるいはネットワーク、例えば、インターネット、ローカル・エリア・ネットワーク、ワイド・エリア・ネットワーク、または無線ネットワーク、あるいはその組合せを介して外部コンピュータまたは外部ストレージ・デバイスにダウンロードされてもよい。ネットワークは、銅伝送ケーブル、光伝送ファイバ、無線伝送、ルータ、ファイアウォール、スイッチ、ゲートウェイ・コンピュータ、またはエッジ・サーバ、あるいはその組合せを含むことができる。各コンピューティング／処理デバイスのネットワーク・アダプタ・カードまたはネットワーク・インタフェースは、ネットワークからコンピュータ可読プログラム命令を受け取り、コンピュータ可読プログラム命令を、それぞれのコンピューティング／処理デバイス内のコンピュータ可読ストレージ媒体に格納するために転送する。

【０１０２】

本発明の動作を実行するためのコンピュータ可読プログラム命令は、アセンブラ命令、命令セット・アーキテクチャ（ＩＳＡ）命令、機械命令、機械依存命令、マイクロコード、ファームウェア命令、状態設定データ、またはＳＭＡＬＬＴＡＬＫ（Ｒ）、Ｃ＋＋などのようなオブジェクト指向プログラミング言語、および「Ｃ」プログラミング言語もしくは類似のプログラミング言語などの従来の手続き型プログラミング言語を含む１つまたは複数のプログラミング言語の任意の組合せで書かれたソース・コードもしくはオブジェクト・コードのいずれかとすることができる。コンピュータ可読プログラム命令は、完全にユーザのコンピュータで、部分的にユーザのコンピュータで、スタンドアロン・ソフトウェア・パッケージとして、部分的にユーザのコンピュータでおよび部分的にリモート・コンピュータで、または完全にリモート・コンピュータもしくはサーバで実行することができる。後者のシナリオでは、リモート・コンピュータは、ローカル・エリア・ネットワーク（ＬＡＮ）もしくはワイド・エリア・ネットワーク（ＷＡＮ）を含む任意のタイプのネットワークを通してユーザのコンピュータに接続されてもよく、または接続が外部コンピュータに行われてもよい（例えば、インターネット・サービス・プロバイダを使用してインターネットを通して）。いくつかの実施形態では、例えば、プログラマブル・ロジック回路、フィールド・プログラマブル・ゲート・アレイ（ＦＰＧＡ）、またはプログラマブ

ル・ロジック・アレイ (P L A) を含む電子回路は、本発明の態様を実行するために、コンピュータ可読プログラム命令の状態情報を利用して電子回路を個人専用にするることによってコンピュータ可読プログラム命令を実行することができる。

【 0 1 0 3 】

本発明の態様は、本発明の実施形態による方法、装置 (システム) 、およびコンピュータ・プログラム製品の流れ図またはブロック図あるいはその両方を参照して本明細書に記載されている。流れ図またはブロック図あるいはその両方の各ブロック、および流れ図またはブロック図あるいはその両方におけるブロックの組合せは、コンピュータ可読プログラム命令によって実施されることが理解されよう。

【 0 1 0 4 】

これらのコンピュータ可読プログラム命令は、コンピュータまたは他のプログラマブル・データ処理装置のプロセッサを介して実行される命令が流れ図またはブロック図あるいはその両方の 1 つまたは複数のブロックにおいて指定された機能 / 動作を実施するための手段を作り出すように、汎用コンピュータ、専用コンピュータ、または他のプログラマブル・データ処理装置のプロセッサに提供されてマシンを作り出すものであってよい。これらのコンピュータ可読プログラム命令はまた、命令が格納されたコンピュータ可読ストレージ媒体が流れ図またはブロック図あるいはその両方の 1 つまたは複数のブロックにおいて指定された機能 / 動作の態様を実施する命令を含む製品を構成するように、コンピュータ可読ストレージ媒体に格納され、コンピュータ、プログラマブル・データ処理装置、または他のデバイス、あるいはその組合せに、特定の方法で機能するように指示することができるものであってもよい。

【 0 1 0 5 】

コンピュータ可読プログラム命令はまた、コンピュータ、他のプログラマブル装置、または他のデバイスで実行される命令が流れ図またはブロック図あるいはその両方の 1 つまたは複数のブロックにおいて指定された機能 / 動作を実施するように、コンピュータ実施プロセスを生成すべく、コンピュータ、他のプログラマブル・データ処理装置、または他のデバイスにロードされて、コンピュータ、他のプログラマブル装置、または他のデバイスで一連の動作ステップを実行させるものであってもよい。

【 0 1 0 6 】

図における流れ図およびブロック図は、本発明の様々な実施形態によるシステム、方法、およびコンピュータ・プログラム製品の可能な実施態様のアーキテクチャ、機能、および動作を示す。これに関しては、流れ図またはブロック図の各ブロックは、指定された論理機能を実施するための 1 つまたは複数の実行可能命令を含む命令のモジュール、セグメント、または一部を表すことができる。いくつかの代替の実施態様では、ブロックに記された機能は、図に記された順序から外れて行われてもよい。例えば、連続して示された 2 つのブロックは、実際には、実質的に同時に実行されてもよく、またはブロックは、時には、関連する機能に応じて逆の順序で実行されてもよい。ブロック図または流れ図あるいはその両方の各ブロック、およびブロック図または流れ図あるいはその両方のブロックの組合せは、指定された機能または動作を実行するかあるいは専用ハードウェア命令とコンピュータ命令の組合せを実行する専用ハードウェア・ベース・システムで実施されることにも留意されたい。

【 0 1 0 7 】

本発明の「 1 つの実施形態」または「一実施形態」、ならびにそれらの他の変形への本明細書における言及は、実施形態に関連して記載された特定の特徴、構造体、特性などが、本発明の少なくとも 1 つの実施形態に含まれることを意味する。したがって、本明細書の全体にわたって様々な場所に現れる「 1 つの実施形態において」または「一実施形態において」という語句ならびに他の変形の出現は、すべてが同じ実施形態を言及しているとは限らない。

【 0 1 0 8 】

例えば、「 A / B 」、「 A または B あるいはその両方 (A a n d / o r B) 」、お

10

20

30

40

50

10

20

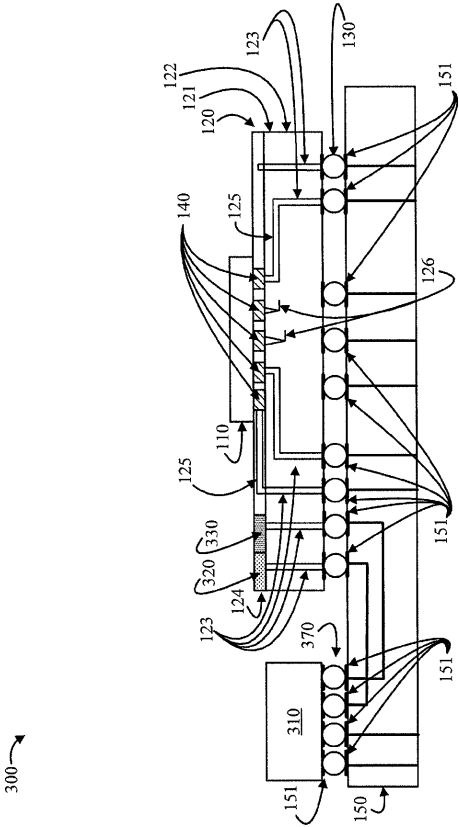
20

【 図 2 】

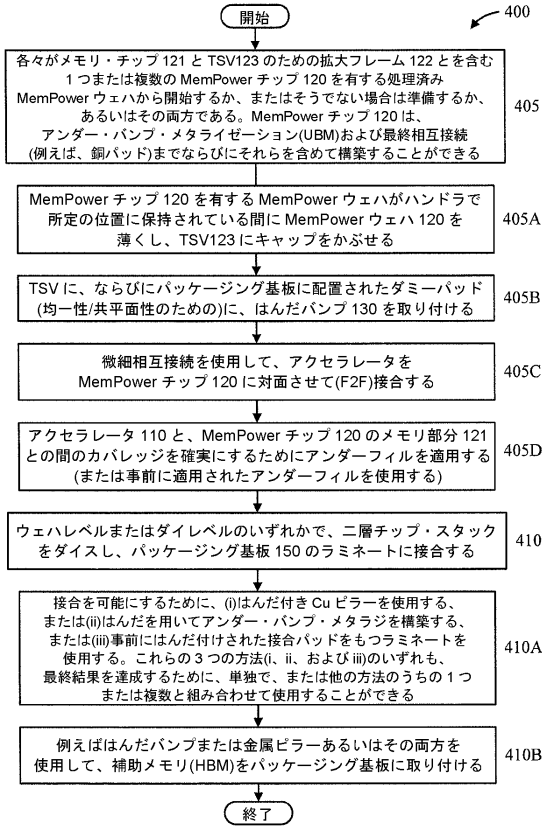
30



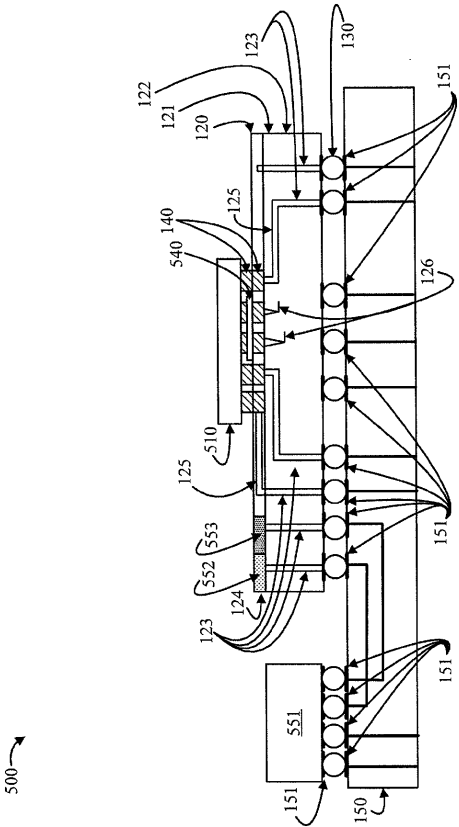
【図 3】



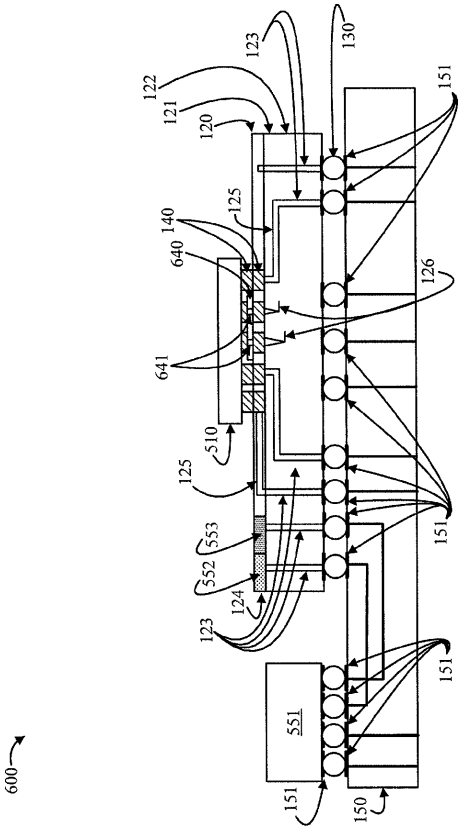
【図 4】



【図 5】



【図 6】



10

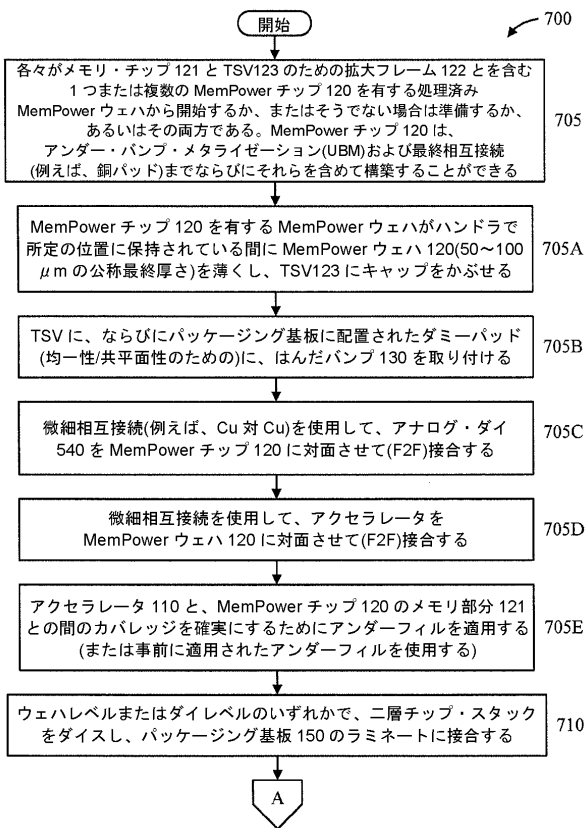
20

30

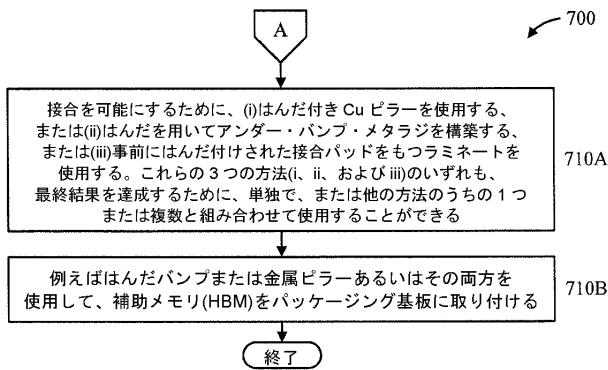
40

50

【図 7】



【図 8】



10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/IB2020/055605
A. CLASSIFICATION OF SUBJECT MATTER G06F 15/78(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS, SIPOABS, CNTXT, CNKI, IEEE, DWPI: storage, memory, 3D, TSV, accelerator, HBM, substrate		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109508316 A (SAMSUNG ELECTRONICS CO LTD) 22 March 2019 (2019-03-22) description, paragraphs [0002]-[0149], figures 1-6	1-24
A	US 2019043882 A1 (HASNAT KHALED et al.) 07 February 2019 (2019-02-07) the whole document	1-24
A	CN 108807347 A (TAIWAN SEMICONDUCTOR MFG CO LTD) 13 November 2018 (2018-11-13) the whole document	1-24
A	US 9508704 B2 (SAMSUNG ELECTRONICS CO LTD) 29 November 2016 (2016-11-29) the whole document	1-24
A	US 2019042920 A1 (INTEL CORP) 07 February 2019 (2019-02-07) the whole document	1-24
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 September 2020		Date of mailing of the international search report 29 September 2020
Name and mailing address of the ISA/CN National Intellectual Property Administration, PRC 6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer ZHANG, Guihua Telephone No. 86-(10)-62411839

Form PCT/ISA/210 (second sheet) (January 2015)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2020/055605

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109508316	A	22 March 2019	US	2020042477	A1	06 February 2020
				US	10474600	B2	12 November 2019
				JP	2019053734	A	04 April 2019
				TW	201915724	A	16 April 2019
				US	2019079886	A1	14 March 2019
				KR	20190030579	A	22 March 2019
US	2019043882	A1	07 February 2019	None			
CN	108807347	A	13 November 2018	TW	201839917	A	01 November 2018
				US	2018315720	A1	01 November 2018
				US	10319690	B2	11 June 2019
US	9508704	B2	29 November 2016	US	2015318261	A1	05 November 2015
				KR	20150125815	A	10 November 2015
US	2019042920	A1	07 February 2019	None			

Form PCT/ISA/210 (patent family annex) (January 2015)

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JO,JP,KE,K
G,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,N
I,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,
TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(72)発明者 ファルーク、ムクタ

アメリカ合衆国 1 2 2 0 3 ニューヨーク州オールバニ フラー・ロード 2 5 7

(72)発明者 クマール、アーヴィンド

アメリカ合衆国 1 0 5 9 8 ニューヨーク州ヨークタウン・ハイツ キッチャワン・ロード 1 1 0 1